

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.⁷
H04L 12/40

(45) 공고일자 2003년02월19일
(11) 등록번호 10-0360134
(24) 등록일자 2002년10월25일

(21) 출원번호	10-1996-0701169	(65) 공개번호	특 1996-0705435
(22) 출원일자	1996년03월05일	(43) 공개일자	1996년10월09일
번역문제출일자	1996년03월05일		
(86) 국제출원번호	PCT/IB1995/00508	(87) 국제공개번호	WO 1996/02098
(86) 국제출원일자	1995년06월22일	(87) 국제공개일자	1996년01월25일
(81) 지정국	국내특허 : 일본 대한민국 싱가포르 EP 유럽특허 : 오스트리아 벨기에 스위스 리히텐슈타인 사이프러스 독일 덴마크 스페인 핀란드 프랑스 영국 그리스 아일랜드 이탈리아 키텝부르크 모나코 네덜란드 포르투칼 스웨덴		

(30) 우선권주장 94201945.6 1994년07월05일 EP(EP)
 94201967.0 1994년07월07일 EP(EP)

(73) 특허권자 코닌클리케 필립스 일렉트로닉스 엔.브이.
 네델란드왕국, 아인드호펜, 그로네보드스베그 1
 (72) 발명자 헨리쿠스 요하네스 루돌프 블록스
 네델란드, 베아 아인드호펜 5621, 그로네보드세베그 1
 (74) 대리인 이병호

심사관 : 성백운

(54) 신호처리시스템

영세서

<1>

본 발명은 목적지 장치에 연결된 소오스 장치를 구비하는 신호 처리 시스템에 관한 것으로, 상기 소오스 장치는 상기 목적지 장치에 각각 시간 스탬프(time stamp)를 구비하는 일련의 패킷들을 공급하기 위해 배치되며, 상기 목적지 장치는 클럭을 구비하고 패킷들을 수신하며 클럭의 시간값이 특정 패킷내의 시간 스탬프에 대응할 때를 검출하여 그 특정 패킷으로부터의 데이터를 출력부에 제공하도록 배치된다. 본 발명은 또한 그러한 시스템을 위한 소오스 및 목적지 장치에 관한 것이다. 그러한 시스템은 예를 들어 <"ISO/IEC 11172-1, 약 1.5Mbit/s 까지 디지털 저장 매체용 동영상 및 관련 음성의 코딩-정보 기술, Part 1 : 시스템", 제 1판 1993년 8월 1일>에 공지되어 있고, 이는 MPEG 표준으로 불린다. 이에 의해 기술되는 시스템들을 MPEG 시스템들로 불린다. 이들은 예를들어 소오스 장치로서의 MPEG 인코더 및 목적지 장치로서의 MPEG 디코더를 포함한다.

<2>

시스템내의 MPEG 인코드된 신호들을 두 개 이상의 장치에 공급하기 위해서는, 복수의 장치가 액세스할 수 있는 버스를 통해 MPEG 인코드된 신호들을 공급하는 것이 바람직하다. 그러한 버스는 상이한 장치들이 각각의 장치들에 할당된 상이한 시간 슬롯들에 액세스할 수 있도록 하는 액세스 프로토콜을 필요로 한다. 시간 슬롯동안 하나 이상의 패킷이 공급될 수 있으며, 원칙적으로 시간 슬롯의 지속 기간은 시간 슬롯내에 전송되어야 하는 패킷들의 수를 맞추도록 선택될 수 있다.

<3>

시간 슬롯 할당에 필요한 오버헤드를 최소화하기 위하여, 시간 슬롯은 매번 동일한 지속기간을 갖고 주기적으로 반복되는 것이 바람직하다. 이 경우, 시간 슬롯은 시간 슬롯 할당의 반복주기에 도달할 수 있는 모든 패킷들을 수용할 수 있을만큼 긴 지속기간을 가져야 한다. 그러나, 이것은 시간 슬롯할당의 각 주기가 패킷 도착의 동일 정수의 주기들을 포함하지 않거나 패킷들이 불규칙적으로 도착하는 경우, 오버헤드를 야기할 수도 있다.

<4>

본 발명의 목적은 버스를 통해 고정길이 시간 슬롯들로 신호 패킷들을 공급하는 경우 발생하는 오버헤드를 감소시키는 것이다.

<5>

본 발명에 따른 신호처리 시스템은, 시간 슬롯 할당 프로토콜에 따라 동작 가능한 버스를 구비하고, 소오스 장치는 버스를 통해서 목적지 장치로 패킷들을 공급하고 상이한 시간 슬롯들에서 패킷들중 적어도 하나의 제 1부분과 제 2부분을 공급하도록 배치되며, 목적지 장치는 클럭의 시간값이 패킷들중 적어도 하나에서 시간 스탬프에 대응할 때를 검출하면 상기 제 1부분 및 제 2부분으로부터의 데이터를 함께 제공하도록 배치되는 것을 특징으로 한다. 따라서, 패킷들의 부분들이 시간 슬롯들내에 전송될 수 있다. 이것은 시간 슬롯의 지속기간이 시간 슬롯 할당 패턴의 주기내에 도달하는 평균 패킷들의 수에 정합되도록 하며, 패킷은 시간 스탬프를 사용하는 원래의 타이밍과 함께 전체로서 출력될 수 있다.

<6>

원칙적으로, 패킷의 제 2부분은, 시간 슬롯내에서 다른 패킷으로부터의 데이터에 의해서 후속될 수 있다. 그러나, 이것은 패킷의 제 1부분을 포함하는 시간 슬롯으로부터의 데이터 수신 동안 에러가 발생하는 경우 문제들을 야기할 수 있는데, 이는 패킷의 제 1부분이 수신되지 않는 경우, 다음 시간 슬롯에서 얼마나 많은 데이터가 제 2부분에 속하고 얼마나 많이 다른 패킷에 속하는지를 결정하는 것이 불가능하기 때문이다. 따라서, 다른 패킷의 수신은, 이것이 (적어도 부분적으로) 에러들이 없이 수신된 시간 슬

롯내에 포함된다 할지라도 방해된다.

- <7> 본 발명에 따른 신호처리 시스템의 한 실시예는, 목적지 장치가 제 2 부분을 공급한 후 패킷들중 적어도 다른 한 패킷의 적어도 일부를 공급하도록 배치되고, 상기 패킷들중 다른 한 패킷은 상기목적지 장치가 제 2 부분을 공급하는 특정시간 슬롯에서 공급되고, 또한 상기 목적지 장치는 상기 패킷들 중 다른 한 패킷의 특정시간 슬롯에서의 위치를 식별하기 위해 배치되고, 상기 식별부는 특정시간 슬롯의 소정의 위치에서 공급되는 것을 특징으로 한다. 이것은 얼마나 많은 패킷들이 이전시간 슬롯에 전송되었는지를 모르는 경우에도 다른 패킷을 복구하는 것을 가능하게 한다.
- <8> 본 발명에 따른 신호처리 시스템의 또 다른 실시예는, 소오스 장치가 그 입력부에서 패킷 도착의 시작부 및 패킷 도착의 끝부에서의 클럭의 각 시간 샘플들을 획득하고, 상기 시간 샘플들에 관한 정보를 목적지 장치에 전송하도록 배치되며, 목적지 장치는 상기 시간 샘플들간의 차이에 따라 상기 패킷을 제공하는 속도를 조정하도록 배치된다. 이런식으로, 시작부와 끝부가 시작부와 끝부사이에 중지부를 갖는 상이한 시간 슬롯들내에 있다 하더라도, 패킷의 지속기간은 다른 패킷들에 독립적인 목적지 장치에 충실히 재생될 수 있다. 이 시간 스템프들은 바람직하게는 패킷의 내용에 무관한 패킷들에 즉, MPEG 패킷들의 PTS 시간 스템프에 덧붙여 부가된다.
- <9> 본 발명에 따른 신호처리 시스템의 실시예에서 목적지 장치가 선입선출 (first in first out) 버퍼와, 버스를 통해 선입선출버퍼내에 수신된 시간 스템프들을 저장하는 수단, 및 선입선출 버퍼에서 시간 스템프를 선행하는 시간 스템프가 상기 클럭의 계수치와 정합되자마자 각 시간 스템프를 클럭의 계수치와 비교하기 시작하는 수단을 구비한다. 이것은 패킷들이 단일시간 슬롯에 공급되는지 혹은 상이한 시간 슬롯들을 통해 분할되는지의 여부와 무관하게 패킷들의 재구성을 가능케 한다.
- <10> 본 발명에 따른 시스템의 다른 유리한 양상들을 도면을 참조하여 설명한다.
- <11> 제 1도는 다수의 장치를 포함하는 신호처리 시스템의 부분을 도시하는 도면.
- <12> 제 2도는 MPEG 표준을 정의하기 위해 사용된 장치간 접속 구성을 도시하는 도면.
- <13> 제 3도는 본 발명에 따른 신호 처리 시스템을 도시하는 도면.
- <14> 제 4도는 본 발명에 따른 다른 개선된 신호 처리 시스템을 도시하는 도면.
- <15> 제 5도는 제 4도의 시스템에 사용되는 소오스 장치를 위한 아키텍쳐를 도시하는 도면.
- <16> 제 6도는 인터페이스 유닛에 의한 전송용 데이터 패킷의 포맷을 도시하는 도면.
- <17> 제 7도는 시간 스템핑/포맷팅 유닛의 실시예를 더 상세히 도시하는 도면.
- <18> 제 8도는 목적지 장치의 인터페이스 유닛의 상세한 실시예를 도시하는 도면.
- <19> 제 9도는 버스를 통한 전송용 데이터 프레임을 구성하는 단계들을 도시하는 도면.
- <20> 제 10도는 데이터 전송의 예를 도시하는 도면.
- <21> 제 11도는 데이터 전송의 다른 예를 도시하는 도면.
- <22> 제 1도는 버스(14)를 통해 연결된 다수의 장치(10, 12, 16, 18)를 포함하는 신호 처리 시스템의 부분을 도시한다. 버스(14)는 시스템에 있는 다른 장치들(도시하지 않음)에 연결될 수도 있음을 나타내기 위해 절단된 것으로 도시된다. 장치들 중 제1 장치 (10)가 소오스 장치로서 도시되고, 장치들 중 제 2장치(12)가 목적지 장치로 도시된다. 소오스 장치(10)는 기능 유닛(102), 및 인터페이스 유닛(104)을 포함한다. 목적지 장치 (12)는 인터페이스 유닛(124)과 기능 유닛(122)을 포함한다. 이 시스템은 버스(14)를 통하여 다른 정보들중 비디오 신호 정보를 전달하기에 적합하고, 장치들에 대한 예는 방송 수신기, 비디오 레코더, 디스플레이 시스템등이다. 소오스 장치로서 및 목적지 장치로서 둘 다 역할을 할 수 있는 비디오 레코더의 경우, 판독 메카니즘, 채널 인코딩/디코딩 메카니즘등이 기능 유닛(102, 122)내에 위치된다.
- <23> 작동시 버스(14)는 버스(14)에 연결된 2개 이상의 장치(10, 12, 16, 18)로부터 선택된 장치들의 쌍들(예를 들어 10, 12)사이, 혹은 하나의 소오스(예를 들어 10)와 다수의 수신기 (예를 들어 12, 16, 18)사이에 통신을 가능하게 하는 프로토콜을 사용하여 동작된다. 그러한 프로토콜을 갖는 버스(14)의 예는 Apple에 의해 규정되는 P1394버스이다 [High Performance Serial Bus P1394, draft 6.7 version 1 issued February 18, 1994 by the IEEE standards department]. 이 프로토콜에 따르면, 소오스 장치(10)가 비디오 정보를 전송해야 할 때, 버스(14)상에 시간 슬롯을 요구한다. 그러면 버스 프로토콜에 따라 주기적으로 반복하는 시간 슬롯들의 세트로부터의 특정시간 슬롯이 소오스 장치(10)에 할당된다.
- <24> 비디오 정보는 MPEG 표준에 따라 인코드되고 디코드 될 수 있다. 제 2도는 MPEG 표준을 규정하기 위해 사용된 장치들간의 연결 구성을 도시한다. 연결 구성을 인코드되지 않은 비디오 정보를 인코더(21)에 공급하는 입력부(20)를 갖는다. 인코더(21)는 채널(23)을 통하여 디코더(24)에 연결된다. 디코더(24)는 디스플레이 장치(26)에 연결된다. 인코더(21)와 디코더(24)는 각각의 클럭(22, 25)에 연결된다. 인코더(21) 및 디코더(24)는 제1도에 도시한 시스템에서 소오스 장치(10)와 목적지 장치(12)로서 사용될 수 있고, 제 1도의 버스(14)는 제 2도의 채널(23)로서 역할을 한다.
- <25> MPEG 인코딩 공정에서, 입력부(20)에 도달하는 신호의 프리젠테이션 유닛들은 시간 스템프들과 관련된다. 각 시간 스템프는 인코더(21)에 연결된 클럭(22)의 시간값의 샘플이다. 이 클럭은 90 khz의 주파수로 동작한다.
- <26> 샘플링 순시는 스템프가 관련된 프리젠테이션 유닛의 인코더(21)의 도달 시간에 의해 결정된다.
- <27> MPEG 디코딩 공정에서, 시간 스템프들은 프리젠테이션 유닛들이 비디오 디스플레이 장치(26)상의 디스플레이를 위해 디코더(24)의 출력에 나타나는 순시들의 적절한 관련 타이밍을 보증하기 위하여 사용

된다. 이것은 비디오 신호가 적정 속도로 출력되고, 비디오 및 음성이 동기를 유지하며, 디코더(24)가 그 버퍼들을 적절히 관리 할 수 있음을 보증하는 것이다. 이것을 적절히 행하기 위하여, 디코더(24)에 연결된 클럭(25)은 인코더(21)의 클럭(22)에 동기될 필요가 있다. 동기를 이루기 위해서, 인코더(21)는 디코더(24)에 시스템 클럭 기준(system clock reference) (SCR)들을 보낸다. 이들 기준은 예를 들어 소오스 장치(10)로서 인코더(21)에 할당된 시간 슬롯에서 SCR값이 버스(14)상에 입력될 때 전송되는 시간동안의 인코더(21)의 클럭(22)시간값을 포함한다. 이것은 디코더(24)가 클럭(25)의 시간값을 SCR 도달시 SCR에 포함된 시간값으로 설정하도록 하여 클럭을 인코더(21)의 클럭에 동기화시킨다.

<28> 비디오 레코더가 소오스 장치(10)로서 사용될 때 혹은 MPEG 신호를 단지 전달하기만 하고 이를 생성하지 않는 어떤 다른 장치가 소오스 장치(10)로서 사용된 경우 상황은 더욱 복잡하게 된다. 그러한 장치는 유입 MPEG신호가 목적지 장치로 전송될 수 있는 시간 슬롯의 시작부까지 상기 유입 MPEG 신호를 버퍼할 필요가 있다. 이것은 SCR 신호의 시간값이 통상 SCR 신호를 전송하는 시간에 더 이상 대응하지 않는다는 것을 의미한다. 제 1도의 목적지 장치(12)가 제 2도에서 설명한 바와 같이 디코더(24)인 경우 이것은 SCR 신호가 클럭(25)을 동기화시키기 위해 더 이상 사용될 수 없음을 의미한다.

<29> 제 3도는 이것을 정정하기 위한 시스템을 도시한다. 제 3도는 제 1도와 유사하며 동일한 참조 번호들을 사용한다. 제 1도의 특징들에 부가하여, 클럭(106)은 수신된 MPEG 신호를 전달하는 장치인 소오스 장치(10)에 포함되었다. 제 3도에 따른 시스템에서, 타이밍 에러는 SCR 시간값들을 SCR 신호의 전송 시간에 대응하는 시간값들로 대체하는 것에 의해 정정된다. 이것을 실현하기 위해, 추가의 클럭 (106)이 소오스 장치(10)에 포함된다. 추가의 클럭(106)은 위에서 디코더의 클럭 (25)에 대해 설명한 바와 같이 MPEG 신호에 동기화된다. 추가의 클럭(106)은 SCR 신호가 버스(14) 프로토콜에 따른 전송을 위해 할당된 시간 슬롯에서 전송되는 순시에 대응하는 순시에서 샘플링된다. 샘플치는 소오스장치(10)에 의해 전달되는 MPEG 신호의 SCR 값을 대체하는데 사용된다.

<30> 기록 캐리어로부터 MPEG 신호를 검색하는 비디오 레코더/재생 장치가 소오스 장치로서 사용될 수 있다. 원칙적으로, MPEG 신호는 기록 매체에 특이한 몇몇 기본적인 채널 인코딩 후에 기록 캐리어상에 기록될 수 있다. 기록 캐리어의 속도가 기록과 재생시에 동일한 경우 적절하게 시간 조정된 MPEG 신호를 생성한다. 그러나, 재생이 그렇게 행해진 경우, 기록 매체로부터 복원된대로의 SCR 신호의 SCR 타이밍은 예를 들어 테이프 스크래칭과 같은 영향들에 기인하여 더 이상 정확하지 않다.

<31> 본 출원인의 코펜딩(copending) 출원(발명자 van Gestel, 출원인 reference PHN 14. 818 특히 22면 22행이하)으로부터, 이는 참고로 본원에 참조되며, 이것을 정정하기 위한 메카니즘이 공지되어 있다. 이 메카니즘에 대하여, 비디오 레코더는 다른 클럭을 구비한다. 기록 모드시, 다른 클럭은 다른 시간 스템프들을 비디오 레코더에서 예를 들어 인코더(21)로부터 수신한 MPEG 신호와 관련시키는 데 사용된다. 이를 다른 시간 스템프들은 MPEG과 함께 다른 시간 스템프들에 대응하는 MPEG 신호의 점들을 식별하는 것이 가능하도록 기록 캐리어상에 기록된다.

<32> MPEG 신호를 재생하기 위해 비디오 레코더가 사용되는 경우, 다른 클럭도 또한 사용된다. 다른 클럭의 시간값은 기록 캐리어상에 기록되어 있는 다른 시간스탬프들과 비교되고 그 비교의 결과가 MPEG 신호의 재생 속도를 제어하고, 최초 기록된 MPEG 신호의 관련 타이밍은 추가의 클럭을 참조로 재생된다.

<33> 위에서 제 3도를 참조하여 설명한 바와 같이, 재생 신호는 계속하여 버스 (14)를 통해 전송될 수 있어, 소오스 장치(10)가 버스(14)로 액세스되는 시간 슬롯들에 따라 SCR 값들을 정정한다.

<34> 그러나, 비디오 레코더의 경우와 같이, 소오스 장치(10)가 MPEG 신호를 단순히 전달하는 경우, 이 정정을 위해 소오스 장치가 MPEG 신호를 해석해서 SCR 신호들을 위치시키는 것은 유리하지 않다.

<35> 제 4도는 이를 정정하기 위한 개선된 시스템을 도시한다. 제 4도는 제 1도와 유사하고 동일한 참조 번호들을 사용한다. 제 1도의 특징들에 부가하여, 이 시스템은 소오스 장치(10)의 인터페이스 유닛(104)에 연결된 클럭(108)을 포함한다. 이 시스템은 목적지 장치(12)의 인터페이스 유닛(124)과 기능 유닛(122)사이에 연결된 버퍼(129)와 목적지 장치에서 인터페이스 유닛(124)과 버퍼(129)에 연결된 클럭(128)을 더 포함한다.

<36> 작동시, 소오스 장치(10)와 목적지 장치(12)의 클럭들(108, 128)은 예를 들어 버스(14)에 연결된 장치들(10, 12, 16, 18)중 어느 것일 수도 있는 시간 마스터 장치에 의해 버스(14)상에 주기적으로 생성되는 신호들에 응답하여 서로 동기화된다. 이를 클럭은 예를 들어 약 25 MHZ의 주파수로 즉, MPEG 디코더의 클럭보다 더 빠르게 작동하여 지터에 기인한 부정확성을 최소화한다.

<37> 다양한 신호들의 타이밍이 제 4a도에 도시되고, 이것은 슬롯 번호(SLT#)가 부여된 연속적인 슬롯들이 표시된 시간 스케일(SCL)을 포함한다. 이 시간 스케일위에, 4개의 선(I, SCR, DST, 0)이 사용되어 MPEG 신호(10)에 의해 인코드된 신호, 인터페이스 유닛(104)(SCR), 인터페이스 유닛(124)(DST), 및 목적지 장치 (12)(0)의 출력부에서 이벤트들의 순시를 나타내는데 사용된다.

<38> MPEG 신호에 의해 인코드된 신호는 목적지 장치(12)의 출력부에서 원래의 관련 타이밍으로 재생되어야 하는 순시들(a, b, c, d)에서의 이벤트들을 포함한다.

<39> 소오스 장치의 기능 유닛(102)은 MPEG 신호를 인터페이스 유닛에 공급하도록 배치되어, SCR 신호들은 그들의 정확한 순시들(예를 들어 마크된 SRC상의 ts)에 나타난다. MPEG 신호의 수신시, 순시에서(t₁)에서, 제1인터페이스 유닛(104)은 클럭(104)을 샘플한다. 이어서, 버스 프로토콜에 따라 이에 할당된 시간 슬롯에서 인터페이스 유닛(104)은 클럭의 샘플치와 조합하여 MPEG 신호를 전송한다. MPEG 신호는 제 2 인터페이스 유닛(124)에 의해 수신된다. 이 인터페이스 유닛(124)은 MPEG 신호가 버퍼(129)로부터 목적지 장치(12)로 전달되는 동안 목적지 장치(12)의 클럭(128)이 MPEG 신호가 전송된 클럭(108)의 샘플치를 소정의 지연치 만큼 초과할 때까지 신호를 버퍼(129)내에 둔다. 이런식으로, 소오스 장치(10)의 기능 유닛(102)에 의해 생성된 신호의 타이밍이, 버스(14)용으로 사용된 프로토콜에 따라 소오스 장치(10)에 할당된 시간 슬롯을 대기시킨에 의해 야기될 수 있는 최대 지연만큼 적어도 크게 선택된 지연값으로 재생된다.

- <40> SCR신호가 목적지 장치(12)의 기능 유닛(122)에 전달되는 순시의 정확한 타이밍을 보증하는 최선의 방법은 SCR 신호가 소오스 장치(10)의 인터페이스 유닛(104)에 제공되는 순시에서의 클럭(108)의 시간값을 샘플하여 획득한 샘플에 따라 이 신호를 기능 유닛(122)에 공급하는 것이다. 그러나, 이것은 SCR 신호를 위치시키기 위해 신호의 해석을 필요로 한다.
- <41> 바람직한 대안은 인터페이스 유닛이 MPEG 신호 패킷을 수신하기 시작한 순시 및 수신이 종료되는 순시 둘 다에서 소오스 장치(10)의 클럭(108)을 샘플하는 것이다. 따라서, 패킷의 지속기간은 소오스 장치(10)의 클럭(108) 주기들에 의해 측정된다. 패킷의 시작부 및 그 지속 기간을 기술하는 정보는 버스(14)를 통하여 목적지 장치(12)로 전송된다.
- <42> 목적지 장치(12)에서, 패킷이 기능 유닛에 공급되는 속도는, 목적지 장치(12)의 클럭(128)의 시간값들에 의한 패킷의 지속 기간을 소오스 장치(10)로부터 패킷과 함께 전송된 것과 동일하게 되도록 적용된다. 이것은 예를 들어 클럭(128)의 시간값이 전송의 시작부에서의 시간값을 수신 지속 기간값의 부분만큼 초과하는 경우에만 패킷으로부터의 각 정보 바이트를 공급함에 의해 실현될 수 있다. 이 부분은 패킷내의 바이트의 상대위치에 대응한다. 이런식으로, 패킷에 대한 어떠한 해석이 발생하지 않더라도 SCR 신호와 같은 패킷 내측의 모든 신호는 적절히 타이밍되어 유지된다.
- <43> 패킷의 시작부와 끝부에서의 클럭(108)의 샘플들을 기술하는 정보의 전송은 바람직하게 클럭(108)의 모든 샘플을 포함하지 않는다; 이를 샘플들의 다수의 최상위(most significant) 비트들은 생략될 수 있다. 소오스 장치(10)의 인터페이스 유닛(104)에서의 패킷 도착 사이의 간격은 소정 최대치를 초과 할 수 없음이 공지되어 있기 때문에 최상위 비트들은 목적지 장치(12)에서 재구성될 수 있다. 최상위 부분을 생략하는 것에 의해 샘플들을 전송하기 위해 필요한 전송 용량이 감소된다.
- <44> 또한, 패킷의 시작부를 기술하는 정보는 바람직하게 적어도 부분에서 패킷의 끝부를 기술하는 샘플치에 관한 차이로서 주어진다. 이런식으로, 샘플들을 전송하는데 필요한 용량이 감소된다. 그러나, 패킷의 시작부를 기술하는 정보의 최하위(a least significant) 부분은 바람직하게 패킷의 끝부에 관해 차별적이 아닌 클럭 샘플로서 전송된다. 이런식으로, 패킷의 시작부를 기술하는 정보와 패킷의 끝부를 기술하는 정보의 최상위 부분들만이 합산되어 목적지 장치(12)내의 인터페이스 유닛(124)의 패킷으로부터의 데이터를 출력하는 순시를 계산한다; 최하위 부분은 합산될 필요가 없다. 이것은 연산 노력과 전송용량 모두를 효율화한다.
- <45> 바람직하게, 패킷의 끝부에 관해 차별적으로 코드화 되지 않는 최하위 부분은 패킷의 시작부가 수신되는 시간 슬롯들의 주기적으로 반복하는 패턴에서의 위상을 나타낸다. 수신 장치(12)의 인터페이스 유닛(124)의 패킷으로부터 데이터 출력이 개시되는 순시는 바람직하게 소오스 장치의 인터페이스 유닛(104)에서의 패킷의 시작부의 도착후 시간 슬롯의 주기적으로 반복하는 패턴의 주기들의 정수이다. 이 순시는 목적지 장치(12)에서의 클럭(128)값의 최하위 부분들과 패킷의 시작부를 기술하는 정보의 그것과 비교하고, 그 2개가 소오스 장치(10)의 인터페이스 유닛(194)에서의 패킷의 시작부의 수신 후 소정수의 주기인 주기에서 정합할 때의 순시에서 출력을 개시함에 의해 검출된다.
- <46> 소오스 장치(10)의 샘플 클럭(108)에 관한 정보를 목적지 장치(12)로 전송하는 포맷의 바람직한 예는 다음과 같다 :
- (12비트 SPHASE, 5비트 CCI, 12비트 EPHASE, 3비트 ECN)
- <47> 여기서, SPHASE는 소오스 장치(10)의 인터페이스 유닛(104)에서, 패킷 도착의 시작부에서의 소오스 장치의 클럭(108)의 위상이다.
- <48> EPHASE는 소오스 장치(10)의 인터페이스 유닛(104)에서의 패킷 도착의 끝부에서 소오스 장치의 클럭(108)의 위상이다.
- <49> CCI는 소오스 장치(10)의 인터페이스 유닛(104)에서의 패킷의 시작부와 끝부의 도착 주기 수 사이의 차이이다.
- <50> ECN은 소오스 장치(10)의 인터페이스 유닛(104)에서 패킷의 끝부의 도착 주기 수이다. 소오스 장치(10)의 시간 스템프가 기록될 때, 그것이 수신되는 바와 같은 MPEG 신호의 타이밍을 반영하는 시간 스템프들이 기록되는 기록 캐리어를 사용하는 비디오 레코더일 수도 있다. 이 경우, 소오스 장치는 2개의 클럭 즉, 인터페이스 유닛(104)에 연결된 클럭(104)과, 인터페이스 유닛(104)에 공급되기 전에 원래의 MPEG 신호를 재생하기 위해 기록 캐리어상에 기록된 다른 시간 스템프들과 관련하여 사용되는 다른 클럭(도시하지 않음)을 포함한다.
- <51> 이 경우, 원칙적으로, 소오스 장치의 인터페이스 유닛(104)에 연결된 클럭(108)의 사용을 생략하고, 다른 시간 스템프를 버스(14)를 통하여 목적지 장치(12)로 보내는 것도 가능하고, 재생 모드의 비디오 레코더에 대해 설명한 바와 같이, MPEG 신호의 적절한 타이밍이 복구된다. 목적지 장치가 기록모드의 레코더인 경우, 그후에 MPEG 신호를 재구성할 필요조차 없다. 대신 MPEG 신호 및 소오스 장치(10)(이 경우 비디오 레코더임)로부터 획득한 시간 스템프들은 다른 시간 스템프없이 기록 모드에서 비디오 레코더의 기록캐리어상에 직접 기록될 수 있다. 이런 식으로, 여분의 시간 스템프들을 획득하기 위한 샘플링을 하지 않으며, 또한 여분의 시간 동안 지터(jitter)도 없다.
- <52> 그러나, 이것은 수신된 신호가 비디오 레코더부터 혹은 또 다른 장치로부터 나온 것인지에 따라 수신된 신호를 다르게 처리해야 한다는 것을 의미한다. 이에 필요한 오버 헤드를 피하기 위해, 제 4도의 시스템을 사용하는 것이 바람직하다.
- <53> 제 5도는 제 4도의 시스템에 사용되는 소오스 장치에 대한 아키텍처를 도시한다. 제 5도는 기능 유닛(50)과 인터페이스 유닛(51)을 도시하며, 이는 버스(53)에 연결된 출력 커넥터(52)를 갖는다. 기능 유닛(50)은 각각의 신호 유닛 형성/수신 구성요소들(505, 506)(또한 기능 유닛(50)에 있음)에 연결된 명령 및 제어 유닛(502)과, 음성/비디오 유닛(504a 내지 504d)을 포함한다. 음성/비디오 유닛(504 a-d)용의 신호 유닛형성/수신 구성요소(506)는 인터페이스 유닛(51)의 시간 스템핑/포맷팅 유닛(511)에 연결된다.

다. 명령 및 제어 유닛(502)용 신호 유닛 형성/수신구성요소(506)는 인터페이스 유닛(51)의 처리 유닛(512)에 연결된다. 시간 스템핑/포맷팅 유닛(511)은 클럭(516)에 연결된다. 시간 스템핑/포맷팅 유닛(511)과 처리 유닛(512)은 링크층 유닛(513)에 연결된다. 링크층 유닛은(513)은 물리층 유닛(514)에 연결되고, 물리층 유닛(514)은 커넥터(52)이 연결된다. 모드 관리 유닛(515)은 처리 유닛(512), 링크층 유닛(513) 및 물리층 유닛(514)에 연결된다.

<55> 버스는 2가지 유형의 메시지 패킷이 전송되도록 한다 : 소위 비동기 패킷들과 동기 패킷들. 버스 프로토콜에 따라, 장치는 주기적으로 반복하는 시간 슬롯들이 이에 할당되는 것을 요구 할 수 있다. 그후에 인터페이스 유닛(52)은 할당된 시간 슬롯들에서 버스를 통해 동기 패킷들을 전송한다. 동기 패킷들은 통상 음성/비디오 정보를 포함한다. 비동기 패킷들도 시간 슬롯들에 전송되지만, 이를 시간 슬롯들은 주기적으로 반복하는 것이 아니고, 버스 아비트레이션(bus arbitration) 프로토콜을 사용하여 한 번에 하나씩 획득되어야 한다. 비동기 패킷들은 통상 명령 및 제어 정보를 포함한다.

<56> 작동시, 음성/비디오 유닛(504a-d)은 예를 들어 헤더와 서브코드 정보 신호들과 조합하여 MPEG 신호를 생성한다. 신호 유닛 형성/수신 구성요소(506)에서, 이들 신호는 인터페이스 유닛(51)에서 수용 가능한 신호유닛들로 변환된다. 이 신호유닛들은 그들의 도달시 클럭(516)을 샘플하고, 기능 유닛(50)으로부터 수신한 신호 유닛들과 클럭(516)의 샘플을 포함하는 신호 패킷을 형성하는 시간 스템핑/포맷팅 유닛(511)에 전달된다. 이를 패킷은 패킷 어드레싱, 데이터 체킹 및 프레이밍을 행하는 링크층 유닛(513)에 전달된다. 이 패킷들은 전기적 인터페이스, 비트들의 검출 및 전송, 버스 아비트레이션을 제공하는 물리층 유닛(514)에 전달된다.

<57> 명령 및 제어 유닛(502)은 버스(53)에 연결된 하나 이상의 장치의 기능을 명령하고 제어하는 신호를 발생한다. 이 정보는 신호 유닛으로 변환되고, 비동기 패킷으로서 처리 유닛(512)에 전달된다. 전달 유닛은 그들을 동기 패킷에 의해 점유되지 않은 시간 슬롯에서 보내기 위해 링크층 유닛(513)에 공급한다. 명령 및 제어 정보를 갖는 패킷은 시간 스템프를 수신하지 않는다 : 단지 동기 패킷만이 시간 스템프를 수신한다.

<58> 처리 유닛(512), 링크층 유닛(513) 및 물리층 유닛(515)의 동작은 노드 관리 유닛(515)에 의해 조종된다.

<59> 제 6도는 인터페이스 유닛(51)에 의한 전송용 데이터 패킷의 포맷을 도시한다. 이것은 패킷에서의 데이터 길이를 특정하는 "data len" 필드, 태그 필드(tag), 채널 필드(chan), t코드 필드(tcode), 동기 필드(sy), 에라 정정용 CRC 코드를 위한 필드(CRC(1), CRC(2)), 시간 스템프 및 데이터를 포함한다.

<60> 제 7도는 시간 스템핑/포맷팅 유닛의 일 실시예를 상세히 도시한다. 이것은 데이터 멀티플렉서(data mux)를 통하여 링크층 유닛(70)에 연결된 버퍼(data fifo=First In First Out 저장 장치)를 포함한다. 시간 스템핑/포맷팅 유닛은 또한 제어유닛(CTL), 스템프 fifo (STAMP FIFO)에 연결된 b길이 카운터(BLEN CNT)에 연결된 카운터(CNT), t길이 카운터 (TLECNT)에 연결된 길이 fifo(LEN FIFO)에 연결된 b길이 카운터 LBLEN(CNT)를 포함한다. t길이 카운터 (TLEN CNT) 및 스템프 fifo는 데이터 멀티플렉서(data mux)에 연결된 각각의 출력부를 갖는다. 링크층 유닛(70)은 카운터(CNT)에 연결된다. 제어 유닛(CTL)은 다양한 부분의 각각에 연결된다.

<61> 작동시, 인터페이스 유닛(CTL)은 기능 유닛으로부터 데이터 클럭 신호, 데이터 유효 신호, 패킷 신호의 시작부, 패킷 신호의 끝부 및 스템프 제어 신호와 같은 여러 신호를 수신한다. 이들 신호에 응답하여, 제어 유닛(CTL)은 데이터 fifo에서의 데이터 판독(바이트씩)을 제어한다. 스템프 제어 신호에 응답하여, 제어 유닛 (CNT)은 스템프 fifo가 카운터(CNT)의 시간차의 샘플을 유지하도록 한다. 또한 제어 유닛(CNT)은 패킷에서 바이트 총수를 계수하여 패킷의 길이를 설정한다.

<62> 링크층 유닛(70)이 패킷이 링크층 유닛에 전송되는 것을 요구할 때, 제어 유닛은 먼저 데이터 멀티플렉서를 전환하여 채널 및 t코드 정보와 계수된 길이를 전달하고, 이어서 스템프 fifo에서 샘플된 시간 스템프를 전한 다음 데이터 fifo로부터의 데이터를 (각각이 4개의 연속적인 리드 바이트인 소위 quadlets으로) 전달한다.

<63> 카운터 (CNT)는 버스에 연결된 시간 마스터 (도시되지 않음)로부터의 신호에 따라 링크층 유닛(70)에 의해 시간 마스터의 시간에 주기적으로 동기된다.

<64> 제 8도는 목적지 장치의 인터페이스 유닛의 구체적인 실시예를 도시한다. 이것은 데이터 fifo, 에라 fifo (ERR FIFO), 스템프 fifo, t코드 레지스터 (TCODE) 및 t 길이 레지스터 (TLEN)에 연결된 물리층/연결층 유닛 (80)을 구비한다. 데이터 fifo와 에라 fifo는 목적지 장치의 기능 유닛에 연결된다. 인터페이스 유닛은 비교기 (COMP)에 연결된 카운터(CNT)를 구비하고, 스템프 fifo는 가산기 (ADDER)를 통해 비교기에 연결된다. 비교기는 제어유닛(CTL)에 연결된 알람 출력부를 갖는다. t 길이 레지스터에 연결된다. 모든 구성요소는 제어유닛(CTL)에 연결된다.

<65> 동작시, 링크층 유닛 (80)은 버스를 통해 전송 인터페이스 유닛으로부터 수신한 데이터를 전달한다. 제어유닛의 제어하에, 이 정보는 다양한 레지스터와 FIFOs에 전달된다. 시간 스템프는 스템프 fifo로 입력된다. 거기서부터 소정 오프셋이 시간 스템프에 가산되는 가산기로 출력된다. 오프셋은 소오스 장치의 인터페이스 유닛에의 도달과 목적지 장치의 인터페이스 유닛에의 도달 사이에 신호가 일어날 수 있는 최대 지연을 나타낸다. 시간 스템프와 오프셋의 합은 카운터 (CNT)가 상기 합에 이르렀을 때 알람 신호를 제어 유닛 (CTL)에 공급하는 비교기 (COMP)로 공급된다. 이에 응답하여 제어 유닛은 데이터 FIFO가 링크층 유닛(80)으로부터 수신한 데이터를 기능 유닛으로 공급하게 하고, 패킷 신호의 시작부를 발하여 데이터를 유효로서 식별한다. 그 데이터는 기능 유닛에 의해 공급된 데이터 클럭의 제어하에 데이터 FIFO밖으로 클럭된다.

<66> 제 9도는 버스를 통한 전송용 데이터 프레임 구성단계를 도시한다. 제 9도는 시간의 함수로서 4 개의 트레이스 (90, 92, 94, 96)를 도시한다.

<67> 제 1 트레이스 (90)는 소오스 장치 (10)의 인터페이스 유닛 (104)에 도달하는 대로의 데이터를 도

시한다. 이 데이터는 각각 L 바이트인 패킷 ($M_k, M_{k+1}, M_{k+2}, M_{k+3}$)으로 이루어진다. 제 2 및 제 3 트레이스 (92, 94)는 시간 슬롯에서의 전송용 데이터 프레임 구성의 중간 단계를 도시한다. 제 2 단계에서, 시간 스템프 정보 ($S_k, S_{k+1}, S_{k+2}, S_{k+3}$)가 패킷 ($M_k, M_{k+1}, M_{k+2}, M_{k+3}$) 사이에 삽입되었다. 시간 스템프 정보 (S_k)의 각 항목은 예를 들어 패킷 (M_k)에서 어떤 (시작부와 같은) 기준점의 도착에서 클럭(108)의 시간값, 혹은 다른 (끝부와 같은) 기준점에서의 시간값에 관한 정보를 포함할 수도 있다. 제 3 트레이스 (94)에서 도입부분 (X, L, C)p는 제 2 트레이스 (92)에 도시된 신호의 특정 점에 삽입되었다. 이 도입부분은 패킷의 길이 (L)와 각 프레임의 사이퀀스 수 (C)를 포함할 수도 있다.

<68> 또한, 제 3 트레이스 (94)에서 각각이 도입부분으로 시작하고, 각각이 각 시간슬롯에서의 전송을 위한 것인 각 프레임 (N_p, N_{p+1})이 표시되었다. 도입부분은 각 프레임 (N_p, N_{p+1})이 스템프 정보 ($S_k, S_{k+1}, S_{k+2}, S_{k+3}$)에 대응하여 다수의 패킷 ($M_k, M_{k+1}, M_{k+2}, M_{k+3}$)을 포함할 수도 있도록 삽입되었다.

<69> 버스 전송 용량의 효율적인 사용을 위해 패킷이 하나 이상의 프레임 (N_p, N_{p+1})으로 분산될 수 있는 것이 바람직하다. 제 3 트레이스에서, 도입부분 (X, L, C)p는 패킷 (M_{k+2})의 부분이 두 개의 프레임 (N_p, N_{p+1})에 있도록 삽입되었다. 이 패킷에 대한 시간 스템프 정보 (S_{k+2})는 패킷 (M_{k+2})으로 부터의 정보를 포함하는 마지막 프레임 (N_{p+1})에 있다. 따라서, 제 9도에 도시한 바와 같이, $M_k, S_k, M_{k+1}, S_{k+1}$ 의 부분과 M_{k+2} 의 부분이 도입부분 (X, L, C)p과 함께 1개의 프레임 (N_p)에 배치된다.

<70> 패킷으로부터의 데이터는 하나 이상의 프레임 (N_p, N_{p+1})에 분산되기 때문에, 제 2 프레임의 데이터는 패킷의 시작부에 의해서 시작하지 않는다. 이것은 프레임 (N_p)이 예를 들어 전송 에라에 기인하여 잃게 된 경우 바람직하지 않다. 이 경우 잃은 프레임 (N_p)의 부분이 아닌 패킷 (M_{k+3}) 조차도 선행 패킷 (M_{k+2})으로부터의 미지수의 바이트가 그들을 선행했기 때문에 그들이 프레임 (N_{p+1}) 어디에서 시작했는지를 결정할 수 없는 경우 복구불가능할 수도 있다. 이것을 방지하기 위해, 각 프레임 (N_p, N_{p+1})은 그 프레임에서의 패킷의 시작부 (있는 경우)로의 각 포인터 (X_p, X_{p+1})를 포함한다. 이 포인터는 패킷 (M_k) (일부가 한 프레임 내에 전송된)의 제 1부분이 끝나는 점에서부터 다음 패킷이 시작하는 점까지의 바이트 (X_p) 수를 결정하므로써 계산될 수도 있다. 시간 슬롯에서의 에라의 경우, 목적지 장치의 인터페이스 유닛 (124)은 다음 유효 시간 슬롯의 포인터 (X)를 읽어서 그 포인터에 의해서 표시된 시간 슬롯 내의 위치로부터의 패킷을 읽기 시작한다.

<71> 최종적으로, 제 9도의 제 4 트레이스 (96)에서, 프레임 (N_p, N_{p+1})은 각각의 헤더 ($hdr(p)$, $hdr(p+1)$), 및 에라 정정 정보부 ($crc(p)$)에 의해서 확장되었다.

<72> 제 10도는 데이터 전송의 예를 도시한다. 제 10도는 각각 소오스 장치 (10)의 인터페이스 유닛 (104)의 입력부, 버스 (14), 및 목적지 장치 (12)의 인터페이스 유닛 (124)의 출력부에 도달하는 대로의 시간함수로서 데이터의 3개의 트레이스 (1001, 1002, 1003)를 포함한다. 제 9도에서, 다수의 패킷이 시간 슬롯의 주기적으로 반복하는 패턴의 각 주기 <n> <n+1> 동안 도달하는 것으로 가정한다.

<73> 제 1 트레이스 (1001)는 다수의 패킷을 도시한다. 하나의 패킷 (1012)의 시작부와 끝부를 나타내었다. 이들은 주기적으로 할당된 시간 슬롯 패턴의 주기 <n> 내에서 각 위상 ϕ_s, ϕ_p 에 대응한다.

<74> 제 2 트레이스 (1002)는 연속적인 주기에서의 다수의 시간 슬롯을 도시한다. 도시된 시간슬롯 (1014)에서, 관련 시간 스템프 정보를 포함하는 패킷 (1012)으로부터 정보가 전송된다. 이 시간 스템프 정보는 예를 들어 위상 ($SPHASE=\phi_s, EPHASE=\phi_p$), 인터페이스 유닛 (104)에서의 패킷의 시작부와 끝부 도착 주기수 사이의 차이 (CCI) (예를 들어 $CCI=0$), 및 패킷의 끝부가 인터페이스 유닛 (104)에 도달한 주기의 수의 최하위 부분 (ECN)을 포함한다.

<75> 제 3 트레이스는 목적지 장치 (12)의 인터페이스 유닛 (124)으로부터 출력된 대로의 패킷의 일부만, 특히 제 1 트레이스 (1001) 상에 나타난 패킷에 대응하는 패킷 (1016)을 도시한다. 이 패킷 (1016)의 출력 시작은 그것이 소오스 장치의 인터페이스 유닛 (104)에 도달했던 대로 주기의 동일 위상 (ϕ_s)에서 일어난다. 출력은 주기의 정수 (k) 지연으로 일어난다. 출력의 주기수는 정보가 버스 (14)를 통해 전송되었던 주기의 수 <n+1>와, 패킷의 끝부가 소오스 장치 (10)의 인터페이스 유닛 (104)에 수신되었던 주기의 수 <n>의 최하위 부분 (ECN)으로부터 계산된다. 패킷의 끝부가 소오스 장치 (10)의 인터페이스 유닛 (104)에서 수신되었던 주기의 전 주기수 <n>은 표시된 최하위 부분 (ECN)을 갖는 <n+1>전에 최고의 주기수로서 복구된다. CCI는 전 주기수 <n>으로부터 감산되어 패킷 (1012)의 시작부가 수신되었던 원주기수 <n>을 결정한다. 목적지 장치 (12)의 인터페이스 유닛 (124)가 주기 카운트 <n+k>가 원주기수 <n> 후 주기수의 고정수 k 에 이르렀다고 판단했을 때 출력이 일어난다.

<76> 제 11도는 데이터 전송의 다른 예를 도시한다. 제 11도는 제 10도와 대체로 유사하지만 이와 대비되게 각 패킷 (예를 들어 1112)이 시간 슬롯의 주기적으로 반복하는 패턴의 다수의 주기 <n> <n+1> ... 동안 소오스 장치의 인터페이스 유닛 (104)에 도달하는 것으로 가정한다. 제 11도는 각각 소오스 장치 (10)의 인터페이스의 입력부, 버스 (14), 및 목적지 장치 (12)의 인터페이스 유닛 (124)의 출력부에 도달하는 대로의 시간의 함수로서 데이터의 3개의 트레이스 (1101, 1102, 1103)를 포함한다.

<77> 제 1 트레이스 (1101)은 다수의 패킷을 도시한다. 하나의 패킷 (1112)에 대한 시작부와 끝부가 표시되었다. 이들은 주기적으로 할당된 시간 슬롯 패턴의 주기 <n>, <n+p> 내에서 각 위상 ϕ_s, ϕ_p 에 대응한다.

<78> 제 2 트레이스 (1102)는 연속적인 주기에서의 다수의 시간 슬롯을 도시한다. 다수의 연속적인 시간슬롯 (1114a-d)에서, 관련 시간 스템프 정보를 포함하는 패킷 (1112)으로부터의 정보가 전송된다.

<79> 제 3 트레이스는 목적지 장치 (12)의 인터페이스 유닛 (124)으로부터 출력된 대로의 패킷, 특히

제 1트레이스 (1103) 상에 나타난 패킷에 대응하는 패킷 (1116)을 도시한다. 이 패킷 (1116)의 출력시작은 그것이 소오스 장치의 인터페이스 유닛(104)에 도달했던대로 주기의 동일위상(ϕ_s)에서 일어난다. 출력은 주기의 정수 (k) 지연으로 일어난다.

<80> 시간 스탬프를 인코딩하는 시스템은 패킷의 길이에 종속하지 않는 패킷의 끝부에 대한 타임 스템프를 코딩하기 위한 정보용량으로, 주기적으로 할당된 시간 슬롯 패턴의 일 주기 미만 동안 지속하는 패킷과, 복수의 그러한 주기 동안 지속하는 패킷 모두에 대해 소정 지연이 가능하도록 하는 것임은 물론이다.

(57) 청구의 범위

청구항 1

목적지 장치에 연결된 소오스 장치를 구비하는 신호 처리 시스템에 있어서,

상기 소오스 장치는 상기 목적지 장치에 각각 시간 스템프(time stamp)를 구비하는 일련의 패킷들을 공급하도록 배치되며, 상기 목적지 장치는 클럭을 구비 하며, 패킷들을 수신하고 클럭의 시간값이 특정 패킷내의 시간 스템프에 대응할 때를 검출하여 그 특정 패킷으로부터의 데이터를 출력부에 제공하도록 배치되는데,

상기 시스템은 시간 슬롯 할당 프로토콜에 따라 동작 가능한 버스를 구비하고, 상기 소오스 장치는 상기 버스를 통해 상기 목적지 장치로 패킷들을 공급하고 상기 패킷들중 적어도 하나의 제 1부분과 제 2부분을 상이한 시간 슬롯들에서 공급하도록 배치되며, 상기 목적지 장치는 상기 클럭의 시간값이 패킷들중 적어도 하나의 시간 스템프에 대응할 때를 검출하면 상기 제 1부분 및 제 2부분으로부터의 데이터를 함께 제공하도록 배치되는 것을 특징으로 하는 신호 처리 시스템.

청구항 2

제 1항에 있어서,

상기 목적지 장치는 적어도 상기 제 2부분을 공급한 후 패킷들중 적어도 다른 하나의 패킷의 적어도 일부를 공급하도록 배치되고, 상기 패킷들중 다른 한 패킷은 상기 목적지 장치가 상기 제 2부분을 공급하는 특정 시간 슬롯에서 공급되고, 또한 상기 목적지 장치는 상기 패킷들중 다른 한 패킷의 특정 시간 슬롯에서의 위치를 식별하기 위해 배치되고, 상기 식별부는 특정시간 슬롯의 소정의 위치에서 공급되는 것을 특징으로 하는 신호 처리 시스템.

청구항 3

제 1항 또는 제 2항에 있어서,

상기 소오스 장치는 그 입력부에서 상기 패킷 도착의 시작부 및 패킷 도착의 끝부에서의 클럭의 각 시간 샘플들을 획득하고, 상기 시간 샘플들에 관한 정보를 상기 목적지 장치에 전송하도록 배치되며, 상기 목적지 장치는 상기 시간 샘플들간의 차이에 따라 상기 패킷을 제공하는 속도를 조정하도록 배치되는 것을 특징으로 하는 신호 처리 시스템.

청구항 4

제 1항 또는 제 2항에 있어서,

상기 목적지 장치는 선입선출(first in first out) 버퍼와 상기 버스를 통해 수신된 시간 스템프들을 상기 선입선출 버퍼에 저장하는 수단, 및 상기 선입 선출 버퍼에서 시간 스템프를 선행하는 시간 스템프가 클럭의 계수치와 정합되자마자 각 시간 스템프를 상기 클럭의 계수치와 비교하기 시작하는 수단을 구비하는 것을 특징으로 하는 신호 처리 시스템.

청구항 5

제 1 항 또는 제 2 항에 있어서,

상기 소오스 장치는 상기 시간 스템프들에 대한 선입 선출 버퍼를 구비하는 신호처리 시스템.

청구항 6

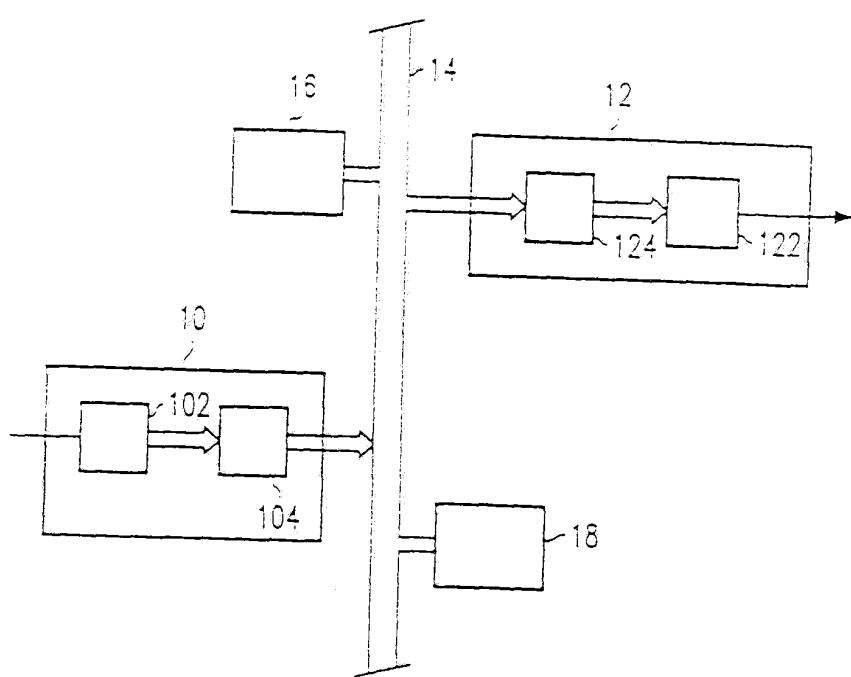
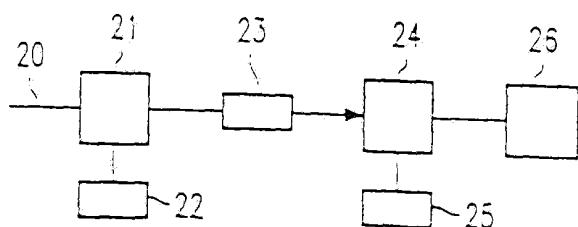
제 1항 또는 제 2항에 따른 신호처리 시스템용 소오스 장치.

청구항 7

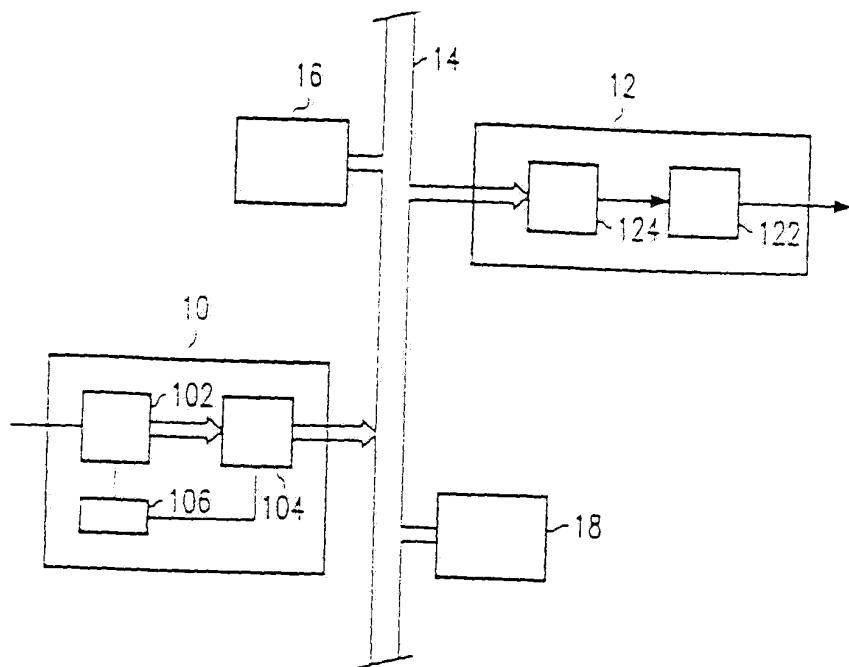
제 1항 또는 제 2항에 따른 신호처리 시스템용 목적지 장치.

요약

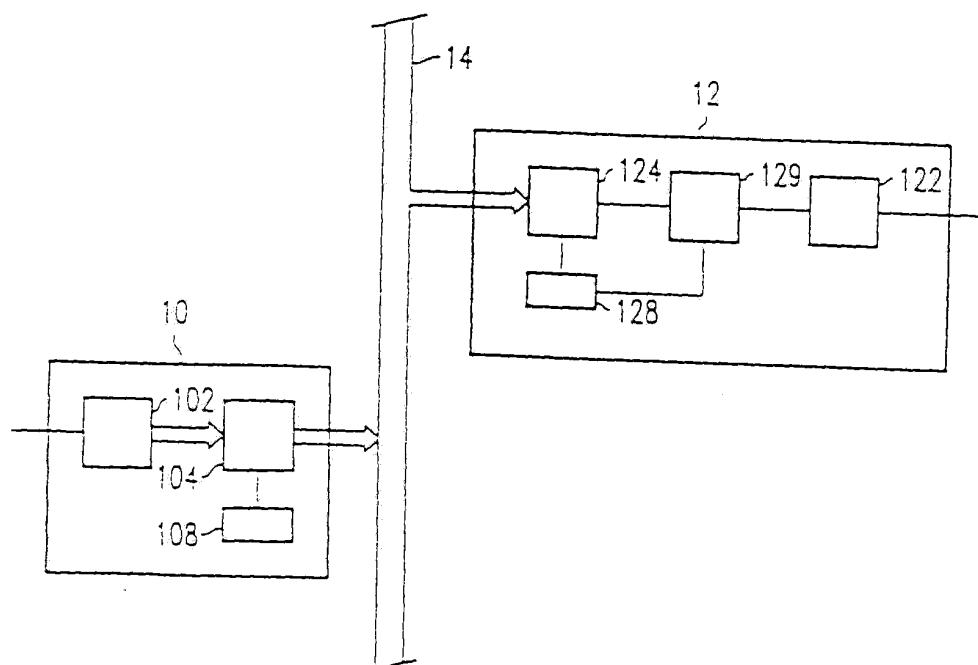
신호처리 시스템은 시간 슬롯 할당 프로토콜에 따라 동작 가능한 버스를 통해 목적지에 연결된 소오스 장치를 포함한다. 소오스 장치는 버스를 통해 목적지 장치에 각각 시간 스템프를 구비하는 일련의 패킷을 공급하도록 배치된다. 목적지 장치는 클럭을 구비하고 패킷을 수신하며 클럭의 시간 값이 특정 패킷의 시간 스템프에 대응할 때를 검출하고 그 결과 그 특정 패킷으로부터의 데이터를 시간 슬롯 할당 프로토콜에 따라 동작 가능한 출력부에 제공하도록 배치된다. 소오스 장치는 패킷 중 하나 이상에서의 시간 스템프에 대응할 때를 검출함과 함께 제 1부분 및 제 2부분을 상이한 시간 값이 패킷 중 하나 이상에서의 시간 스템프에 대응할 때를 검출함과 함께 제 1부분 및 제 2부분으로부터의 데이터를 제공하도록 배치된다.

대표도**도1****도면****도면1****도면2**

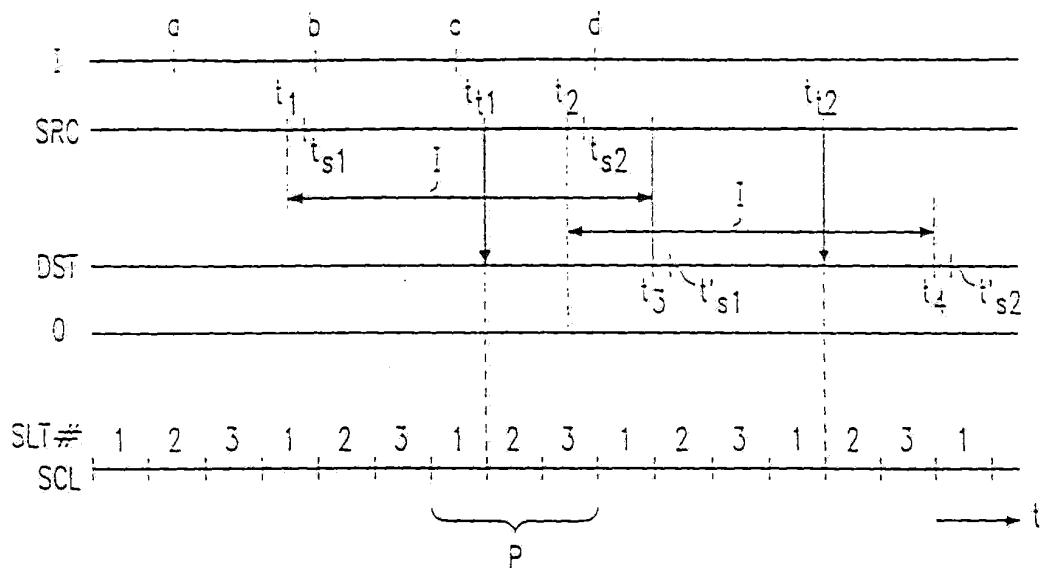
도면3



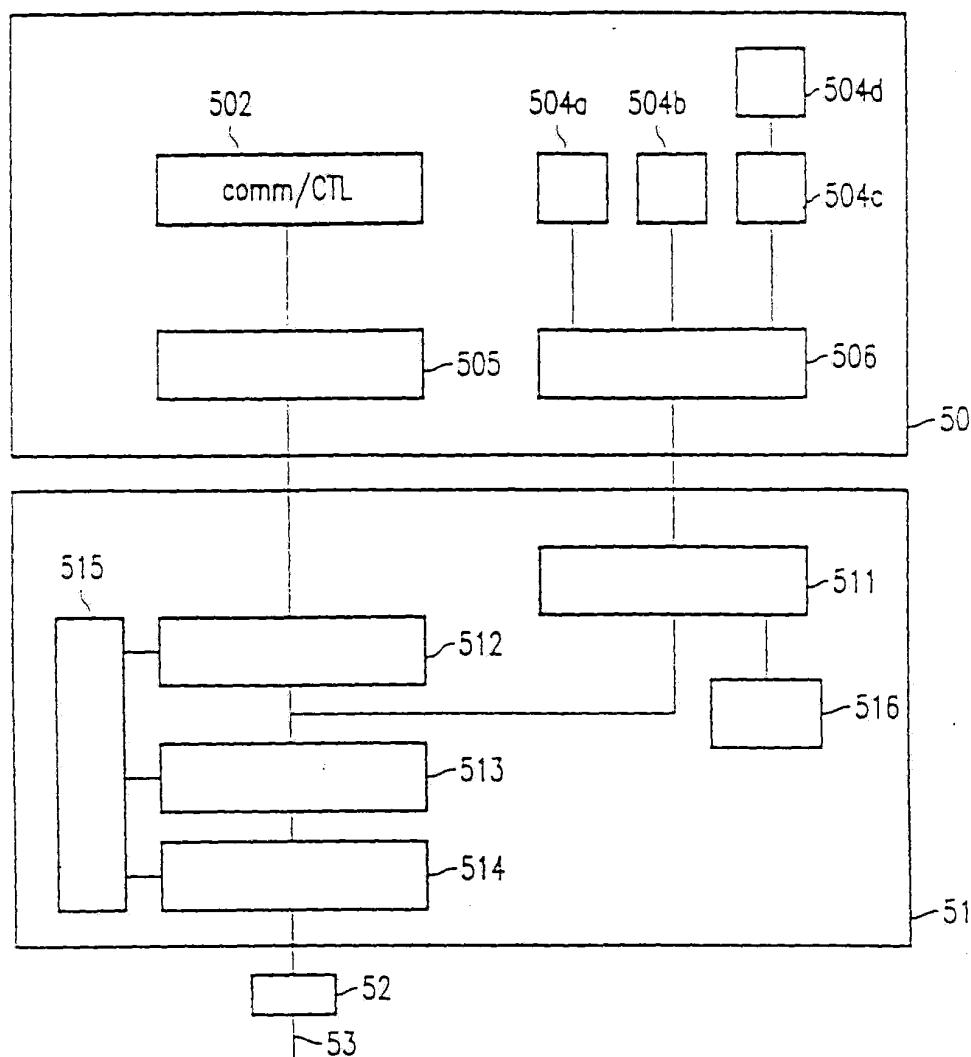
도면4



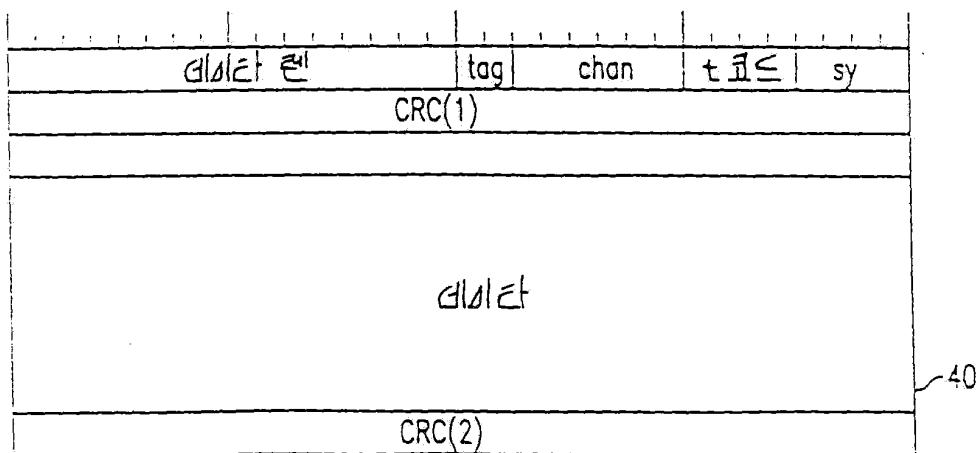
도면4a



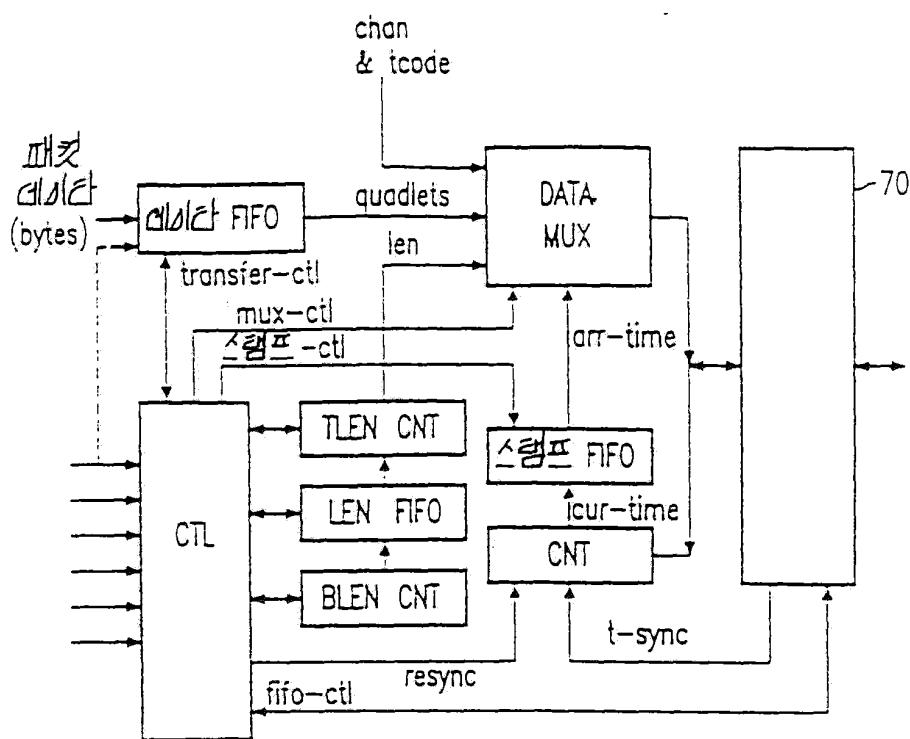
도면5



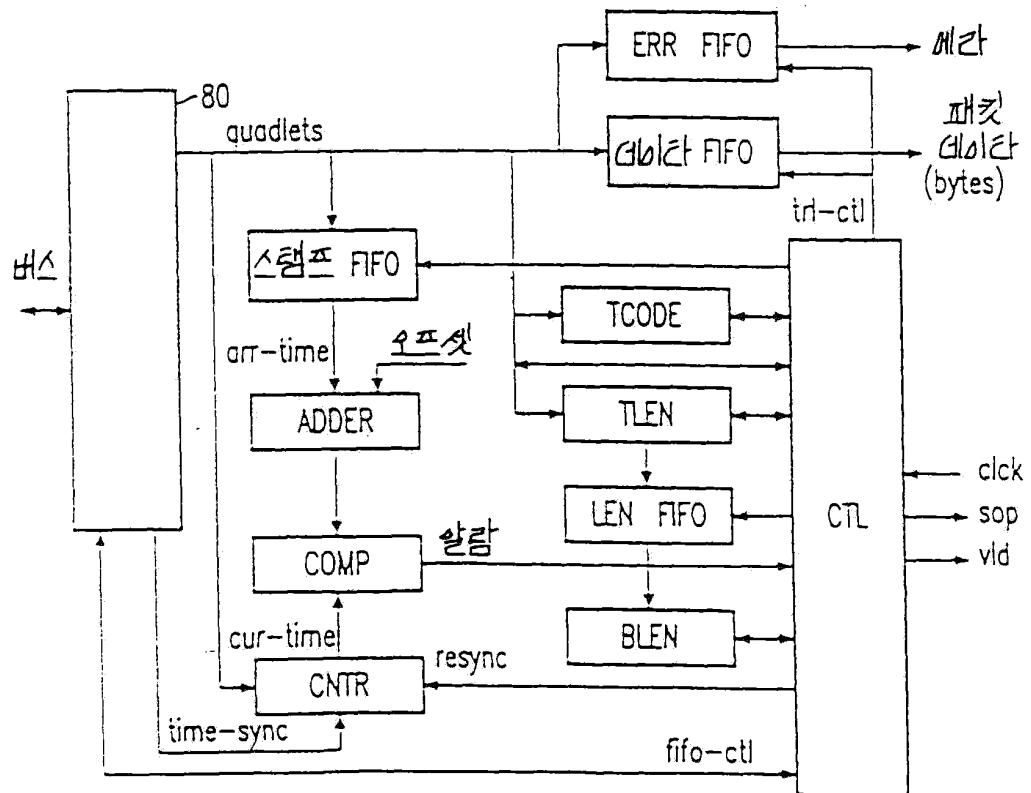
도면6



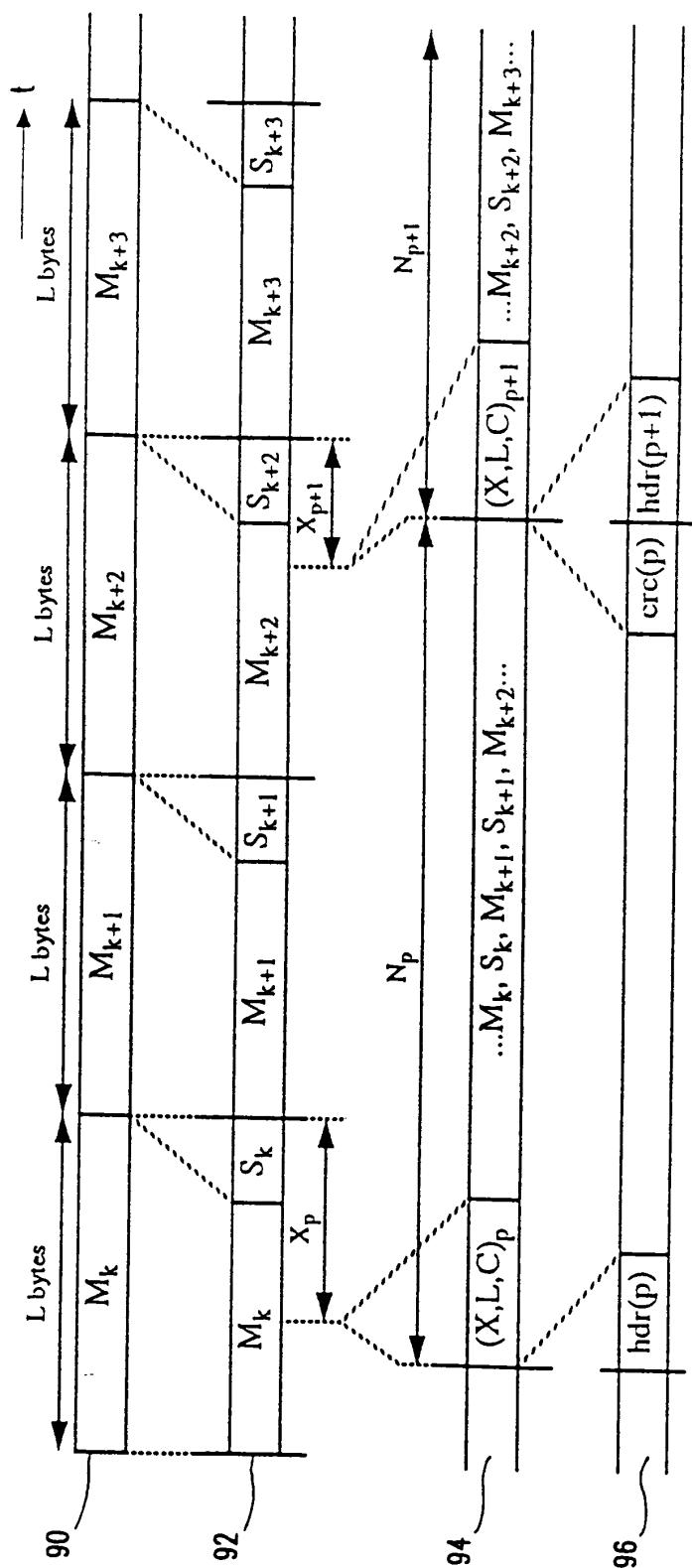
도면7



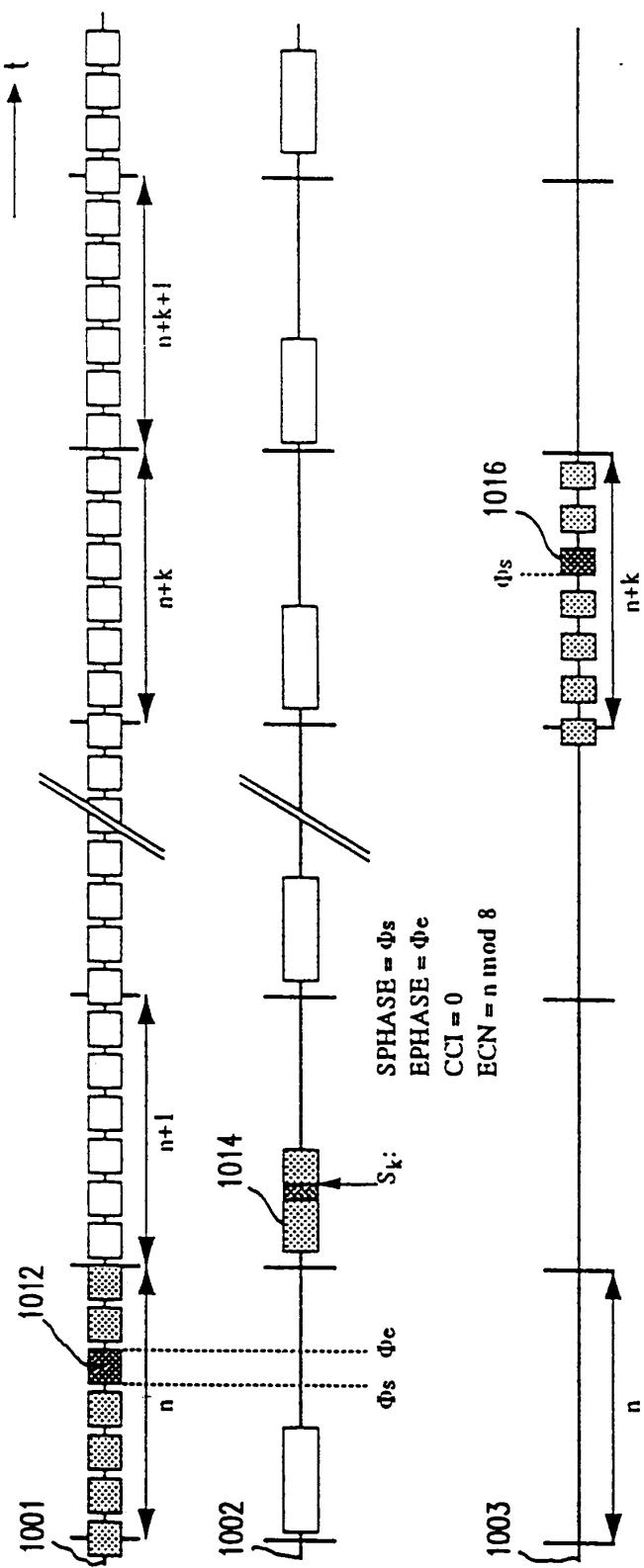
도면8



도면9



도면10



도면11

