

(21)申請案號：100106617

(22)申請日：中華民國 100 (2011) 年 03 月 01 日

(51)Int. Cl. : **H01L21/768 (2006.01)**

(30)優先權：2010/09/30 美國 12/895,296

(71)申請人：台灣積體電路製造股份有限公司 (中華民國) TAIWAN SEMICONDUCTOR
MANUFACTURING CO., LTD. (TW)

新竹市新竹科學工業園區力行六路 8 號

(72)發明人：楊固峰 YANG, KU FENG (TW)；林詠淇 LIN, YUNG CHI (TW)；張宏賓 CHANG,
HUNG PIN (TW)；吳倉聚 WU, TSANG JIUH (TW)；邱文智 CHIOU, WEN CHIH
(TW)

(74)代理人：洪澄文；顏錦順

申請實體審查：有 申請專利範圍項數：10 項 圖式數：16 共 26 頁

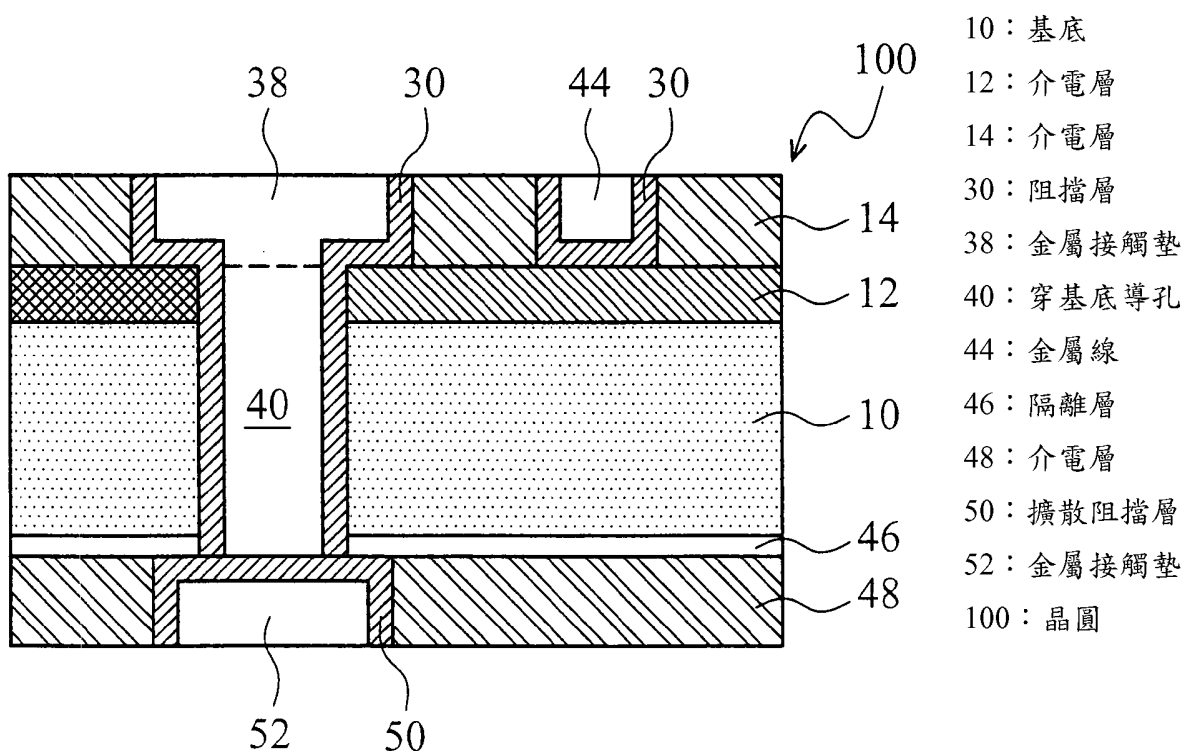
(54)名稱

形成穿基底導孔的方法

METHOD FOR FORMING A THROUGH-SUBSTRATE VIA (TSV)

(57)摘要

一元件包括一基底，其具有一第一表面與相對於該第一表面的一第二表面。一穿基底導孔 (through-substrate via, TSV) 自該基底的該第一表面延伸至該第二表面。一介電層設置於該基底上。一金屬接觸墊設置於該介電層中且實際接觸該穿基底導孔，其中該金屬接觸墊與該穿基底導孔係由一相同材料所形成，且其中沒有由與該相同材料不同的材料所形成的層介於該穿基底導孔與該金屬接觸墊之間並將該穿基底導孔與該金屬接觸墊彼此隔開。



(21)申請案號：100106617

(22)申請日：中華民國 100 (2011) 年 03 月 01 日

(51)Int. Cl. : **H01L21/768 (2006.01)**

(30)優先權：2010/09/30 美國

12/895,296

(71)申請人：台灣積體電路製造股份有限公司 (中華民國) TAIWAN SEMICONDUCTOR
MANUFACTURING CO., LTD. (TW)

新竹市新竹科學工業園區力行六路 8 號

(72)發明人：楊固峰 YANG, KU FENG (TW)；林詠淇 LIN, YUNG CHI (TW)；張宏賓 CHANG, HUNG PIN (TW)；吳倉聚 WU, TSANG JIUH (TW)；邱文智 CHIOU, WEN CHIH (TW)

(74)代理人：洪澄文；顏錦順

申請實體審查：有 申請專利範圍項數：10 項 圖式數：16 共 26 頁

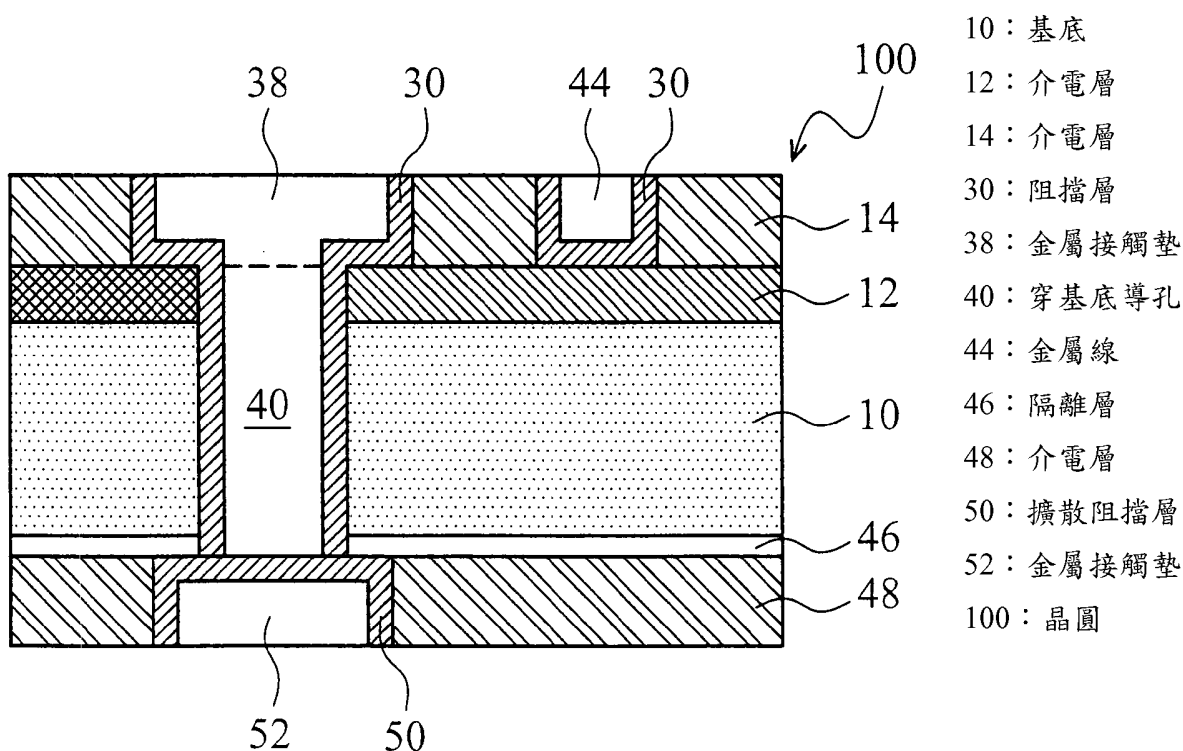
(54)名稱

形成穿基底導孔的方法

METHOD FOR FORMING A THROUGH-SUBSTRATE VIA (TSV)

(57)摘要

一元件包括一基底，其具有一第一表面與相對於該第一表面的一第二表面。一穿基底導孔 (through-substrate via, TSV) 自該基底的該第一表面延伸至該第二表面。一介電層設置於該基底上。一金屬接觸墊設置於該介電層中且實際接觸該穿基底導孔，其中該金屬接觸墊與該穿基底導孔係由一相同材料所形成，且其中沒有由與該相同材料不同的材料所形成的層介於該穿基底導孔與該金屬接觸墊之間並將該穿基底導孔與該金屬接觸墊彼此隔開。



六、發明說明：

【發明所屬之技術領域】

本發明係關於一種半導體元件的形成方法，且特別關於一種穿基底導孔(through-substrate via, TSV)的形成方法。

【先前技術】

穿基底導孔(through-substrate via, TSV)通常使用於三維(three-dimensional, 3D)積體電路中。穿基底導孔穿過基底，且被用來與在基底之相對側上的結構電性互相耦接(inter-couple)。

一般而言，穿基底導孔形成製程包括蝕刻或鑽孔進入基底以形成穿基底導孔開口。之後以一導電材料填入穿基底導孔開口，其之後被平坦化以移除超出部分，且於基底中之導電材料的剩餘部分形成穿基底導孔。之後，例如，使用鑲嵌製程形成額外之金屬線及/或金屬接觸墊於穿基底導孔上並與穿基底導孔電性耦接。

【發明內容】

一種形成穿基底導孔的方法，包括：提供一基底；形成一介電層於該基底上；形成一第一開口於該基底中；形成一第二開口於該介電層中，其中該第一與該第二開口具有不同的水平尺寸；填入一金屬材料於該第一與第二開口中；以及執行一平坦化於該金屬材料上以移除該金屬材料高於該介電層之一頂部表面的超出部分，其中該金屬材料的剩餘部分形成一穿基底導孔於該第一開口中，與一第一金屬接觸墊於該第二開口中。

一種形成穿基底導孔的方法，包括：提供一基底；形成一隔離層於該基底上；形成一第一介電層於該隔離層上；形成一第一開口自該第一介電層的一頂部表面延伸進入該基底；蝕刻該第一介電層以擴大該第一介電層中之該第一開口成為一第二開口；形成一第一擴散阻擋層於該第一與該第二開口之側壁上；填入一金屬材料於該第一與該第二開口中且於該第一擴散阻擋層上；以及執行一平坦化於該金屬材料上以移除該金屬材料高於該第一介電層之一頂部表面的超出部分以形成一穿基底導孔於該第一開口中，與一第一金屬接觸墊於該第二開口中。

為了讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉較佳實施例，並配合所附圖示，作詳細說明如下：

【實施方式】

依照一實施例提供一種新穎之穿基底導孔(through substrate via, TSV)與其形成方法。以圖解說明製造一實施例的中間階段。之後討論實施例的變化。遍及不同之圖式與說明實施例中，使用相同之標號來表示相同之元件。

參見第 1 圖，提供基底 10。基底 10 可為晶圓 100 的一部份。所繪出之結構為於晶圓 100 中之一晶片/晶粒的一部份，其包括複數個與所繪出之晶片相同的晶片。基底 10 可由一半導體材料所形成，例如矽、矽鍺、碳化矽、砷化鎵或其他通常使用之半導體材料。或者，基底 10 係

由一介電材料所形成，例如氧化矽。晶圓 100 可包括主動元件，例如電晶體（未顯示）。因此，晶圓 100 為一元件晶圓(device wafer)，且於其中之分別的晶片/晶粒為元件晶片/晶粒(device chip/die)。或者，晶圓 100 沒有主動元件，且可包括，或可不具被動元件，例如電容器、電阻器、電感器(inductor)、變容器(varactor)及/或其類似物（未顯示）。因此，晶圓 100 為一插入晶圓(interposer wafer)其包括中介片(interposer)，或為一晶圓其包括封裝基底(package substrate)。

於基底 10 上形成介電層 12。在一實施例中，基底 10 為一半導體基底，且介電層 12 為一隔離層，其可包括藉由基底 10 之熱氧化所形成的一氧化物。或者，介電層 12 可藉由使用一沈積方法來形成，且可包括氧化矽、氮化矽或其類似物等。在於其中在基底 10 之表面 10a 上形成主動元件（未顯示）的實施例中，介電層 12 可包括層間介電層(inter-layer dielectric)（於其中形成連接至電晶體之閘極、源極與汲極區的接觸插塞(contact plug)（未顯示））。介電層 12 可更包括一接觸蝕刻終止層(contact etch stop layer, CESL)（未顯示）。於介電層 12 上形成介電層 14。介電層 14 的材料可包括氧化矽、一旋塗式介電質(spin-on dielectric, SOD)材料、聚醯亞胺(polyimide)及/或其類似物。或者，介電層 14 係由一低介電常數材料所形成，其具有，例如小於約 3.0，或小於約 2.5 的 k 值。介電層 14 的厚度可大於介電層 12 的厚度。介電層 12 與 14 可由相同或不同的材料所形成。介電層 14 可更包括一

蝕刻終止層（例如，一氮化矽層或一碳化矽層，未顯示）及/或一抗反射塗佈層(anti-reflection coating layer, ARC)（例如，一氮氧化矽層，未顯示）。

參見第 2 圖，穿基底導孔開口 18 係藉由蝕刻進入介電層 14、12 與進入基底 10 來形成。在其中基底 10 為一半導體基底的實施例中，熱氧化襯底 20 可形成於基底 10 暴露於穿基底導孔開口 18 的表面上。熱氧化襯底 20 可藉由使用熱氧化來形成，然而，也可使用一沈積方法，例如電漿輔助化學氣相沈積(plasma-enhanced chemical vapor deposition, PECVD)。

第 3 與 4 圖圖解說明光阻 22 的施用與圖案化。參見第 3 圖，提供光阻 22。光阻 22 可流進穿基底導孔開口 18 中。於第 4 圖中，將光阻 22 暴露於光下並顯影，隨著光阻 22 直接位於穿基底導孔開口 18 上的部分被移除。為了在介電層 14 中形成溝槽，可移除光阻 22 的額外部分。其觀察到光阻 22 於穿基底導孔開口 18 中的下部，可不被充分地暴露於光下，且因此在光阻 22 的顯影期間不被移除。

接著，如於第 5 圖中所示，將光阻 22 使用為一罩幕以蝕刻介電層 14。在蝕刻步驟期間，介電層 12 可被使用為一蝕刻終止層，然而可於介電層 12 與 14 之間形成一額外的蝕刻終止層（未顯示）。由於蝕刻步驟，接觸墊開口 24 與溝槽 26 被形成於介電層 14 中。之後，例如經由一灰化(ashing)步驟來移除光阻 22。光阻 22 在穿基底導孔開口 18 中的部分也被移除。在所產生的結構中，接

觸墊開口 24 可具有一水平尺寸 W1（其可為一直徑或一長度/寬度，依據接觸墊開口 24 的上視形狀），其大於穿基底導孔開口 18 的水平尺寸 W2。

第 6 圖圖解說明阻擋層 30 與晶種層 32 的形成。於一實施例中，阻擋層 30 係由鈦、氮化鈦、鈮及/或氮化鈮所形成。晶種層 32 可由銅或銅合金所形成。阻擋層 30 與晶種層 32 的可實施形成方法包括物理氣相沈積 (physical vapor deposition, PVD)、化學氣相沈積 (chemical vapor deposition, CVD) 與其他沈積方法。

之後，例如使用電化學電鍍 (electro-chemical plating, ECP) 將金屬材料 34 填入開口 18、24 與 26 中，如於第 7 圖中所示。晶種層 32 與金屬材料 34 可由相似之材料所形成，例如銅，且因此晶種層 32 似乎被與金屬材料 34 合併，且不顯示於接下來的圖式中。金屬材料 34 可包括銅或銅合金。金屬材料 34 的頂部表面高於介電層 14 的頂部表面。接著，執行化學機械研磨 (chemical mechanical polish, CMP) 以移除金屬材料 34 高於介電層 14 之頂部表面的部分。因此，形成金屬接觸墊 38、金屬線 44 與穿基底導孔 40。在說明書中，所提及之金屬接觸墊 38 與金屬線 44 為位於金屬層 M1 中，其為第一金屬層直接位於基底 10 上。在接下來的步驟中，額外之金屬層與導孔 (via)（未顯示）可被形成於金屬層 M1 上，且可電性耦接至金屬接觸墊 38、金屬線 44 與穿基底導孔 40。焊錫凸塊 (solder bumps)（未顯示）也可被形成於 M1 上與於額外之金屬層上，若有的話，且可電性耦接至金屬接觸墊 38、金屬線

44 與穿基底導孔 40。

接著，如第 9 圖中所示，於基底 10 之表面 10b 上執行一研磨，直到穿基底導孔 40 被露出。於所產生之基底 10 的表面 10b 上形成隔離層 46。隔離層 46 可由氧化矽、氮化矽或其類似物所形成。然後，如於第 10 圖中所示，介電層 48 係形成於隔離層 46 之上。介電層 48 可包括與介電層 14 相似的材料。之後擴散阻擋層 50 與金屬接觸墊 52 被形成於介電層 48 中，且與穿基底導孔 40 電性耦接。相似地，擴散阻擋層 50 可由鈦、氮化鈦、鈮及/或氮化鈮所形成，而金屬接觸墊 52 可由一含銅材料所形成。擴散阻擋層 50 與金屬接觸墊 52 的形成製程可包括形成一接觸墊開口（未顯示，被擴散阻擋層 50 與金屬接觸墊 52 所佔據）於介電層 48 中、形成一擴散阻擋層與一晶種層、執行一電化學電鍍來以一金屬材料填滿開口，及之後執行一化學機械研磨以移除超出之金屬材料。也可將額外之金屬層與凸塊(bump)（未顯示）形成於與金屬接觸墊 52 相同側之基底 10 上，並電性耦接至穿基底導孔 40。

在如第 10 圖中所示之結構中，觀察到金屬接觸墊 38 與穿基底導孔 40 不具有擴散阻擋層位於其間。作為替代地，分別之擴散阻擋層 30 自介電層 14 之頂部表面連續地延伸進入基底 10 中。換句話說，金屬接觸墊 38 與穿基底導孔 40 係由相同之材料所形成，其自介電層 14 之頂部表面連續地延伸至基底 10 的底部表面，而無擴散阻擋層（其由一不同於金屬接觸墊 38 與穿基底導孔 40 的

材料所形成) 介於金屬接觸墊 38 與穿基底導孔 40 之間並隔開金屬接觸墊 38 與穿基底導孔 40。另一方面，穿基底導孔 40 與金屬接觸墊 52 為藉由擴散阻擋層 50 來彼此分隔，擴散阻擋層 50 係由一不同於穿基底導孔 40 與金屬接觸墊 52 之材料的材料所形成。此外，金屬接觸墊 38 可被形成於基底 10 的正面或背面上。在其中主動元件(未顯示)被形成於晶圓 100 中的實施例之中，自晶圓 100 切割所產生的晶片/晶粒可為一元件晶粒。或者，其中沒有主動元件被形成於晶圓 100 中的實施例，自晶圓 100 切割所產生的晶片/晶粒可為一插入晶粒(interposer die)，或為一封裝基底。

在以上所討論的實施例中，在形成穿基底導孔 40 之後，形成隔離層 46、介電層 48、擴散阻擋層 50 與金屬接觸墊 52。在替代實施例中，可在形成穿基底導孔 40 之前，形成隔離層 46、介電層 48、擴散阻擋層 50 與金屬接觸墊 52。因此，在穿基底導孔開口(參照第 2 圖中的 18)的形成中，擴散阻擋層 50 與金屬接觸墊 52 可被使用為蝕刻基底 10 的蝕刻終止層。

第 11 至第 16 圖圖解說明依照替代實施例於一穿基底導孔的形成中之中間階段的剖面圖。除非以不同方式載明，否則於這些實施例中之標示數字代表如於第 1 至 10 圖中所圖解說明之實施例中的相同元件。因此，不於此重複這些元件的材料與形成細部。參見第 11 圖，提供基底 10。基底 10 係由半導體材料所形成，例如矽。在第 12 圖中，例如藉由蝕刻進入基底 10 來形成穿基底導孔開

口 18。於穿基底導孔開口 18 的側壁與底部形成介電襯底 60。在一實施例中，介電襯底 60 係由熱氧化所形成，且因此可包括，例如氧化矽。在替代實施例中，可使用適合形成保角介電層(conformal dielectric layer)之沈積方法來沈積介電襯底 60，且介電襯底 60 可包括氧化矽、氮化矽、氮氧化矽及/或其他通常使用之介電材料。介電襯底 60 因此包括在穿基底導孔開口內的部分與直接在基底 10 之頂部表面 10a 上並與基底 10 之頂部表面 10a 接觸的部分。

接著，參見第 13 圖，例如，使用適合形成非保角介電層的沈積方法來於介電襯底 60 上形成介電層 14。一示範之沈積方法為，例如化學氣相沈積。相似地，介電層 14 可更包括一蝕刻終止層（例如，氮化矽層或碳化矽層，未顯示）及/或一抗反射塗佈層（ARC，例如一氮氧化矽層，未顯示）。因此，較少介電材料被沈積於穿基底導孔開口 18 內。然後，於介電層 14 上形成光阻 22，如於第 14 圖中所示，且之後將光阻 22 圖案化以於介電層 14 中形成接觸墊開口 24 與溝槽 26。所產生之結構為顯示於第 15 圖中。之後移除光阻 22。剩餘製程實質上與於第 6 至 10 圖中所示相同，且因此不於此詳述。第 16 圖圖解說明在執行如顯示於第 6 至 10 圖中之類似製程步驟後所產生結構，其結構包括金屬接觸墊 38 與 52、穿基底導孔 40 與金屬線 44。與如在第 10 圖中所示之實施例相似，金屬接觸墊 38 與穿基底導孔 40 不具有一擴散阻擋層於其間，而擴散阻擋層 30 之一自介電層 14 之頂部表面連

續延伸至基底 10 之表面 10b。

依照實施例，一元件包括一基底，其具有一第一表面與相對於該第一表面的一第二表面。一穿基底導孔自基底的第一表面延伸至第二表面。一介電層設置於基底上。一金屬接觸墊設置於介電層中且實際接觸穿基底導孔，其中金屬接觸墊與穿基底導孔係由一相同之材料所形成，且其中沒有由與此相同材料不同的材料所形成的層介於穿基底導孔與金屬接觸墊之間並將穿基底導孔與金屬接觸墊彼此隔開。

依照其他實施例，一元件包括一基底，其具有一頂部表面與相對於頂部表面的一底部表面；一穿基底導孔自基底之頂部表面延伸進入基底；一隔離層於基底之頂部表面上；一介電層於隔離層上；一金屬接觸墊於介電層中且接觸穿基底導孔，其中金屬接觸墊與穿基底導孔係由一相同之材料所形成，且具有不同之水平尺寸；以及一導電擴散阻擋自介電層的一頂部表面延伸至且穿基底導孔的底部表面，其中導電擴散阻擋包圍金屬接觸墊與穿基底導孔。

依照又其他實施例，一元件包括一半導體基底，其具有一頂部表面與相對於頂部表面的一底部表面；一穿基底導孔自基底之頂部表面延伸至底部表面；一第一介電層於半導體基底上；一第二介電層於第一介電層上；以及一金屬接觸墊於第二介電層中且與穿基底導孔電性耦接。金屬接觸墊與穿基底導孔係由一相同之含銅材料所形成，其中金屬接觸墊具有一水平尺寸其大於穿基底

導孔的水平尺寸。元件更包括一擴散阻擋層，其包括於金屬接觸墊之側壁上的一第一側壁部分；以及於穿基底導孔之側壁上的一第二側壁部分，其中擴散阻擋層不包括任何延伸於金屬接觸墊與穿基底導孔之間的部分。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

第 1 至 10 圖為依照各種實施例於一穿基底導孔的製造中之中間階段的剖面圖。

第 11 至 16 圖為依照替代實施例於一穿基底導孔的製造中之中間階段的剖面圖。

【主要元件符號說明】

10～基底；

10a、10b 基底 10 之表面；

100～晶圓；

12、14、48～介電層；

18～穿基底導孔開口；

20～熱氧化襯底；

22～光阻；

24～接觸墊開口；

26～溝槽；

W1～接觸墊開口 24 的水平尺寸；

W2～穿基底導孔開口 18 的水平尺寸；

- 30～阻擋層；
- 32～晶種層；
- 34～金屬材料；
- 38、52～金屬接觸墊；
- 40～穿基底導孔；
- 44～金屬線；
- 46～隔離層；
- 50～擴散阻擋層。

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：100106617

※申請日：100. 3. 01

※IPC 分類：H01L 21/168

(2006.01)

一、發明名稱：(中文/英文)

形成穿基底導孔的方法

Method for forming a through-substrate via (TSV)

二、中文發明摘要：

一元件包括一基底，其具有一第一表面與相對於該第一表面的一第二表面。一穿基底導孔(through-substrate via, TSV)自該基底的該第一表面延伸至該第二表面。一介電層設置於該基底上。一金屬接觸墊設置於該介電層中且實際接觸該穿基底導孔，其中該金屬接觸墊與該穿基底導孔係由一相同材料所形成，且其中沒有由與該相同材料不同的材料所形成的層介於該穿基底導孔與該金屬接觸墊之間並將該穿基底導孔與該金屬接觸墊彼此隔開。

三、英文發明摘要：

A device includes a substrate having a first surface, and a second surface opposite the first surface. A through-substrate via (TSV) extends from the first surface to the second surface of the substrate. A dielectric layer is disposed over the substrate. A metal pad is disposed in

the dielectric layer and physically contacting the TSV, wherein the metal pad and the TSV are formed of a same material, and wherein no layer formed of a material different from the same material is between and spacing the TSV and the metal pad apart from each other.

七、申請專利範圍：

1. 一種形成穿基底導孔的方法，包括：

提供一基底；

形成一介電層於該基底上；

形成一第一開口於該基底中；

形成一第二開口於該介電層中，其中該第一與該第二開口具有不同的水平尺寸；

填入一金屬材料於該第一與第二開口中；以及

執行一平坦化於該金屬材料上以移除該金屬材料高於該介電層之一頂部表面的超出部分，其中該金屬材料的剩餘部分形成一穿基底導孔於該第一開口中，與一第一金屬接觸墊於該第二開口中。

2. 如申請專利範圍第 1 項所述之形成穿基底導孔的方法，更包括在該填入該金屬材料的步驟之前，形成一擴散阻擋層於該第一與第二開口的側壁上。

3. 如申請專利範圍第 1 項所述之形成穿基底導孔的方法，更包括在該形成該第一開口的步驟之後與該形成該第二開口的步驟之前，形成一介電襯底於該基底暴露於該第一開口的表面上。

4. 如申請專利範圍第 1 項所述之形成穿基底導孔的方法，更包括在該形成該介電層的步驟之前，形成一隔離層於該基底之一頂部表面上並與該基底之該頂部表面接觸。

5. 如申請專利範圍第 1 項所述之形成穿基底導孔的方法，其中該形成該介電層的步驟係被形成在該形成該第

一開口的步驟之後，且其中該方法更包括在該形成該第一開口的步驟之後與該形成該介電層的步驟之前，形成一介電襯底於該第一開口的側壁上與該基底的一頂部表面上。

6. 如申請專利範圍第 1 項所述之形成穿基底導孔的方法，更包括，在該執行該平坦化的步驟之後：

研磨該基底直到該穿基底導孔露出；

形成一擴散阻擋層接觸該穿基底導孔；以及

形成一第二金屬接觸墊接觸該擴散阻擋層且電性耦接至該穿基底導孔。

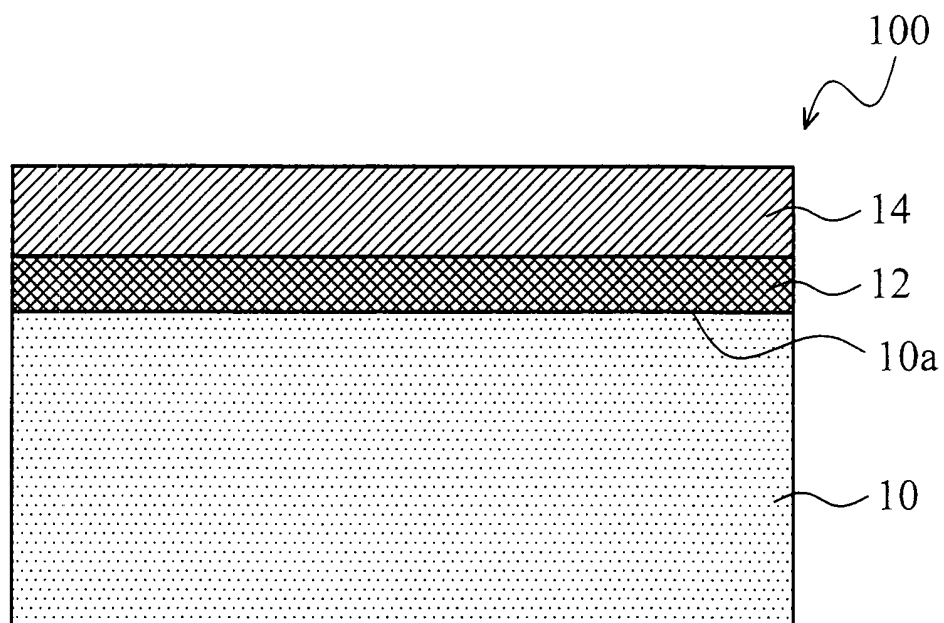
7. 如申請專利範圍第 1 項所述之形成穿基底導孔的方法，更包括：

在執行該形成該第二開口的步驟之時，同時形成一溝槽於該介電層中，其中該金屬材料被填入該溝槽中，且其中在該執行該平坦化於該金屬材料的步驟之後，一金屬線形成於該溝槽中。

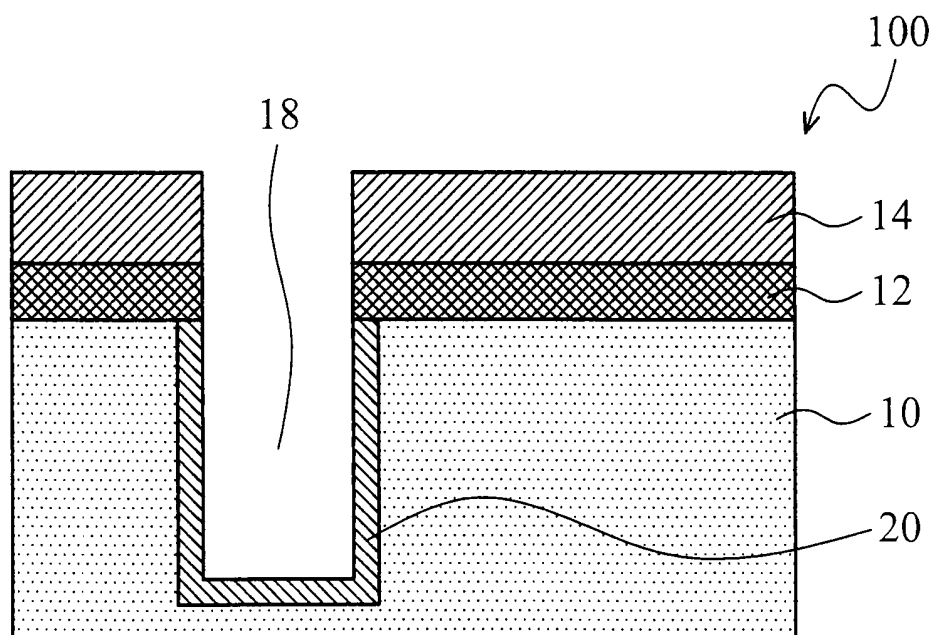
8. 如申請專利範圍第 1 項所述之形成穿基底導孔的方法，其中該基底為一半導體基底，且其中該第一金屬接觸墊為在直接於一層間介電層上的一第一金屬層中。

9. 如申請專利範圍第 1 項所述之形成穿基底導孔的方法，其中該基底為一半導體基底，且其中沒有主動元件被形成於該基底之任何表面上。

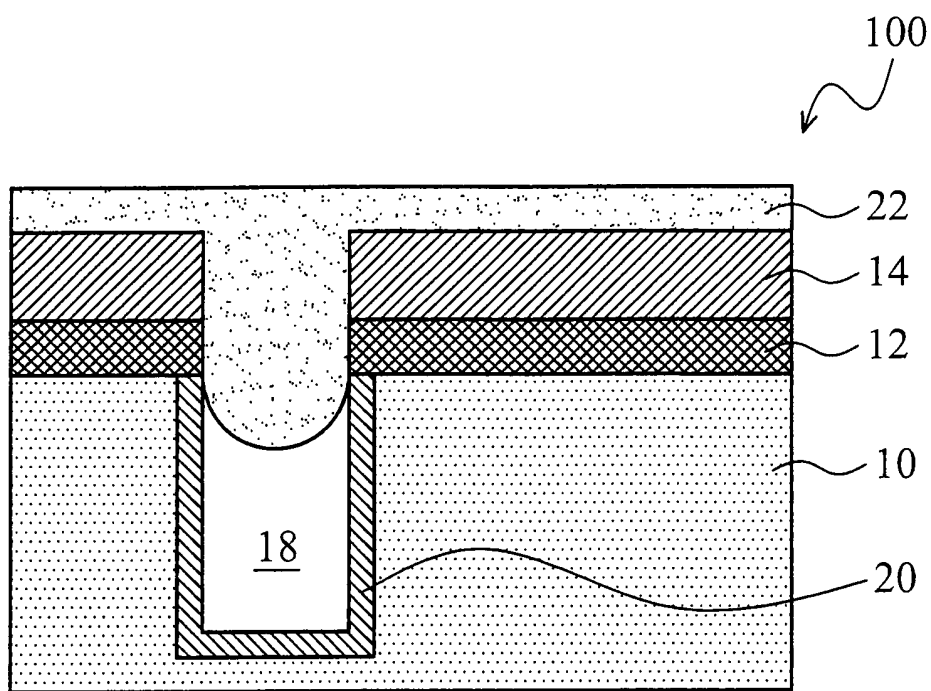
10. 如申請專利範圍第 1 項所述之形成穿基底導孔的方法，其中該基底為一介電基底。



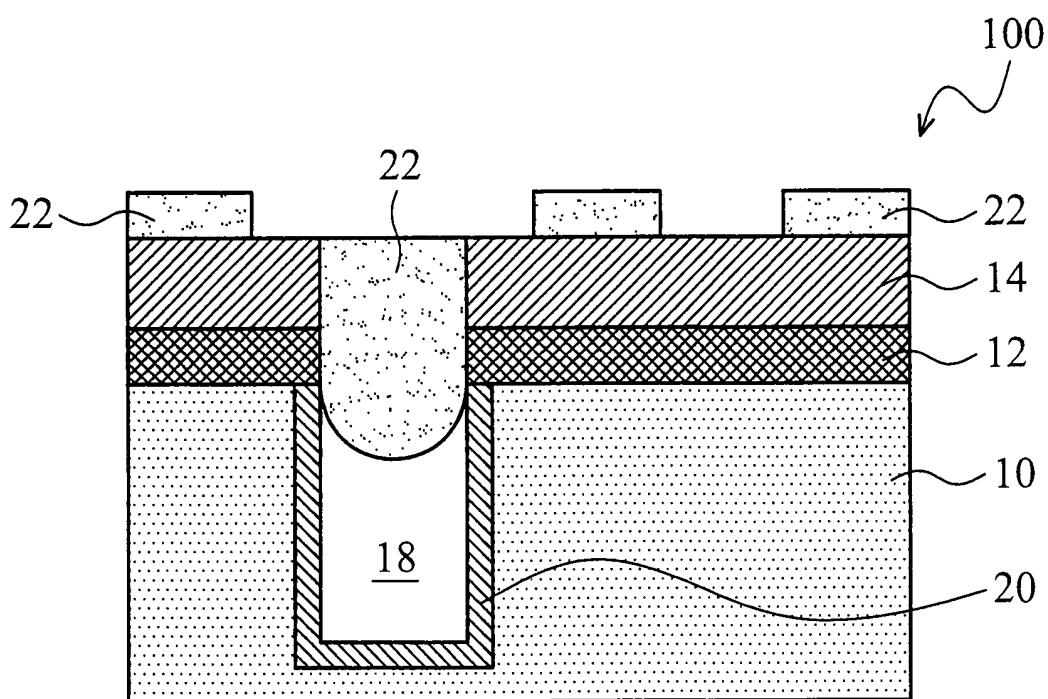
第 1 圖



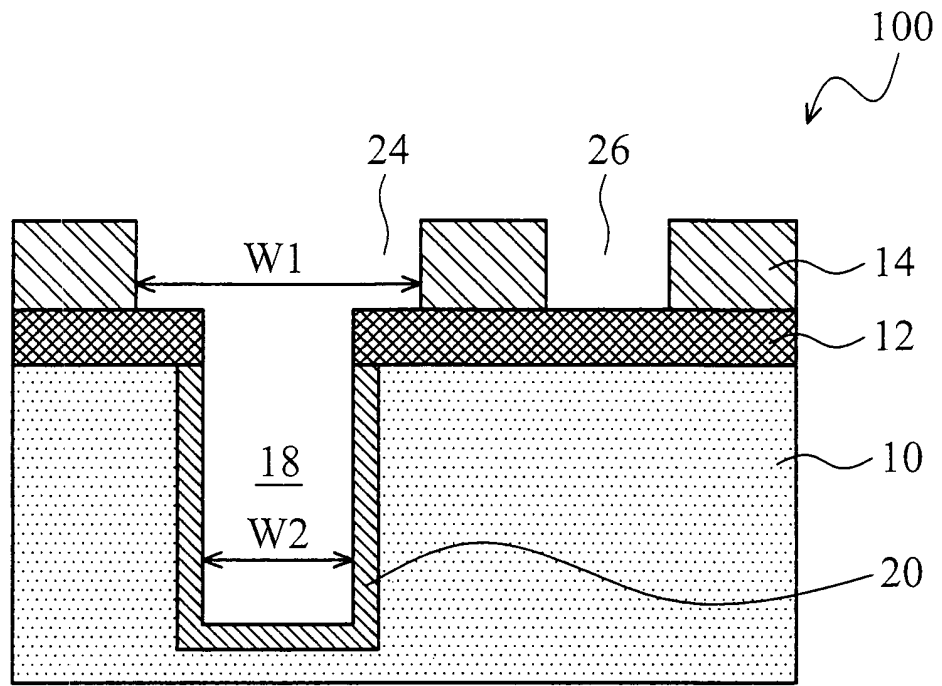
第 2 圖



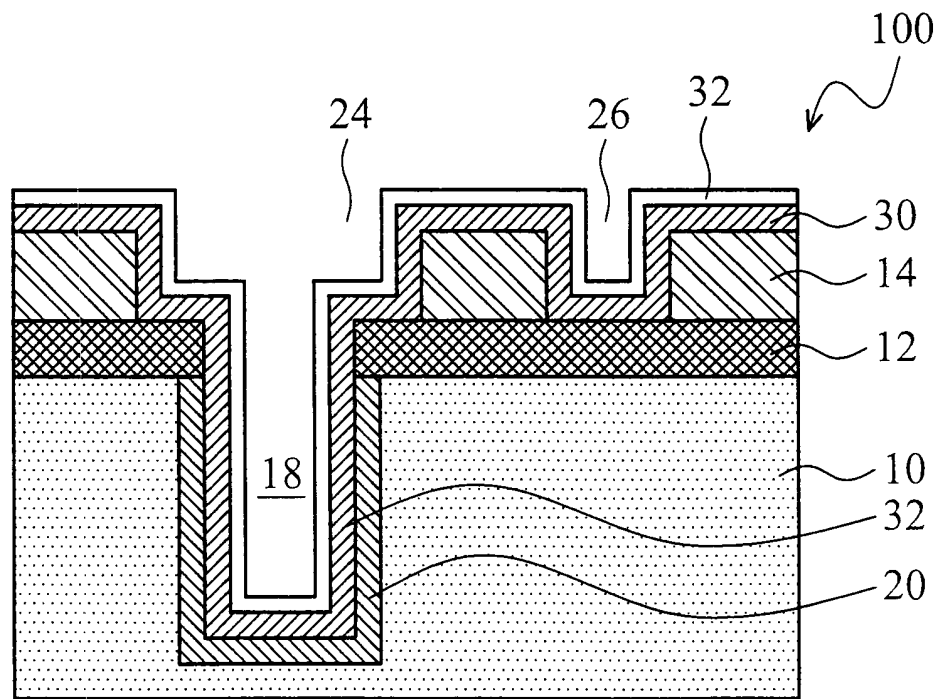
第 3 圖



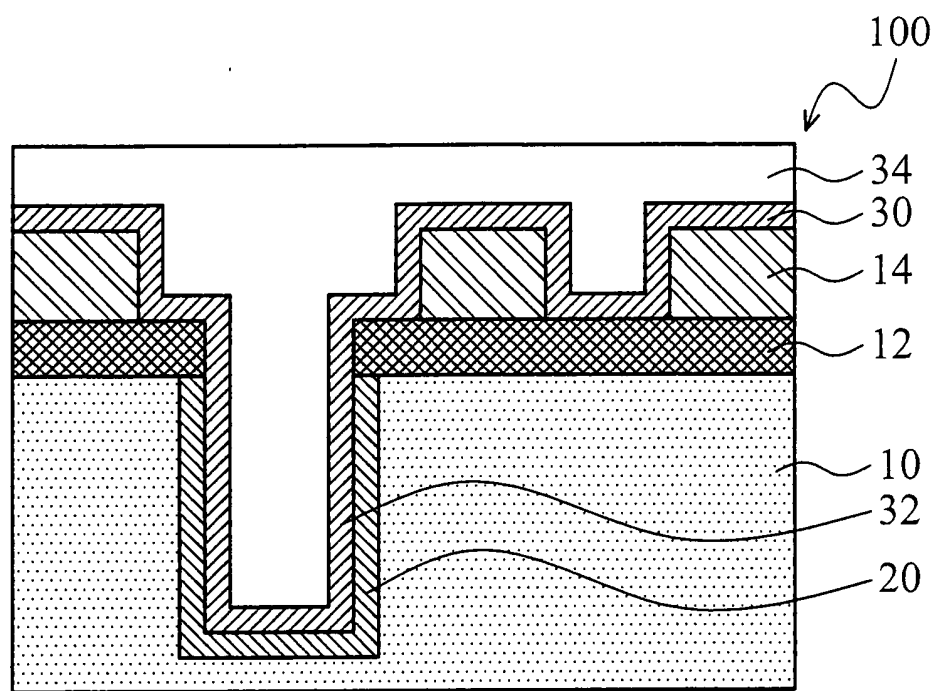
第 4 圖



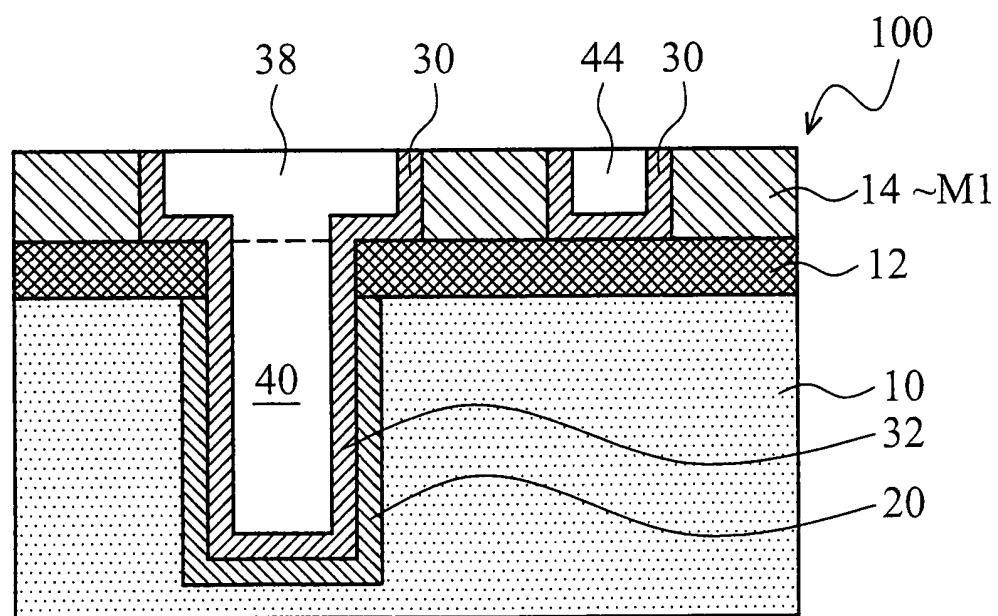
第 5 圖



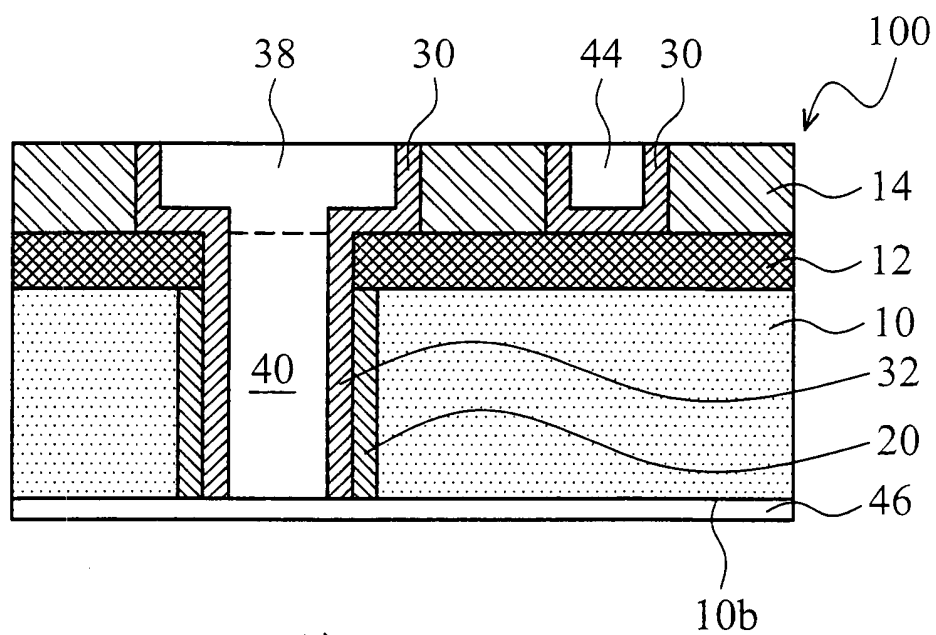
第 6 圖



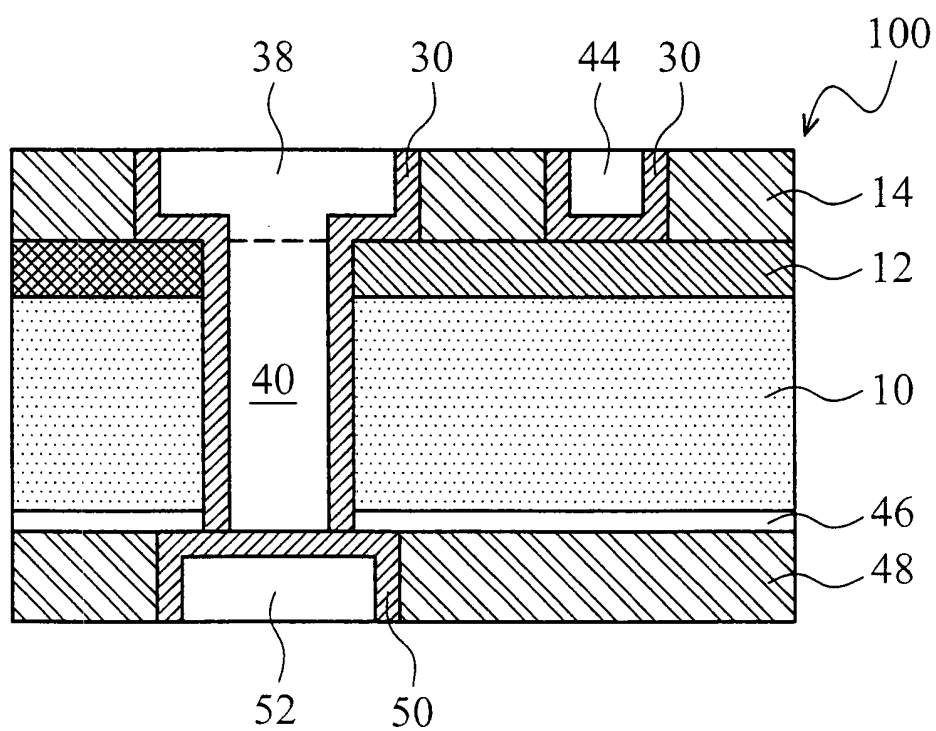
第 7 圖



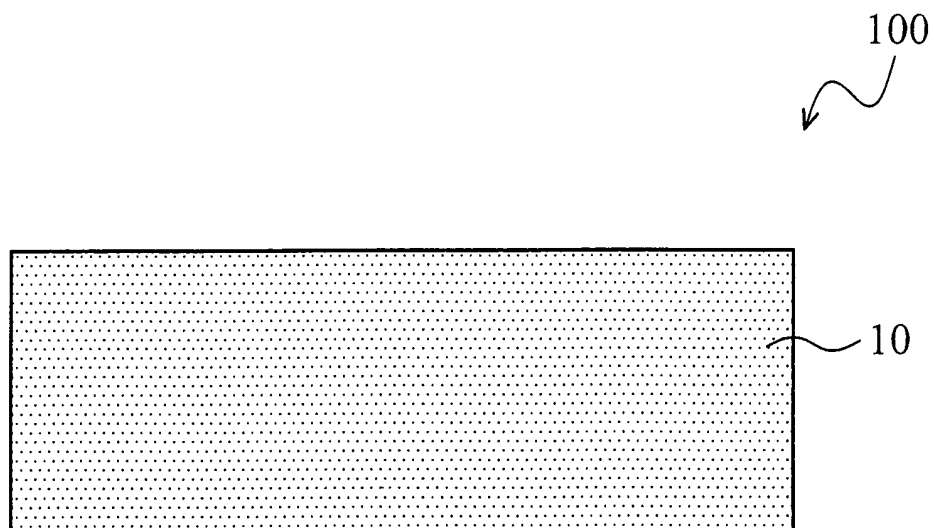
第 8 圖



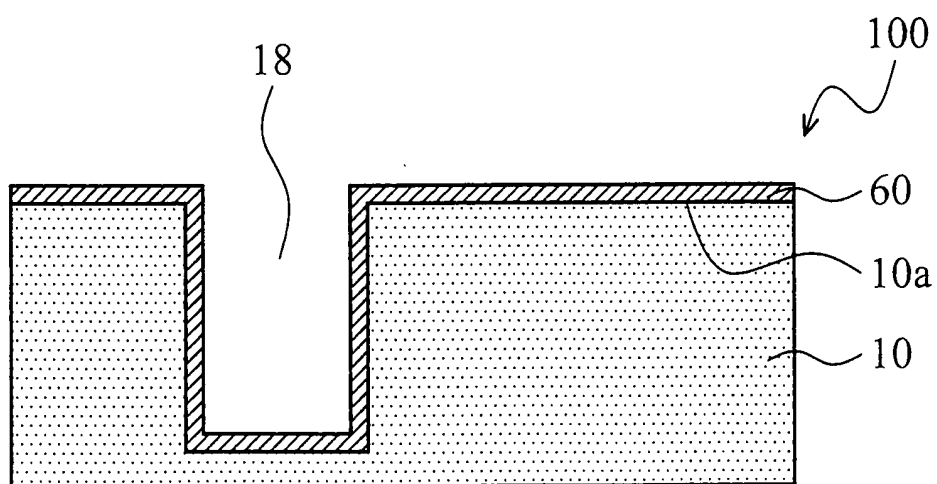
第 9 圖



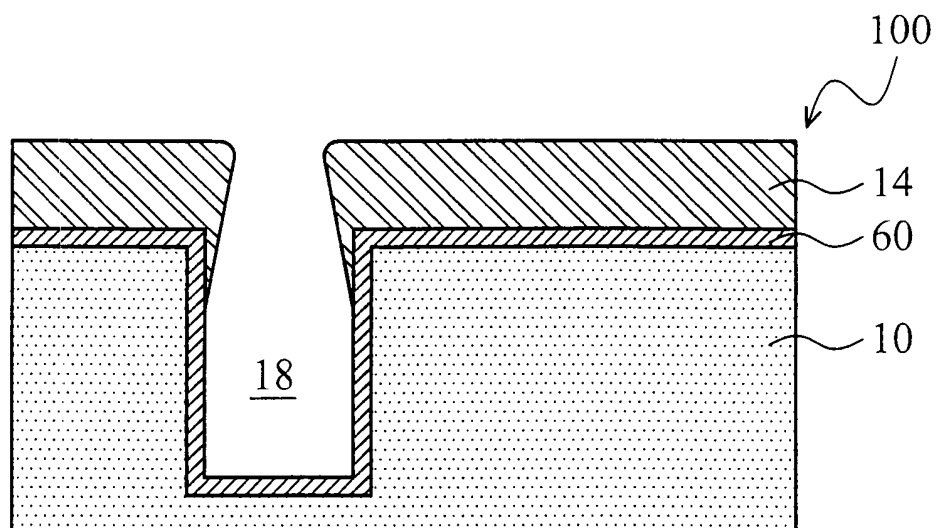
第 10 圖



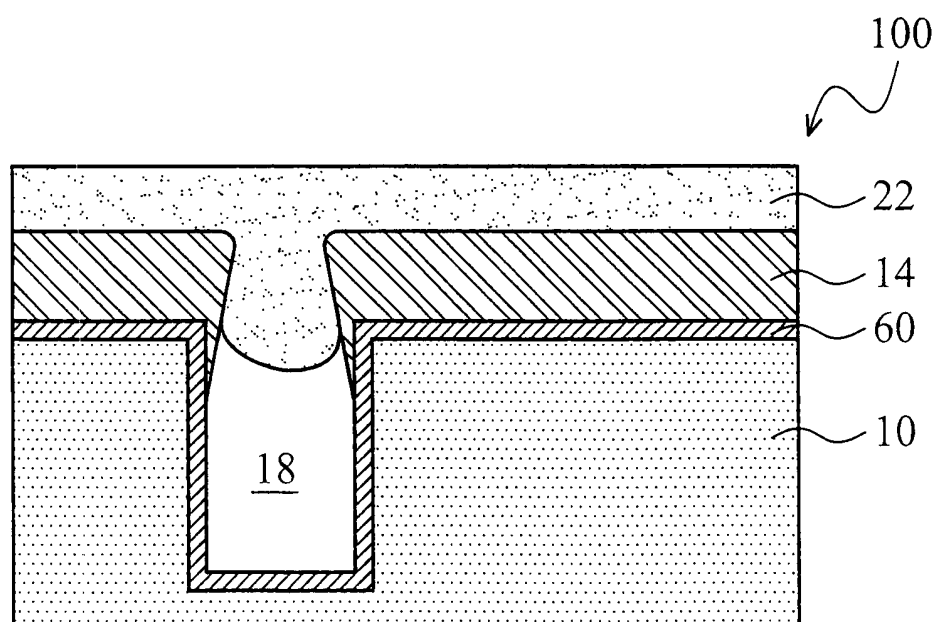
第 11 圖



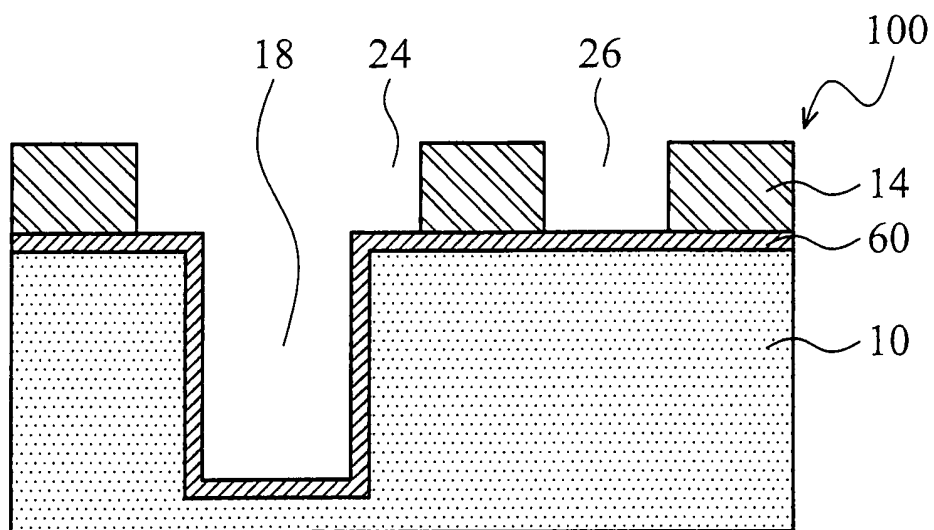
第 12 圖



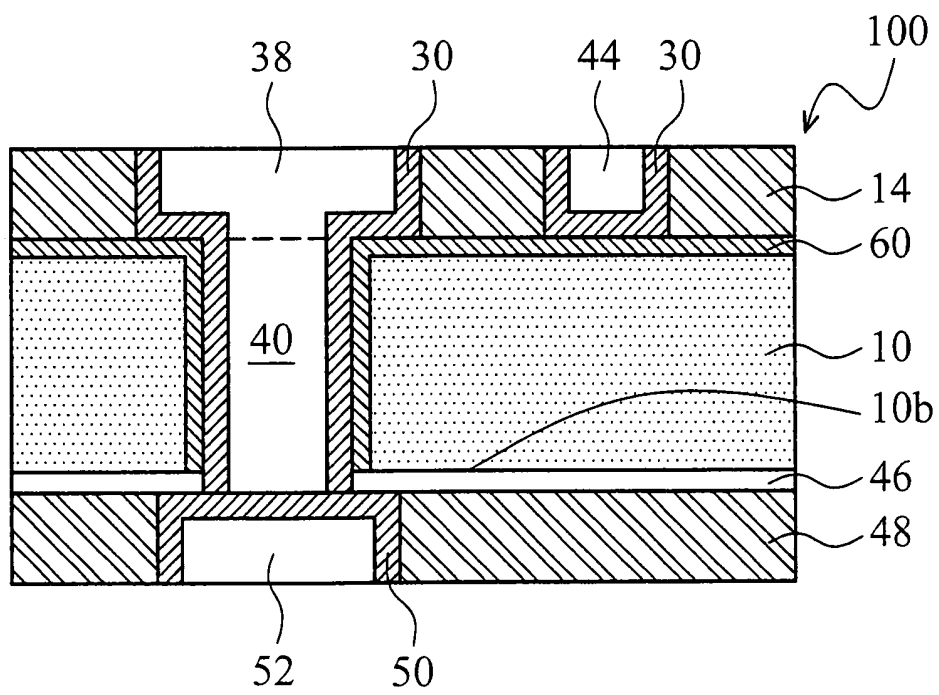
第 13 圖



第 14 圖



第 15 圖



第 16 圖

四、指定代表圖：

(一)本案指定代表圖為：第(10)圖。

(二)本代表圖之元件符號簡單說明：

10～基底；100～晶圓；12、14、48～介電層；30～阻擋層；38、52～金屬接觸墊；40～穿基底導孔；44～金屬線；46～隔離層；50～擴散阻擋層。

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無