(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2011 年 6 月 30 日(30.06.2011)

PCT

(10) 国際公開番号
WO 2011/077607 A1

(51) 国際特許分類:
H01L 29/786 (2006.01) *G09F 9/30* (2006.01)
G02F 1/1368 (2006.01) *H01L 21/336* (2006.01)

(21) 国際出願番号: PCT/JP2010/005179

(22) 国際出願日: 2010 年 8 月 23 日(23.08.2010)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2009-289116 2009 年 12 月 21 日(21.12.2009) JP

(71) 出願人 (米国を除く全ての指定国について): シャープ株式会社(SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町２２番２２号 Osaka (JP).

(72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 近間義雅 (CHIKAMA, Yoshimasa). 勝井宏充 (KATSUI, Hiromitsu). 錦博彦 (NISHIKI, Hirohiko). 太田純史 (OHTA, Yoshifumi). 水野裕二 (MIZUNO, Yuuji). 原猛 (HARA, Takeshi). 会田哲也 (AITA, Tetsuya). 鈴木正彦 (SUZUKI, Masahiko). 竹井美智子 (TAKEI, Michiko). 中川興史 (NAKAGAWA, Okifumi). 春本祥征 (HARUMOTO, Yoshiyuki).

(74) 代理人: 前田弘, 外 (MAEDA, Hiroshi et al.); 〒5410053 大阪府大阪市中央区本町２丁目５番７号 大阪丸紅ビル Osaka (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

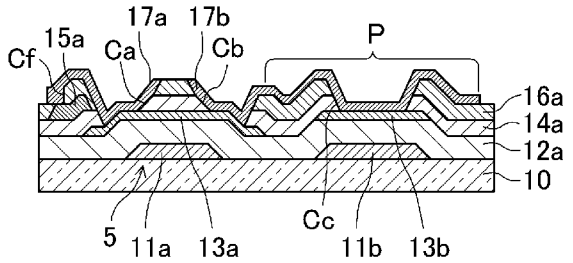
(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF,

[続葉有]

(54) **Title**: ACTIVE MATRIX SUBSTRATE, DISPLAY PANEL PROVIDED WITH SAME, AND METHOD FOR MANUFACTURING ACTIVE MATRIX SUBSTRATE

(54) 発明の名称 : アクティブマトリクス基板及びそれを備えた表示パネル、並びにアクティブマトリクス基板の製造方法

[図6]



(57) **Abstract**: Disclosed is an active matrix substrate which is provided with a plurality of pixel electrodes (P) provided in matrix, and a plurality of TFTs (5) connected to the pixel electrodes (P), respectively. Each TFT (5) is provided with: a gate electrode (11a) which is provided on an insulating substrate; a gate insulating film (12a) which is provided so as to cover the gate electrode (11a); an oxide semiconductor layer (13a) which is provided on the gate insulating film (12a) such that the oxide semiconductor layer overlaps the gate electrode (11a); and the source electrode (17a) and the drain electrode (17b), which are provided to face each other, and which are connected to the oxide semiconductor layer (13a). A protecting insulating film (14a) is provided between the source and drain electrodes (17a, 17b) and the oxide semiconductor layer (13a) such that the protecting insulating film covers the oxide semiconductor layer (13a).

(57) 要約: マトリクス状に設けられた複数の画素電極（Ｐ）と、各画素電極（Ｐ）にそれぞれ接続された複数のＴＦＴ（５）とを備え、各ＴＦＴ（５）が、絶縁基板に設けられたゲート電極（１１ａ）と、ゲート電極（１１ａ）を覆うように設けられたゲート絶縁膜（１２ａ）と、ゲート絶縁膜（１２ａ）上にゲート電極（１１ａ）に重なるように設けられた酸化物半導体層（１３ａ）と、互いに対峙するように設けられ、酸化物半導体層（１３ａ）にそれぞれ接続されたソース電極（１７ａ）及びドレイン電極（１７ｂ）とを備え、ソース電極（１７ａ）及びドレイン電極（１７ｂ）と酸化物半導体層（１３ａ）との間には、酸化物半導体層（１３ａ）を覆うように保護絶縁膜（１４ａ）が設けられている。

WO 2011/077607 A1

BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告（条約第 21 条(3)）

明　細　書

発明の名称 ：

アクティブマトリクス基板及びそれを備えた表示パネル、並びにアクティブマトリクス基板の製造方法

技術分野

[0001] 本発明は、アクティブマトリクス基板及びそれを備えた表示パネル、並びにアクティブマトリクス基板の製造方法に関し、特に、酸化物半導体を用いた薄膜トランジスタを備えたアクティブマトリクス基板及びそれを備えた表示パネル、並びにアクティブマトリクス基板の製造方法に関するものである。

背景技術

[0002] アクティブマトリクス基板では、画像の最小単位である各画素毎に、スイッチング素子として、例えば、薄膜トランジスタ（Thin Film Transistor、以下、「ＴＦＴ」とも称する）が設けられている。

[0003] 一般的なＴＦＴは、例えば、絶縁基板上に設けられたゲート電極と、ゲート電極を覆うように設けられたゲート絶縁膜と、ゲート絶縁膜上にゲート電極に重なるように島状に設けられた半導体層と、半導体層上に互いに対峙するように設けられたソース電極及びドレイン電極とを備えている。ここで、アモルファスシリコンを用いたＴＦＴでは、半導体層が、チャネル領域を有する真性アモルファスシリコン層と、チャネル領域が露出するように真性アモルファスシリコン層に積層されたN^+アモルファスシリコン層とを備えている。そして、アモルファスシリコンを用いたＴＦＴでは、真性アモルファスシリコン層を薄膜化するために、真性アモルファスシリコン層上にチャネル保護層が積層されたエッチストッパ型のＴＦＴが実用化されている。

[0004] 例えば、特許文献１には、真性アモルファスシリコンからなる半導体薄膜の上面の所定の箇所に窒化シリコンからなるチャネル保護膜（チャネル保護層）が設けられたＴＦＴが開示されている。

先行技術文献

特許文献

[0005] 特許文献1：特開２００２－１４８６５８号公報

発明の概要

発明が解決しようとする課題

[0006] 図１２は、エッチストッパ型のＴＦＴ１０５を備えた従来のアクティブマトリクス基板１２０の断面図である。

[0007] このアクティブマトリクス基板１２０は、以下に説明するように、５枚のフォトマスクを用いて製造することができる。

[0008] まず、絶縁基板１１０上に金属膜を成膜した後に、その金属膜を第１のフォトマスクを用いてパターニングして、ゲート電極１１１を形成する。

[0009] 続いて、ゲート電極１１１を覆うように、ゲート絶縁膜１１２、真性アモルファスシリコン層１１３ａとなる真性アモルファスシリコン膜、及びチャネル保護層１１４となる無機絶縁膜を順に成膜した後に、その無機絶縁膜を第２のフォトマスクを用いてパターニングして、チャネル保護層１１４を形成する。

[0010] そして、チャネル保護層１１４を覆うように、N^+アモルファスシリコン層１１３ｂとなるN^+アモルファスシリコン膜、並びにソース電極１１５ａ及びドレイン電極１１５ｂとなる金属膜を順に成膜した後に、その金属膜、その下層のN^+アモルファスシリコン膜、及びその下層の真性アモルファスシリコン膜を第３のフォトマスクを用いてパターニングして、真性アモルファスシリコン層１１３ａ、N^+アモルファスシリコン層１１３ｂ、ソース電極１１５ａ及びドレイン電極１１５ｂを形成する。

[0011] さらに、ソース電極１１５ａ及びドレイン電極１１５ｂを覆うように、層間絶縁膜１１６となる無機絶縁膜を成膜した後に、その無機絶縁膜を第４のフォトマスクを用いてパターニングして、コンタクトホールを有する層間絶縁膜１１６を形成する。

[0012] 最後に、層間絶縁膜１１６を覆うように、画素電極１１７となる透明導電膜を成膜した後に、その透明導電膜を第５のフォトマスクを用いてパターニングして、画素電極１１７を形成する。

[0013] このアクティブマトリクス基板１２０では、製造コストを抑制する観点から、フォトマスクの枚数を５枚に削減しているために、チャネル保護層１１４、ソース電極１１５ａ及びドレイン電極１１５ｂをマスクとして、N^+アモルファスシリコン膜及び真性アモルファスシリコン膜をエッチングするので、真性アモルファスシリコン層１１３ａの周端の側面がソース電極１１５ａ及びドレイン電極１１５ｂから露出している。

[0014] ところで、アモルファスシリコンの半導体層を用いた従来のＴＦＴに代わって、近年、酸化物半導体の半導体層を用いたＴＦＴが提案されている。

[0015] そして、上述した５枚のフォトマスクを用いた製造方法に基づいて、酸化物半導体の半導体層を用いた（ＴＦＴを備えた）アクティブマトリクス基板を製造する場合には、酸素欠陥によりキャリア電子が多く発生し易い酸化物半導体の半導体層の周端の側面が、アモルファスシリコンの半導体層を用いたアクティブマトリクス基板１２０と同様に、ソース電極及びドレイン電極から露出してしまうので、ソース電極及びドレイン電極を形成する際のエッチングや層間絶縁膜を形成する際のＣＶＤ（Chemical Vapor Deposition）において半導体層がダメージを受けたりして、ＴＦＴの特性が低下するおそれがある。

[0016] 本発明は、かかる点に鑑みてなされたものであり、その目的とするところは、フォトマスクの枚数を増やすことなく、酸化物半導体の半導体層を用いた薄膜トランジスタの特性の低下を抑制することにある。

課題を解決するための手段

[0017] 上記目的を達成するために、本発明は、ソース電極及びドレイン電極と酸化物半導体層との間に酸化物半導体層を覆うように保護絶縁膜を設けるようにしたものである。

[0018] 具体的に本発明に係るアクティブマトリクス基板は、マトリクス状に設け

られた複数の画素電極と、上記各画素電極にそれぞれ接続された複数の薄膜トランジスタとを備え、上記各薄膜トランジスタが、絶縁基板に設けられたゲート電極と、該ゲート電極を覆うように設けられたゲート絶縁膜と、該ゲート絶縁膜上に上記ゲート電極に重なるように設けられた酸化物半導体層と、互いに対峙するように設けられ、該酸化物半導体層にそれぞれ接続されたソース電極及びドレイン電極とを備えたアクティブマトリクス基板であって、上記ソース電極及びドレイン電極と上記酸化物半導体層との間には、該酸化物半導体層を覆うように保護絶縁膜が設けられていることを特徴とする。

[0019] 上記の構成によれば、各薄膜トランジスタにおいて、ソース電極及びドレイン電極と酸化物半導体層との間に酸化物半導体層を覆うように保護絶縁膜が設けられているので、例えば、ソース電極（、ソース電極に接続するソース線）及びドレイン電極を形成するために、導電膜をエッチングによりパターニングする際に、並びに各画素電極の下層となる層間絶縁膜を形成するために、無機絶縁膜をＣＶＤにより成膜する際に、酸化物半導体層が表面に露出しないことになる。そのため、酸化物半導体層がエッチングやＣＶＤでダメージを受け難くなるので、薄膜トランジスタの特性の低下が抑制される。また、上記構成のアクティブマトリクス基板は、第１のフォトマスクを用いてゲート電極を形成し、第２のフォトマスクを用いて酸化物半導体層を形成し、（場合によっては第３のフォトマスクを用いて、ソース電極に接続するソース線を形成し、）第３（又は第４）のフォトマスクを用いて保護絶縁膜を形成し、第４（又は第５）のフォトマスクを用いて画素電極、ソース電極及びドレイン電極を形成するので、計４枚（又は５枚）のフォトマスクを用いて製造される。したがって、フォトマスクの枚数を増やすことなく、酸化物半導体の半導体層を用いた薄膜トランジスタの特性の低下が抑制される。

[0020] 上記ドレイン電極は、上記各画素電極と一体に形成され、上記ソース電極は、上記各画素電極と同一層に同一材料により形成されていてもよい。

[0021] 上記の構成によれば、ドレイン電極が各画素電極と一体に形成され、ソース電極が各画素電極と同一層に同一材料により形成されているので、各画素

電極、ソース電極及びドレイン電極が、透明導電膜などの導電膜をパターニングして形成される。

[0022] 互いに平行に延びるように設けられた複数のゲート線と、上記各ゲート線と交差する方向に互いに平行に延びるように設けられた複数のソース線とを備え、上記各ゲート線と上記各ソース線との交差部分には、上記ゲート絶縁膜及び保護絶縁膜が配置されていてもよい。

[0023] 上記の構成によれば、各ゲート線と各ソース線との交差部分にゲート絶縁膜及び保護絶縁膜が配置されているので、各ゲート線と各ソース線との交差部分に配置される絶縁膜が厚膜化され、ソースーゲート間の容量が低減されると共に、ソースーゲート間の短絡が抑制される。

[0024] 上記保護絶縁膜は、塗布型の絶縁膜であってもよい。

[0025] 上記の構成によれば、保護絶縁膜が比較的厚く形成され易い塗布型の絶縁膜であるので、ソースーゲート間の容量がいっそう低減されると共に、ソースーゲート間の短絡がいっそう抑制される。

[0026] 上記各画素電極と上記保護絶縁膜との間には、層間絶縁膜が設けられていてもよい。

[0027] 上記構成によれば、各画素電極と保護絶縁膜との間に層間絶縁膜が設けられているので、例えば、ソース線を層間絶縁膜で被覆して保護することが可能になる。

[0028] また、本発明に係る表示パネルは、互いに対向するように設けられたアクティブマトリクス基板及び対向基板と、上記アクティブマトリクス基板及び対向基板の間に設けられた表示媒体層とを備えた表示パネルであって、上記アクティブマトリクス基板は、マトリクス状に設けられた複数の画素電極と、上記各画素電極にそれぞれ接続された複数の薄膜トランジスタとを備え、上記各薄膜トランジスタが、絶縁基板に設けられたゲート電極と、該ゲート電極を覆うように設けられたゲート絶縁膜と、該ゲート絶縁膜上に上記ゲート電極に重なるように設けられた酸化物半導体層と、互いに対峙するように設けられ、該酸化物半導体層にそれぞれ接続されたソース電極及びドレイン

電極とを備え、上記ソース電極及びドレイン電極と上記酸化物半導体層との間には、該酸化物半導体層を覆うように保護絶縁膜が設けられていることを特徴とする。

[0029] 上記の構成によれば、各薄膜トランジスタにおいて、ソース電極及びドレイン電極と酸化物半導体層との間に酸化物半導体層を覆うように保護絶縁膜が設けられているので、例えば、ソース電極（、ソース電極に接続するソース線）及びドレイン電極を形成するために、導電膜をエッチングによりパターニングする際に、並びに各画素電極の下層となる層間絶縁膜を形成するために、無機絶縁膜をＣＶＤにより成膜する際に、酸化物半導体層が表面に露出しないことになる。そのため、酸化物半導体層がエッチングやＣＶＤでダメージを受け難くなるので、薄膜トランジスタの特性の低下が抑制される。また、上記構成のアクティブマトリクス基板は、第１のフォトマスクを用いてゲート電極を形成し、第２のフォトマスクを用いて酸化物半導体層を形成し、（場合によっては第３のフォトマスクを用いて、ソース電極に接続するソース線を形成し、）第３（又は第４）のフォトマスクを用いて保護絶縁膜を形成し、第４（又は第５）のフォトマスクを用いて画素電極、ソース電極及びドレイン電極を形成するので、計４枚（又は５枚）のフォトマスクを用いて製造される。したがって、互いに対向するように設けられたアクティブマトリクス基板及び対向基板と、それらの両基板の間に設けられた表示媒体層とを備えた表示パネルにおいて、フォトマスクの枚数を増やすことなく、酸化物半導体の半導体層を用いた薄膜トランジスタの特性の低下が抑制される。

[0030] また、本発明に係るアクティブマトリクス基板の製造方法は、マトリクス状に設けられた複数の画素電極と、上記各画素電極にそれぞれ接続された複数の薄膜トランジスタとを備え、上記各薄膜トランジスタが、絶縁基板に設けられたゲート電極と、該ゲート電極を覆うように設けられたゲート絶縁膜と、該ゲート絶縁膜上に上記ゲート電極に重なるように設けられた酸化物半導体層と、互いに対峙するように設けられ、該酸化物半導体層にそれぞれ接

続されたソース電極及びドレイン電極とを備えたアクティブマトリクス基板を製造する方法であって、絶縁基板上に上記ゲート電極を形成するゲート電極形成工程と、上記ゲート電極を覆うように上記ゲート絶縁膜を形成した後に、該ゲート絶縁膜上に上記酸化物半導体層を形成する半導体層形成工程と、上記酸化物半導体層を覆うように、絶縁材料膜を成膜した後に、該絶縁材料膜をパターニングして、上記酸化物半導体層の上記ソース電極及びドレイン電極との接続部分が開口した保護絶縁膜を形成する保護絶縁膜形成工程と、上記保護絶縁膜を覆うように、透明導電膜を成膜した後に、該透明導電膜をパターニングして、上記各画素電極、ソース電極及びドレイン電極を形成する画素電極形成工程とを備えることを特徴とする。

[0031] 上記の方法によれば、保護絶縁膜形成工程において、半導体層形成工程で形成された酸化物半導体層を覆うように、絶縁材料膜を成膜した後に、その絶縁材料膜をパターニングして、酸化物半導体層のソース電極及びドレイン電極との接続部分が開口した保護絶縁膜を形成するので、画素電極形成工程において、各画素電極、ソース電極及びドレイン電極を形成するために、透明導電膜をエッチングによりパターニングする際に、酸化物半導体層が表面に露出しないことになる。そのため、酸化物半導体層がエッチングでダメージを受け難くなるので、ＴＦＴの特性の低下が抑制される。また、アクティブマトリクス基板は、ゲート電極形成工程で第１のフォトマスクを用い、半導体層形成工程で第２のフォトマスクを用い、保護絶縁膜形成工程で第３のフォトマスクを用い、画素電極形成工程で第４のフォトマスクを用いるので、計４枚のフォトマスクを用いて製造される。したがって、フォトマスクの枚数を増やすことなく、酸化物半導体の半導体層を用いた薄膜トランジスタの特性の低下が抑制される。

[0032] 上記保護絶縁膜形成工程では、上記絶縁材料膜を覆うように金属膜を成膜し、該金属膜をパターニングして、上記ソース電極に接続するソース線を形成した後に、上記絶縁材料膜をパターニングして、上記保護絶縁膜を形成してもよい。

[0033] 上記の方法によれば、保護絶縁膜形成工程において、絶縁材料膜を覆うように金属膜を成膜し、その金属膜をパターニングして、ソース線を形成した後に、絶縁材料膜をパターニングして、保護絶縁膜を形成するので、金属膜をエッチングによりパターニングして、ソース線を形成する際に、酸化物半導体層が絶縁材料膜で覆われていることになり、酸化物半導体層が金属膜のエッチングでダメージを受け難くなる。

[0034] 上記保護絶縁膜形成工程では、上記絶縁材料膜を覆うように他の絶縁材料膜を成膜し、該絶縁材料膜及び他の絶縁材料膜の積層膜をパターニングして、該絶縁材料膜により保護絶縁膜を形成すると共に、該他の絶縁材料膜により上記各画素電極、ソース電極及びドレイン電極の下層となる層間絶縁膜を形成してもよい。

[0035] 上記の方法によれば、保護絶縁膜形成工程において、（第１の）絶縁材料膜を覆うように他の（第２の）絶縁材料膜を成膜し、（第１の）絶縁材料膜及び他の（第２の）絶縁材料膜の積層膜をパターニングして、（第１の）絶縁材料膜により保護絶縁膜を形成すると共に、他の（第２の）絶縁材料膜により層間絶縁膜を形成するので、他の（第２の）絶縁材料膜をＣＶＤにより成膜する際に、酸化物半導体層が（第１の）絶縁材料膜で覆われていることになり、酸化物半導体層が他の（第２の）絶縁材料膜のＣＶＤでダメージを受け難くなる。

[0036] 上記保護絶縁膜形成工程では、上記金属膜上に感光性樹脂膜を成膜した後に、該感光性樹脂膜をハーフ露光で露光して、上記ソース線を形成する部分が相対的に厚く、上記酸化物半導体層の上記ソース電極及びドレイン電極との接続部分が開口したレジストパターンを形成し、続いて、該レジストパターンから露出する金属膜及び該金属膜の下層の絶縁材料膜をエッチングして、上記保護絶縁膜を形成し、さらに、該レジストパターンを薄膜化することにより相対的に薄い部分を除去して露出させた金属膜をエッチングして、上記ソース線を形成してもよい。

[0037] 上記の方法によれば、例えば、透過部、遮光部及び半透過部を備えたハー

フトーン又はグレイトーンのハーフ露光が可能な１枚のフォトマスクを用いて、ソース線を形成する部分が相対的に厚く、酸化物半導体層のソース電極及びドレイン電極との接続部分が開口したレジストパターンを形成し、そのレジストパターンを用いて保護絶縁膜を形成し、そのレジストパターンを薄膜化したレジストパターンを用いてソース線を形成するので、アクティブマトリクス基板の製造コストが低減される。

[0038] 上記保護絶縁膜形成工程では、上記ソース線を覆うように、他の絶縁材料膜を成膜した後に、該他の絶縁材料膜をパターニングして、上記各画素電極、ソース電極及びドレイン電極の下層となる層間絶縁膜を形成してもよい。

[0039] 上記の方法によれば、保護絶縁膜形成工程において、保護絶縁膜上に形成されたソース線を覆うように、他の（第２の）絶縁材料膜を成膜した後に、他の（第２の）絶縁材料膜をパターニングして、層間絶縁膜を形成するので、例えば、画素電極形成工程の前にドライエッチングにより形成するコンタクトホールの深さが浅くなり、ドライエッチングに要する時間が短くなると共に、層間絶縁膜の表面がダメージを受け難くなる。なお、層間絶縁膜を構成する（第２の）絶縁材料膜が有機絶縁膜である場合には、その層間絶縁膜の表面のダメージがいっそう抑制されるので、画素電極の下層の表面荒れによるコントラスト低下が抑制される。

[0040] 上記絶縁材料膜は、無機絶縁膜であってもよい。

[0041] 上記の方法によれば、絶縁材料膜が無機絶縁膜であるので、例えば、ＣＶＤにより絶縁材料膜が成膜され、無機絶縁膜（絶縁材料膜）をパターニングして保護絶縁膜が具体的に形成される。

発明の効果

[0042] 本発明によれば、ソース電極及びドレイン電極と酸化物半導体層との間に酸化物半導体層を覆うように保護絶縁膜が設けられているので、フォトマスクの枚数を増やすことなく、酸化物半導体の半導体層を用いた薄膜トランジスタの特性の低下を抑制することができる。

図面の簡単な説明

[0043] [図1]図１は、実施形態１に係る液晶表示パネル５０の断面図である。

[図2]図２は、液晶表示パネル５０を構成するアクティブマトリクス２０ａの各画素を示す平面図である。

[図3]図３は、アクティブマトリクス基板２０ａのゲート端子１７ｃａが形成された部分の平面図である。

[図4]図４は、アクティブマトリクス基板２０ａのソース端子１７ｃｂが形成された部分の平面図である。

[図5]図５は、アクティブマトリクス基板２０ａのゲートソース接続部１７ｄが形成された部分の平面図である。

[図6]図６は、アクティブマトリクス基板２０ａの画素部の断面図である。

[図7]図７は、アクティブマトリクス基板２０ａのゲート端子１７ｃａ及びソース端子１７ｃｂが形成された部分の断面図である。

[図8]図８は、アクティブマトリクス基板２０ａのゲートソース接続部１７ｄが形成された部分の断面図である。

[図9]図９は、アクティブマトリクス基板２０ａの製造工程を示す説明図である。

[図10]図１０は、実施形態２に係る液晶表示パネルを構成するアクティブマトリクス基板２０ｂの製造工程を示す説明図である。

[図11]図１１は、実施形態３に係る液晶表示パネルを構成するアクティブマトリクス基板２０ｃ及びその製造工程を示す断面図である。

[図12]図１２は、エッチストッパ型のＴＦＴ１０５を備えた従来のアクティブマトリクス基板１２０の断面図である。

発明を実施するための形態

[0044] 以下、本発明の実施形態を図面に基づいて詳細に説明する。なお、本発明は、以下の各実施形態に限定されるものではない。

[0045] 《発明の実施形態１》

図１～図９は、本発明に係るアクティブマトリクス基板及びそれを備えた表示パネル、並びにアクティブマトリクス基板の製造方法の実施形態１を示

している。具体的に図１は、本実施形態の液晶表示パネル５０の断面図である。また、図２は、液晶表示パネル５０を構成するアクティブマトリクス２０ａの各画素を示す平面図であり、図３は、そのゲート端子１７ｃａが形成された部分の平面図であり、図４は、そのソース端子１７ｃｂが形成された部分の平面図であり、図５は、そのゲートソース接続部１７ｄが形成された部分の平面図である。さらに、図６は、図２中のVI－VI線に沿ったアクティブマトリクス基板２０ａの画素部の断面図であり、図７は、図３及び図４のVII－VII線に沿ったアクティブマトリクス基板２０ａのゲート端子１７ｃａ及びソース端子１７ｃｂが形成された部分の断面図であり、図８は、図５中のVIII－VIII線に沿ったアクティブマトリクス２０ａのゲートソース接続部１７ｄが形成された部分の断面図である。

[0046] 液晶表示パネル５０は、図１に示すように、互いに対向するように設けられたアクティブマトリクス基板２０ａ及び対向基板３０と、アクティブマトリクス基板２０ａ及び対向基板３０の間に表示媒体層として設けられた液晶層４０と、アクティブマトリクス基板２０ａ及び対向基板３０を互いに接着すると共にアクティブマトリクス基板２０ａ及び対向基板３０の間に液晶層４０を封入するために枠状に設けられたシール材３５とを備えている。

[0047] アクティブマトリクス基板２０ａは、図２及び図６に示すように、絶縁基板１０上に互いに平行に延びるように設けられた複数のゲート線１１ａと、各ゲート線１１ａの間にそれぞれ設けられ、互いに平行に延びる複数の容量線１１ｂと、各ゲート線１１ａと直交する方向に互いに平行に延びるように設けられた複数のソース線１５ａと、各ゲート線１１ａ及び各ソース線１５ａの交差部分毎、すなわち、各画素毎にそれぞれ設けられた複数のＴＦＴ５と、マトリクス状に設けられ、各ＴＦＴ５にそれぞれ接続された複数の画素電極Ｐと、各画素電極Ｐを覆うように設けられた配向膜（不図示）とを備え、Ｃｓ ｏｎ Ｃｏｍｍｏｎ構造になっている。

[0048] ゲート線１１ａは、画像表示を行う表示領域Ｄ（図１参照）の外側の端子領域Ｔ（図１参照）に引き出され、その端子領域Ｔにおいて、図３及び図７

に示すように、ゲート絶縁膜１２ａ、保護絶縁膜１４ａ及び層間絶縁膜１６ａの積層膜に形成されたコンタクトホールＣｄａを介してゲート端子１７ｃａに接続されている。

[0049] ソース線１５ａは、表示領域Ｄ（図１参照）の外側に引き出され、図５及び図８に示すように、層間絶縁膜１６ａに形成されたコンタクトホールＣｇを介してゲートソース接続部１７ｄに接続され、そのゲートソース接続部１７ｄがゲート絶縁膜１２ａ、保護絶縁膜１４ａ及び層間絶縁膜１６ａの積層膜に形成されたコンタクトホールＣｅを介して中継配線１１ｃに接続され、図４及び図７に示すように、その中継配線１１ｃが端子領域Ｔにおいてゲート絶縁膜１２ａ、保護絶縁膜１４ａ及び層間絶縁膜１６ａの積層膜に形成されたコンタクトホールＣｄｂを介してソース端子１７ｃｂに接続されている。

[0050] ＴＦＴ５は、図２及び図６に示すように、絶縁基板１０上に設けられたゲート電極（１１ａ）と、ゲート電極（１１ａ）を覆うように設けられたゲート絶縁膜１２ａと、ゲート絶縁膜１２ａ上でゲート電極（１１ａ）に対応する位置に島状に設けられた酸化物半導体層１３ａと、酸化物半導体層１３ａの上層側で互いに対峙するように設けられ、酸化物半導体層１３ａに接続されたソース電極１７ａ及びドレイン電極１７ｂとを備えている。ここで、ソース電極１７ａ及びドレイン電極１７ｂと酸化物半導体層１３ａとの間には、図６に示すように、酸化物半導体層１３ａのソース電極１７ａ及びドレイン電極１７ｂとの接続部分以外を覆うように設けられた保護絶縁膜１４ａが設けられている。そして、ゲート電極（１１ａ）は、図２に示すように、ゲート線１１ａの一部である。また、ソース電極１７ａは、図２及び図６に示すように、保護絶縁膜１４ａ及び層間絶縁膜１６ａの積層膜に形成されたコンタクトホールＣａを介して酸化物半導体層１３ａに接続されていると共に、層間絶縁膜１６ａに形成されたコンタクトホールＣｆを介してソース線１５ａに接続されている。また、ドレイン電極１７ｂは、図２及び図５に示すように、保護絶縁膜１４ａ及び層間絶縁膜１６ａの積層膜に形成されたコン

タクトホールＣｂを介して酸化物半導体層１３ａに接続されていると共に、隣り合う一対のゲート線１１ａ及び隣り合う一対のソース線１５ａに囲まれた画素領域に延設されて画素電極Ｐを構成している。さらに、ドレイン電極１７ｂは、図２及び図６に示すように、保護絶縁膜１４ａ及び層間絶縁膜１６ａの積層膜に形成されたコンタクトホールＣｃを介して容量電極１３ｂに接続され、その容量電極１３ｂがゲート絶縁膜１２ａを介して容量線１１ｂに重なることにより、補助容量を構成している。また、酸化物半導体層１３ａは、例えば、ＩＧＺＯ（Ｉｎ-Ｇａ-Ｚｎ-Ｏ）系、ＩＳｉＺＯ（Ｉｎ-Ｓｉ-Ｚｎ-Ｏ）系、ＩＡｌＺＯ（Ｉｎ-Ａｌ-Ｚｎ-Ｏ）系などの酸化物半導体膜により形成されている。

[0051] 対向基板３０は、絶縁基板上に格子状に設けられたブラックマトリクス（不図示）並びにそのブラックマトリクスの各格子間にそれぞれ設けられた赤色層、緑色層及び青色層などの着色層（不図示）を有するカラーフィルター層（不図示）と、そのカラーフィルター層を覆うように設けられた共通電極（不図示）と、その共通電極上に設けられたフォトスペーサ（不図示）と、その共通電極を覆うように設けられた配向膜（不図示）とを備えている。

[0052] 液晶層４０は、電気光学特性を有するネマチックの液晶材料などにより構成されている。

[0053] 上記構成の液晶表示パネル５０では、各画素において、ゲートドライバ（不図示）からゲート信号がゲート線１１ａを介してゲート電極（１１ａ）に送られて、ＴＦＴ５がオン状態になったときに、ソースドライバ（不図示）からソース信号がソース線１５ａを介してソース電極１７ａに送られて、酸化物半導体層１３ａ及びドレイン電極１７ｂを介して、画素電極Ｐに所定の電荷が書き込まれる。このとき、アクティブマトリクス基板２０ａの各画素電極Ｐと対向基板３０の共通電極との間において電位差が生じ、液晶層４０、すなわち、各画素の液晶容量及びその液晶容量に並列に接続された補助容量に所定の電圧が印加される。そして、液晶表示パネル５０では、各画素において、液晶層４０に印加する電圧の大きさによって液晶層４０の配向状態

を変えることにより、液晶層４０の光透過率を調整して画像が表示される。

[0054] 次に、本実施形態の液晶表示パネル５０の製造方法の一例について図９を用いて説明する。ここで、図９は、アクティブマトリクス基板２０ａの製造工程を示す断面図である。なお、本実施形態の製造方法は、アクティブマトリクス基板作製工程、対向基板作製工程及び液晶注入工程を備える。

[0055] ＜アクティブマトリクス基板作製工程＞

まず、ガラス基板などの絶縁基板１０の基板全体に、スパッタリング法により、例えば、チタン膜（厚さ５０ｎｍ程度）、アルミニウム膜（厚さ２００ｎｍ程度）及びチタン膜（厚さ１００ｎｍ程度）などを順に積層した第１の金属膜を成膜し、その後、第１のフォトマスクを用いたフォトリソグラフィ、第１の金属膜のドライエッチング、レジストの剥離、及び洗浄を行うことにより、図９（ａ）に示すように、ゲート線（ゲート電極）１１ａ、容量線１１ｂ及び中継配線１１ｃを形成する（ゲート電極形成工程）。

[0056] 続いて、ゲート線（ゲート電極）１１ａ、容量線１１ｂ及び中継配線１１ｃが形成された基板全体に、ＣＶＤ（Chemical Vapor Deposition）法により、例えば、酸化シリコン膜（厚さ２００ｎｍ～５００ｎｍ程度）などの無機絶縁膜１２を成膜した後に、スパッタリング法により、例えば、ＩＧＺＯ系の酸化物半導体膜（厚さ３０ｎｍ～３００ｎｍ程度）を成膜し、その後、第２のフォトマスクを用いたフォトリソグラフィ、酸化物半導体膜のウエットエッチング、レジストの剥離、及び洗浄を行うことにより、図９（ｂ）に示すように、酸化物半導体層１３ａ及び容量電極１３ｂを形成する（半導体層形成工程）。なお、本実施形態では、単層の無機絶縁膜１２を例示したが、例えば、下層が窒化シリコン膜（厚さ２００ｎｍ～５００ｎｍ程度）により構成され、上層が酸化シリコン膜（例えば、２０ｎｍ～１５０ｎｍ程度）により構成された複層の無機第絶縁膜１２であってもよい。

[0057] さらに、酸化物半導体層１３ａ及び容量電極１３ｂが形成された基板全体に、ＣＶＤ法により、図９（ｃ）に示すように、例えば、酸化シリコン膜（厚さ５０ｎｍ～２００ｎｍ程度）などの第１の無機絶縁膜（絶縁材料膜）１

４を成膜した後に、スパッタリング法により、例えば、チタン膜（厚さ５０ｎｍ程度）、アルミニウム膜（厚さ２００ｎｍ程度）及びチタン膜（厚さ１００ｎｍ程度）などを順に積層した第２の金属膜１５を成膜する。その後、第３のフォトマスクを用いたフォトリソグラフィ、第２の金属膜１５のドライエッチング、レジストの剥離、及び洗浄を行うことにより、図９（ｄ）に示すように、ソース線１５ａを形成する。なお、本実施形態では、単層の第１の無機絶縁膜１４を例示したが、例えば、下層が酸化シリコン膜により構成され、上層が窒化シリコン膜により構成された複層の第１の無機絶縁膜１４であってもよい。

[0058] そして、ソース線１５ａが形成された基板全体に、ＣＶＤ法により、例えば、酸化シリコン膜（厚さ５０ｎｍ～３００ｎｍ程度）などの第２の無機絶縁膜（他の絶縁材料膜）１６を成膜した後に、第４のフォトマスクを用いたフォトリソグラフィ、第２の無機絶縁膜１６のウエットエッチング、第１の無機絶縁膜１４及び第２の無機絶縁膜１６の積層膜のウエットエッチング、並びに無機絶縁膜１２、第１の無機絶縁膜１４及び第２の無機絶縁膜１６の積層膜のウエットエッチング、レジストの剥離、及び洗浄を行うことにより、図９（ｅ）に示すように、コンタクトホールＣａ、Ｃｂ、Ｃｃ、Ｃｄａ、Ｃｄｂ、Ｃｅ（図８参照）、Ｃｆ及びＣｇ（図８参照）を形成して、ゲート絶縁膜１２ａ、保護絶縁膜１４ａ及び層間絶縁膜１６ａを形成する（保護絶縁膜形成工程）。なお、本実施形態では、単層の第２の無機絶縁膜１６を例示したが、例えば、下層が酸化シリコン膜により構成され、上層が窒化シリコン膜により構成された複層の第２の無機絶縁膜１６であってもよい。

[0059] さらに、ゲート絶縁膜１２ａ、保護絶縁膜１４ａ及び層間絶縁膜１６ａが形成された基板全体に、スパッタリング法により、例えば、ＩＴＯ（Indium Tin Oxide、厚さ１００ｎｍ程度）などの透明導電膜１７を成膜し、その後、第５のフォトマスクを用いたフォトリソグラフィ、透明導電膜１７のドライエッチング、レジストの剥離、及び洗浄を行うことにより、図９（ｆ）に示すように、ソース電極１７ａ、ドレイン電極１７ｂ（画素電極Ｐ）、ゲート

端子１７ｃａ、ソース端子１７ｃｂ及びゲートソース接続部１７ｄ（図８参照）を形成する（画素電極形成工程）。

[0060] 最後に、ソース電極１７ａ、ドレイン電極１７ｂ（画素電極Ｐ）、ゲート端子１７ｃａ、ソース端子１７ｃｂ及びゲートソース接続部１７ｄが形成された基板全体に、印刷法によりポリイミド樹脂を塗布し、その後、ラビング処理を行うことにより、配向膜を厚さ１００ｎｍ程度に形成する。

[0061] 以上のようにして、アクティブマトリクス基板２０ａを作製することができる。

[0062] ＜対向基板作製工程＞

まず、ガラス基板などの絶縁基板の基板全体に、スピンコート法により、例えば、カーボンなどの微粒子が分散されたアクリル系の感光性樹脂を塗布し、その塗布された感光性樹脂をフォトマスクを介して露光した後に、現像することにより、ブラックマトリクスを厚さ１．５μｍ程度に形成する。

[0063] 続いて、上記ブラックマトリクスが形成された基板全体に、スピンコート法により、例えば、赤、緑又は青に着色されたアクリル系の感光性樹脂を塗布し、その塗布された感光性樹脂をフォトマスクを介して露光した後に、現像することによりパターニングして、選択した色の着色層（例えば、赤色層）を厚さ２．０μｍ程度に形成する。さらに、他の２色についても同様な工程を繰り返して、他の２色の着色層（例えば、緑色層及び青色層）を厚さ２．０μｍ程度に形成して、カラーフィルター層を形成する。

[0064] さらに、上記カラーフィルター層が形成された基板上に、スパッタリング法により、例えば、ＩＴＯなどの透明導電膜を成膜して、共通電極を厚さ１００ｎｍ程度に形成する。

[0065] その後、上記共通電極が形成された基板全体に、スピンコート法により、感光性樹脂を塗布し、その塗布された感光性樹脂をフォトマスクを介して露光した後に、現像することにより、フォトスペーサを厚さ４μｍ程度に形成する。

[0066] 最後に、上記フォトスペーサが形成された基板全体に、印刷法によりポリ

イミド系樹脂を塗布し、その後、ラビング処理を行うことにより、配向膜を厚さ１００ｎｍ程度に形成する。

[0067] 以上のようにして、対向基板３０を作製することができる。

[0068] ＜液晶注入工程＞

まず、例えば、ディスペンサを用いて、上記対向基板作製工程で作製された対向基板３０に、紫外線硬化及び熱硬化併用型樹脂などにより構成されたシール材３５を枠状に描画する。

[0069] 続いて、上記シール材が描画された対向基板３０におけるシール材３５の内側の領域に液晶材料を滴下する。

[0070] さらに、上記液晶材料が滴下された対向基板３０と、上記アクティブマトリクス基板作製工程で作製されたアクティブマトリクス基板２０ａとを、減圧下で貼り合わせた後に、その貼り合わせた貼合体を大気圧に開放することにより、その貼合体の表面及び裏面を加圧する。

[0071] 最後に、上記貼合体に挟持されたシール材３５にＵＶ光を照射した後に、その貼合体を加熱することによりシール材３５を硬化させる。

[0072] 以上のようにして、本実施形態の液晶表示パネル５０を製造することができる。

[0073] 以上説明したように、本実施形態のアクティブマトリクス基板２０ａ及びそれを備えた液晶表示パネル５０、並びにアクティブマトリクス基板２０ａの製造方法によれば、保護絶縁膜形成工程において、半導体層形成工程で形成された酸化物半導体層１３ａを覆うように、第１の無機絶縁膜１４を成膜した後に、その第１の無機絶縁膜１４をパターニングして、酸化物半導体層１３ａのソース電極１７ａ及びドレイン電極１７ｂとの接続部分が開口した保護絶縁膜１４ａを形成するので、画素電極形成工程において、各画素電極Ｐ、ソース電極１７ａ及びドレイン電極１７ｂを形成するために、透明導電膜１７をエッチングによりパターニングする際に、酸化物半導体層１３ａが表面に露出しないことになる。そのため、酸化物半導体層１３ａがエッチングでダメージを受け難くなるので、ＴＦＴ５の特性の低下を抑制することが

できる。また、保護絶縁膜形成工程において、第１の無機絶縁膜１４を覆うように第２の金属膜１５を成膜し、その第２の金属膜１５をパターニングして、ソース線１５ａを形成した後に、第１の無機絶縁膜１４をパターニングして、保護絶縁膜１４ａを形成するので、第２の金属膜１５をエッチングによりパターニングして、ソース線１５ａを形成する際に、酸化物半導体層１３ａが第１の無機絶縁膜１４で覆われていることになり、酸化物半導体層１３ａが第２の金属膜１５のエッチングでダメージを受け難くなる。さらに、保護絶縁膜形成工程において、第１の無機絶縁膜１４を覆うように第２の無機絶縁膜１６を成膜し、第１の無機絶縁膜１４及び第２の無機絶縁膜１６の積層膜をパターニングして、第１の無機絶縁膜１４により保護絶縁膜１４ａを形成すると共に、第２の無機絶縁膜１６により層間絶縁膜１６ａを形成するので、第２の無機絶縁膜１６をＣＶＤにより成膜する際に、酸化物半導体層１３ａが第１の無機絶縁膜１４で覆われていることになり、酸化物半導体層１３ａが第２の無機絶縁膜１６のＣＶＤでダメージを受け難くなる。また、アクティブマトリクス基板２０ａは、ゲート電極形成工程で第１のフォトマスクを用い、半導体層形成工程で第２のフォトマスクを用い、保護絶縁膜形成工程で第３及び第４のフォトマスクを用い、画素電極形成工程で第５のフォトマスクを用いるので、計５枚のフォトマスクを用いて製造される。したがって、アクティブマトリクス基板２０ａ及びそれを備えた液晶表示パネル５０において、フォトマスクの枚数を増やすことなく、酸化物半導体の半導体層を用いたＴＦＴの特性の低下を抑制することができる。

[0074] また、本実施形態のアクティブマトリクス基板２０ａによれば、ドレイン電極１７ｂが各画素電極Ｐと一体に形成され、ソース電極１７ａが各画素電極Ｐと同一層に同一材料により形成されているので、各画素電極Ｐ、ソース電極１７ａ及びドレイン電極１７ｂを、透明導電膜１７などの導電膜をパターニングして形成することができる。

[0075] また、本実施形態のアクティブマトリクス基板２０ａによれば、各ゲート線１１ａと各ソース線１５ａとの交差部分にゲート絶縁膜１２ａ及び保護絶

縁膜１４ａが配置されているので、各ゲート線１１ａと各ソース線１５ａとの交差部分に配置される絶縁膜が厚膜化され、ソースーゲート間の容量を低減することができると共に、ソースーゲート間の短絡を抑制することができる。

[0076] なお、本実施形態では、５枚のフォトマスクを用いるアクティブマトリクス基板２０ａの製造方法を例示したが、第２の金属膜１５の成膜及びそのパターニングを省略して、金属膜１５に形成されていたソース線（１５ａ）を、各画素電極Ｐと同一層に同一材料（透明導電膜１７）により形成することにより、４枚のフォトマスクを用いてアクティブマトリクス基板を製造することができる。

[0077] 《発明の実施形態２》

図１０は、本実施形態の液晶表示パネルを構成するアクティブマトリクス基板２０ｂの製造工程を示す説明図である。なお、以下の各実施形態において、図１～図９と同じ部分については同じ符号を付して、その詳細な説明を省略する。

[0078] 本実施形態の液晶表示パネルは、互いに対向するように設けられたアクティブマトリクス基板２０ｂ及び対向基板３０（図１参照）と、アクティブマトリクス基板２０ｂ及び対向基板３０の間に設けられた液晶層４０（図１参照）とを備えている。

[0079] アクティブマトリクス基板２０ｂでは、ＴＦＴ５が、図１０（ｅ）に示すように、絶縁基板１０上に設けられたゲート電極（１１ａ）と、ゲート電極（１１ａ）を覆うように設けられたゲート絶縁膜１２ｂと、ゲート絶縁膜１２ｂ上でゲート電極（１１ａ）に対応する位置に島状に設けられた酸化物半導体層１３ａと、酸化物半導体層１３ａの上層側で互いに対峙するように設けられ、酸化物半導体層１３ａに接続されたソース電極１７ａ及びドレイン電極１７ｂとを備えている。ここで、ソース電極１７ａ及びドレイン電極１７ｂと酸化物半導体層１３ａとの間には、図１０（ｅ）に示すように、酸化物半導体層１３ａのソース電極１７ａ及びドレイン電極１７ｂとの接続部分

以外を覆うように設けられた保護絶縁膜１４ｂが設けられている。また、ソース電極１７ａは、図１０（ｅ）に示すように、（保護絶縁膜１４ｂ及び）層間絶縁膜１６ｂに形成されたコンタクトホールＣａを介して酸化物半導体層１３ａに接続されていると共に、層間絶縁膜１６ｂに形成されたコンタクトホールＣｆを介してソース線１５ａに接続されている。また、ドレイン電極１７ｂは、図１０（ｅ）に示すように、（保護絶縁膜１４ｂ及び）層間絶縁膜１６ｂに形成されたコンタクトホールＣｂを介して酸化物半導体層１３ａに接続されていると共に、画素領域に延設されて画素電極Ｐを構成している。

[0080] 次に、本実施形態のアクティブマトリクス基板２０ｂの製造方法の一例について図１０を用いて説明する。なお、本実施形態の製造方法は、上記実施形態１のアクティブマトリクス基板作製工程における保護絶縁膜形成工程を変更するだけであるので、保護膜形成工程を中心に説明する。

[0081] まず、上記実施形態１のアクティブマトリクス基板作製工程における半導体層形成工程を行って酸化物半導体層１３ａ及び容量電極１３ｂが形成された基板全体に、ＣＶＤ法により、図１０（ａ）に示すように、例えば、酸化シリコン膜（厚さ５０ｎｍ～２００ｎｍ程度）などの第１の無機絶縁膜（絶縁材料膜）１４を成膜した後に、スパッタリング法により、例えば、チタン膜（厚さ５０ｎｍ程度）、アルミニウム膜（厚さ２００ｎｍ程度）及びチタン膜（厚さ１００ｎｍ程度）などを順に積層した第２の金属膜１５を成膜し、さらに、スピンコート法により、感光性樹脂膜Ｒを塗布し、その塗布された感光性樹脂膜Ｒをハーフトーンの第３フォトマスクを介して露光した後に、現像することにより、図１０（ａ）に示すように、ソース線１５ａとなる部分が相対的に厚く、コンタクトホールＣａ、Ｃｂ、Ｃｃ、Ｃｄａ及びＣｄｂなどを形成する部分が開口したレジストパターンＲａを形成する。

[0082] 続いて、レジストパターンＲａから露出する第２の金属膜１５、及びその下層の第１の無機絶縁膜１４、並びにその下層の無機絶縁膜１２のドライエッチングを行うことにより、図１０（ｂ）に示すように、ゲート絶縁膜１２

ｂ、保護絶縁膜１４ｂ及び金属層１５ｂを形成する。

[0083] さらに、レジストパターンＲａをアッシングで薄肉化することにより、図１０（ｂ）に示すように、レジストパターンＲａの相対的に薄い部分を除去して、レジストパターンＲｂを形成した後に、レジストパターンＲｂから露出する金属層１５ｂのドライエッチング、レジストの剥離、及び洗浄を行うことにより、図１０（ｃ）に示すように、ソース線１５ａを形成する。

[0084] そして、ソース線１５ａが形成された基板全体に、ＣＶＤ法により、例えば、酸化シリコン膜（厚さ５０ｎｍ～３００ｎｍ程度）などの第２の無機絶縁膜（他の絶縁材料膜）１６を成膜した後に、第４のフォトマスクを用いたフォトリソグラフィ、第２の無機絶縁膜１６のウエットエッチング、レジストの剥離、及び洗浄を行うことにより、図１０（ｄ）に示すように、層間絶縁膜１６ｂを形成する（保護絶縁膜形成工程）。

[0085] さらに、層間絶縁膜１６ｂが形成された基板全体に、スパッタリング法により、例えば、ＩＴＯ（厚さ１００ｎｍ程度）などの透明導電膜１７を成膜し、その後、第５のフォトマスクを用いたフォトリソグラフィ、透明導電膜１７のドライエッチング、レジストの剥離、及び洗浄を行うことにより、図１０（ｅ）に示すように、ソース電極１７ａ、ドレイン電極１７ｂ（画素電極Ｐ）、ゲート端子１７ｃａ及びソース端子１７ｃｂなどを形成する（画素電極形成工程）。

[0086] 最後に、ソース電極１７ａ、ドレイン電極１７ｂ（画素電極Ｐ）、ゲート端子１７ｃａ及びソース端子１７ｃｂなどが形成された基板全体に、印刷法によりポリイミド樹脂を塗布し、その後、ラビング処理を行うことにより、配向膜を厚さ１００ｎｍ程度に形成する。

[0087] 以上のようにして、アクティブマトリクス基板２０ｂを製造することができる。

[0088] 以上説明したように、本実施形態のアクティブマトリクス基板２０ｂ及び及びそれを備えた液晶表示パネル、並びにアクティブマトリクス基板２０ａの製造方法によれば、上記実施形態１と同様に、ソース電極１７ａ及びドレ

イン電極１７ｂと酸化物半導体層１３ａとの間に酸化物半導体層１３ａを覆うように保護絶縁膜１４ｂが設けられているので、フォトマスクの枚数を増やすことなく、酸化物半導体の半導体層を用いたＴＦＴの特性の低下を抑制することができる。

[0089] また、本実施形態のアクティブマトリクス基板２０ｂの製造方法によれば、例えば、透過部、遮光部及び半透過部を備えたハーフトーン（又はグレイトーン）のハーフ露光が可能な１枚のフォトマスクを用いて、ソース線１５ａを形成する部分が相対的に厚く、酸化物半導体層１３ａのソース電極１７ａ及びドレイン電極１７ｂとの接続部分が開口したレジストパターンＲａを形成し、そのレジストパターンＲａを用いて保護絶縁膜１４ｂを形成し、そのレジストパターンＲａを薄膜化したレジストパターンＲｂを用いてソース線１５ａを形成するので、アクティブマトリクス基板２０ｂの製造コストを低減することができる。

[0090] また、本実施形態のアクティブマトリクス基板２０ｂの製造方法によれば、保護絶縁膜形成工程において、保護絶縁膜１４ｂ上に形成されたソース線１５ａを覆うように、第２の無機絶縁膜１６を成膜した後に、第２の無機絶縁膜１６をパターニングして、層間絶縁膜１６ｂを形成するので、例えば、画素電極形成工程の前にドライエッチングにより形成するコンタクトホールの深さが浅くなり、ドライエッチングに要する時間が短くなると共に、層間絶縁膜１６ｂの表面がダメージを受け難くなる。なお、本実施形態では、層間絶縁膜１６ａが無機絶縁膜により形成されていたが、層間絶縁膜が有機絶縁膜により形成されている場合には、その層間絶縁膜の表面のダメージをいっそう抑制することができるので、画素電極の下層の表面荒れによるコントラスト低下を抑制することができる。

[0091] また、本実施形態のアクティブマトリクス基板２０ｂによれば、各ゲート線１１ａと各ソース線１５ａとの交差部分にゲート絶縁膜１２ｂ及び保護絶縁膜１４ｂが配置されているので、各ゲート線１１ａと各ソース線１５ａとの交差部分に配置される絶縁膜が厚膜化され、ソースーゲート間の容量を低

減することができると共に、ソースーゲート間の短絡を抑制することができる。

[0092] 《発明の実施形態３》

図１１（ａ）は、本実施形態の液晶表示パネルを構成するアクティブマトリクス基板２０ｃの断面図であり、図１１（ｂ）は、アクティブマトリクス基板２０ｃの製造工程の一部を示す断面図である。

[0093] 上記実施形態１及び２では、保護絶縁膜１４ａ及び１４ｂを構成する絶縁材料膜をＣＶＤ法により成膜する方法を例示したが、本実施形態では、保護絶縁膜１４ｃを構成する絶縁材料膜を有機樹脂の塗布及び焼成により成膜する方法を例示する。

[0094] 本実施形態の液晶表示パネルは、互いに対向するように設けられたアクティブマトリクス基板２０ｃ及び対向基板３０（図１参照）と、アクティブマトリクス基板２０ｃ及び対向基板３０の間に設けられた液晶層４０（図１参照）とを備えている。

[0095] アクティブマトリクス基板２０ｃでは、ＴＦＴ５のソース電極１７ａ及びドレイン電極１７ｂと酸化物半導体層１３ａとの間には、図１１（ａ）に示すように、酸化物半導体層１３ａのソース電極１７ａ及びドレイン電極１７ｂとの接続部分以外を覆うように設けられた保護絶縁膜１４ｃが設けられている。また、ソース電極１７ａは、図１１（ａ）に示すように、（保護絶縁膜１４ｃ及び）層間絶縁膜１６ｂに形成されたコンタクトホールＣａを介して酸化物半導体層１３ａに接続されていると共に、層間絶縁膜１６ｂに形成されたコンタクトホールＣｆを介してソース線１５ａに接続されている。また、ドレイン電極１７ｂは、図１１（ａ）に示すように、（保護絶縁膜１４ｃ及び）層間絶縁膜１６ｂに形成されたコンタクトホールＣｂを介して酸化物半導体層１３ａに接続されていると共に、画素領域に延設されて画素電極Ｐを構成している。さらに、保護絶縁膜１４ｃは、その厚さが１．５μｍ程度であり、上記実施形態１及び２の保護絶縁膜１４ａ及び１４ｂよりも厚い塗布型の絶縁膜である。

[0096] 本実施形態のアクティブマトリクス基板２０ｃは、上記実施形態２の保護絶縁膜形成工程における第１の無機絶縁膜１４の成膜方法を、図１１（ｂ）に示すように、酸化物半導体層１３ａ及び容量電極１３ｂが形成された基板全体に、スピンコート法により、アクリル樹脂を厚さ１．５μｍ程度に塗布した後に、１５０℃で５分間程度のプリベーク、及び２００℃で１時間程度のポストベークを行うことにより、有機絶縁膜１４ｓを成膜する方法に変更することにより、製造することができる。

[0097] 以上説明したように、本実施形態のアクティブマトリクス基板２０ｃ及び及びそれを備えた液晶表示パネル、並びにアクティブマトリクス基板２０ｃの製造方法によれば、上記実施形態１及び２と同様に、ソース電極１７ａ及びドレイン電極１７ｂと酸化物半導体層１３ａとの間に酸化物半導体層１３ａを覆うように保護絶縁膜１４ｃが設けられているので、フォトマスクの枚数を増やすことなく、酸化物半導体の半導体層を用いたＴＦＴの特性の低下を抑制することができる。

[0098] また、本実施形態のアクティブマトリクス基板２０ｃによれば、各ゲート線１１ａと各ソース線１５ａとの交差部分にゲート絶縁膜１２ｂ及び保護絶縁膜１４ｃが配置されていると共に、保護絶縁膜１４ｃが比較的厚く形成され易い塗布型の絶縁膜であるので、各ゲート線１１ａと各ソース線１５ａとの交差部分に配置される絶縁膜が厚膜化され、ソースーゲート間の容量をいっそう低減することができると共に、ソースーゲート間の短絡をいっそう抑制することができる。

[0099] なお、上記各実施形態では、保護絶縁膜１４ａ、１４ｂ及び１４ｃ上に層間絶縁膜１６ａ及び１６ｂが設けられた構成を例示したが、本発明では、保護絶縁膜１４ａ、１４ｂ及び１４ｃ上の層間絶縁膜１６ａ及び１６ｂを省略してもよい。

[0100] また、上記各実施形態では、Ｃｓ ｏｎ Ｃｏｍｍｏｎ構造のアクティブマトリクス基板を例示したが、本発明は、Ｃｓ ｏｎ Ｇａｔｅ構造のアクティブマトリクス基板にも適用することができる。

[0101] また、上記各実施形態では、画素電極に接続されたＴＦＴの電極をドレイン電極としたアクティブマトリクス基板を例示したが、本発明は、画素電極に接続されたＴＦＴの電極をソース電極と呼ぶアクティブマトリクス基板にも適用することができる。

産業上の利用可能性

[0102] 以上説明したように、本発明は、フォトマスクの枚数を増やすことなく、酸化物半導体の半導体層を用いたＴＦＴの特性の低下を抑制することができるので、ＴＦＴを備えたアクティブマトリクス駆動方式の液晶表示パネルについて有用である。

符号の説明

[0103] Ｐ　画素電極

Ｒ　感光性樹脂膜

Ｒａ，Ｒｂ　レジストパターン

５　ＴＦＴ

１０　絶縁基板

１１ａ　ゲート線（ゲート電極）

１２ａ　ゲート絶縁膜

１３ａ　酸化物半導体層

１４　第１の無機絶縁膜（絶縁材料膜）

１４ａ，１４ｂ，１４ｃ　保護絶縁膜

１５　金属膜

１５ａ　ソース線

１６　第２の無機絶縁膜（他の絶縁材料膜）

１６ａ　層間絶縁膜

１７　透明導電膜

１７ａ　ソース電極

１７ｂ　ドレイン電極

２０ａ，２０ｂ，２０ｃ　アクティブマトリクス基板

３０　対向基板

４０　液晶層（表示媒体層）

５０　液晶表示パネル

請求の範囲

[請求項1] マトリクス状に設けられた複数の画素電極と、

上記各画素電極にそれぞれ接続された複数の薄膜トランジスタとを備え、

上記各薄膜トランジスタが、絶縁基板に設けられたゲート電極と、該ゲート電極を覆うように設けられたゲート絶縁膜と、該ゲート絶縁膜上に上記ゲート電極に重なるように設けられた酸化物半導体層と、互いに対峙するように設けられ、該酸化物半導体層にそれぞれ接続されたソース電極及びドレイン電極とを備えたアクティブマトリクス基板であって、

上記ソース電極及びドレイン電極と上記酸化物半導体層との間には、該酸化物半導体層を覆うように保護絶縁膜が設けられていることを特徴とするアクティブマトリクス基板。

[請求項2] 請求項１に記載されたアクティブマトリクス基板において、

上記ドレイン電極は、上記各画素電極と一体に形成され、

上記ソース電極は、上記各画素電極と同一層に同一材料により形成されていることを特徴とするアクティブマトリクス基板。

[請求項3] 請求項１又は２に記載されたアクティブマトリクス基板において、

互いに平行に延びるように設けられた複数のゲート線と、

上記各ゲート線と交差する方向に互いに平行に延びるように設けられた複数のソース線とを備え、

上記各ゲート線と上記各ソース線との交差部分には、上記ゲート絶縁膜及び保護絶縁膜が配置されていることを特徴とするアクティブマトリクス基板。

[請求項4] 請求項３に記載されたアクティブマトリクス基板において、

上記保護絶縁膜は、塗布型の絶縁膜であることを特徴とするアクティブマトリクス基板。

[請求項5] 請求項１乃至４の何れか１つに記載されたアクティブマトリクス基

板において、

上記各画素電極と上記保護絶縁膜との間には、層間絶縁膜が設けられていることを特徴とするアクティブマトリクス基板。

[請求項6] 互いに対向するように設けられたアクティブマトリクス基板及び対向基板と、

上記アクティブマトリクス基板及び対向基板の間に設けられた表示媒体層とを備えた表示パネルであって、

上記アクティブマトリクス基板は、

マトリクス状に設けられた複数の画素電極と、

上記各画素電極にそれぞれ接続された複数の薄膜トランジスタとを備え、

上記各薄膜トランジスタが、絶縁基板に設けられたゲート電極と、該ゲート電極を覆うように設けられたゲート絶縁膜と、該ゲート絶縁膜上に上記ゲート電極に重なるように設けられた酸化物半導体層と、互いに対峙するように設けられ、該酸化物半導体層にそれぞれ接続されたソース電極及びドレイン電極とを備え、

上記ソース電極及びドレイン電極と上記酸化物半導体層との間には、該酸化物半導体層を覆うように保護絶縁膜が設けられていることを特徴とする表示パネル。

[請求項7] マトリクス状に設けられた複数の画素電極と、

上記各画素電極にそれぞれ接続された複数の薄膜トランジスタとを備え、

上記各薄膜トランジスタが、絶縁基板に設けられたゲート電極と、該ゲート電極を覆うように設けられたゲート絶縁膜と、該ゲート絶縁膜上に上記ゲート電極に重なるように設けられた酸化物半導体層と、互いに対峙するように設けられ、該酸化物半導体層にそれぞれ接続されたソース電極及びドレイン電極とを備えたアクティブマトリクス基板を製造する方法であって、

絶縁基板上に上記ゲート電極を形成するゲート電極形成工程と、

上記ゲート電極を覆うように上記ゲート絶縁膜を形成した後に、該ゲート絶縁膜上に上記酸化物半導体層を形成する半導体層形成工程と、

上記酸化物半導体層を覆うように、絶縁材料膜を成膜した後に、該絶縁材料膜をパターニングして、上記酸化物半導体層の上記ソース電極及びドレイン電極との接続部分が開口した保護絶縁膜を形成する保護絶縁膜形成工程と、

上記保護絶縁膜を覆うように、透明導電膜を成膜した後に、該透明導電膜をパターニングして、上記各画素電極、ソース電極及びドレイン電極を形成する画素電極形成工程とを備えることを特徴とするアクティブマトリクス基板の製造方法。

[請求項8] 請求項７に記載されたアクティブマトリクス基板の製造方法において、

上記保護絶縁膜形成工程では、上記絶縁材料膜を覆うように金属膜を成膜し、該金属膜をパターニングして、上記ソース電極に接続するソース線を形成した後に、上記絶縁材料膜をパターニングして、上記保護絶縁膜を形成することを特徴とするアクティブマトリクス基板の製造方法。

[請求項9] 請求項７又は８に記載されたアクティブマトリクス基板の製造方法において、

上記保護絶縁膜形成工程では、上記絶縁材料膜を覆うように他の絶縁材料膜を成膜し、該絶縁材料膜及び他の絶縁材料膜の積層膜をパターニングして、該絶縁材料膜により保護絶縁膜を形成すると共に、該他の絶縁材料膜により上記各画素電極、ソース電極及びドレイン電極の下層となる層間絶縁膜を形成することを特徴とするアクティブマトリクス基板の製造方法。

[請求項10] 請求項８に記載されたアクティブマトリクス基板の製造方法におい

て、

上記保護絶縁膜形成工程では、上記金属膜上に感光性樹脂膜を成膜した後に、該感光性樹脂膜をハーフ露光で露光して、上記ソース線を形成する部分が相対的に厚く、上記酸化物半導体層の上記ソース電極及びドレイン電極との接続部分が開口したレジストパターンを形成し、続いて、該レジストパターンから露出する金属膜及び該金属膜の下層の絶縁材料膜をエッチングして、上記保護絶縁膜を形成し、さらに、該レジストパターンを薄膜化することにより相対的に薄い部分を除去して露出させた金属膜をエッチングして、上記ソース線を形成することを特徴とするアクティブマトリクス基板の製造方法。

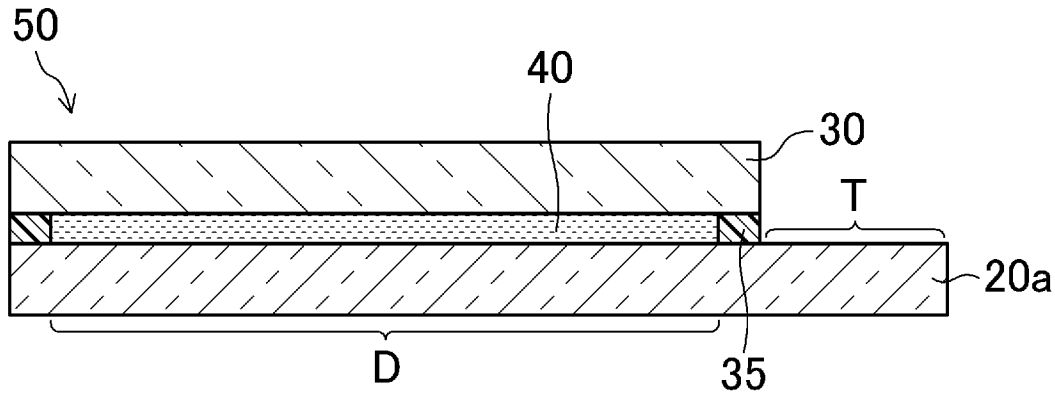
[請求項11] 請求項１０に記載されたアクティブマトリクス基板の製造方法において、

上記保護絶縁膜形成工程では、上記ソース線を覆うように、他の絶縁材料膜を成膜した後に、該他の絶縁材料膜をパターニングして、上記各画素電極、ソース電極及びドレイン電極の下層となる層間絶縁膜を形成することを特徴とするアクティブマトリクス基板の製造方法。

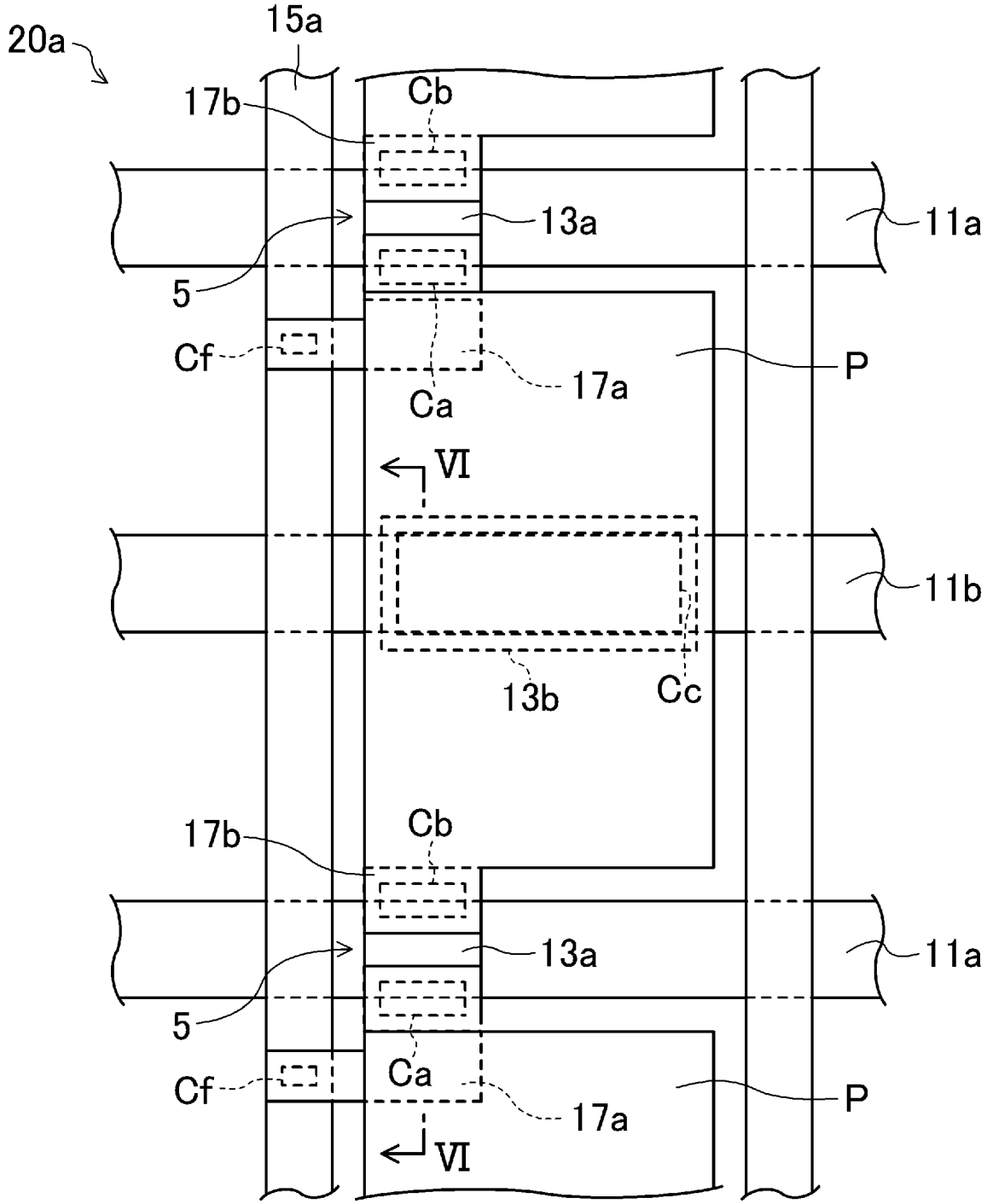
[請求項12] 請求項７乃至１１の何れか１つに記載されたアクティブマトリクス基板の製造方法において、

上記絶縁材料膜は、無機絶縁膜であることを特徴とするアクティブマトリクス基板の製造方法。

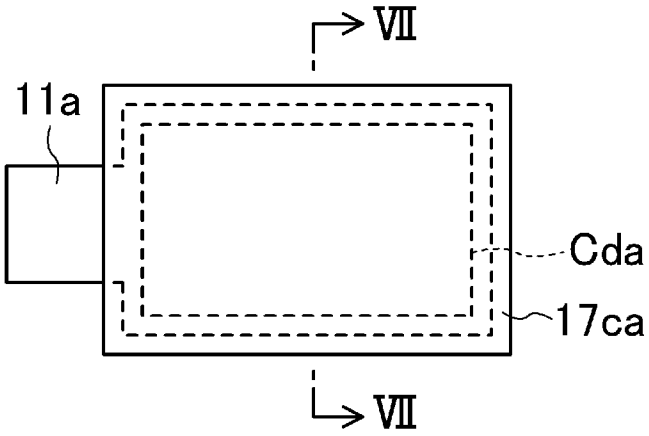
[図1]



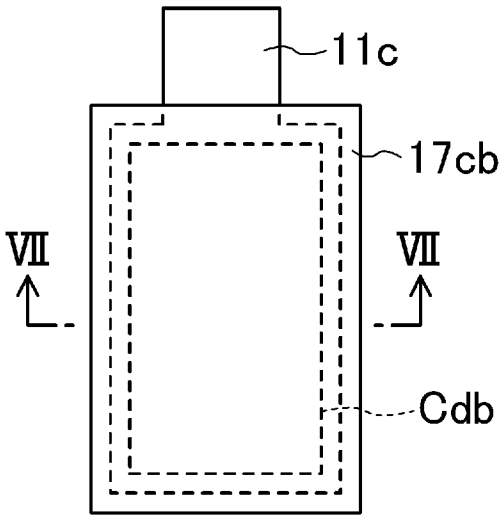
[図2]


20a
15a
17b
Cb
13a
11a
5
Cf
Ca
17a
P
VI
11b
13b
Cc
17b
Cb
13a
11a
5
Cf
Ca
17a
P
VI

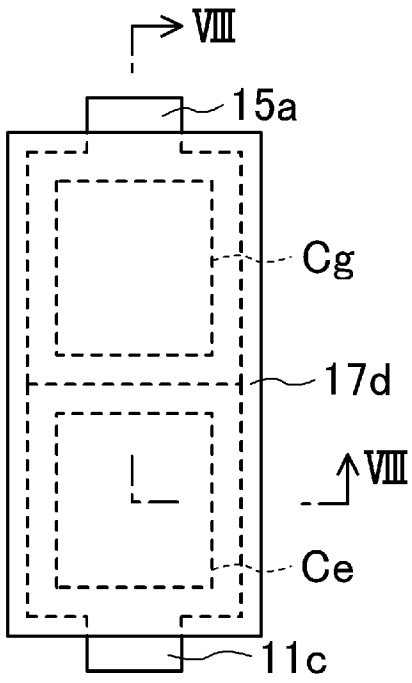
[図3]


VII
11a
Cda
17ca
VII

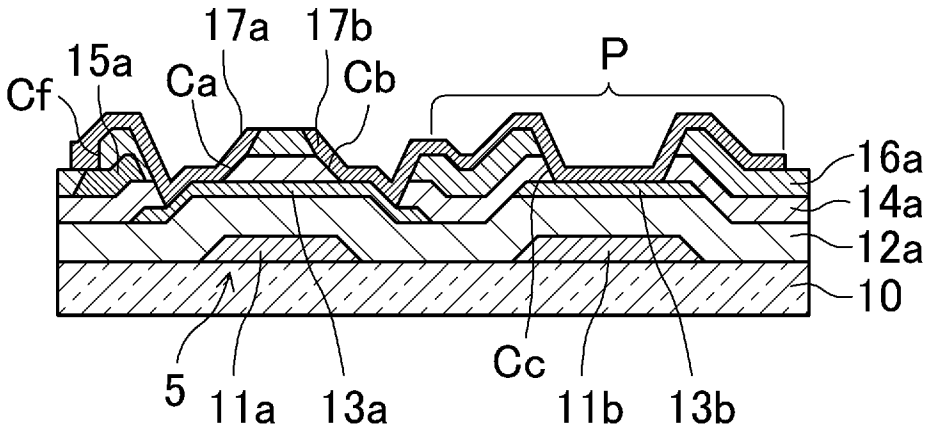
[図4]


11c
17cb
VII
VII
Cdb

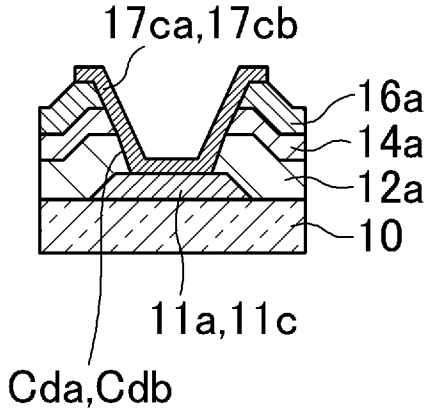
[図5]


VIII
15a
Cg
17d
VIII
Ce
11c

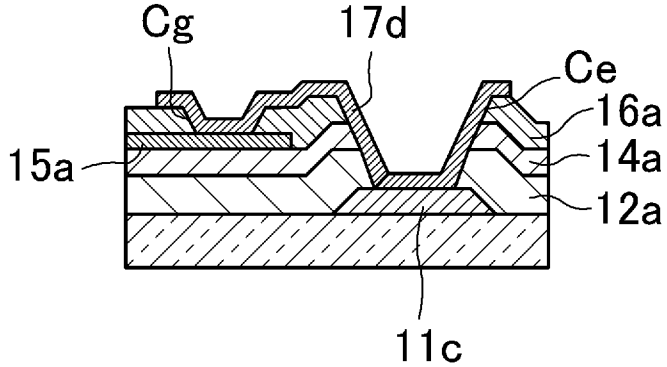
[図6]


17a
17b
15a
Cf
Ca
Cb
P
16a
14a
12a
10
5
11a
13a
Cc
11b
13b

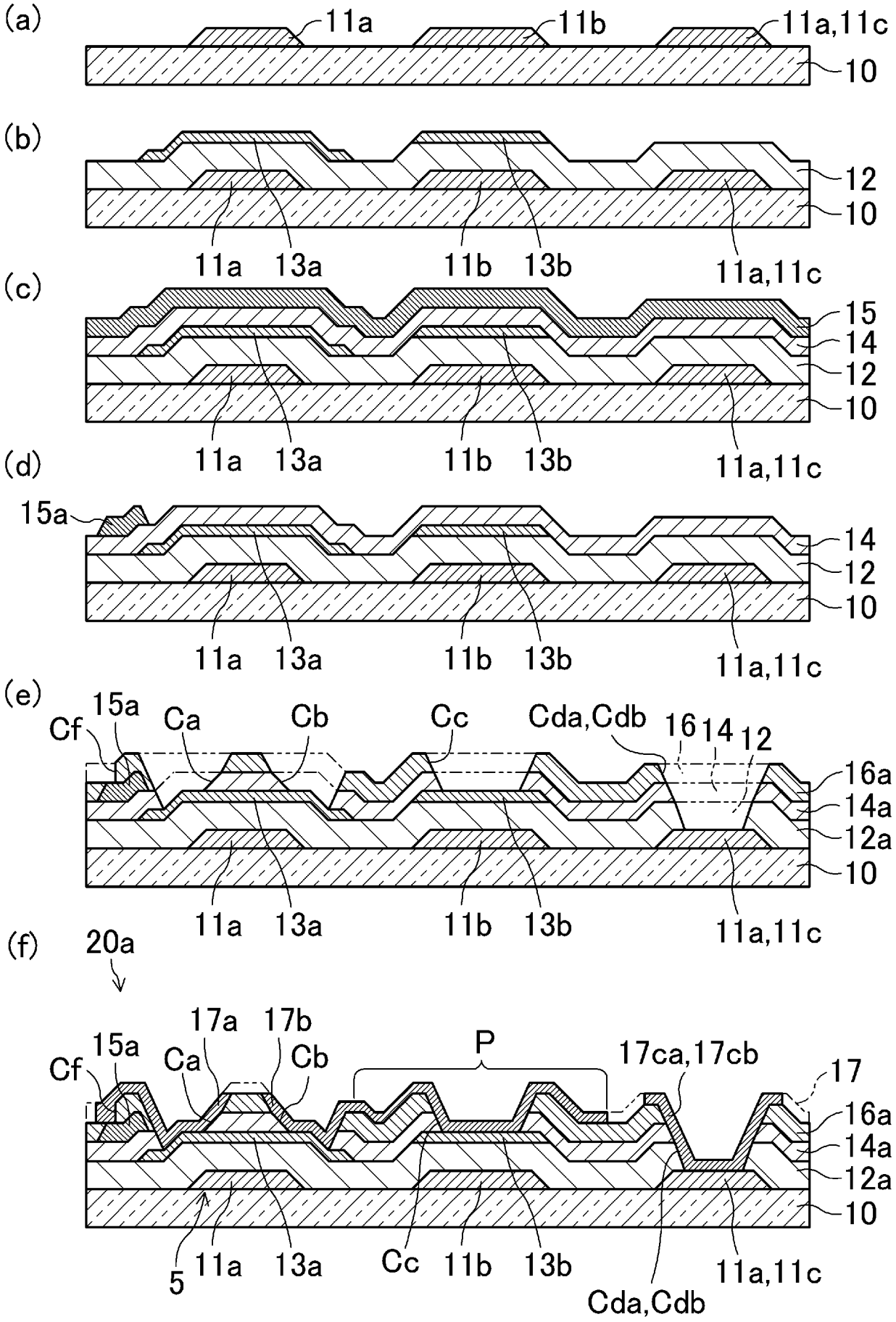
[図7]


17ca,17cb
16a
14a
12a
10
11a,11c
Cda,Cdb

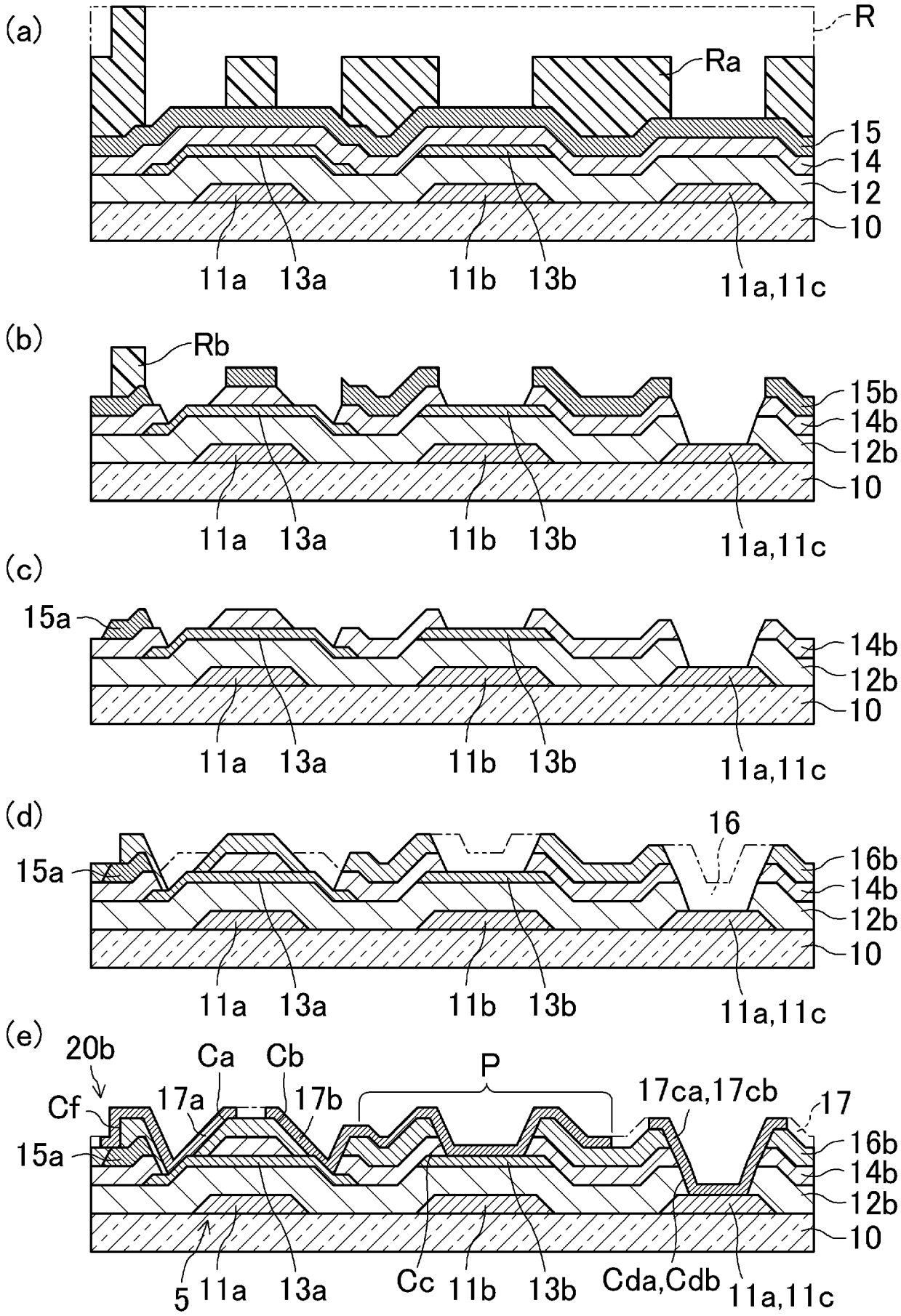
[図8]


Cg
17d
Ce
16a
15a
14a
12a
11c

[図9]

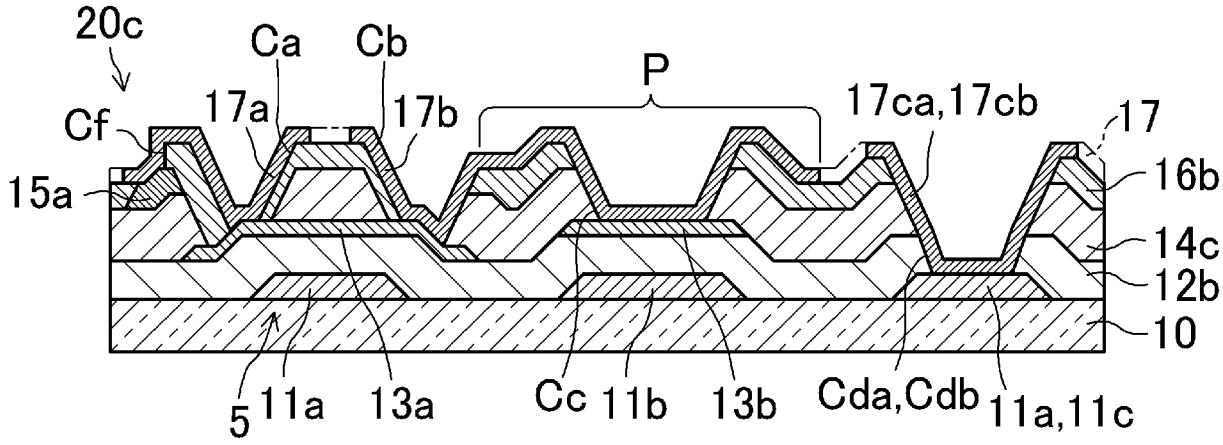

(a)
11a
11b
11a,11c
10
(b)
12
10
11a
13a
11b
13b
11a,11c
(c)
15
14
12
10
11a
13a
11b
13b
11a,11c
(d)
15a
14
12
10
11a
13a
11b
13b
11a,11c
(e)
Cf
15a
Ca
Cb
Cc
Cda,Cdb
16
14
12
16a
14a
12a
10
11a
13a
11b
13b
11a,11c
(f)
20a
17a
17b
15a
Cf
Ca
Cb
P
17ca,17cb
17
16a
14a
12a
10
5
11a
13a
Cc
11b
13b
11a,11c
Cda,Cdb

[図10]

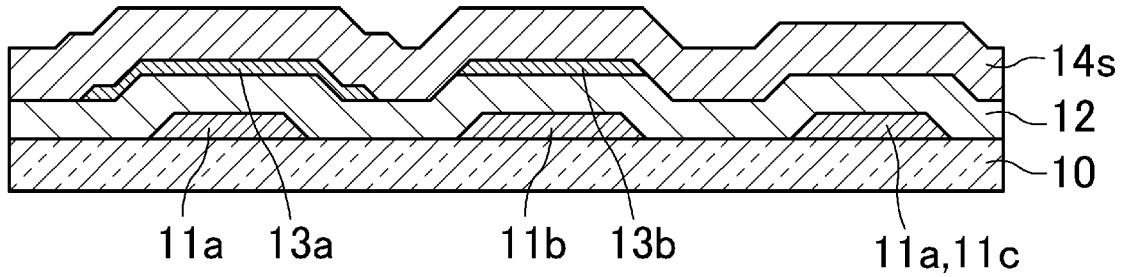

(a)
R
Ra
15
14
12
10
11a
13a
11b
13b
11a,11c
(b)
Rb
15b
14b
12b
10
11a
13a
11b
13b
11a,11c
(c)
15a
14b
12b
10
11a
13a
11b
13b
11a,11c
(d)
16
15a
16b
14b
12b
10
11a
13a
11b
13b
11a,11c
(e)
20b
Ca
Cb
P
Cf
17a
17b
17ca,17cb
17
15a
16b
14b
12b
10
5
11a
13a
Cc
11b
13b
Cda,Cdb
11a,11c

[図11]

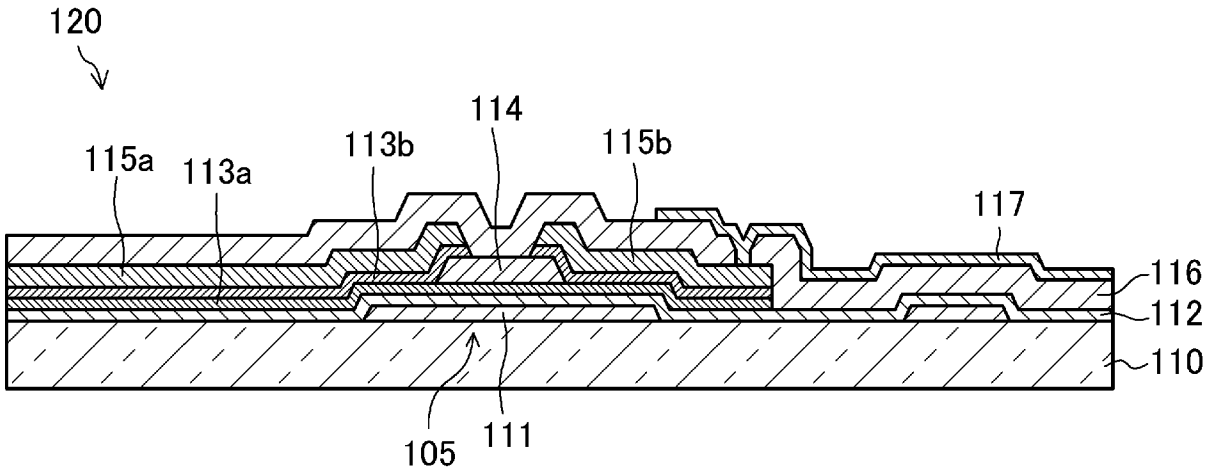
(a)


20c
Ca
Cb
P
Cf
17a
17b
17ca,17cb
17
15a
16b
14c
12b
10
5
11a
13a
Cc
11b
13b
Cda,Cdb
11a,11c

(b)


14s
12
10
11a
13a
11b
13b
11a,11c

[図12]


120
114
115a
113a
113b
115b
117
116
112
110
105
111

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2010/005179

A. CLASSIFICATION OF SUBJECT MATTER
H01L29/786(2006.01)i, *G02F1/1368*(2006.01)i, *G09F9/30*(2006.01)i, *H01L21/336*(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L29/786, G02F1/1368, G09F9/30, H01L21/336

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2010
Kokai Jitsuyo Shinan Koho	1971-2010	Toroku Jitsuyo Shinan Koho	1994-2010

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2007-73559 A (Kochi Industrial Promotion Center), 22 March 2007 (22.03.2007), paragraphs [0064] to [0089]; fig. 3, 4 (Family: none)	1,4,5,6 2,3,7,9,12 8,10,11
Y	JP 2007-235102 A (Idemitsu Kosan Co., Ltd.), 13 September 2007 (13.09.2007), paragraphs [0061] to [0068]; fig. 6 & US 2009/0001374 A1 & EP 1981085 A1 & WO 2007/088722 A1 & KR 10-2008-0108223 A & CN 101416320 A	2,7,9,12

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
27 September, 2010 (27.09.10)	05 October, 2010 (05.10.10)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2010/005179

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 4-130312 A (Casio Computer Co., Ltd.), 01 May 1992 (01.05.1992), page 2, lower left column, line 15 to lower right column, line 10; page 4, lower right column, line 15 to page 5, upper left column, line 2; fig. 1, 15 (Family: none)	3

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2010/005179

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

The invention in claim 1 cannot be considered to be novel in the light of the invention described in the document 1 (JP 2007-73559 A (Kochi Industrial Promotion Center), 22 March 2007 (22.03.2007), paragraphs [0064] - [0089], fig. 3, 4), and does not have a special technical feature.

Consequently, a group of inventions set forth in claims 1 - 12 do not comply with the requirement of unity of invention.

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☒ As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest

☐ The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee.

☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.

☐ No protest accompanied the payment of additional search fees.

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１０／００５１７９

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H01L29/786(2006.01)i, G02F1/1368(2006.01)i, G09F9/30(2006.01)i, H01L21/336(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H01L29/786, G02F1/1368, G09F9/30, H01L21/336

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１０年
日本国実用新案登録公報	１９９６－２０１０年
日本国登録実用新案公報	１９９４－２０１０年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X Y A	JP 2007-73559 A (財団法人高知県産業振興センター) 2007.03.22, 段落【0064】－【0089】、図３、４（ファミリーなし）	1,4,5,6 2,3,7,9,12 8,10,11
Y	JP 2007-235102 A (出光興産株式会社) 2007.09.13, 段落【0061】－【0068】、図６ & US 2009/0001374 A1 & EP 1981085 A1 & WO 2007/088722 A1 & KR 10-2008-0108223 A & CN 101416320 A	2,7,9,12

☑　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日 ２７．０９．２０１０	国際調査報告の発送日 ０５．１０．２０１０
国際調査機関の名称及びあて先 日本国特許庁（ＩＳＡ／ＪＰ） 郵便番号１００－８９１５ 東京都千代田区霞が関三丁目４番３号	特許庁審査官（権限のある職員）　４Ｍ　３６４３ 小出　輝 電話番号　０３－３５８１－１１０１　内線　３４６２

Ｃ（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	JP 4-130312 A（カシオ計算機株式会社）1992.05.01, 第２頁左下欄第15行－右下欄第10行、第４頁右下欄第15行－第５頁左上欄第２行、第1、15図参照。（ファミリーなし）	3

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１０／００５１７９

第Ⅱ欄　請求の範囲の一部の調査ができないときの意見（第１ページの２の続き）

法第8条第3項（ＰＣＴ17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

１．☐ 請求項＿＿＿＿＿＿＿＿は、この国際調査機関が調査をすることを要しない対象に係るものである。
つまり、

２．☐ 請求項＿＿＿＿＿＿＿＿は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、

３．☐ 請求項＿＿＿＿＿＿＿＿は、従属請求の範囲であってＰＣＴ規則6.4(a)の第２文及び第3文の規定に従って記載されていない。

第Ⅲ欄　発明の単一性が欠如しているときの意見（第１ページの３の続き）

次に述べるようにこの国際出願に二以上の発明があるとこの国際調査機関は認めた。

請求項１に係る発明は、文献１（JP 2007-73559 A（財団法人高知県産業振興センター）2007.03.22, 段落【0064】－【0089】、図3、４）に記載された発明に対して新規性が認められず、特別な技術的特徴を有しない。

よって、請求項１－１２に記載されている一群の発明は、発明の単一性の要件を満たしていない。

１．☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求項について作成した。

２．☑ 追加調査手数料を要求するまでもなく、すべての調査可能な請求項について調査することができたので、追加調査手数料の納付を求めなかった。

３．☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったので、この国際調査報告は、手数料の納付のあった次の請求項のみについて作成した。

４．☐ 出願人が必要な追加調査手数料を期間内に納付しなかったので、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求項について作成した。

追加調査手数料の異議の申立てに関する注意

☐ 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。

☐ 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。

☐ 追加調査手数料の納付はあったが、異議申立てはなかった。