

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成 17 年 8 月 18 日 (2005.8.18)

【公表番号】特表 2004-531084 (P2004-531084A)

【公表日】平成 16 年 10 月 7 日 (2004.10.7)

【年通号数】公開・登録公報 2004-039

【出願番号】特願 2003-507893 (P2003-507893)

【国際特許分類第 7 版】

H 0 1 L 21/8247

H 0 1 L 27/115

H 0 1 L 29/788

H 0 1 L 29/792

【F I】

H 0 1 L 27/10 4 3 4

H 0 1 L 29/78 3 7 1

【手続補正書】

【提出日】平成 15 年 12 月 25 日 (2003.12.25)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

メモリトランジスタと、

半導体ボディ (2) または半導体層の上面に配置され、該半導体材料から誘電性材料によって分離されるゲート電極 (2) と、

該半導体材料内に形成されるソース領域 (3) およびドレイン領域 (4) とを備え、該ゲート電極は、該ソース領域 (3) と該ドレイン領域 (4) との間の、該半導体材料内に形成されたトレンチに配置され、

ワード線 (WL_{n-1}、WL_n、WL_{n+1}) と、

ビット線 (BL_{i-1}、WL_i、WL_{i+1}) であって、互いに平行に、かつ、該ワード線 (WL_{n-1}、WL_n、WL_{n+1}) を横断して伸びる、ビット線とを備える、メモリセルであって、

少なくとも該ソース領域 (3) と該ゲート電極 (2) との間、および該ドレイン領域 (4) と該ゲート電極 (2) との間に、境界層 (5、7) 間にメモリ層 (6) を含む層シークエンスが存在することと、

該メモリ層 (6) は、非ドーピングシリコン、タンタル酸化物、ハフニウムシリケート、チタン酸化物、ジルコニウム酸化物およびアルミニウム酸化物を含む群より選択される材料であることと、

各場合について、それぞれのビット線の部分として提供され、かつ帯状にパターンニングされた導電層 (8) が該ソース領域 (3) および該ドレイン領域 (4) の上に設けられることと

を特徴とする、メモリセル。

【請求項 2】

前記ソース領域 (3) および前記ドレイン領域 (4) 上の存在する前記導電層 (8) は、ドーピングシリコン、タンゲステン、タンゲステンシリサイド、コバルト、コバルトシリサイド、チタンおよびチタンシリサイドを含む群からの、少なくとも 1 つの材料を有す

る、請求項 1 に記載のメモリセル。

【請求項 3】

前記境界層 (5、7) は、酸化物である、請求項 1 または 2 に記載のメモリセル。

【請求項 4】

前記ビット線 (BL_{i-1} 、 WL_i 、 WL_{i+1}) は、前記半導体材料内の帯状のドーピング領域を有する埋め込みビット線として形成され、かつ、該帯状にパターンニングされた導電層 (8) がメタライゼーションとして提供される、請求項 1 ~ 3 の 1 つに記載のメモリセル。

【請求項 5】

前記半導体材料の中の最も遠くに突き出して形成される前記トレンチの底面の部分に、または、該トレンチの底面の中央に位置し、かつ、該トレンチの該底面に対して垂直に、該半導体材料の中に 20 nm 伸びるチャネル領域の部分 (23) において、限界が $5 \cdot 10^{17} \text{ cm}^{-3}$ ~ $5 \cdot 10^{18} \text{ cm}^{-3}$ によって決定される範囲に位置するドーパント濃度が設定され、各場合について、底面ドーピングまたはウェルドーピングとして該半導体材料に導入される、 cm^{-3} で測定されるドーパントの濃度、および 10^{17} cm^{-3} の値からの商で乗算される、請求項 1 ~ 4 の 1 つに記載のメモリセル。

【請求項 6】

メモリとして提供され、

ここで、前記ゲート電極 (2) は、各場合について、ワード線として提供された金属含有層、または層シーケンス (19; 33、34) と導通するように接続され、

メモリセルの前記ソース領域 (3) および前記ドレイン領域 (4) は、同時に、隣接し合うメモリセルのドレイン領域として、およびソース領域として提供される、請求項 1 ~ 5 の 1 つに記載のメモリセルを含む構成。

【請求項 7】

前記半導体材料上の前記メモリ層 (6) を含む層シーケンスが、前記ゲート電極 (2) と前記半導体材料との間、および前記ワード線と前記半導体材料との間の面全体に付与される、請求項 6 に記載の構成。

【請求項 8】

前記半導体材料内に存在するトレンチの側壁間の前記メモリ層 (6) は、少なくとも 1 つのゲート電極 (2) に配置され、および / または、隣接し合う 2 つのトレンチ間で中断される、請求項 6 に記載の構成。

【請求項 9】

請求項 1 ~ 8 の 1 つに記載のメモリセルまたはその構成を製造する方法であって、

第 1 の工程において、帯状の部分形成するようにパターンニングされた導電層 (8) の膜が半導体ボディ (1) または半導体層上に製造され、ここで、該第 1 の工程の前に注入によって、あるいは、該第 1 の工程の後にドーパントを導電層 (8) の材料から拡散させることによってドーピングされた、ソースおよびドレイン用の領域 (10; 110) が形成され、

第 2 の工程において、該導電層の該帯状の部分間に、1 つのトレンチ、または、互いに平行に伸びる複数のトレンチが製造され、これにより、該トレンチの側方に、該半導体材料の領域が、それぞれ、ソース領域 (3) およびドレイン領域 (4) のために残り、

第 3 の工程において、境界層 (5)、メモリ層 (6) および境界層 (7) が重ねられて面全体に設けられ、

第 4 の工程において、それぞれのゲート電極 (2) のために提供された導電性材料が該トレンチ (単数または複数) に導入され、かつ、少なくともワード線として提供される導体トラックを形成するようにパターンニングされる、方法。

【請求項 10】

前記第 1 の工程において、導電層 (8) として、ポリシリコン層 (14) および金属含有層 (15) を含む層シーケンスが設けられる、請求項 9 に記載の方法。

【請求項 11】

前記金属含有層(15)は、WSi、WNおよびWを含む群より選択される材料からなる少なくとも1つの層膜を含む、請求項10に記載の方法。

【請求項12】

第1の工程において、帯状の部分に形成されるパターニング層(25)の少なくとも1つの膜が半導体ボディ(1)または半導体層上に製造され、

第2の工程において、該パターニング層の該帯状の部分間に、1つのトレンチ(28)、または互いに平行に伸びる複数のトレンチが製造され、これにより、該トレンチの側方に、該半導体材料の領域が、それぞれ、ソース領域(3)およびドレイン領域(4)のために残り、

第3の工程において、境界層(5)、メモリ層(6)および境界層(7)が重ねられて面全体に設けられ、

第4の工程において、それぞれのゲート電極(2)のために提供された導電性材料が該トレンチ(単数または複数)に導入され、

第5の工程において、該パターニング層の該帯状の部分が、導電層(8)の帯状の部分と置き換えられ、

第6の工程において、ワード線(32)として提供される少なくとも1つの導体トラックが、トレンチに導入された導電性材料と電氣的に接触し、かつ、該導電層の該帯状の部分から電氣的に絶縁されて設けられ、

該第1の工程の前に注入(11)によって、または前記第5の工程の後にドーパントを該導電層の材料から拡散(110)させることによってドーピングされた、ソースおよびドレイン用の領域が形成される、請求項1～8の1つに記載のメモリセルまたはその構成を製造する方法。

【請求項13】

シリコンの半導体ボディまたは半導体層が用いられ、

前記第5の工程において、シリサイド化された金属の少なくとも1つの膜が導電層として形成される、請求項12に記載の方法。

【請求項14】

コバルトシリサイドの膜が前記第5の工程において形成される、請求項13に記載の方法。