



# (12) 发明专利申请

(10) 申请公布号 CN 116918072 A

(43) 申请公布日 2023. 10. 20

(21) 申请号 202180094906.2

(74) 专利代理机构 永新专利商标代理有限公司  
72002

(22) 申请日 2021.11.05

专利代理师 朴勇

(30) 优先权数据

2021-039221 2021.03.11 JP

2021-069123 2021.04.15 JP

2021-103917 2021.06.23 JP

(51) Int.Cl.

H01L 29/78 (2006.01)

(85) PCT国际申请进入国家阶段日

2023.08.30

(86) PCT国际申请的申请数据

PCT/JP2021/040836 2021.11.05

(87) PCT国际申请的公布数据

W02022/190456 JA 2022.09.15

(71) 申请人 株式会社电装

地址 日本爱知县

(72) 发明人 高谷秀史

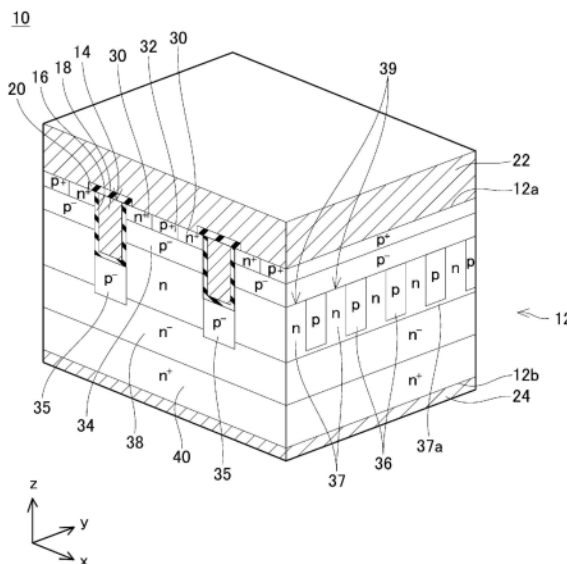
权利要求书3页 说明书11页 附图20页

(54) 发明名称

场效应晶体管及其制造方法

(57) 摘要

场效应晶体管(10)具有:p型沟槽下层(35),其配置于沟槽(14)的下侧,在从上侧观察半导体基板(12)时沿着沟槽的长边方向延伸;多个p型深层(36);以及多个n型深层(37)。各p型深层从体层(34)向下侧突出,在从上侧观察半导体基板时沿着与沟槽交叉的第一方向延伸,在与第一方向正交的第二方向上隔开间隔部配置,且与配置于沟槽的下侧的p型沟槽下层相接。各n型深层配置于对应的间隔部内,在位于体层的下侧的沟槽的侧面与栅极绝缘膜相接。



1. 一种场效应晶体管(10),其特征在于,具有:
  - 半导体基板(12),其在上表面设置有沟槽(14);
  - 栅极绝缘膜(16),其覆盖所述沟槽的内表面;以及
  - 栅电极(18),其配置于所述沟槽内,通过所述栅极绝缘膜与所述半导体基板绝缘;所述半导体基板具有:
  - n型的源极层(30),其在所述沟槽的侧面与所述栅极绝缘膜相接;
  - p型的体层(34),其在位于所述源极层的下侧的所述沟槽的所述侧面与所述栅极绝缘膜相接;
  - p型沟槽下层(35),其配置于所述沟槽的下侧,在从上侧观察所述半导体基板时沿着所述沟槽的长边方向延伸;
  - 多个p型深层(36);以及
  - 多个n型深层(37);各所述p型深层从所述体层向下侧突出,从所述体层延伸至比所述沟槽的底面靠下侧的位置,在从上侧观察所述半导体基板时沿着与所述沟槽交叉的第一方向延伸,在从上侧观察所述半导体基板时在与所述第一方向正交的第二方向上隔开间隔部配置,且与配置于所述沟槽的下侧的所述p型沟槽下层相接,
  - 各所述n型深层配置于对应的所述间隔部内,在位于所述体层的下侧的所述沟槽的所述侧面与所述栅极绝缘膜相接。
2. 根据权利要求1所述的场效应晶体管,其特征在于,
  - 所述源极层在从上侧观察所述半导体基板时相对于所述沟槽的长边方向平行地延伸。
3. 根据权利要求1或2所述的场效应晶体管,其特征在于,
  - 所述半导体基板具有接触层(32),所述接触层(32)设置于所述体层上,且具有比所述体层高的p型杂质浓度,
  - 所述接触层在从上侧观察所述半导体基板时相对于所述沟槽的长边方向平行地延伸。
4. 根据权利要求1~3中任一项所述的场效应晶体管,其特征在于,
  - 各所述n型深层具有:
    - n型深下层(137A);以及
    - n型深上层(137B),其配置于所述n型深下层的上侧,且具有比所述n型深下层高的n型杂质浓度;
  - 所述n型深上层配置于比所述沟槽的底面靠上侧的位置。
5. 根据权利要求1~4中任一项所述的场效应晶体管,其特征在于,
  - 各所述p型深层具有:
    - p型深下层(136A);以及
    - p型深上层(136B),其配置于所述p型深下层的上侧,且具有比所述p型深下层高的p型杂质浓度;
  - 所述p型深上层配置于比所述沟槽的底面靠上侧的位置。
6. 根据权利要求1~5中任一项所述的场效应晶体管,其特征在于,
  - 从对应的所述沟槽的底面到各所述p型沟槽下层的下表面为止的深度与从所述半导体基板的上表面到所述体层的下表面为止的深度一致。

7. 根据权利要求6所述的场效应晶体管,其特征在于,所述p型沟槽下层离开所述沟槽的底面。
8. 根据权利要求6所述的场效应晶体管,其特征在于,所述p型沟槽下层在深度方向上具有浓度不同的多个部分。
9. 根据权利要求8所述的场效应晶体管,其特征在于,所述p型沟槽下层具有:  
第一p型沟槽下层(135A);以及  
第二p型沟槽下层(135B),其配置于所述第一p型沟槽下层的上侧;  
所述第二p型沟槽下层与所述第一p型沟槽下层相比浓度更深。
10. 根据权利要求8所述的场效应晶体管,其特征在于,所述p型沟槽下层具有:  
第一p型沟槽下层(135A);以及  
第二p型沟槽下层(135B),其配置于所述第一p型沟槽下层的上侧;  
所述第二p型沟槽下层与所述第一p型沟槽下层相比浓度更浅。
11. 根据权利要求9或10所述的场效应晶体管,其特征在于,所述第二p型沟槽下层的深度方向的厚度比所述源极层的深度方向的厚度小。
12. 根据权利要求1~11中任一项所述的场效应晶体管,其特征在于,所述p型沟槽下层沿着所述沟槽的长边方向被断开,各所述p型深层在所述p型沟槽下层的被断开的部分通过。
13. 一种场效应晶体管(10)的制造方法,其特征在于,具有:  
深层形成工序,在n型的外延层(50)形成多个p型深层(36)和多个n型深层(37、137),其中,各所述p型深层在从上侧观察所述外延层时沿着第一方向延伸,在从上侧观察所述外延层时在与所述第一方向正交的第二方向上隔开间隔部配置,各所述n型深层配置于对应的所述间隔部内;  
沟槽形成工序,从所述外延层的表面起形成不超过所述多个p型深层和所述多个n型深层的深度的沟槽(14),其中,所述沟槽在从上侧观察所述外延层时与所述多个p型深层和所述多个n型深层交叉;  
体层形成工序,利用离子注入技术朝向所述外延层的表面导入p型杂质,在所述多个p型深层和所述多个n型深层的上侧形成体层(34);以及  
p型沟槽下层形成工序,利用离子注入技术在所述沟槽的底面的下侧形成p型沟槽下层(35)。
14. 根据权利要求13所述的场效应晶体管的制造方法,其特征在于,在所述深层形成工序中,利用离子注入技术,通过向所述外延层的离开表面的规定深度范围内导入n型杂质和p型杂质而形成所述多个p型深层和所述多个n型深层。
15. 根据权利要求13或14所述的场效应晶体管的制造方法,其特征在于,在所述沟槽形成工序之后,同时实施所述体层形成工序和所述p型沟槽下层形成工序。
16. 根据权利要求15所述的场效应晶体管的制造方法,其特征在于,所述场效应晶体管的制造方法还具有利用离子注入技术向所述外延层的上层部导入n型杂质而形成源极层(30)的源极层形成工序,

所述p型沟槽下层具有：

第一p型沟槽下层(135A)；以及

第二p型沟槽下层(135B)，其配置于所述第一p型沟槽下层的上侧；

所述第二p型沟槽下层与所述第一p型沟槽下层相比浓度更深，

所述第二p型沟槽下层的深度方向的厚度比所述源极层的深度方向的厚度小。

17. 根据权利要求15所述的场效应晶体管的制造方法，其特征在于，

所述场效应晶体管的制造方法还具有利用离子注入技术向所述外延层的上层部导入n型杂质而形成源极层的源极层形成工序，

所述p型沟槽下层具有：

第一p型沟槽下层(135A)；以及

第二p型沟槽下层(135B)，其配置于所述第一p型沟槽下层的上侧；

所述第二p型沟槽下层与所述第一p型沟槽下层相比浓度更浅，

所述第二p型沟槽下层的深度方向的厚度比所述源极层的深度方向的厚度小。

18. 根据权利要求13或14所述的场效应晶体管的制造方法，其特征在于，

在所述沟槽形成工序之前实施所述p型沟槽下层形成工序，

所述p型沟槽下层的宽度比所述沟槽的宽度窄。

19. 根据权利要求18所述的场效应晶体管的制造方法，其特征在于，

所述p型沟槽下层形成工序与所述深层形成工序中的形成所述多个p型深层的工序同时实施。

## 场效应晶体管及其制造方法

[0001] 相关申请的交叉引用

[0002] 本申请是2021年3月11日申请的日本专利申请第2021-039221号、2021年4月15日申请的日本专利申请第2021-069123号以及2021年6月23日申请的日本专利申请第2021-103917号的关联申请,基于该日本专利申请主张优先权,并将该日本专利申请所记载的全部内容作为构成本说明书的内容进行引用。

### 技术领域

[0003] 本说明书中公开的技术涉及场效应晶体管和其制造方法。

### 背景技术

[0004] 日本特开第2009-194065号公报中公开了一种沟槽栅型的场效应晶体管。该场效应晶体管具有从体层向下侧突出的多个p型深层。各p型深层在从上侧观察半导体基板时以与沟槽交叉的方式延伸。多个p型深层在其宽度方向上隔开间隔部配置。各p型深层从体层延伸至比沟槽的底面靠下侧的位置。在日本特开第2009-194065号公报公开的场效应晶体管的一例中,各p型深层在位于体层的下侧的沟槽的侧面及沟槽的底面与栅极绝缘膜相接。另外,场效应晶体管具有与体层及各p型深层相接的n型的漂移层。如果该场效应晶体管截止,则耗尽层从体层向漂移层内扩展。通过向漂移层内扩展的耗尽层,保持源极-漏极间的电压。另外,如果该场效应晶体管截止,则耗尽层也从各深p层向漂移层内扩展。因为各深p层在沟槽的底面与栅极绝缘膜相接,所以由从各深p层扩展的耗尽层耗尽沟槽的底面的周边的漂移层。这样,通过从各深p层向沟槽的底面的周边扩展的耗尽层,抑制电场集中于沟槽的底面的周边的栅极绝缘膜及漂移层。因此,该场效应晶体管具有较高的耐压。

### 发明内容

[0005] 在这种具有多个p型深层的场效应晶体管中,需要用于进一步缓和沟槽的底面的周边的栅极绝缘膜上的电场集中而实现高耐压化的技术。在本说明书中,提出在具有多个p型深层的场效应晶体管中实现高耐压化的技术。

[0006] 本说明书公开的场效应晶体管可以具有:半导体基板,其在上表面设置有沟槽;栅极绝缘膜,其覆盖所述沟槽的内表面;以及栅电极,其配置于所述沟槽内,通过所述栅极绝缘膜与所述半导体基板绝缘。所述半导体基板可以具有:n型的源极层,其在所述沟槽的侧面与所述栅极绝缘膜相接;p型的体层,其在位于所述源极层的下侧的所述沟槽的所述侧面与所述栅极绝缘膜相接;p型沟槽下层,其配置于所述沟槽的下侧,在从上侧观察所述半导体基板时沿着所述沟槽的长边方向延伸;多个p型深层;以及多个n型深层。所述各p型深层从所述体层向下侧突出,从所述体层延伸至比所述沟槽的底面靠下侧的位置,在从上侧观察所述半导体基板时沿着与所述沟槽交叉的第一方向延伸,在从上侧观察所述半导体基板时在与所述第一方向正交的第二方向上隔开间隔部配置,且与配置于所述沟槽的下侧的所述p型沟槽下层相接。所述各n型深层配置于对应的所述间隔部内,在位于所述体层的下侧

的所述沟槽的所述侧面与所述栅极绝缘膜相接。

[0007] 该场效应晶体管具有配置于沟槽的下侧的p型沟槽下层。因此,在场效应晶体管截止时,缓和沟槽的底面的周边的电场集中。其结果,该场效应晶体管能够具有较高的耐压。而且,在该场效应晶体管中,p型沟槽下层经由多个p型深层与体层电连接。因此,p型沟槽下层的电位稳定,该场效应晶体管的开关特性恶化的情况被抑制。这样,在该场效应晶体管中,通过组合p型沟槽下层和多个p型深层,能够抑制开关特性的恶化,同时改善耐压。

[0008] 本说明书公开的场效应晶体管的制造方法可以具有:深层形成工序,在n型的外延层形成多个p型深层和多个n型深层,其中,所述各p型深层在从上侧观察所述外延层时沿着第一方向延伸,在从上侧观察所述外延层时在与所述第一方向正交的第二方向上隔开间隔部配置,所述各n型深层配置于对应的所述间隔部内;沟槽形成工序,从所述外延层的表面起形成不超过所述多个p型深层和所述多个n型深层的深度的沟槽,其中,所述沟槽在从上侧观察所述外延层时与所述多个p型深层和所述多个n型深层交叉;体层形成工序,利用离子注入技术朝向所述外延层的表面导入p型杂质,在所述多个p型深层和所述多个n型深层的上侧形成体层;以及p型沟槽下层形成工序,利用离子注入技术在所述沟槽的底面的下侧形成p型沟槽下层。

[0009] 根据该场效应晶体管的制造方法,能够制造具有p型沟槽下层和多个p型深层的场效应晶体管。

## 附图说明

[0010] 图1是MOSFET10的截面立体图(表示不包含p型深层36的xz截面的图)。

[0011] 图2是省略了源电极22和层间绝缘膜20的MOSFET10的截面立体图(表示不包含p型深层36的xz截面的图)。

[0012] 图3是包含p型沟槽下层35、p型深层36及n型深层37的放大xy截面,是表示从上方观察半导体基板12时的p型沟槽下层35、p型深层36及n型深层37的配置的MOSFET10的放大剖视图。

[0013] 图4是包含沟槽14、p型深层36及n型深层37的放大xy截面,是表示从上方观察半导体基板12时的沟槽14、p型深层36及n型深层37的配置的MOSFET10的放大剖视图。

[0014] 图5是包含p型深层36及n型深层37的MOSFET10的放大yz截面图。

[0015] 图6是MOSFET10的截面立体图(表示包含p型深层36的xz截面的图)。

[0016] 图7是包含沟槽14、p型深层36及n型深层37的放大xy截面,是表示从上方观察半导体基板12时的沟槽14和p型深层36及n型深层37的配置的MOSFET10的变形例的放大剖视图。

[0017] 图8是包含沟槽14、p型深层36及n型深层37的放大xy截面,是表示从上方观察半导体基板12时的沟槽14和p型深层36及n型深层37的配置的MOSFET10的变形例的放大剖视图。

[0018] 图9是包含p型沟槽下层35、p型深层36及n型深层37的放大xy截面,是表示从上方观察半导体基板12时的p型沟槽下层35、p型深层36及n型深层37的配置的MOSFET10的变形例的放大剖视图。

[0019] 图10是省略源电极22和层间绝缘膜20的MOSFET10的变形例的截面立体图(表示不包含p型深层36的xz截面的图)。

[0020] 图11是MOSFET10的变形例的截面立体图(表示不包含p型深层36的xz截面的图)。

- [0021] 图12是MOSFET10的变形例的截面立体图(表示包含p型深层36的xz截面的图)。
- [0022] 图13是MOSFET10的变形例的截面立体图(表示不包含p型深层36的xz截面的图)。
- [0023] 图14是MOSFET10的变形例的截面立体图(表示包含p型深层36的xz截面的图)。
- [0024] 图15是MOSFET10的制造方法的说明图。
- [0025] 图16是MOSFET10的制造方法的说明图。
- [0026] 图17是MOSFET10的制造方法的说明图。
- [0027] 图18是MOSFET10的制造方法的说明图。
- [0028] 图19是MOSFET10的制造方法的说明图。
- [0029] 图20是MOSFET10的变形例的截面立体图(表示不包含p型深层36的xz截面的图)。

### 具体实施方式

[0030] 图1、图2所示的实施方式的MOSFET10(metal-oxide-semiconductor field effect transistor:金属氧化物半导体场效应晶体管)具有半导体基板12。以下,将半导体基板12的厚度方向称为z方向,将与半导体基板12的上表面12a平行的一方向(与z方向正交的一方向)称为x方向,将与x方向及z方向正交的方向称为y方向。半导体基板12由碳化硅(即SiC)构成。此外,半导体基板12也可以由硅、氮化镓等其它半导体材料构成。在半导体基板12的上表面12a设置有多个沟槽14。如图2所示,多个沟槽14在上表面12a沿着y方向较长地延伸。多个沟槽14在x方向上隔开间隔地配置。

[0031] 如图1、图2所示,各沟槽14的内表面(即侧面和底面)由栅极绝缘膜16覆盖。在各沟槽14内配置有栅电极18。各栅电极18通过栅极绝缘膜16与半导体基板12绝缘。如图1所示,各栅电极18的上表面由层间绝缘膜20覆盖。在半导体基板12的上部设置有源电极22。源电极22覆盖各层间绝缘膜20。源电极22通过层间绝缘膜20与栅电极18绝缘。源电极22在不存在层间绝缘膜20的位置与半导体基板12的上表面12a相接。在半导体基板12的下部配置有漏电极24。漏电极24与半导体基板12的下表面12b的全域相接。

[0032] 如图1、图2所示,半导体基板12具有多个源极层30、多个接触层32、体层34、多个p型沟槽下层35、多个p型深层36、多个n型深层37、漂移层38及漏极层40。

[0033] 各源极层30是具有较高的n型杂质浓度的n型层。各源极层30配置于半导体基板12的部分地包含上表面12a的范围。各源极层30与源电极22欧姆接触。各源极层30在沟槽14的侧面的最上部与栅极绝缘膜16相接。各源极层30经由栅极绝缘膜16与栅电极18对置。各源极层30沿着沟槽14的侧面在y方向上较长地延伸。即,各源极层30在从上侧观察半导体基板12时相对于沟槽14的长边方向平行地延伸,从沟槽14的长边方向的一端部延伸至另一端部。

[0034] 各接触层32是具有较高的p型杂质浓度的p型层。各接触层32配置于半导体基板12的部分地包含上表面12a的范围。各接触层32配置于对应的两个源极层30之间。各接触层32与源电极22欧姆接触。各接触层32沿y方向较长地延伸。即,各接触层32在从上侧观察半导体基板12时相对于沟槽14的长边方向平行地延伸,从沟槽14的长边方向的一端部延伸至另一端部。

[0035] 体层34是具有比接触层32低的p型杂质浓度的p型层。体层34配置于多个源极层30及多个接触层32的下侧。体层34从下侧与多个源极层30及多个接触层32相接。体层34在位

于源极层30的下侧的沟槽14的侧面与栅极绝缘膜16相接。体层34经由栅极绝缘膜16与栅电极18对置。

[0036] 各p型沟槽下层35是配置于对应的沟槽14的下侧的p型层。如后所述,各p型沟槽下层35也可以通过与体层34共同的离子注入工序形成。在该情况下,各p型沟槽下层35和体层34的p型杂质的深度方向的浓度曲线一致,从对应的沟槽14的底面到各p型沟槽下层35的下表面为止的深度与从半导体基板12的上表面12a到体层34的下表面为止的深度一致。在本例中,各p型沟槽下层35与覆盖对应的沟槽14的底面的栅极绝缘膜16相接。如图3所示,在从上侧观察半导体基板12时,各p型沟槽下层35沿着对应的沟槽14的长边方向(在本例中为y方向)较长地延伸,也可以从沟槽14的长边方向的一端连续延伸至另一端。如后所述,各p型沟槽下层35沿着对应的沟槽14的长边方向(在本例中为y方向)较长地延伸,也可以在沟槽14的长边方向的一端到另一端之间断开。

[0037] 各p型深层36是从体层34的下表面向下侧突出的p型层。各p型深层36的p型杂质浓度比体层34的p型杂质浓度高,且比接触层32的p型杂质浓度低。如图4所示,在从上侧观察半导体基板12时,各p型深层36沿x方向较长地延伸,相对于沟槽14的长边方向(在本例中为y方向)是正交的。多个p型深层36在y方向上隔开间隔地配置。以下,将多个p型深层36之间的部分称为间隔部39(参照图1及图2)。如图5所示,p型深层36在yz截面上具有在z方向上较长的形状。即,p型深层36的z方向上的尺寸(以下称为深度 $D_p$ )比p型深层36的y方向上的尺寸(以下称为宽度 $W_p$ )大。例如,能够将深度 $D_p$ 设为宽度 $W_p$ 的1~4倍。如图6所示,各p型深层36从体层34的下表面延伸至比各沟槽14的底面靠下侧的深度。各p型深层36在位于体层34的下侧的沟槽14的侧面与栅极绝缘膜16相接。另外,如图3所示,各p型深层36以与配置于沟槽14的下侧的p型沟槽下层35交叉的方式相接。

[0038] 各n型深层37是n型杂质浓度比漂移层38高的n型层。各n型深层37的n型杂质浓度比各p型深层36的p型杂质浓度低。此外,也可以代替本例,各n型深层37为与漂移层38的n型杂质浓度相同的浓度。如图1、图2所示,各n型深层37配置于对应的间隔部39内。各n型深层37与体层34的下表面相接。各n型深层37与其两侧的p型深层36的侧面相接。各n型深层37从体层34的下表面延伸至比各沟槽14的底面及各p型深层36的下表面靠下侧的位置。如图5所示,间隔部39内的n型深层37在yz截面上具有在z方向上较长的形状。即,n型深层37的z方向上的尺寸(以下称为深度 $D_n$ )比间隔部39内的n型深层37的y方向上的尺寸(以下称为宽度 $W_n$ )大。例如,能够将深度 $D_n$ 设为宽度 $W_n$ 的1~4倍。在本实施方式中,n型深层37的宽度 $W_n$ 与p型深层36的宽度 $W_p$ 大致相等。各n型深层37具有延伸至相邻的p型深层36的下表面的正下方的连接区域37a。各连接区域37a与对应的p型深层36的下表面相接。各n型深层37经由各连接区域37a彼此相连。n型深层37向比p型深层36的下表面靠下侧的位置突出的部分的厚度 $T_1$ (即从p型深层36的下表面到n型深层37的下表面为止的z方向上的距离)约为 $0.1\mu\text{m}$ ,极薄。如图1、图2所示,在各间隔部39内,各n型深层37在位于体层34的下侧的沟槽14的侧面与栅极绝缘膜16相接。另外,如图3所示,各n型深层37以与配置于沟槽14的下侧的p型沟槽下层35交叉的方式相接。

[0039] 漂移层38是具有比各n型深层37低的n型杂质浓度的n型层。漂移层38配置于n型深层37的下侧。漂移层38从下侧与n型深层37相接。

[0040] 漏极层40是具有比漂移层38及n型深层37高的n型杂质浓度的n型层。漏极层40从

下侧与漂移层38相接。漏极层40配置于半导体基板12的包含下表面12b的范围。漏极层40与漏电极24欧姆接触。

[0041] 接着,对MOSFET10的动作进行说明。MOSFET10在对漏电极24施加比源电极22高的电位的状态下使用。如果对各栅电极18施加栅极阈值以上的电位,则在栅极绝缘膜16的附近的体层34形成沟道。通过沟道将源极层30和n型深层37连接。因此,电子从源极层30经由沟道、n型深层37及漂移层38向漏极层40流动。即,MOSFET10导通。如果将各栅电极18的电位从栅极阈值以上的值向低于栅极阈值的值降低,则沟道消失,电子的流动停止。即,MOSFET10截止。

[0042] 接着,对使MOSFET10截止时的动作进行更详细的说明。如果沟道消失,则对体层34和各n型深层37的界面的pn结施加反向电压。因此,耗尽层从体层34向各n型深层37扩展。另外,各p型深层36与体层34电连接,具有与体层34大致相同的电位。因此,如果沟道消失,则也对各p型深层36和各n型深层37的界面的pn结施加反向电压。因此,耗尽层也从各p型深层36向各n型深层37扩展。而且,各p型沟槽下层35经由各p型深层36与体层34电连接,具有与体层34大致相同的电位。因此,如果沟道消失,则也对各p型沟槽下层35和各n型深层37的界面的pn结施加反向电压。这样,各n型深层37被从体层34、各p型沟槽下层35和各p型深层36扩展的耗尽层急速耗尽。特别是,因为各p型沟槽下层35设置于对应的沟槽14的下侧,所以沟槽14的底面的周边被良好地耗尽。由此,可大幅度地缓和沟槽14的底面附近的电场集中。另外,各n型深层37整体被从体层34、各p型沟槽下层35和各p型深层36扩展的耗尽层耗尽。此外,因为各n型深层37与漂移层38相比n型杂质浓度较高,所以在各n型深层37内,与漂移层38相比,耗尽层更难以扩展。但是,因为各n型深层37被p型深层36夹持,且各n型深层37的宽度 $W_n$ 窄,所以各n型深层37整体被耗尽。另外,耗尽层经由各n型深层37向漂移层38扩展。因为漂移层38的n型杂质浓度较低,所以漂移层38几乎被完全耗尽。通过耗尽的漂移层38及各n型深层37,保持施加于漏电极24和源电极22之间的高电压。因此,MOSFET10具有较高的耐压。

[0043] 另外,在MOSFET10中,p型沟槽下层35经由p型深层36与体层34电连接。因此,p型沟槽下层35的电位稳定,该MOSFET10的开关特性恶化的情况被抑制。这样,在该MOSFET10中,能够通过p型沟槽下层35和p型深层36的组合来抑制开关特性的恶化,同时改善耐压。

[0044] 另外,在MOSFET10中,p型沟槽下层35与覆盖沟槽14的底面的栅极绝缘膜16相接。因此,栅电极18和漏电极24之间的静电容(即反馈电容)变小。进而,在MOSFET10中,各n型深层37和各p型深层36具有纵长的形状。如果这样构成各n型深层37和各p型深层36,则反馈电容变小。由此,能够提高MOSFET10的开关速度。

[0045] 另外,在MOSFET10中,p型沟槽下层35的深度比p型深层36及n型深层37的深度深。如果设置有这种深的p型沟槽下层35,则能够促进n型深层37及漂移层38的耗尽,因此,MOSFET10的耐压得以改善。另外,如果设置有这种深的p型沟槽下层35,则在施加过电压时向下方突出的p型沟槽下层35发生击穿,因此,能够在元胞区域可靠地发生击穿。其结果,MOSFET10也能够使雪崩耐量稳定。此外,p型沟槽下层35的深度也可以比p型深层36及n型深层37的深度浅。在该情况下,因为从p型沟槽下层35延伸的耗尽层被抑制,所以MOSFET10的导通电阻得以改善。

[0046] 此外,在MOSFET10中,如图4所示,在从上侧观察半导体基板12时,各p型深层36及

各n型深层37在相邻的沟槽14间沿x方向连续地延伸得较长。也可以代替本例,如图7所示,将各p型深层36及各n型深层37沿x方向断开。在本例中,因为各p型深层36被断开,所以电流路径被确保得较宽,导通电阻降低。但是,在本例中,各p型深层36及各n型深层37也以横跨沟槽14的方式配置。由此,能够发挥上述的作用效果。此外,也可以仅将各p型深层36及各n型深层37中的任一方向沿x方向断开。另外,如图8所示,也可以设置将在y方向上相邻的p型深层36连接p层36a。这种连接p层36a对于缓和栅极绝缘膜16施加的电场及提高耐压是有效的。

[0047] 此外,在MOSFET10中,如图3所示,在从上侧观察半导体基板12时,各p型沟槽下层35从沟槽14的长边方向的一端连续延伸至另一端。也可以代替本例,如图9所示,在从上侧观察半导体基板12时,各p型沟槽下层35沿着对应的沟槽14的长边方向(在本例中为y方向)较长地延伸,在沟槽14的长边方向的一端到另一端之间断开。在该情况下,各p型深层36通过p型沟槽下层35的被断开的部分。例如,在图3所示的例子中,在p型沟槽下层35和p型深层36重叠的部分,离子注入时的损坏变大,担心漏电流增加。另一方面,在图9所示的例子中,因为p型沟槽下层35和p型深层36的重叠部分少,所以漏电流的增加被抑制。

[0048] 此外,在MOSFET10中,如图2所示,在从上侧观察半导体基板12时,各源极层30及各接触层32相对于沟槽14的长边方向平行地延伸。特别是,通过使各源极层30相对于沟槽14的长边方向平行地延伸并且与沟槽14的侧面相接,能够利用沟槽14的整个侧面作为高浓度的沟道,因此,MOSFET10的导通电阻低。而且,因为能够利用沟槽14的整个侧面作为沟道,所以沟道和各n型深层37良好地连接。例如,如果各源极层30以与沟槽14的长边方向交叉的方式,特别是以与沟槽14的长边方向正交的方式延伸,则与沟槽14的侧面相接的源极层30的位置被限定,因此,形成于沟槽14的侧面的高浓度的沟道的位置也被限定。因此,在这种例子中,由于制造时的源极层30和n型深层37的相对位置关系的偏移,形成于沟槽14的侧面的高浓度的沟道和n型深层37的相对位置关系也发生偏移,因此,存在导通电阻容易大幅变动的问题。另一方面,在MOSFET10中,因为能够利用沟槽14的整个侧面作为高浓度的沟道,所以不会发生这种导通电阻的变动。此外,也可以代替图2的例子,如图10所示,将各接触层32沿着沟槽14的长边方向分散地配置。此外,在本例中,各接触层32也能够从上侧观察半导体基板12时相对于沟槽14的长边方向平行地延伸。另外,在本例中,也可以在接触层32间设置源极层30。

[0049] 另外,在MOSFET10中,如图11所示,n型深层37也可以具有n型深下层137A和n型深上层137B。n型深下层137A设置于n型深上层137B的下侧,是n型杂质浓度比漂移层38高且n型杂质浓度比n型深上层137B低的n型层。n型深下层137A的n型杂质浓度也可以与上述的实质上由单一浓度构成时为相同浓度。n型深上层137B设置于n型深下层137A和体层34之间,配置于比沟槽14的底面靠上侧的位置,在位于体层34的下侧的沟槽14的侧面与栅极绝缘膜16相接。如果设置有这种n型深上层137B,则能够通过从p型沟槽下层35和体层34双方延伸的耗尽层抑制p型沟槽下层35和体层34之间的区域的电流路径变窄的现象(JFET效应),抑制导通电阻的增大。此外,如果n型深层37整体构成为与n型深上层137B同等的高浓度,则上述的耐压的改善效果降低。n型深层37具有n型深下层137A和n型深上层137B,而且,n型深上层137B配置于比沟槽14的底面靠上侧的位置,由此,能够良好地抑制导通电阻的增大并兼顾高耐压化。

[0050] 另外,在MOSFET10中,如图12所示,p型深层36也可以具有p型深下层136A和p型深上层136B。p型深下层136A设置于p型深上层136B的下侧,是比体层34的p型杂质浓度高且比p型深上层136B的p型杂质浓度低的p型层。p型深上层136B设置于p型深下层136A和体层34之间,配置于比沟槽14的底面靠上侧的位置,在位于体层34的下侧的沟槽14的侧面与栅极绝缘膜16相接。为了提高MOSFET10的耐压,期望p型深层36整体的浓度高,但在该情况下,在p型深层36和p型沟槽下层35重叠的部分,离子注入时的损坏变大,担心漏电流增加。在图12所示的MOSFET10中,通过提高与p型沟槽下层35不重叠的部分的p型深上层136B的浓度,能够抑制漏电流的增加,同时提高耐压。

[0051] 另外,在MOSFET10中,如图13所示,p型沟槽下层35也可以具有第一p型沟槽下层135A和第二p型沟槽下层135B。第一p型沟槽下层135A设置于第二p型沟槽下层135B的下侧,是比第二p型沟槽下层135B的p型杂质浓度低的p型层。第二p型沟槽下层135B设置于第一p型沟槽下层135A和沟槽14之间,在沟槽14的底面与栅极绝缘膜16相接。第二p型沟槽下层135B的深度方向(z方向)的厚度也可以比源极层30的厚度方向的厚度小。虽没有特别限定,但第二p型沟槽下层135B的p型杂质浓度和厚度之积也可以大于n型深层37的n型杂质浓度和厚度之积。如果设置有p型杂质浓度较高的第二p型沟槽下层135B,则在MOSFET10截止时第二p型沟槽下层135B不耗尽。因此,栅电极18和漏电极24之间的静电容(即反馈电容)变小,能够提高MOSFET10的开关速度。

[0052] 此外,有时需要反馈电容大的器件。在这种情况下,也可以使图13的第一p型沟槽下层135A和第二p型沟槽下层135B的p型杂质浓度的关系相反。即,第二p型沟槽下层135B的p型杂质浓度也可以低于第一p型沟槽下层135A的p型杂质浓度。在该情况下,第二p型沟槽下层135B的深度方向(z方向)的厚度也可以小于源极层30的厚度方向的厚度。

[0053] 另外,在MOSFET10中,如图14所示,p型沟槽下层35也可以离开沟槽14的底面。此外,p型沟槽下层35和沟槽14的底面之间的距离也可以小于源极层30的厚度方向的厚度。在这种位置关系中,即使设置有p型沟槽下层35,也能得到上述的改善耐压的效果。另一方面,如在后述的制造方法中说明的那样,这种p型沟槽下层35为反映了将同时形成的体层34的离子注入次数减少的结果的形态。即,图14所示的MOSFET10具有能够以低成本进行制造的结构。

[0054] 另外,上述说明的MOSFET10中,n型深层37的深度均比p型深层36的深度深。也可以代替本例,使n型深层37的深度与p型深层36的深度相等。另外,n型深层37的深度也可以比p型深层36的深度浅。

[0055] 另外,上述说明的MOSFET10中,各n型深层37均具有延伸至p型深层36的正下方的连接区域37a。也可以代替本例,使n型深层37不具有连接区域37a。

[0056] 另外,上述说明的MOSFET10中,在从上侧观察半导体基板12时,各p型深层36及各n型深层37均与各沟槽14正交。也可以代替本例,使各p型深层36及各n型深层37与各沟槽14倾斜地交叉。

[0057] 接着,对MOSFET10的制造方法进行说明。MOSFET10从整体由漏极层40构成的半导体基板开始制造。首先,如图15所示,利用外延生长技术在漏极层40上形成n型的外延层50。

[0058] 接着,如图16所示,通过利用离子注入技术向外延层50的离开表面的规定深度范围导入n型杂质和p型杂质,形成n型深层37和p型深层36(深层形成工序的一例)。具体而言,

在向外延层50的规定深度呈面状地导入n型杂质后,通过隔着掩模向导入了n型杂质的范围的一部分反向掺杂p型杂质,能够形成n型深层37和p型深层36。此外,也可以代替本例,通过以隔着与n型深层37和p型深层36分别对应的掩模的方式依次导入n型杂质和p型杂质,形成n型深层37和p型深层36。另外,通过在使外延层50外延生长时预先将与n型深层37的形成范围对应的深度的n型杂质调浓,能够省略用于形成n型深层37的离子注入。此外,在利用离子注入技术或外延生长技术形成n型深层37或p型深层36时,通过变更深度方向的浓度,能够形成图11所示的n型深下层137A和n型深上层137B或图12所示的p型深下层136A和p型深上层136B。

[0059] 接着,如图17所示,通过利用离子注入技术向外延层50的表层部导入n型杂质及p型杂质,形成源极层30和接触层32。

[0060] 接着,如图18所示,利用蚀刻技术形成从外延层50的表面到达n型深层37及p型深层36的沟槽14(沟槽形成工序的一例)。将沟槽14的深度调整为不超过n型深层37及p型深层36。沟槽14在从上侧观察外延层50时与多个p型深层36和多个n型深层37交叉。

[0061] 接着,如图19所示,通过利用离子注入技术向外延层50的表面分多段导入p型杂质,形成体层34和p型沟槽下层35(体层形成工序和p型沟槽下层形成工序的一例)。体层34形成于比n型深层37及p型深层36靠上侧且比源极层30和接触层32靠下侧的位置。p型沟槽下层35形成于沟槽14的底面的下侧。在此,在利用离子注入技术形成体层34和p型沟槽下层35时,通过变更深度方向的浓度,能够形成图13所示的第一p型沟槽下层135A和第二p型沟槽下层135B。而且,为了形成第二p型沟槽下层135B而导入p型杂质的深度限定在比源极层30浅的范围内。由此,能够将体层34的p型杂质的浓度设为希望的值,同时自由设定第二p型沟槽下层135B的p型杂质的浓度。此外,用于形成第二p型沟槽下层135B的p型杂质也被导入源极层30,但因为源极层30中包含的n型杂质的浓度比导入的p型杂质的浓度高,所以不会使MOSFET10的电气特性大幅变动。另外,如果以将p型杂质选择性地导入比n型深层37及p型深层36靠上侧且比源极层30和接触层32靠下侧的范围的方式调整离子注入的段数,则p型沟槽下层35会被形成于离开沟槽14的底面的位置。图14所示的MOSFET10是通过这种方法制造的例子。此外,也可以在离子注入p型杂质前,在沟槽14的侧面成膜出防浸屏蔽膜。

[0062] 之后,通过形成沟槽14、栅极绝缘膜16、栅电极18、层间绝缘膜20、源电极22及漏电极24,完成MOSFET10。

[0063] 在上述制造方法中,在形成外延层50后,不用实施再外延工序,能够利用离子注入技术形成各种半导体区域。为了降低反馈电容,期望n型深层37及p型深层36形成得较深。但是,难以如上述制造方法那样利用离子注入技术在外延层50的规定深度形成这种深的n型深层37及p型深层36。因此,在通过背景技术说明的以往例中,在外延层的表面通过离子注入形成较深的n型深层及p型深层,之后实施再外延工序而形成体层。但是,包含再外延工序的制造方法存在成本增加的问题。另一方面,本实施方式MOSFET10因为具有p型沟槽下层35,所以反馈电容低。因此,在本实施方式MOSFET10中,即使不将n型深层37及p型深层36形成得较深,也能得到较低的反馈电容。因此,如上述制造方法那样,即使不实施再外延工序,也能够制造反馈电容低的MOSFET10。此外,当然也可以根据需要实施再外延工序而制造本实施方式MOSFET10。

[0064] 上述说明的MOSFET10是在形成沟槽14后,利用离子注入技术同时形成体层34和p

型沟槽下层35的例子。也可以代替本例,在形成沟槽14前,同时形成p型沟槽下层35和p型深层36。在该情况下,通过另一离子注入工序形成体层34。图20表示同时形成p型沟槽下层35和p型深层36的MOSFET10。

[0065] 在该MOSFET10中,在沿着沟槽14的短边方向(x方向)测定时,p型沟槽下层35的宽度比沟槽14的宽度窄。由此,能够允许p型沟槽下层35和沟槽14的轻微的对位偏移,所以在形成沟槽14时,能够将p型沟槽下层35配置为仅与沟槽14的底面相接。

[0066] 下面,对本说明书中公开的技术的特征进行整理。此外,以下记载的技术要素是分别独立的技术要素,单独地或者通过各种组合发挥技术实用性,并不限于申请时权利要求所记载的组合。

[0067] 本说明书公开的场效应晶体管可以具有:半导体基板,其在上表面设置有沟槽;栅极绝缘膜,其覆盖上述沟槽的内表面;以及栅电极,其配置于上述沟槽内,通过上述栅极绝缘膜与上述半导体基板绝缘。上述半导体基板材料没有特别限定,但例如也可以为碳化硅。上述半导体基板可以具有:n型的源极层,其在上述沟槽的侧面与上述栅极绝缘膜相接;p型的体层,其在位于上述源极层的下侧的上述沟槽的上述侧面与上述栅极绝缘膜相接;p型沟槽下层,其配置于上述沟槽的下侧,在从上侧观察上述半导体基板时沿着上述沟槽的长边方向延伸;多个p型深层;以及多个n型深层。上述各p型深层从上述体层向下侧突出,从上述体层延伸至比上述沟槽的底面靠下侧的位置,在从上侧观察上述半导体基板时沿着与上述沟槽交叉的第一方向延伸,在从上侧观察上述半导体基板时在上述第一方向正交的第二方向上隔开间隔部配置,且与配置于上述沟槽的下侧的上述p型沟槽下层相接。上述各n型深层配置于对应的上述间隔部内,在位于上述体层的下侧的上述沟槽的上述侧面与上述栅极绝缘膜相接。

[0068] 在上述场效应晶体管中,上述源极层在从上侧观察上述半导体基板时也可以相对于上述沟槽的长边方向平行地延伸。在该场效应晶体管中,导通电阻的变动被抑制。

[0069] 在上述场效应晶体管中,上述半导体基板也可以具有接触层,上述接触层设置于上述体层上,且具有比上述体层高的p型杂质浓度。在该情况下,上述接触层在从上侧观察上述半导体基板时也可以相对于上述沟槽的长边方向平行地延伸。

[0070] 在上述场效应晶体管中,上述p型沟槽下层也可以向比上述各p型深层靠下侧的位置突出。该场效应晶体管能够具有较高的耐压。

[0071] 在上述场效应晶体管中,上述p型沟槽下层也可以比上述各p型深层浅。该场效应晶体管能够具有较低的导通电阻。

[0072] 在上述场效应晶体管中,上述半导体基板还可以具有漂移层,上述漂移层配置于上述各n型深层的下侧,具有比各n型深层低的n型杂质浓度。换言之,上述各n型深层也可以具有比上述漂移层高的n型杂质浓度。该场效应晶体管能够具有较低的导通电阻。

[0073] 在上述场效应晶体管中,上述各n型深层也可以具有:n型深下层;以及n型深上层,其配置于上述n型深下层的上侧,具有比上述n型深下层高的n型杂质浓度。在该情况下,上述n型深上层配置于比上述沟槽的底面靠上侧的位置。该场效应晶体管能够兼顾高的耐压和低的导通电阻。

[0074] 在上述场效应晶体管中,上述各p型深层也可以具有:p型深下层;以及p型深上层,其配置于上述p型深下层的上侧,具有比上述p型深下层高的p型杂质浓度。在该情况下,上

述p型深上层配置于比上述沟槽的底面靠上侧的位置。该场效应晶体管能够抑制漏电流的增加,同时具有较高的耐压。

[0075] 在上述场效应晶体管中,从对应的沟槽的底面到上述各p型沟槽下层的下表面为止的深度也可以与从上述半导体基板的上表面到上述体层的下表面为止的深度一致。该场效应晶体管为反映了同时形成上述p型沟槽下层和上述体层的结果的形态。该场效应晶体管具有能够以低成本进行制造的结构。

[0076] 在上述场效应晶体管中,上述p型沟槽下层也可以离开上述沟槽的底面。该场效应晶体管为反映了将同时形成的体层的离子注入次数减少的结果的形态。该场效应晶体管具有能够以低成本进行制造的结构。

[0077] 在上述场效应晶体管中,上述p型沟槽下层也可以在深度方向上具有浓度不同的多个部分。上述p型沟槽下层也可以具有:第一p型沟槽下层;以及第二p型沟槽下层,其配置于上述第一p型沟槽下层的上侧。上述第二p型沟槽下层也可以与上述第一p型沟槽下层相比浓度更深,也可以与上述第一p型沟槽下层相比浓度更浅。另外,上述第二p型沟槽下层的深度方向的厚度也可以比上述源极层的深度方向的厚度小。通过调整上述p型沟槽下层的杂质浓度,能够调整反馈电容。

[0078] 在上述场效应晶体管中,上述p型沟槽下层也可以沿着上述沟槽的长边方向断开。上述各p型深层也可以在上述p型沟槽下层的被断开的部分通过。在该场效应晶体管中,漏电流的增加被抑制。

[0079] 在上述场效应晶体管中,上述多个n型深层也可以从上述体层的下表面延伸至比上述多个p型深层的下表面靠下侧的位置。

[0080] 在上述场效应晶体管中,上述第一方向在从上侧观察上述半导体基板时也可以与上述沟槽正交。

[0081] 本说明书公开的场效应晶体管的制造方法可以具有:深层形成工序,在n型的外延层形成多个p型深层和多个n型深层,其中,上述各p型深层在从上侧观察上述外延层时沿着第一方向延伸,在从上侧观察上述外延层时在与上述第一方向正交的第二方向上隔开间隔部配置,上述各n型深层配置于对应的上述间隔部内;沟槽形成工序,从上述外延层的表面起形成不超过上述多个p型深层和上述多个n型深层的深度的沟槽,其中,上述沟槽在从上侧观察上述外延层时与上述多个p型深层和上述多个n型深层交叉;体层形成工序,利用离子注入技术朝向上述外延层的表面导入p型杂质,在上述多个p型深层和上述多个n型深层的上侧形成体层;以及p型沟槽下层形成工序,利用离子注入技术在上述沟槽的底面的下侧形成p型沟槽下层。

[0082] 在上述深层形成工序中,也可以利用离子注入技术,通过向上述外延层的离开表面的规定深度范围导入n型杂质和p型杂质,形成上述多个p型深层和上述多个n型深层。根据该制造方法,能够在不实施再外延工序的情况下制造场效应晶体管。

[0083] 也可以在上述沟槽形成工序之后,同时实施上述体层形成工序和上述p型沟槽下层形成工序。根据该制造方法,能够以低成本制造场效应晶体管。

[0084] 上述制造方法还可以具有利用离子注入技术向上述外延层的上层部导入n型杂质而形成源极层的源极层形成工序。在该情况下,上述p型沟槽下层也可以具有:第一p型沟槽下层;以及第二p型沟槽下层,其配置于上述第一p型沟槽下层的上侧。上述第二p型沟槽下

层也可以与上述第一p型沟槽下层相比浓度更深,且也可以与上述第一p型沟槽下层相比浓度更浅。上述第二p型沟槽下层的深度方向的厚度也可以比上述源极层的深度方向的厚度小。根据该制造方法,通过调整上述p型沟槽下层的杂质浓度,能够制造调整了反馈电容的场效应晶体管。

[0085] 也可以在上述沟槽形成工序之前实施上述p型沟槽下层形成工序。在该情况下,上述p型沟槽下层的宽度也可以比上述沟槽的宽度窄。根据该制造方法,能够允许上述p型沟槽下层和上述沟槽的轻微的对位偏移。

[0086] 上述p型沟槽下层形成工序也可以与上述深层形成工序中的形成上述多个p型深层的工序同时实施。根据该制造方法,能够以低成本制造场效应晶体管。

[0087] 以上对实施方式进行了详细说明,但这些仅为例示,并不对权利要求书构成限定。权利要求书所记载的技术包含以上例示的具体例的各种变形、变更。本说明书或附图中说明的技术要素是单独地或者通过各种组合而发挥技术实用性的技术要素,并不限于申请时权利要求所记载的组合。另外,本说明书或附图中例示的技术是同时实现多个目的的技术,实现其中一个目的本身就具有技术实用性。



10

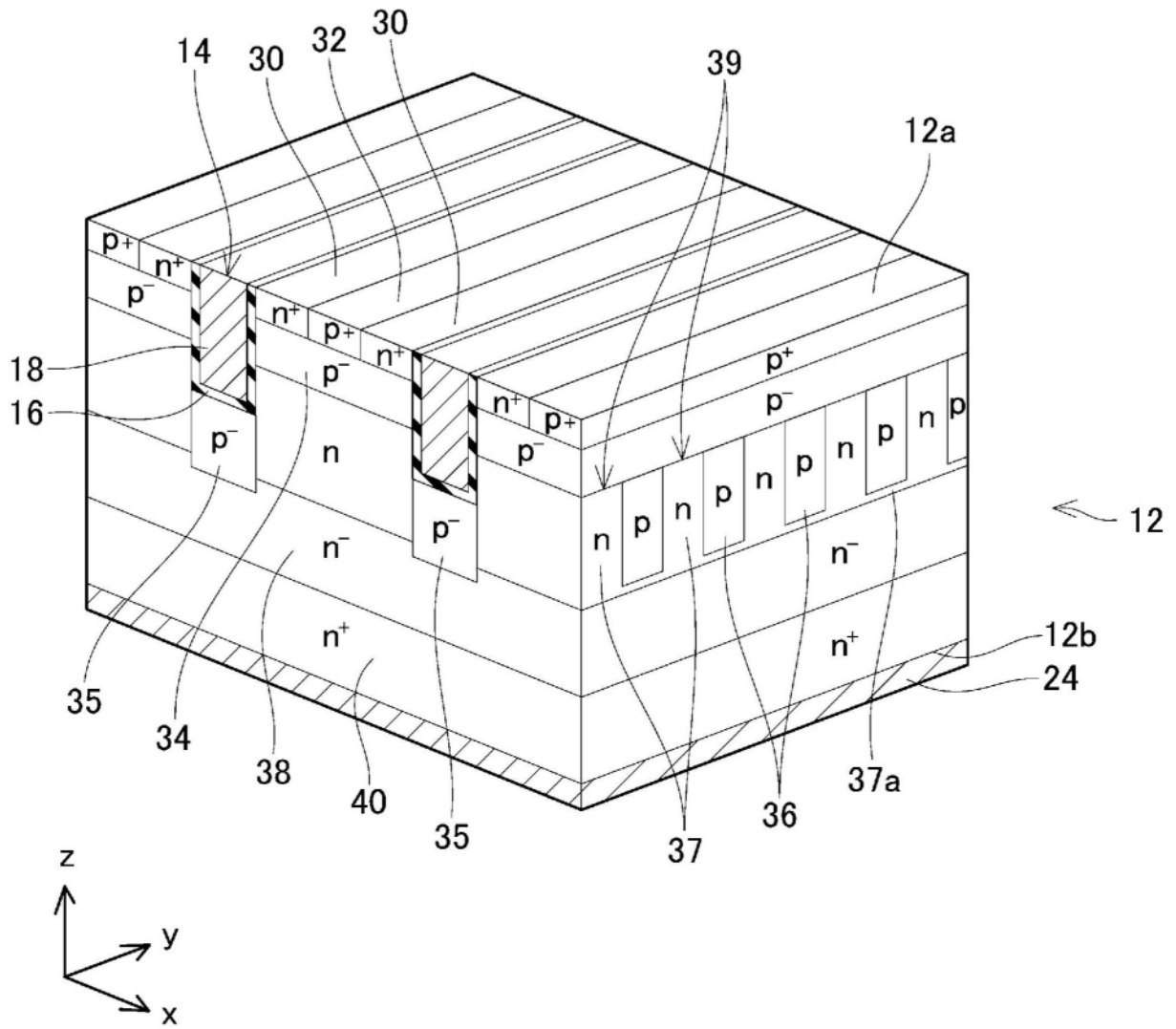


图2

10

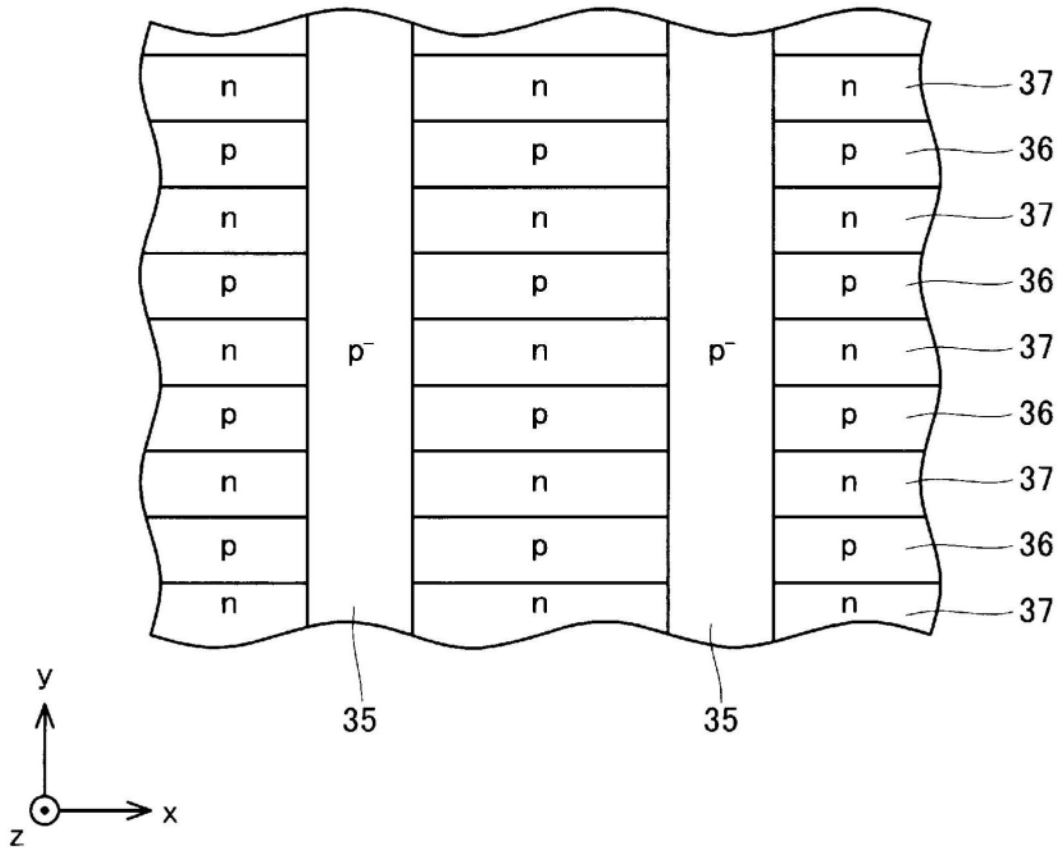


图3

10

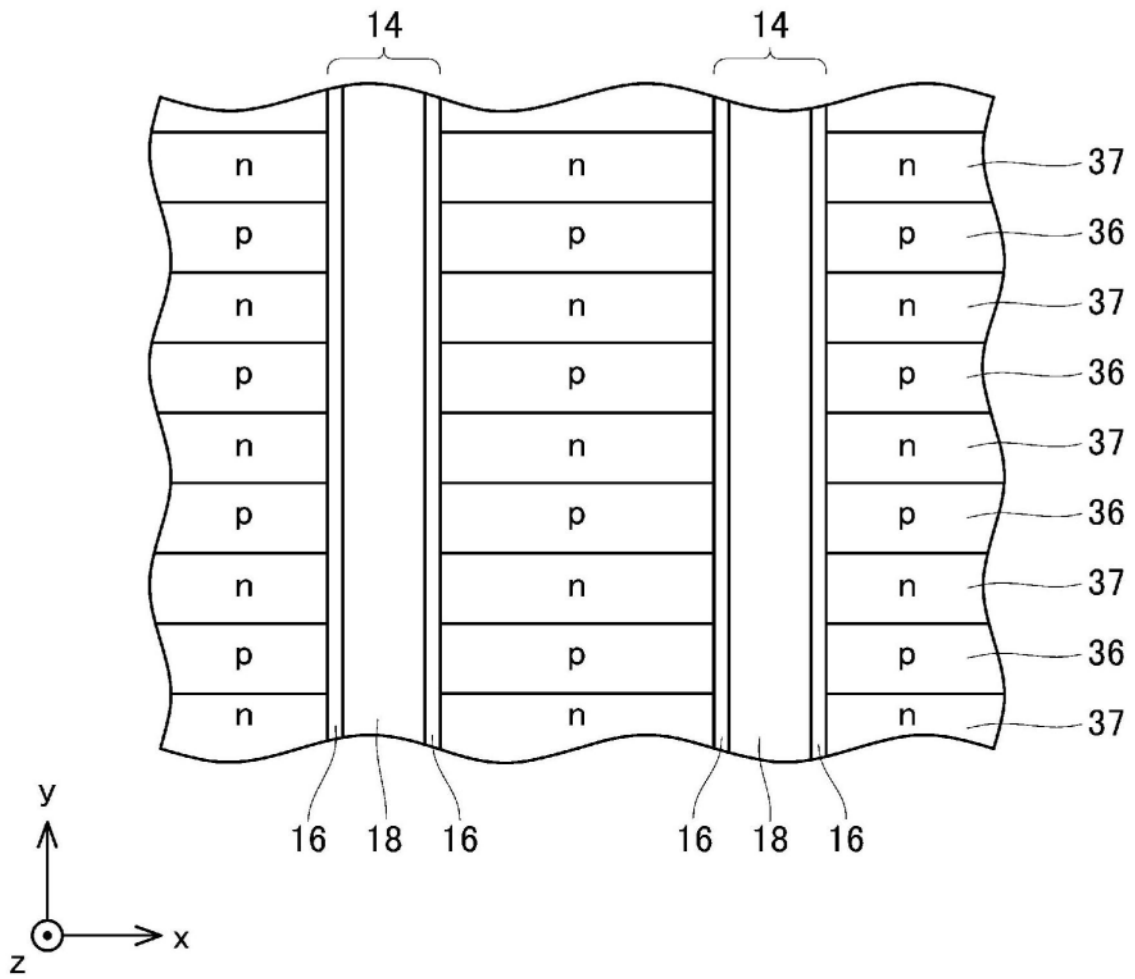


图4

10

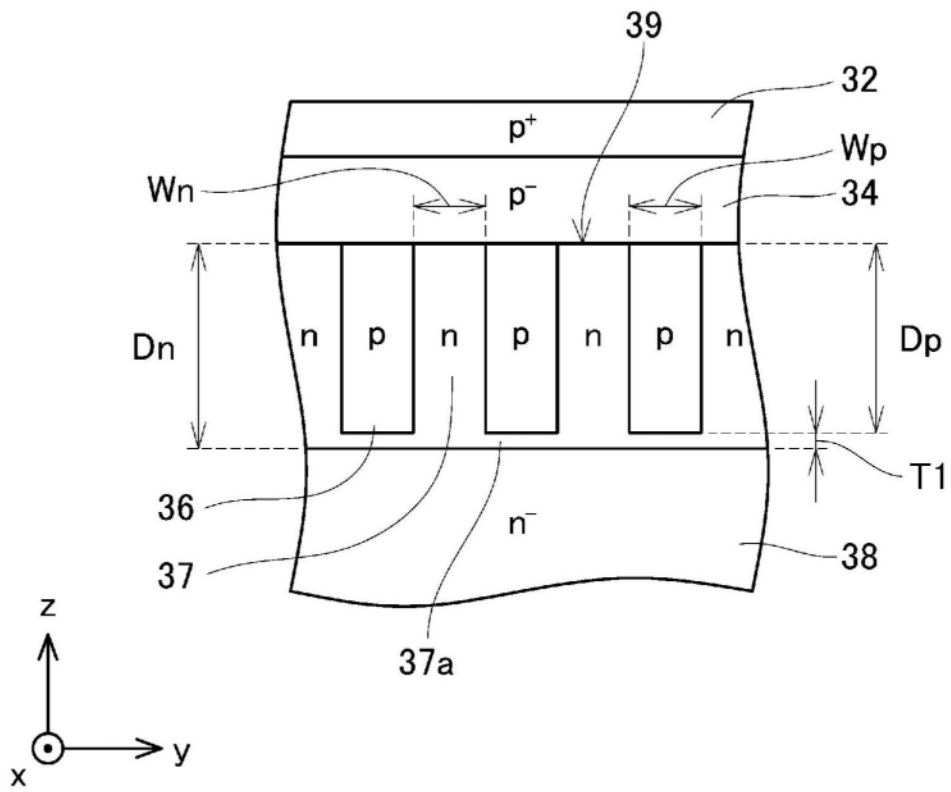


图5

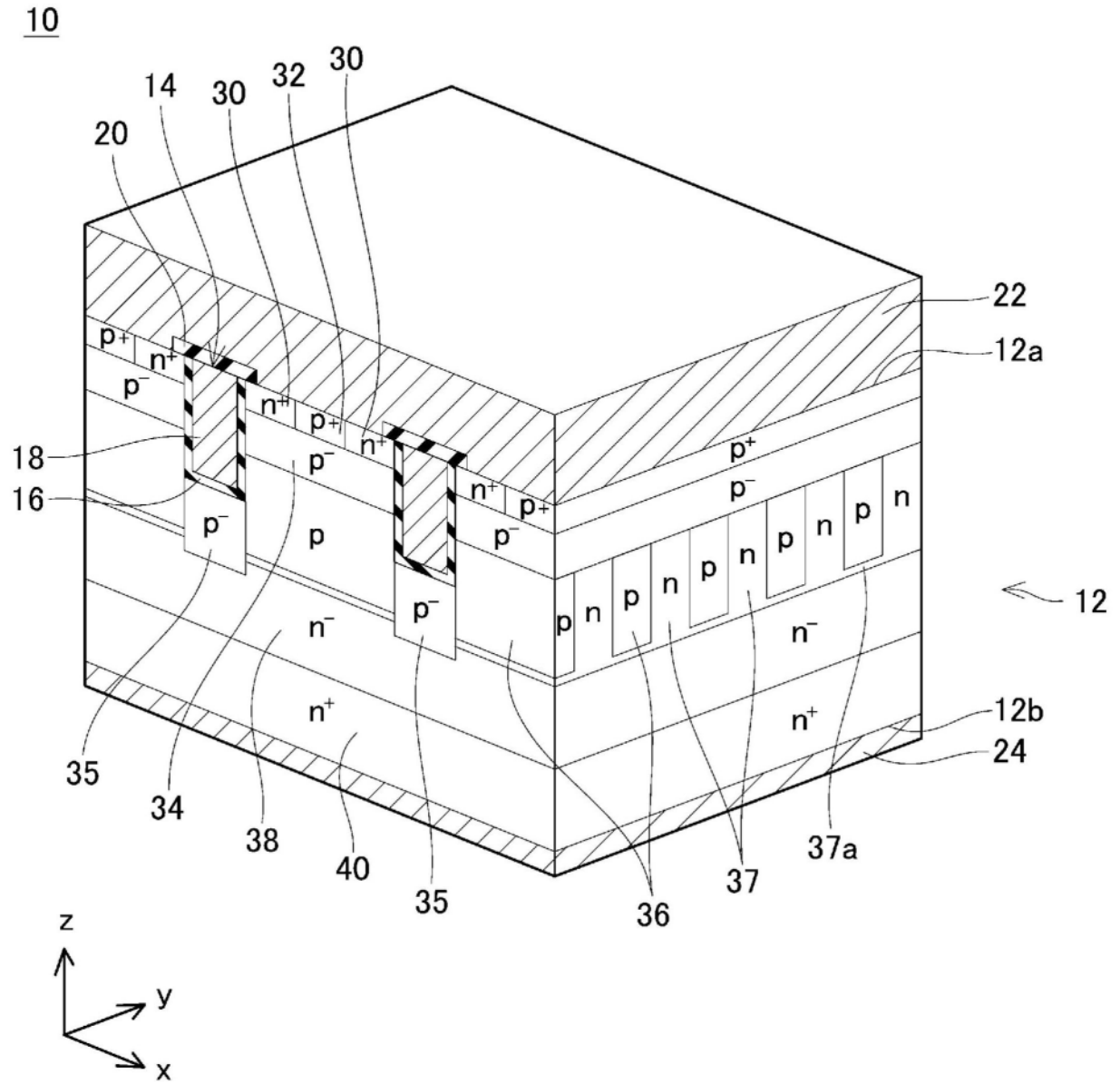


图6

10

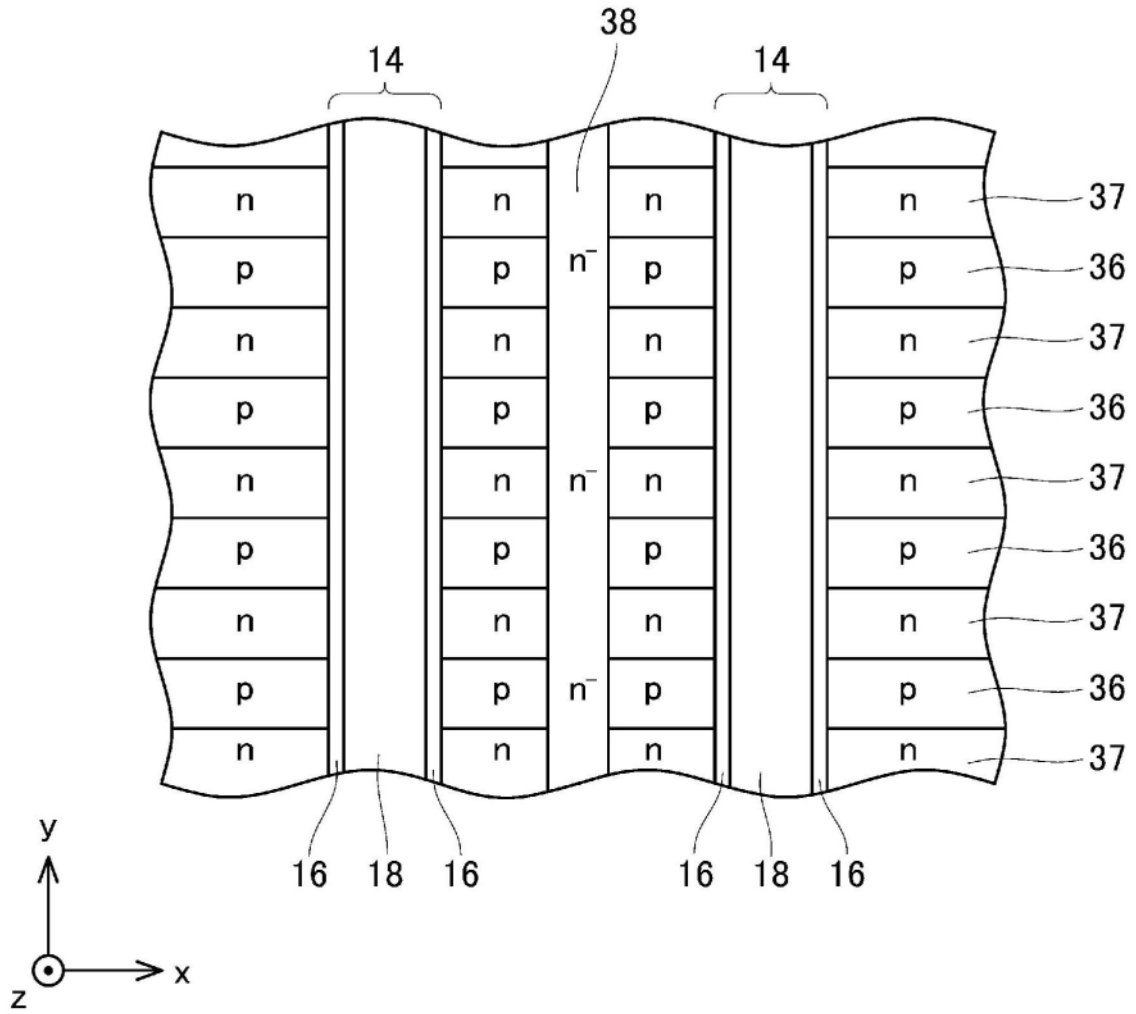


图7

10

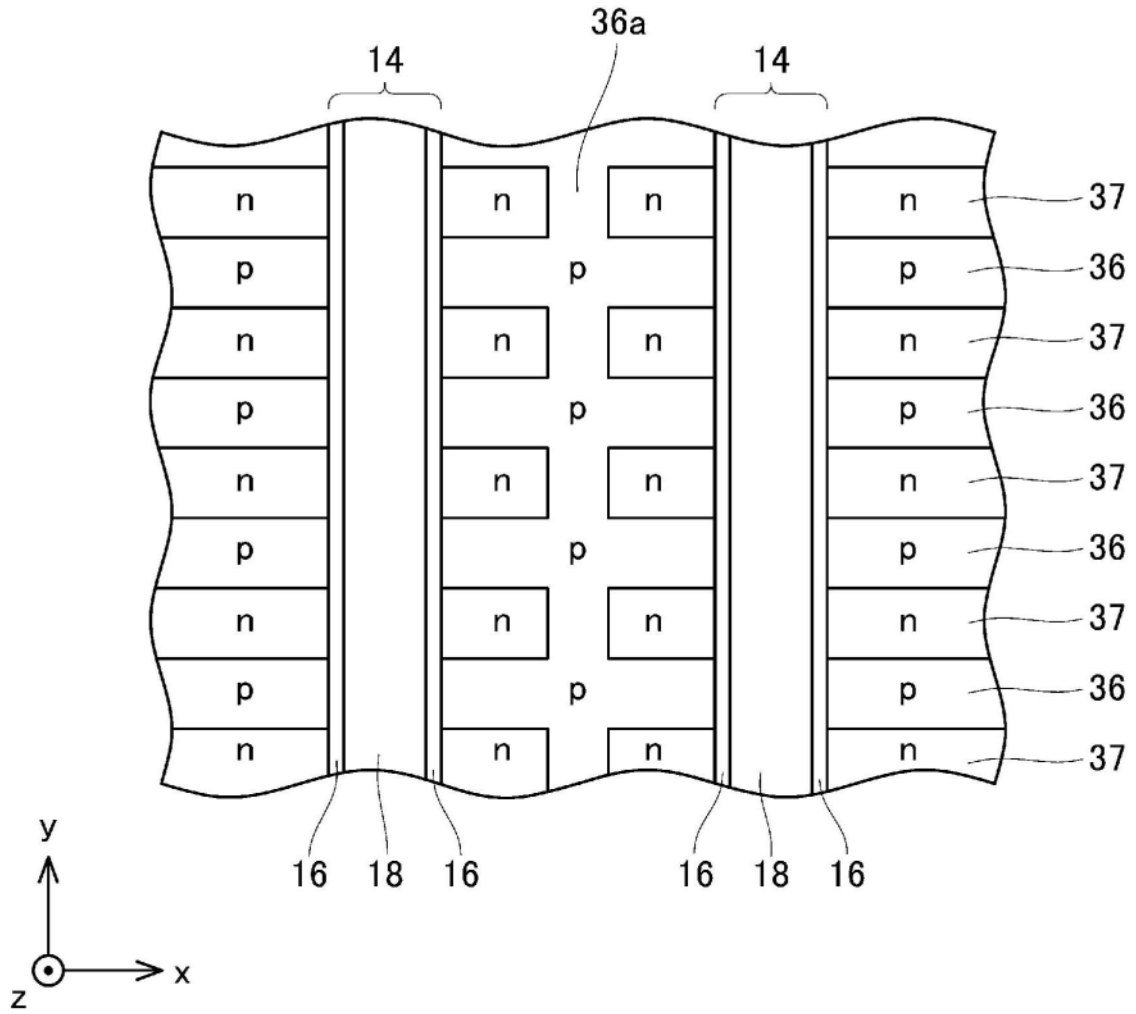


图8

10

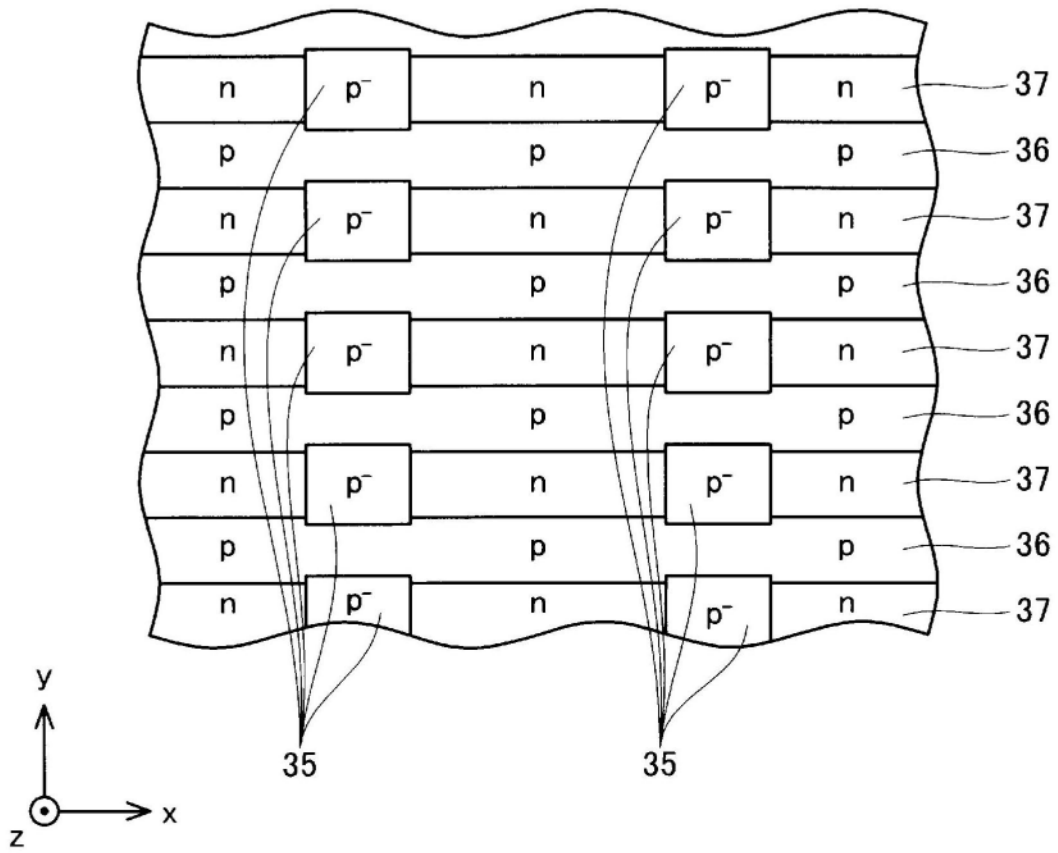


图9

10

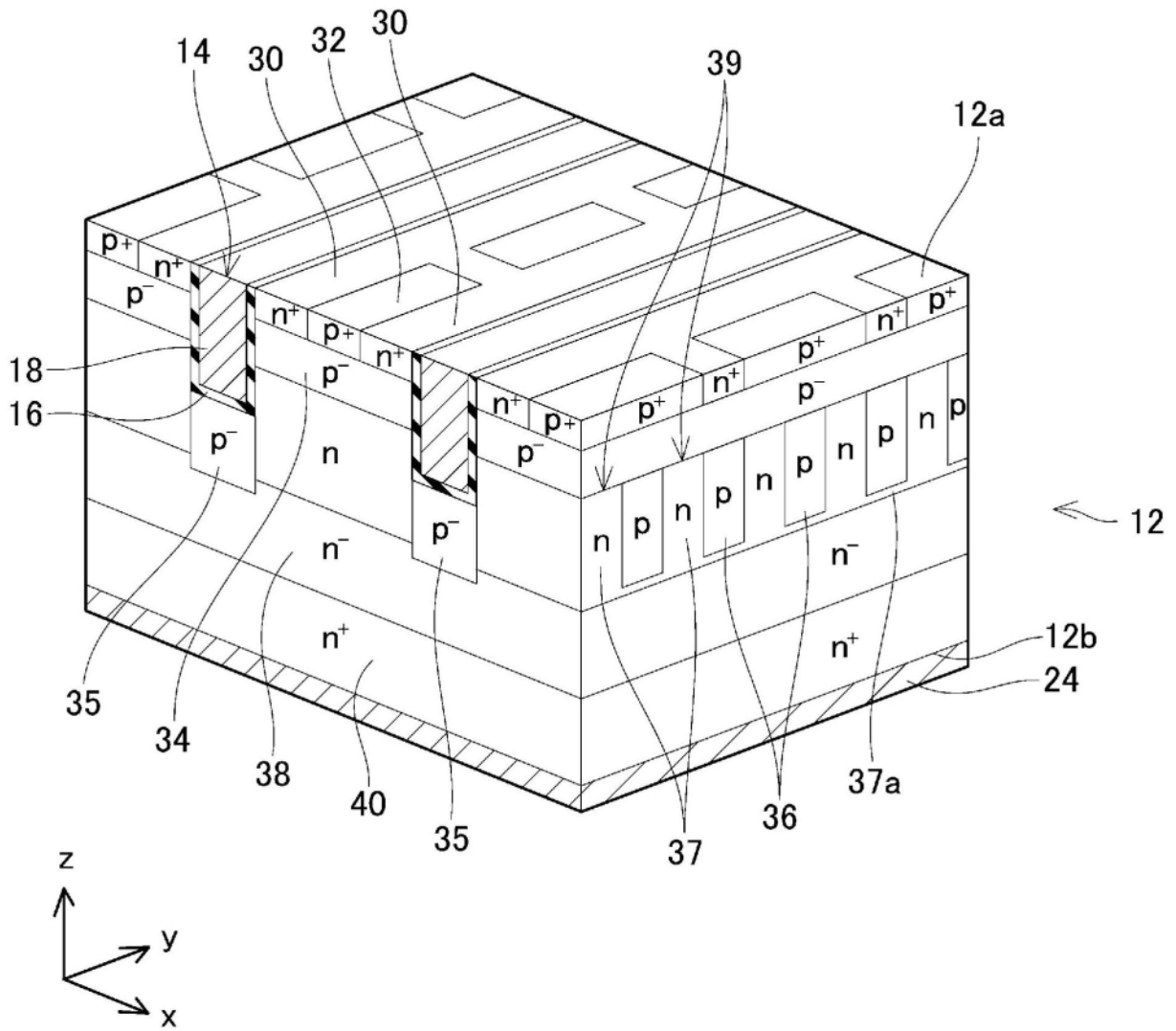


图10

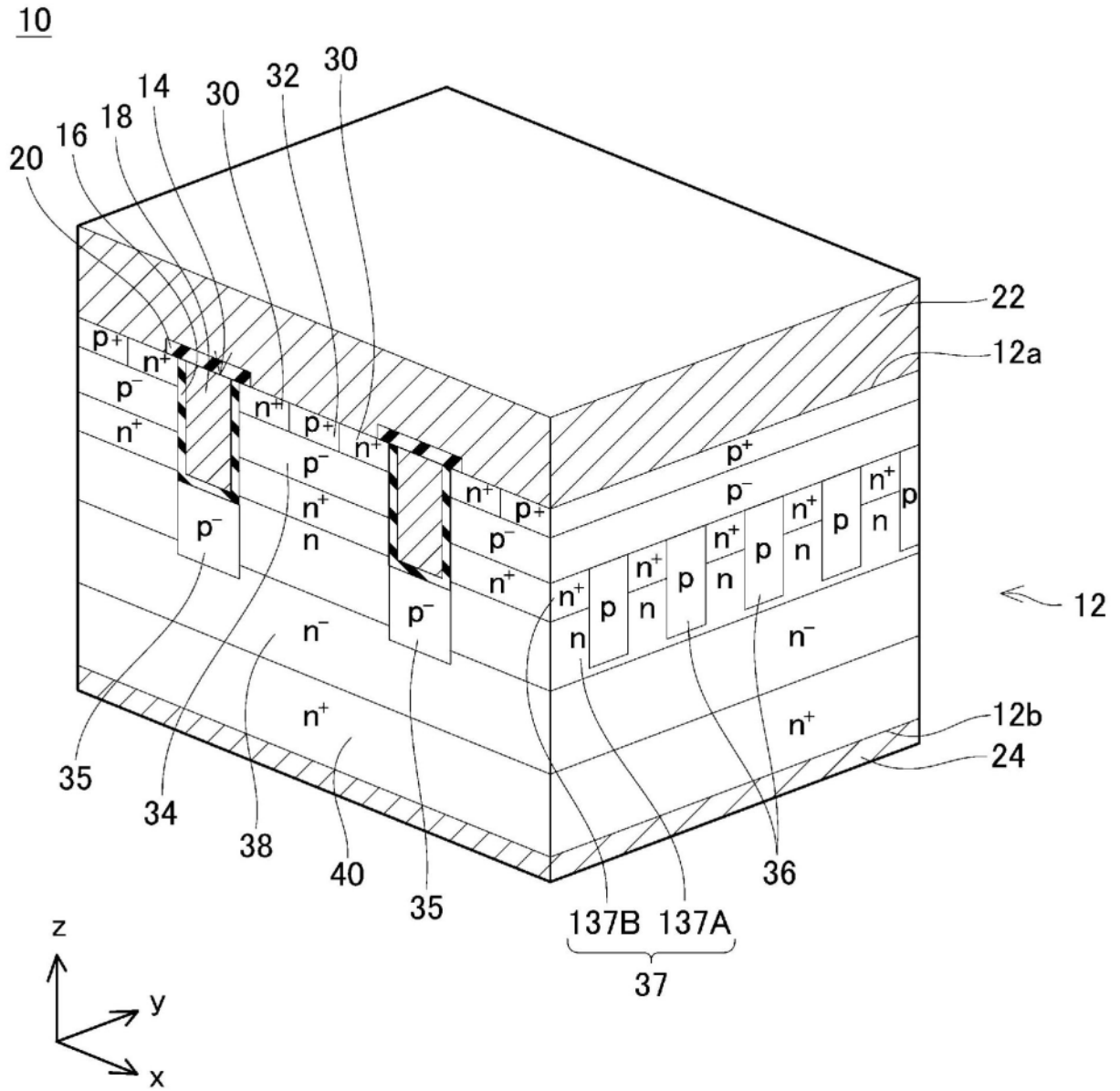


图11



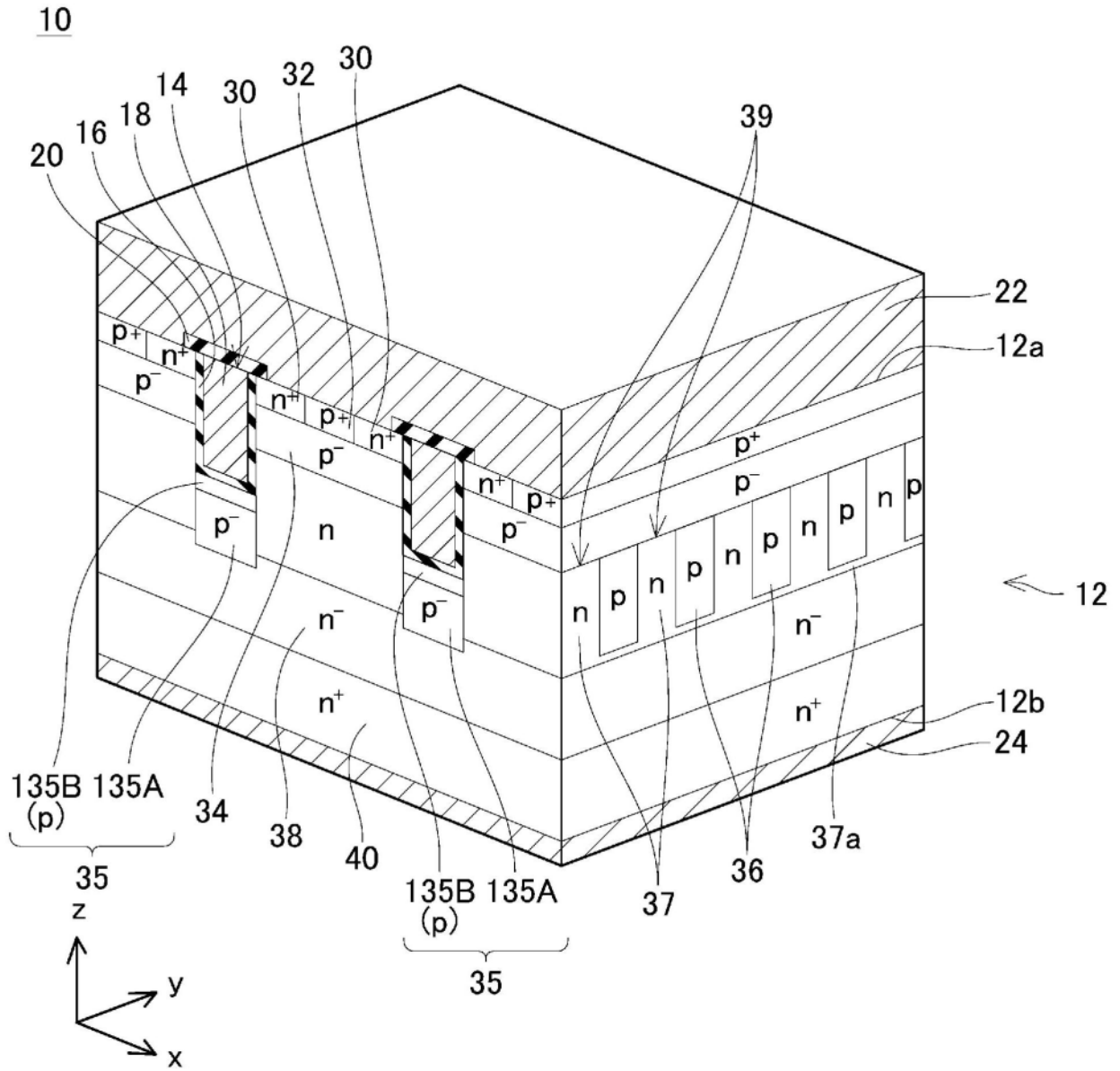


图13

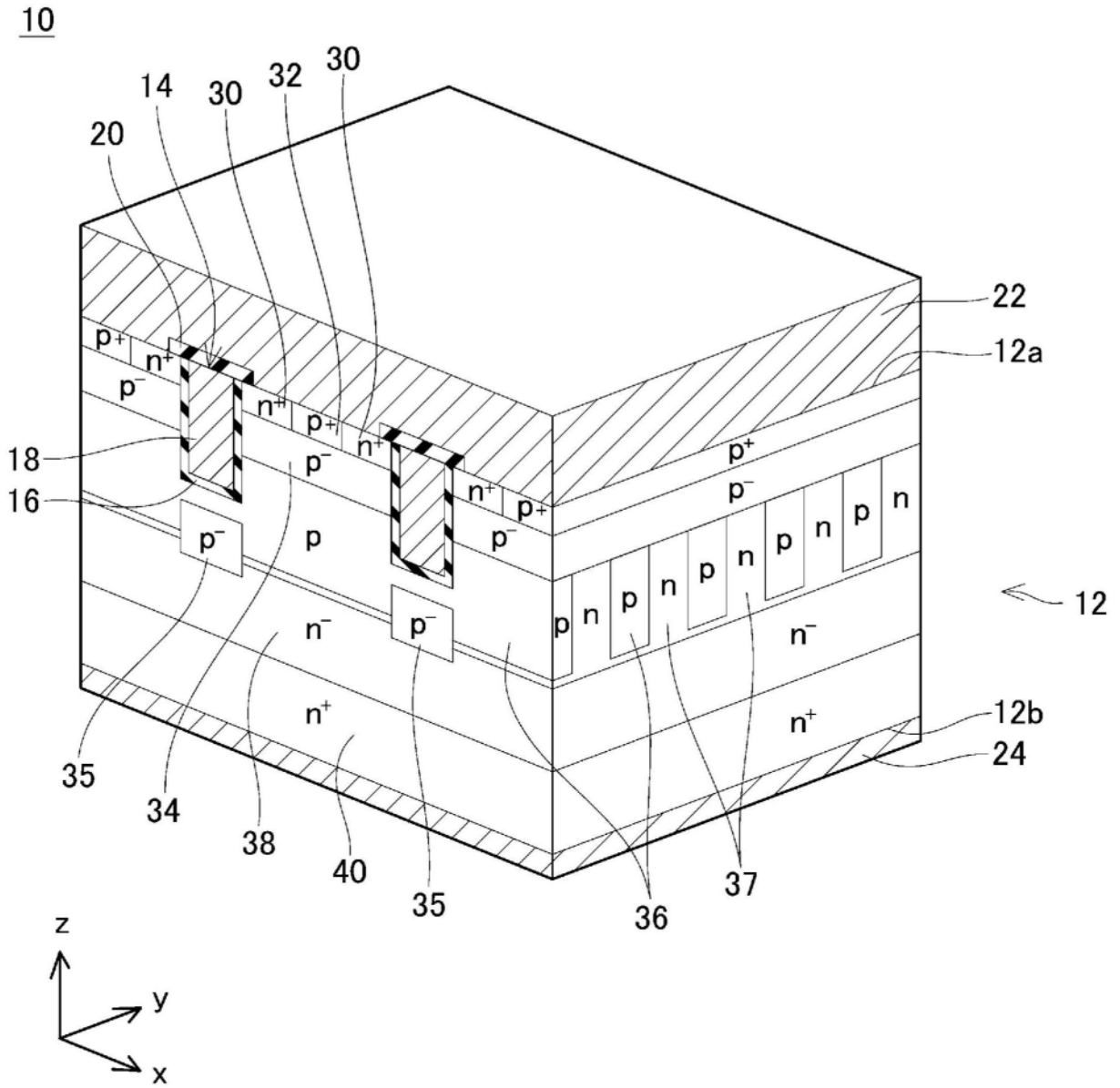


图14

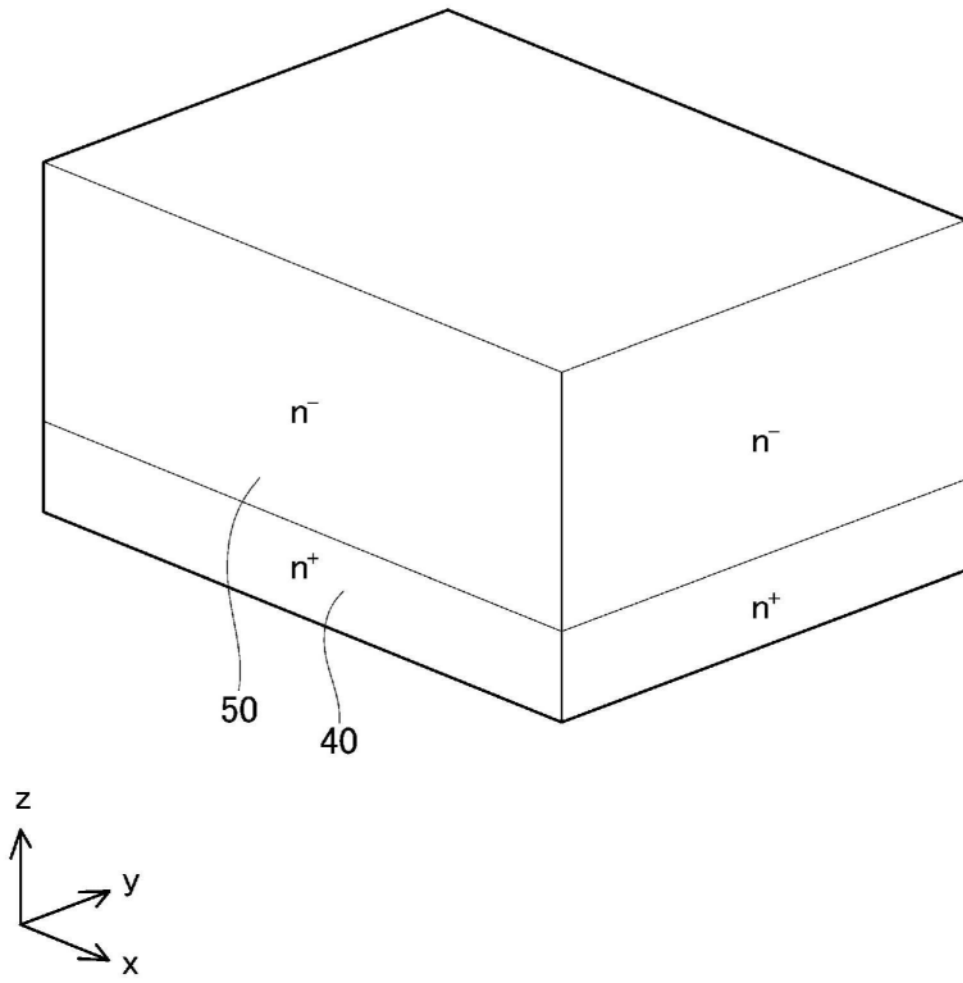


图15

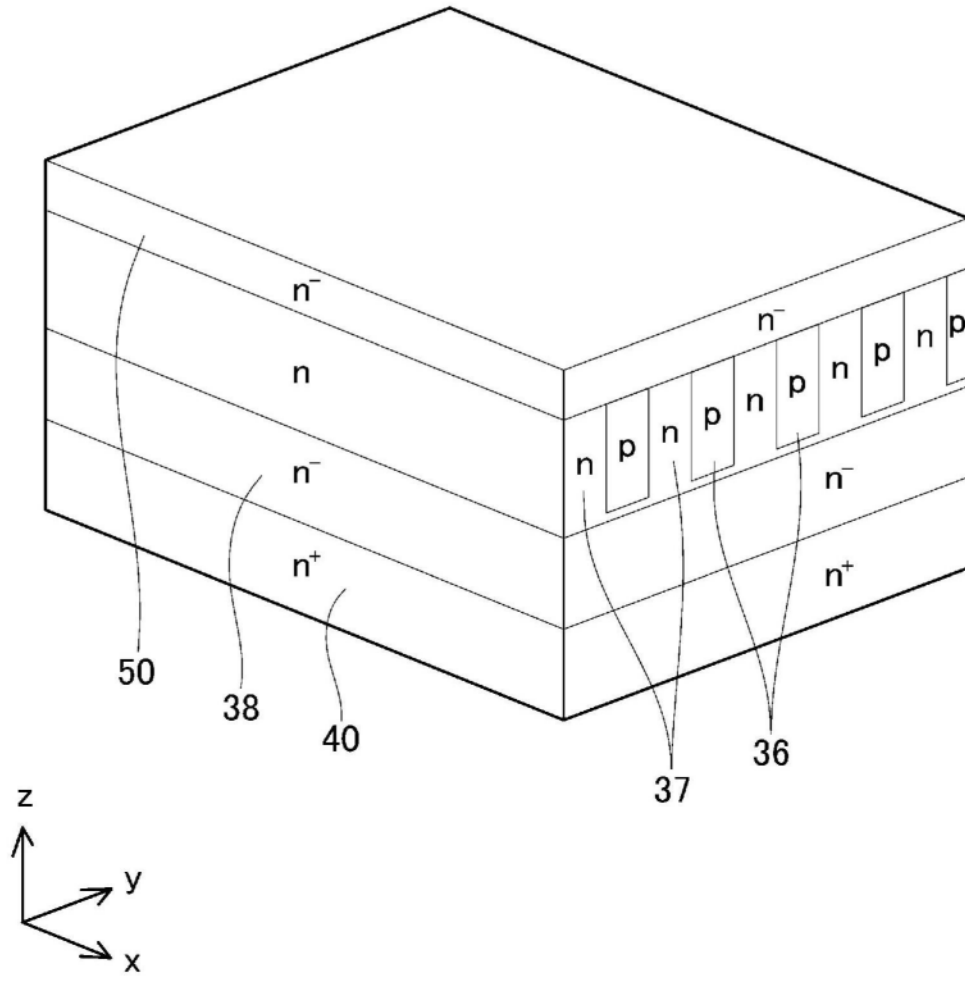


图16

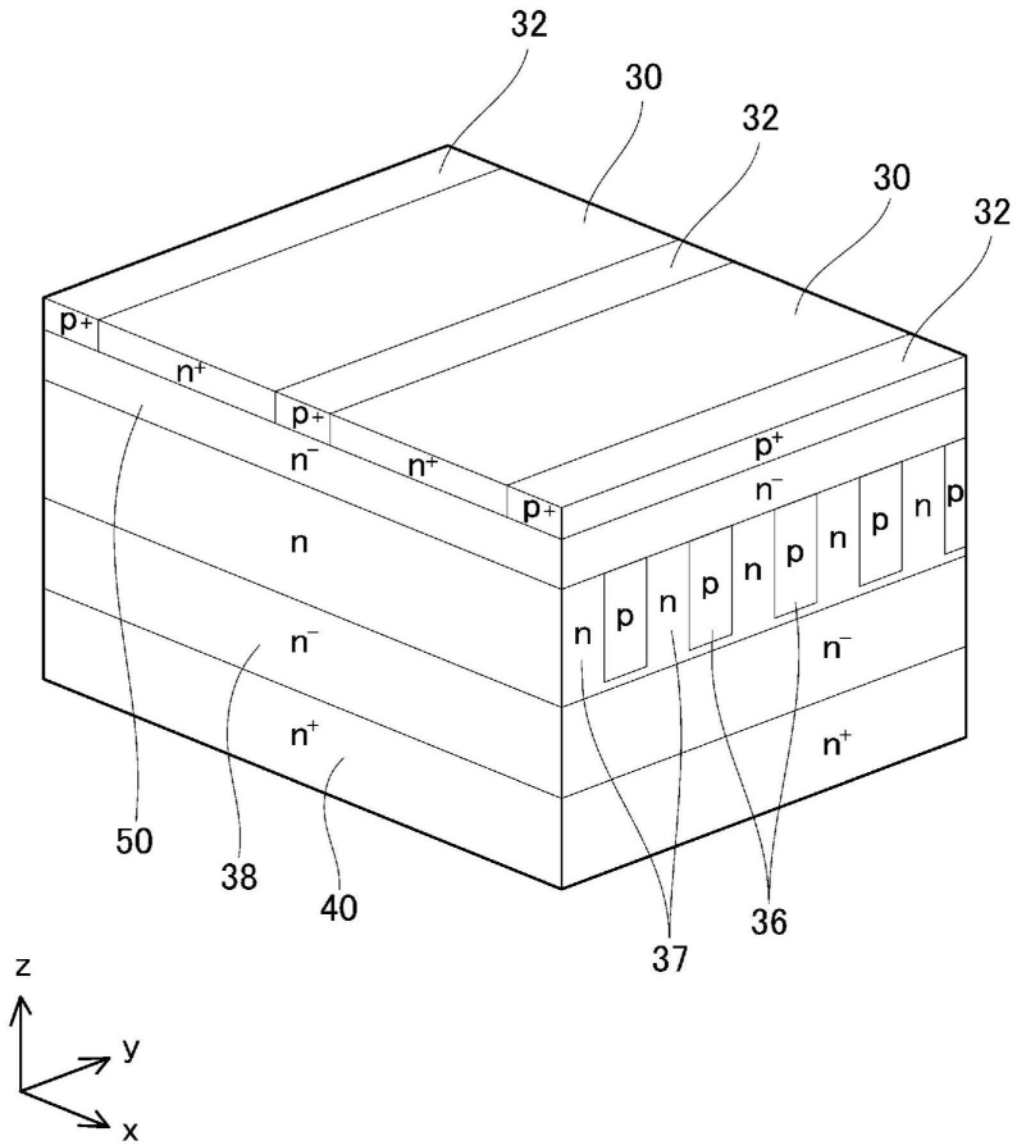


图17

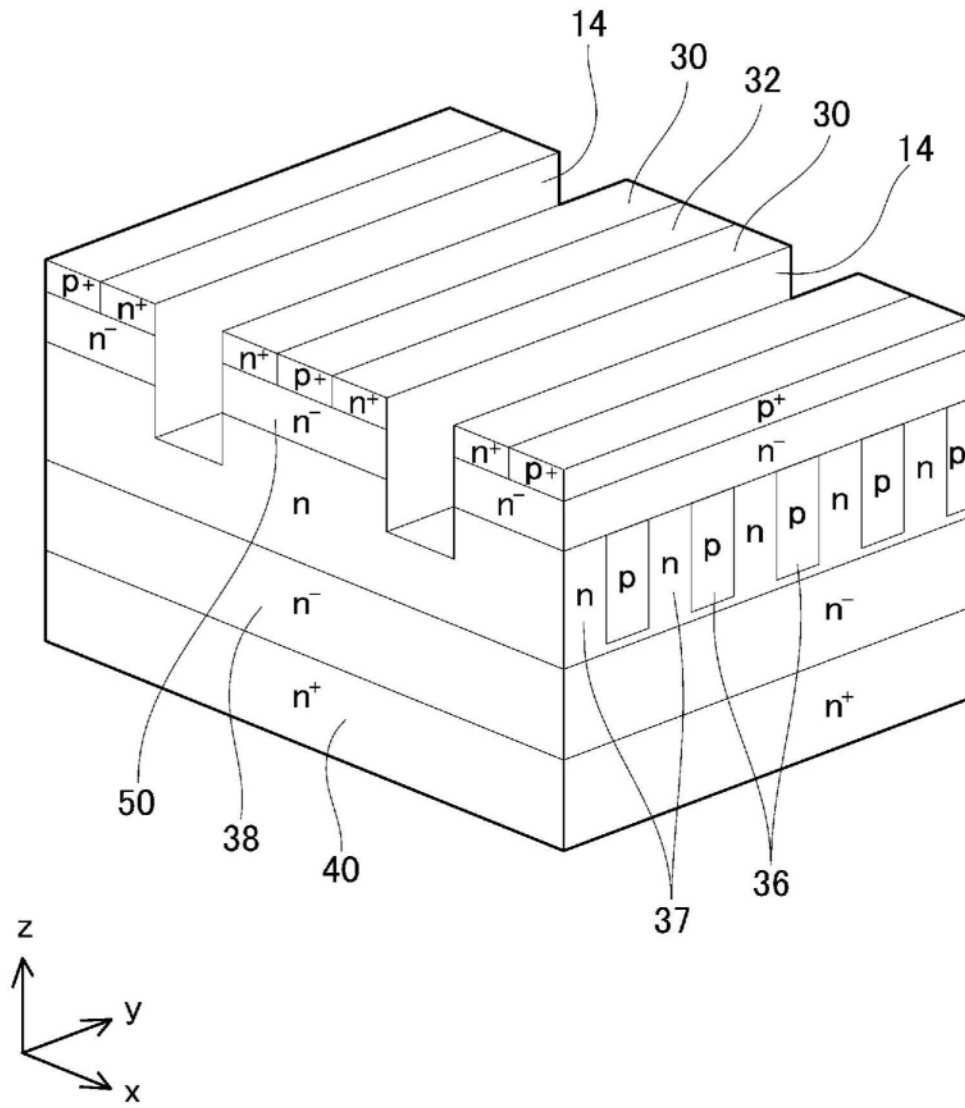


图18

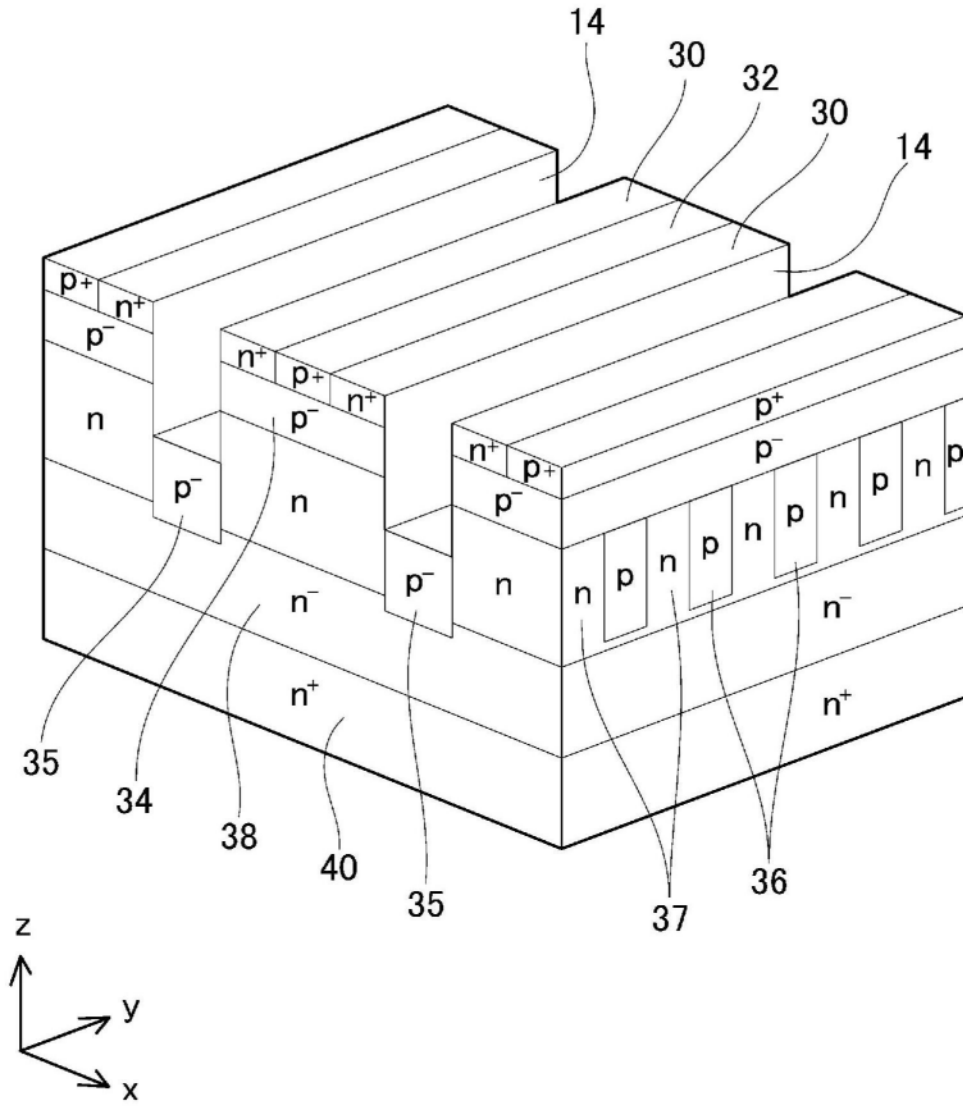


图19

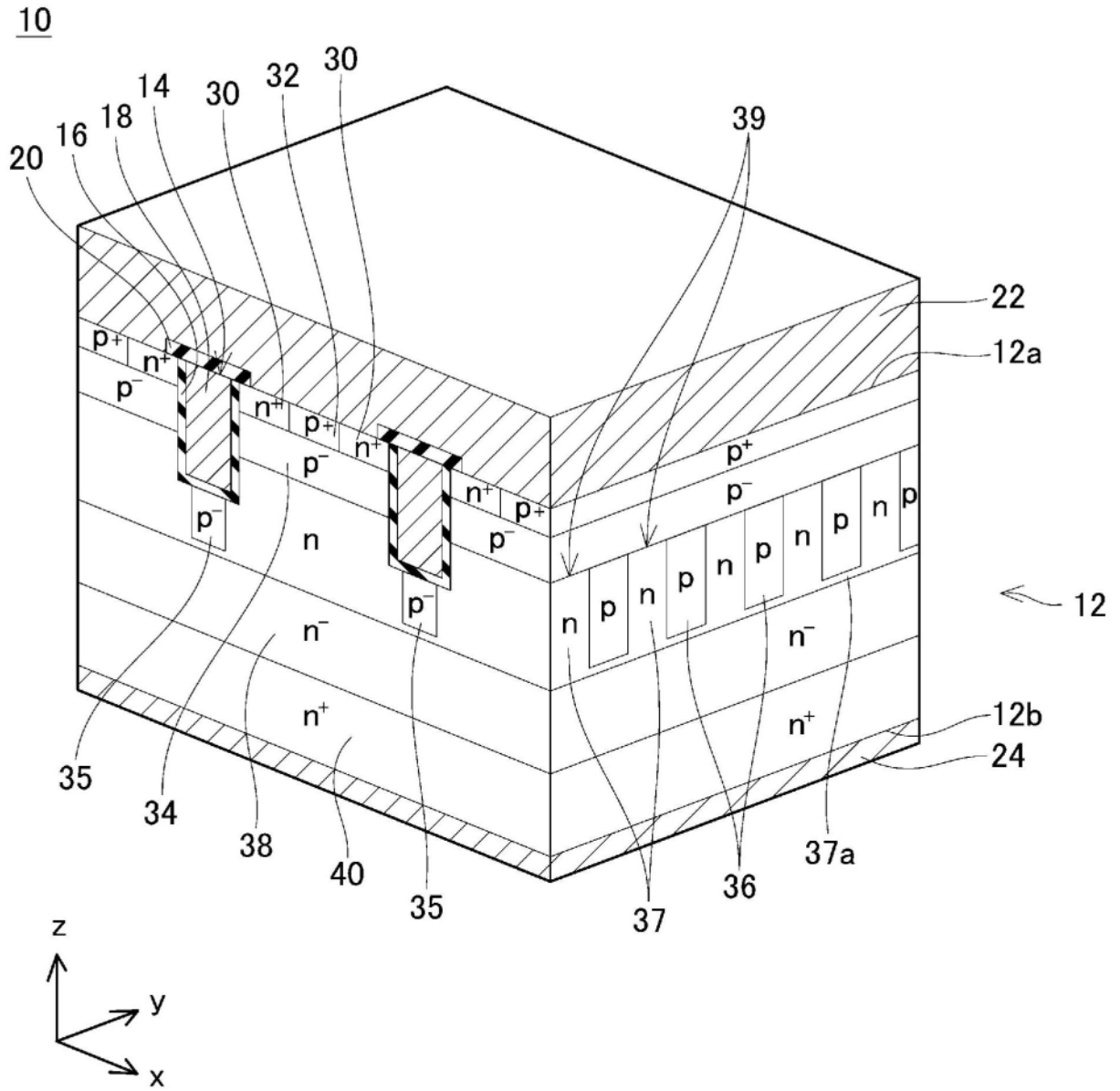


图20