

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 7 部門第 2 区分
 【発行日】平成 19 年 11 月 8 日 (2007.11.8)

【公表番号】特表 2007-506279 (P2007-506279A)
 【公表日】平成 19 年 3 月 15 日 (2007.3.15)
 【年通号数】公開・登録公報 2007-010
 【出願番号】特願 2006-526964 (P2006-526964)
 【国際特許分類】

H 0 1 L 23/29 (2006.01)

H 0 1 L 23/31 (2006.01)

H 0 1 L 33/00 (2006.01)

【F I】

H 0 1 L 23/30 F

H 0 1 L 33/00 N

【手続補正書】

【提出日】平成 19 年 9 月 13 日 (2007.9.13)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

複数の半導体デバイスをコーティングする装置であって、

複数の別々の半導体デバイスを保持するように構成された形成空洞を備えるモールドハウジングであって、前記形成空洞は、前記形成空洞にコーティング材料を導入することができるようにさらに構成され、前記コーティング材料は、前記別々の半導体デバイスのそれぞれを少なくとも部分的に覆うモールドハウジング

を備えることを特徴とする装置。

【請求項 2】

前記モールドハウジングは、底部リジッドブロックサポートと、前記底部リジッドブロックサポートの上に配置された頂部リジッドブロックサポートとを備え、前記形成空洞を少なくとも部分的に画定する両者の間のスペースを有することを特徴とする請求項 1 に記載の装置。

【請求項 3】

前記半導体デバイスは発光ダイオード (LED) を備え、前記コーティング材料は、硬化可能なエポキシ、シリコン、または他のポリマー中に分散している光変換粒子を含むことを特徴とする請求項 1 に記載の装置。

【請求項 4】

前記半導体デバイスは、前記形成空洞内の、前記底部ブロックサポートの頂面上に配置されていることを特徴とする請求項 2 に記載の装置。

【請求項 5】

前記底部リジッドブロックサポートの頂面上のフィルムと、前記頂部リジッドブロックサポートの底面上のフィルムとをさらに備え、前記半導体デバイスは、前記第 1 または第 2 のフィルム上に配置されていることを特徴とする請求項 2 に記載の装置。

【請求項 6】

前記底部リジッドブロックサポートと前記頂部リジッドブロックサポートとの間のスペースを維持するために、両者の間にスペーサをさらに備えることを特徴とする請求項 2 に

記載の装置。

【請求項 7】

前記モールドは、前記形成空洞内で前記硬化可能コーティング材料を硬化または他の方法で硬く (h a r d e n) することができるように構成され、前記コーティング材料に前記半導体デバイスが少なくとも部分的に埋め込まれることを特徴とする請求項 1 に記載の装置。

【請求項 8】

複数の半導体デバイスをコーティングする方法であって、
形成空洞を有するモールドを設けるステップと、

前記モールドの形成空洞内に複数の別々の半導体デバイスを取り付けるステップと、
硬化可能コーティング材料を前記モールドに注入または他の方法で導入して前記モールドの形成空洞を充填し、前記別々の半導体デバイスのそれぞれを少なくとも部分的に覆うステップと、

前記コーティング材料を硬化または他の方法で処理して、前記別々の半導体デバイスのそれぞれを前記硬化したコーティング材料内に少なくとも部分的に埋め込むステップとを含むことを特徴とする方法。

【請求項 9】

前記硬化または処理されたコーティング材料を前記埋め込まれた半導体デバイスと共に前記形成空洞から除去するステップをさらに含むことを特徴とする請求項 8 に記載の方法。

【請求項 10】

前記埋め込まれた半導体デバイスのそれぞれが前記硬化または処理されたコーティング材料の層によって少なくとも部分的に覆われるように分離するステップをさらに含むことを特徴とする請求項 8 に記載の方法。