(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl. 6
H01L 21/60

(45) 공고일자 2003년06월02일
(11) 등록번호 10-0379823
(24) 등록일자 2003년03월31일

(21) 출원번호 10-1994-0009859
(22) 출원일자 1994년05월06일

(65) 공개번호 특1994-0027134
(43) 공개일자 1994년12월10일

(30) 우선권주장 93-116266 1993년05월19일 일본(JP)

(73) 특허권자 히다치초엘에스아이 엔지니어링가부시키가이샤
일본국 도쿄 고다이라시 죠스이혼쵸 5-20-1

가부시끼가이샤 히다치 세이사꾸쇼
일본국 도쿄도 지요다구 간다 스루가다이 4-6

(72) 발명자 스와모또오
일본국도꾜도고가네이시미도리쵸5-20-22

다까하시히로유끼
일본국도꾜도다찌까와시스나가와쵸6-38-5-602

니시우마마사히꼬
일본국도꾜도오우메시신마찌1111-1-302

가마다지요시
일본국도꾜도고꾸분지시히가시꼬이가꾸보4-17-6-309

(74) 대리인 백남기

심사관 : 송원선

(54) 반도체집적회로장치의제조방법

요약

반도체 집적회로 장치의 제조방법에 관한 것으로서, 배선기판상에 반도체칩을 페이스다운 본딩하는 실장기술에 있어서 반도체칩과 배선기판의 접속 신뢰성을 향상시키기 위해서, 주면에 집적회로 및 여러개의 외부단자가 형성된 반도체칩을 준비하고, 주면에 여러개의 전극 및 한쪽끝이 전극과 전기적으로 접속된 여러개의 배선이 형성된 기판을 준비하고, 반도체칩의 외부단자의 각각에 외부단자로부터 멀어지는 방향으로 연장하도록 뾰족한 선단부를 각각 갖는 제1 금속볼을 열압착하고, 기판의 전극의 각각에 제2 금속볼을 열압착한 후 제2 금속볼의 정점의 높이를 균일하게 하는 것에 의해서 반도체칩을 실장하기 위한 금속전극을 형성하고, 칩주면에 형성된 각각의 제1 금속볼에 마련된 뽀족한 선단부를 금속전극의 각각에 매립하는 것에 의해서 전기적으로 접속하도록 하였다.
이렇게 하는 것에 의해, 금속볼과 금속랜드를 확실하게 접속할 수 있어 반도체칩과 배선기판의 접속 신뢰성이 향상되고, 접속부의 수명을 향상시킬 수 있으며, 반도체 집적회로 장치의 제조비용의 저감 및 생산성의 향상을 실현할 수 있다는 등의 효과가 얻어진다.

대표도

도 2

색인어

금속볼, 금속랜드, 접속부, 뾰족한 선단부, 반도체칩, 배선기판

명세서

도면의 간단한 설명

도 1은 본 발명의 1실시예인 반도체 집적회로 장치의 주요부를 도시한 개략단면도,
도 2는 금속볼의 앵커부의 선단이 금속랜드에 매립된 상태를 확대해서 도시한 단면도.
도 3은 소자형성면에 전극패드를 형성한 반도체칩의 사시도,
도 4(a) 도 4(d)는 반도체칩의 전극패드상에 금속볼을 형성하는 방법을 도시한 개략도이고, 도 4(e)는 금속볼의 외형치수를 도시한 도면,
도 5는 전극패드상에 금속볼을 형성한 반도체칩의 사시도,
도 6은 주면에 전극을 형성한 배선기판의 사시도,
도 7은 전극상에 금속볼을 형성한 배선기판의 사시도,
도 8은 금속볼의 평탄화 공정을 도시한 개략도,
도 9는 전극상에 금속랜드를 형성한 배선기판의 사시도,
도 10은 반도체칩의 금속볼과 배선기판의 금속볼을 열압착하는 방법을 도시한 개략도,
도 11(a) 도 11(c)는 반도체칩의 금속볼과 배선기판의 금속볼을 위치맞춤하 는 방법을 도시한 개략도,
도 12는 반도체칩의 금속볼과 배선기판의 금속볼이 접합불량을 일으키는 상태를 도시한 개략도,
도 13은 금속볼의 평탄화 방법을 도시한 개략도,
도 14는 반도체칩의 금속볼과 배선기판의 금속볼이 접합불량을 일으키는 상태를 도시한 개략도,
도 15는 반도체칩의 금속볼과 배선기판의 금속볼을 열압착하는 방법을 도시한 개략도,
도 16은 금속볼의 평탄화 방법의 1예를 도시한 개략도,
도 17은 반도체칩의 금속볼과 배선기판의 금속볼을 열압착하는 방법의 1예를 도시한 개략도,
도 18은 반도체칩의 금속볼과 배선기판의 금속볼을 열압착하는 방법의 1예를 도시한 개략도,
도 19는 금속볼의 평탄화 방법의 다른 예를 도시한 개략도,
도 20은 반도체칩의 금속볼과 배선기판의 금속볼을 열압착하는 방법의 다른예를 도시한 개략도,
도 21은 반도체칩을 실장한 배선기판의 사시도,
도 22는 본 발명의 1실시예인 반도체 집적회로 장치의 제조공정을 도시한 흐름도,
도 23은 반도체칩의 전극패드상에 형성한 금속볼의 다른 예를 도시한 확대 도,
도 24는 금속볼의 앵커부의 선단을 평탄화하는 방법을 도시한 개략도,
도 25는 금속볼의 앵커부의 선단이 금속랜드에 매립된 상태를 확대해서 도시한 단면도,
도 26은 본 발명의 다른 실시예인 반도체 집적회로 장치의 제조공정을 도시한 흐름도,
도 27은 반도체칩의 금속볼과 배선기판의 전극을 접속하는 방법을 도시한 개략도,
도 28은 금속볼의 앵커부의 선단이 전극에 매립된 상태를 확대해서 도시한 단면도.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 집적회로 장치의 제조기술에 관한 것으로서, 특히 반도체 칩을 배선기판에 페이스다운본딩(face down bonding)하는 기술에 관한 것이다.
게이트어레이나 마이크로 컴퓨터와 같은 많은 입출력 단자를 구비한 반도체칩의 전극접속기술로서 플립칩 본딩방식이 알려져 있다. 주지의 대표적인 플립칩 본딩방식은 반도체칩의 전극패드상에 땜납으로 구성한 볼형상의 범프전극(CCB범프)을 형성하고, 이 범프전극을 거쳐서 반도체칩과 배선기판을 전기적으로 접속하는 CCB(Controlled Collapse Bonding)방식이다.
상기 CCB방식에 의하면 반도체칩의 주변부 뿐만 아니라 중앙부에도 전극패드를 마련할 수 있으므로 와이어본딩 방식에 비해 LSI의 다핀화를 촉진할 수 있으며, 또한 반도체칩 내부의 배선길이를 짧게 할 수 있으므로 LSI의 고속화를 촉진할수 있다.
상기 CCB방식은 통상 땜납 증착법을 이용해서 반도체칩의 전극패드상에 CCB범프를 형성한다. 이 땜납 증착법에서

는 우선 전극패드의 표면에 Cr, Cr/Cu, Cu 및 Au 등의 금속박막(BLM: Ball Limitting Metalization)을 증착한다. 이 금속 박막은 전극패드상에 형성한 CCB범프가 제조공정 도중의 열이력에 의해서 확산하는 것을 방지하기 위해 마련된다. 다음에, 반도체칩의 전면에 땜납(Sn/Pb합금)의 박막을 증착한 후 리프트오프법에 의해서 전극패드상에만 땜납박막을 남긴다. 다음에, 이 땜납박막을 가열, 용융하면 표면장력에 의해서 볼형상으로 된 CCB범프가 전극상에 형성된다. 이와 같이 해서 형성한 CCB범프를 거쳐서 반도체칩과 배선기판을 전기적으로 접속하기 위해서는 배선기판의 전극상에 반도체칩의 CCB범프를 중첩하여 CCB범프를 가열, 재용융(리플로)한다.
또한, 상술한 CCB범프의 형성방법에 대해서는 예를 들면 일본 금속학회 회보 제23권 제12호(1984년) pp.1004 1013이나 전기학회 연구회 자료(1989년 3월 17일 판) pp.46 등에 상세하게 기재되어 있다. 또, 배선기판상에 CCB방식으로 실장한 반도체칩을 캡(뚜껑)으로 기밀 봉지한 LSI 패키지에 대해서는 예를 들면 일본국 특허공개공보 특개소62-249429호나 일본국 특허공개공보 특개소63-310139호 등에 기재되어 있다.

발명이 이루고자 하는 기술적 과제

상기 CCB방식은 LSI의 다핀화, 고속화에 적합한 실장방식이지만, 다음과 같은 결점도 있다.
[1] 열피로 파괴가 발생하기 쉬운 땜납(Pb/Sn합금)을 사용해서 CCB범프를 형성하므로, 범프의 수명이 짧아 장기간에 걸쳐 높은 접속 신뢰성을 확보하는 것이어렵다.
[2] CCB범프의 형성에 고가인 증착 설비나 번잡한 리프트오프 공정을 필요로 하므로, 제조비용이 증대한다.
[3] 배선기판의 전극상에 반도체칩의 CCB범프를 중첩한 후 CCB범프를 가열, 리플로하는 공정으로 반송하는 도중에 진동 등에 의해서 전극과 CCB범프의 위치어긋남이 발생하기 쉽다.
본 발명자들은 공지기술은 아니지만 상술한 CCB방식의 결점을 개선하기 위해 새로운 실장기술의 개발을 실행해 왔다. 이 실장기술의 개략은 우선 배선기판의 전극상 및 반도체칩의 전극패드상에 각각 볼본딩법을 이용해서 금속(예를 들면 Au)볼을 형성한 후 배선기판 측의 금속볼을 평탄화해서 높이를 일치시키고, 계속해서 이 금속볼과 반도체칩 측의 금속볼을 중첩해서 양자를 열압착에 의해 접합하는 것이다.
상기한 실장기술에 의하면 열피로 파괴가 발생하기 쉬은 땜납을 사용하지 않으므고, 반도체칩과 배선기판의 접속부의 신뢰성을 향상시킬 수 있다. 또, 기존의 와이어본딩 장치를 사용해서 금속볼을 형성하므로, CCB방식과 같은 고가인 증착설 비나 번잡한 리프트오프 공정이 불필요하게 되어 제조비용을 저감시킬 수 있다.
그러나, 상기한 실장기술은 배선기판 측의 금속볼과 반도체칩 측의 금속볼을 중첩했을 때 2개의 금속볼의 중심위치가 약간 어긋나거나 반도체칩의 배면에 가하는 하중의 방향이 배선기판의 주면에 대해서 수직인 방향에서 약간 어긋나면, 반도체칩 측의 금속볼이 횡방향으로 미끄러져 버려 금속볼끼리의 접착불량이 발행한다는 문제가 있다. 또, 배선기판 측의 금속볼과 반도체칩 측의 금속볼을 정확하게 중첩시켜도, 열압착 공정으로 반송하는 도중에 위치어긋남이 발생하여 금속볼끼리의 접착불량이 발생한다는 문제도 있다.
본 발명의 목적은 배선기판상에 반도체칩을 페이스다운 본딩하는 실장기술에 있어서 반도체칩과 배선기판의 접속 신뢰성을 향상시킬 수 있는 기술을 제공하는 것이다.
본 발명의 상기 및 그밖의 목적과 새로운 특징은 본 명세서의 기술 및 첨부 도면으로부터 명확하게 될 것이다.

발명의 구성 및 작용

본원에 있어서 개시되는 발명중 대표적인 것의 개요를 설명하면 다음과 같다.
본 발명은 반도체칩의 전극패드상에 선단이 뾰족한 앵커부를 구비한 금속볼을 형성하는 공정, 배선기판의 전극상에 금속볼을 접합한 후 상기 금속볼의 상면을 평탄화해서 금속랜드를 형성하는 공정, 상기 반도체칩의 금속볼과 상기 배선기판의 금속랜드를 가열해서 연화시킨 후 상기 금속볼과 상기 금속랜드를 중첩시켜 양자를 열압착함과 동시에 상기 금속볼의 앵커부를 상기 금속랜드에 매립하는 공정을 포함하는 반도체 집적회로 장치의 제조방법이다.
즉, 본 발명은 주면에 집적회로 및 여러개의 단자부가 형성된 반도체칩을 준비하는 공정, 주면에 여러개의 전극 및 한쪽끝이 상기 전극과 전기적으로 접속된 여러개의 배선이 형성된 기판을 준비하는 공정, 상기 반도체칩의 단자부의 각각에 상기 단자부로부터 멀어지는 방향으로 연장하도록 뾰족한 선단부를 갖는 제1 금속볼을 열압착하는 공정, 상기 기판의 전극의 각각에 제2 금속볼을 열압착한 후 상기 제 2 금속볼의 정점의 높이를 균일하게 하는 것에 의해서 상기 반도체칩을 실장하기 위한 금속전극을 형성하는 공정 및 상기 칩주면에 형성된 각각의 상기 제1 금속볼에 마련된 뾰족한 선단부를 상기 금속전극의 각각에 매립하는 것에 의해서 전기적으로 접속하는 공정으로 이루어지는 반도체 집적회로 장치의 조립방법이다.
또, 본 발명은 상기 반도체칩의 금속볼을 상기 금속볼을 구성하는 금속의 재결성 온도보다 낮은 온도로 가열하여 연화시키고, 상기 배선기판의 금속랜드를 상기 금속랜드를 구성하는 금속의 재결정 온도보다 높은 온도로 가열하여 연화시키는 것이다.
또, 본 발명은 상기 반도체칩의 전극패드상에 금속볼을 접합한 후 상기 금속볼의 앵커부의 선단을 가볍게 평탄화하는 것이다.
또, 본 발명은 상기 금속볼의 평탄화에 의한 금속랜드의 형성 및 상기 금속랜드와 상기 금속볼의 열압착에 의한 접합을 동일한 장치를 사용해서 실행하는 것이다.
또, 본 발명은 반도체칩의 전극패드상에 선단이 뾰족한 앵커부를 마련한 금속볼을 접합하는 공정, 배선기판상에 도전성 막으로 이루어지는 전극을 형성하는 공정 및 상기 금속볼을 상기 전극에 압접(壓接)하는 것에 의해 상기 금속볼의 앵커부를 상기 전극에 매립하는 공정을 포함하는 반도체 집적회로 장치의 제조방법이다.

즉, 본 발명은 주면에 집적회로 및 여러개의 단자부가 형성된 반도체칩을 준비하는 공정, 주면에 여러개의 도전성 막으로 이루어지는 전극 및 한쪽끝이 상기 전극과 전기적으로 접속된 여러개의 배선이 형성된 기판을 준비하는 공정, 상기 반도체칩의 단자부의 각각에 상기 단자부로부터 멀어지는 방향으로 연장하도록 뾰족한 선단부를 갖는 제1 금속볼을 열압착하는 공정 및 상기 칩주면에 형성된 각각의 상기 제1 금속볼에 마련된 뾰족한 선단부를 상기 도전성 막으로 이루어지는 전극의 각각에 매립하는 것에 의해서 전기적으로 접속하는 공정으로 이루어지는 반도체 집적회로 장치의 조립방법이다.

본 발명에 의하면, 반도체칩의 금속볼에 마련한 앵커부가 배선기판의 금속랜드에 매립되는(들어가는) 것에 의해서 금속볼의 미끄러짐을 방지할 수 있으므로, 금속볼과 금속랜드를 확실하게 접속할 수 있다.

본 발명에 의하면, 배선기판의 금속랜드가 반도체칩의 금속볼보다 부드럽게 (연화)되므로 금속볼의 앵커부를 적은 하중으로 확실하게 금속랜드에 매립할 수 있다.

본 발명에 의하면, 배선기판의 모든 금속랜드의 높이와 반도체칩의 모든 금 속볼의 높이를 일치시킬 수 있으므로, 열압착시에 모든 금속랜드와 금속볼에 균등한 하중을 인가할 수 있다.

본 발명에 의하면, 반도체칩의 금속볼의 선단면과 배선기판의 금속랜드의 상면이 완전하게 평행으로 되므로, 열압착시에 모든 금속랜드와 금속볼에 균등한 하중을 인가할 수 있다.

본 발명에 의하면, 반도체칩의 금속볼에 마련한 앵커부가 배선기판의 전극에 매립되는 것에 의해서 양자를 확실하게 접속할 수 있다.

[실시예 1]

도 1은 본 발명의 1실시예인 반도체 집적회로 장치의 주요부를 도시한 개략 단면도이다.

본 실시예의 반도체 집적회로 장치는 배선기판(1)의 주면상에 페이스다운본딩방식으로 실장한 반도체칩(2)를 캡(3)으로 기밀 봉지한 패키지 구조를 갖고 있다. 반도체칩(2)는 예를 들면 CaAs 등의 화합물 반도체로 이루어지고, 그의 소자 형성면(주면)에는 10GHz이상의 고주파에서 동작하는 집적회로, 논리 LSI 및 여러개의 단자부인 전극패드(15)가 형성되어 있다.

상기 배선기판(1)은 알루미나, 질화 알루미늄 등의 세라믹으로 구성되고, 그의 주면에는 배선(4) 및 전극(5)가 여러개 마련되어 있다. 배선기판(1)의 내층에는 GND배선(6) 및 전원배선(7)이 마련되어 있다. GND배선(6) 및 전원배선(7)은 스루홀(S)을 통해서 배선(4)(전극(5))와 전기적으로 접속되어 있다. 배선(4), 전극(5), GND배선(6) 및 전원배선(7)은 스크린 인쇄법에 의해 인쇄한 W(텅스텐) 등 의 고융점 금속의 후막(厚膜)으로 구성되고, 배선(4) 및 전극(5)의 표면에는 Au(금)의 도금이 실시되어 있다.

상기 배선기판(1)의 주면의 바깥둘레부에는 패키지의 외부단자를 구성하고 상기 배선(4)의 전극(5)와는 반대측에 있는 다른쪽끝에 전기적으로 접속된 여러개의 리드(9)가 마련되어 있다. 리드(9)는 42합금, 코바르 등의 금속으로 구성되고, 땜납재(10)에 의해서 배선(4)의 상면에 접합되어 있다.

상기 배선기판(1)의 이면에는 GND 메탈라이즈(11)이 마련되어 있다. GND메탈라이즈(11)은 배선기판(1)의 이면의 전면에 마련되고, 스루홀(8)을 통해서 GND배선(6)과 전기적으로 접속되어 있다. GND 메탈라이즈(11)은 W 등의 고융점 금속의 후막으로 구성되고, 그의 표면에는 Au의 도금이 실시되어 있다.

상기 GND 메탈라이즈(11)의 하면에는 배선기판(1)과 대략 동일한 외형 치수를 갖는 금속베이스(12)가 마련되어 있다. 금속베이스(12)는 예를 들면 10wt%의 Cu를 포함하는 W/Cu합금으로 구성되고, 땜납재(13)에 의해서 GND 메탈라이즈(11)에 접합되어 있다. 금속베이스(12)는 GND전위의 안정화, 패키지의 보강 및 히트 싱크의 역할을 겸하고 있다.

상기 배선기판(1)의 전극(4)상에는 후술하는 방법에 의해 상면을 평탄화한Au랜드(14)가 마련되어 있다. 도 1에는 전극(4)상에 Au랜드(14)를 2개 중첩해서 접합한 예를 도시했지만, Au랜드(14)는 1개라도 좋고 또 3개 이상 중첩시켜도 좋다. 한편, 반도체칩(2)의 전극패드(15)상에는 Au랜드(14)보다 작은 직경의 Au볼(16)이 마련되어 있다. 도 1에는 전극패드(15)상에 Au볼(16)을 2개 중첩해서 접합한 예를 도 시했지만, Au볼(16)은 1개라도 좋고 또 3개 이상 중첩시켜도 좋다.

상기 배선기판(1)과 반도체칩(2)는 상기 Au랜드(14)와 Au볼(16)을 열압착하는 것에 의해서 전기적으로 접속되어 있다. 도 2에 확대해서 도시하는 바와 같이 반도체칩(2)의 Au볼(16)에는 선단이 뾰족한 선단부인 앵커부(17)이 마련되고, 이 앵커부(17)이 배선기판(1)의 전극(4)상의 Au랜드(14)에 매립되어 있다.

상기 배선기판(1)의 주면의 바깥둘레부에는 상기 반도체칩이 실장되기 위한 캐비티를 제공하는 방형상의 댐틀(dam frame)(18)이 반도체칩(2) 및 상기 기판상의 여러개의 전극을 둘러싸도록 마련되어 있다. 댐틀(18)은 알루미나, 질화 알루미늄등의 세라믹으로 구성되고, 땜납재(19)에 의해서 배선기판(1)의 주면상에 접합되어 있다.

상기 댐틀(18)의 상면에는 반도체칩(2)를 봉지하기 위한 사각형상의 봉지부재인 캡(3)이 마련되어 있다. 캡(3)은 Au도금을 실시한 42합금 등의 금속판으로 구성되고, 메탈라이즈(20) 및 땜납재(19)를 거쳐서 댐틀(18)에 접합되어 있다.

다음에, 상기한 구성을 구비한 반도체 집적회로 장치의 제조방법을 도 3 도 22를 사용해서 설명한다.

우선, 도 3에 도시한 바와 같이 소자 형성면에 다수의 단자부인 전극패드(15)를 형성한 반도체칩(2)를 준비한다(마련한다). 이 전극패드(15)는 금(Au)로 구성되어 있다. 다음에, 도 4에 도시한 바와 같이 가열, 초음파 또는 양자의 에너지를 사용한 주지의 볼본딩법에 의해서 전극패드(15)상에 제1 금속볼인 Au볼(16)을 형성한다.

즉, 상기 반도체칩(2)를 도시하지 않은 와이어본딩 장치의 스테이지상에 위치결정하고, 도 4(a)에 도시한 바와 같이 Au와이어(103)의 선단에 토치(102)를 사용하여 Au볼(16)을 형성한다. 이것을 도 4(b)와 같이 전극패드(15)상에 접합한다. 다음에, 도 4(c)와 같이 캐필러리(101)만을 들어올린 후, 도 4(d)와 같이 Au와이어(103)을 끌어올려 Au볼(16)의 네크부에서 절단하면, Au볼(16)의 상단부에 상기 전극패드(15)로부터 멀어지는 방향으로 연장해서 그의 선단이

뾰족한 앵커부(17)이 형성된다. 이 Au볼(16)의 외형치수의 1예를 도 4(e)에 도시한다(치수단위는 ㎛).
다음에, 마찬가지의 방법에 의해 상기 Au볼(16)상에 또 하나의 Au볼(16)을 접합한다. 이와 같이 해서 모든 전극패드(15)상에 순차 Au볼(16)을 형성하고, 도 5에 도시한 바와 같은 반도체칩(2)를 얻는다.
한편, 도 6에 도시한 바와 같은 다수의 전극(5)를 형성한 배선기판(1)을 준비하고, 상술한 볼본딩법에 의해서 전극(5)상에 제2 금속볼인 Au볼(22)를 2개 중첩해서 형성하는 것에 의해서 도 7에 도시한 바와 같은 배선기판(1)을 얻는다. 이 Au볼(22)의 외형치수는 반도체칩(2)의 전극패드(15)상에 형성한 Au볼(16)과 동일하다. 또, 이 Au볼(22)의 상단부에도 앵커부(17)이 형성되지만, 그의 도시는 생략한다.
상기 배선기판(1)의 전극(5)상에 Au볼(22)를 형성할 때에는 반도체칩(2)의 전극패드(15)상에 Au볼(16)을 형성할 때 사용한 본딩좌표를 미러 반전시킨 좌표를 사용한다. 이와 같이 하면, 전극(5)의 위치가 인쇄어긋남이나 배선기판(1)의 수축 공차 등에 의해서 설계좌표에서 어긋나 있는 경우에도 Au볼(22)의 중심위치와 Au볼(16)의 중심위치를 고정밀도로 일치시킬 수 있다.
다음에, 도 8에 도시한 바와 같은 수평 스테이지(114)상에 배선기판(1)을 탑재하고, 위쪽에서 Au볼(22)에 툴(110)을 압접해서 그의 상면을 평탄화 즉 상기 제2 금속볼(22)의 정점의 높이를 균일하게 하는 것에 의해서, 배선기판(1)의 전극(5)상에 도 9에 도시한 바와 같은 금속전극인 Au랜드(14)를 형성한다. 이 때, Au볼(22)에 가하는 하중은 Au볼(22) 1개당 300gf정도이다. 또, 툴(110)은 그의 바닥면을 고정밀도로 평탄화해 둔다. 또, 툴(110)을 400℃정도로 가열해 두는 것에 의해 Au볼(22)에 가하는 하중을 작게 할 수 있다.
이와 같이, 배선기판(1)상의 모든 Au볼(22)를 동시에 일괄해서 평탄화하는 것에 의해, 배선기판(1)의 주면의 휨이나 기복에 기인하는 Au볼(22)의 높이의 편차를 흡수할 수 있으므로, 모든 전극(5)상의 Au랜드(14)의 높이를 고정밀도로 일치시킬 수 있다.
다음에, 도 10에 도시하는 바와 같이 전극패드(15)상에 Au볼(16)을 형성한 상기 반도체칩(2)를 열압착용의 툴(110)의 바닥면에 부착하고, 이 반도체칩(2)의 Au볼(16)과 이것에 대응하는 배선기판(1)의 Au랜드(14)를 중첩해서 양자를 열압착에 의해 접합한다. 상기 Au볼(16)과 상기 Au랜드(14)는 상기 앵커부(17)을 상기 Au랜드(14)에 매립하는 것에 의해서 전기적으로 접속된다.
또, 열압착용의 툴의 바닥면에 반도체칩을 부착하는 방법에 관해서는 예를들면 일본국 특허공개공보 특개평5-74873호에 기재되어 있는 바와 같이, 열압착용의 툴에 흡착기능을 갖게 하는 것에 의해서 실현할 수 있다.
반도체칩(2)의 Au볼(16)과 배선기판(1)의 Au랜드(14)를 정확하게 중첩시키기 위해서는 우선 도 11(a)에 도시하는 바와 같이 하프미러(112)와 화상 해석장치(113)을 사용해서 반도체칩(2)의 Au볼(16)의 패턴을 인식하고, 다음에 도 11(b)에 도시하는 바와 같이 하프미러(112)를 90도 회전시켜 배선기판(1)의 Au랜드(14)의 패턴을 인식한다. 다음에, 반도체칩(2)를 전후, 좌우로 이동 또는 회전시켜서 Au볼(16)의 패턴의 화상과 Au랜드(14)의 패턴의 화상을 중첩시킨 후, 도 11(c)에 도시하는 바와같이 툴(111)을 배선기판(1)상으로 하강시키고 모든 Au볼(16)과 Au랜드(14)를 동시에 일괄해서 열압착한다. 이 때, 상기 도 2에 도시한 바와 같이 Au볼(16)의 앵커부(17)이 Au랜드(14)에 매립된다.
상기한 열압착을 실행할 때에는 반도체칩(2)의 Au볼(16)을 Au의 재결정온도(약 300℃)보다 낮은 온도(약 250℃)로 가열하고, 배선기판(1)의 Au랜드(14)를 Au의 재결정 온도보다 높은 온도(약 350℃)로 가열한다. 이와 같이 하면, 배선기판(1)의 Au랜드(14)가 반도체칩(2)의 Au볼(16)보다 부드럽게 되므로, 적은 하중으로 Au볼(16)의 앵커부(17)을 확실하게 Au랜드(14)에 매립할 수 있다.
이에 반해, 도 12에 도시한 바와 같이 반도체칩(2)의 전극패드(15)상에 앵커부(17)이 없는 Au볼(16)을 형성하고, 이 Au볼(16)과 배선기판(1)의 Au랜드(14)를 열압착에 의해 접합하는 경우에는 Au볼(16)의 중심위치와 Au랜드(14)의 중심위치가 약간 어긋나거나 반도체칩(2)의 배면에 가하는 하중의 방향이 배선기판(1)의 주면에 대해 수직인 방향에서 약간 어긋나기만 해도 Au볼(16)이 횡방향으로 미끄러지므 로 Au볼(16)과 Au랜드(14)의 접착불량이 발생하기 쉽다.
그러나, Au볼(16)의 상단부에 앵커부를 마련하는 본 실시예에 의하면, 이 앵커부(17)이 Au랜드(14)에 매립되는 것에 의해서 Au볼(16)의 미끄러짐이 방지되므로 Au볼(16)과 Au랜드(14)를 확실하게 접합할 수 있다.
또, 상기한 열압착은 배선기판(1)의 전극(5)상의 Au볼(22)를 평탄화할 때 사용한 스테이지(114) 및 툴(110)(도 8 참조)을 사용해서 실행하는 것이 좋다.
즉, 상기 Au볼(22)를 평탄화할 때에는 스테이지(114)의 상면과 툴(110)의 바닥면이 평행하게 되어 있을 필요가 있지만, 가공상의 한계가 있으므로 완전하게는 평행하게 되어 있지 않다. 그 때문에, 스테이지(114)상에 탑재한 배선기판(1)의 Au볼(22)에 툴(110)을 압접해서 Au랜드(14)를 형성하면, 도 13에 도시하는 바와 같이 툴(110)의 바닥면과 스테이지(114)의 상면의 상대적인 기울기에 비례해서 높이가 일치되지 않은 Au랜드(14)가 생겨 버린다.
그 때문에, 도 14에 도시하는 바와 같이 상기 툴(110) 및 스테이지(114)는 다른 툴(111) 및 스테이지(115)를 사용해서 열압착을 실행하면, 이 툴(111)의 바닥면과 스테이지(115)의 상면의 상대적인 기울기는 상기 툴(110)의 바닥면과 스테이지(114)의 상면의 상대적인 기울기와는 다르므로, 배선기판(1)의 Au볼(22)와 반도체칩의 Au볼(16)을 중첩시켰을 때 Au볼(16)의 선단면과 Au랜드(14)의 상면이 평행하게 되지 않는다. 그 결과, 모든 Au볼(16)과 Au랜드(14)를 동일 하중으로 균등하게 열압착할 수 없어 일부의 Au볼(16)과 Au랜드(14) 사이에서 한쪽 들뜸(unsymmetrical floating)뜨게 된다.
이에 반해, 배선기판(1)의 Au볼(22)를 평탄화할 때 사용한 스테이지(114) 및 툴(110)을 사용해서 Au볼(16)과 Au랜드(14)를 열압착하는 경우에는 스테이지(114)의 상면과 툴(110)의 바닥면의 상대적인 기울기가 Au볼(22)를 평탄화할 때와 Au볼(16)과 Au랜드(14)를 열압착할 때에 있어서 변하지 않으므로, 도 15에 도시한 바와 같이 툴(110)의 바닥면에 유지한 반도체칩(2)의 Au볼(16)의 선단면과 스테이지(114)상에 탑재한 배선기판(1)의 Au랜드(14)의 상면이 완전하게 평행으로 되어, 모든 Au볼(16)과 Au랜드(14)를 동일한 하중으로 균등하게 열압착할 수 있다.

상기와 같은 한쪽 들뜸에 기인하는 Au볼(16)과 Au랜드(14)의 접합불량을 방지하기 위해서는 1예로서 다음과 같은 방법에 의해 평탄화 및 열압착을 실행한다.
우선, 도 16에 도시하는 바와 같이 스테이지(114)상에 배선기판(1)을 탑재하고, 위쪽에서 Au볼(22)에 틀(110)을 압접해서 Au랜드(14)를 형성한다. 이 때, 툴(110)의 바닥면과 스테이지(114)의 상면의 상대적인 기울기에 비례해서 높이가 일치하지 않게 된 Au랜드(14)가 생긴다.
다음에, 도 17에 도시하는 바와 같이 상기 툴(110)과는 다른 임시 고정용 툴(116)을 사용해서 반도체칩(2)의 Au볼(16)과 이것에 대응하는 배선기판(1)의 Au랜드(14)를 중첩시킨다. 이 때, 반도체칩(2)의 배면에 가하는 하중을 작게 하여 Au볼(16)과 Au랜드(14)의 접합을 불완전하게 해 둔다. 이 경우, 양자의 접합이 불완전하더라도 Au볼(16)에 마련한 앵커부(17)이 Au볼(16)에 가볍게 매립되므로 양자의 위치가 어긋나거나 하는 일은 없다.
다음에, 도 18에 도시하는 바와 같이 배선기판(1)의 Au볼(22)를 평탄화할 때 사용한 툴(110)을 재차 사용해서 반도체칩(2)의 배면에 큰 하중을 가하여 Au볼(16)과 Au랜드(14)의 접합을 완전한 것으로 한다. 이 때, 스테이지(114)의 상면과 툴(110)의 바닥면의 상대적인 기울기는 Au볼(22)를 평탄화했을 때와 동일한 기울기이므로, Au볼(16)의 선단면과 Au랜드(14)의 상면이 완전하게 평행으로 되어 모든 Au볼(16)과 Au랜드(14)를 균등한 하중으로 접합할 수 있다. 또, 이 방법에서는 평탄화와 열압착을 동일한 스테이지(114)상에서 실행하므로, 배선기판(1)을 평탄화 공정에서 열압착 공정으로 반송할 필요가 없다. 그 때문에, 배선기판(1)의 반송중에 발생하기 쉬운 Au볼(16)의 위치어긋남도 회피할 수 있다.
Au볼(22)의 평탄화 및 Au볼(16)과 Au랜드(14)의 열압착은 다음과 같은 방법으로 실행할 수도 있다.
우선, 도 19에 도시하는 바와 같이 툴(110)의 바닥면에 반도체칩(2)와 거의 동일한 평탄도를 갖는 더미칩(117)을 부착하고, 이 더미칩(117)의 바닥면을 스테이지(114)상에 탑재한 배선기판(1)의 Au볼(22)에 압접해서 Au랜드(14)를 형성한다. 이때, 더미칩(117)의 바닥면에 다이아몬드와 같은 경도가 높은 박막을 코팅해 두면, 더미칩(117)의 파손(breaking)이나 바닥면의 마모를 방지할 수 있다. 다음에, 도 20에 도시하는 바와 같이 툴(110)의 바닥면에서 더미칩(117)을 떼어내어 반도체칩(2)를 부착하고, 이 반도체칩(2)의 Au볼(16)과 배선기판(1)의 Au랜드(14)를 중첩해서 열압착에 의해 접합한다.
상기 제2 방법에서도 평탄화와 열압착을 동일한 스테이지(114) 및 툴(110)을 사용해서 실행하므로, 모든 Au볼(16)과 Au랜드(14)를 균등한 하중으로 접합할 수 있다. 또, 통상 반도체칩(2)의 표면은 툴(110)의 바닥면보다 훨씬 평탄도가 높으므로, 이 반도체칩(2)와 거의 동일한 평탄도의 다른 칩 즉 너미칩(117)을 Au볼(22)에 압접해서 Au랜드(14)를 형성하는 것에 의해, 툴(110)의 바닥면의 거칠음에 기인하는 Au랜드(14)의 높이의 편차가 무시할 수 있을 정도까지 저감되어 Au볼(16)과 Au랜드(14)를 고정밀도로 중첩해서 접합할 수 있다.
도 21은 상술한 방법에 의해 반도체칩(2)를 실장한 배선기판(1)을 도시한 도면이다. 그 후, 배선기판(1)의 댐틀(18)의 상면에 캡(3)을 접합하는 것에 의해, 상기 도 1에 도시한 반도체 집적회로 장치가 완성된다. 도 22는 이상 설명한 제조공정의 흐름도이다.
[실시예 2]
도 23에 도시하는 바와 같이, 본 실시예에서는 반도체칩(2)의 전극패드(15)상에 앵커부(17)을 갖는 Au볼(16)을 형성한 후, 앵커부(17)의 선단을 앵커부(17)이 찌부러지지 않을 정도로 가볍게 평탄화 즉 제1 금속볼의 뾰족한 선단부(17)의 높이를 균일하게 한다. 이것에 의해서, 배선기판(1)의 Au랜드(14) 뿐만 아니라 반도체칩(2)의 Au볼(16)의 높이도 일치시킬 수 있으므로, Au볼(16)과 Au랜드(14)를 고정밀도로 중첩해서 접합할 수 있다.
앵커부(17)의 선단을 평탄화하기 위해서는 상술한 볼본딩법에 의해 반도체칩(2)의 전극패드(15) 상에 Au볼(16)을 형성한 후, 도 24에 도시하는 바와 같이 평탄화용 툴(110)의 바닥면을 Au볼(16)에 가볍게 압접하여 모든 Au볼(16)의 앵커부(17)을 동시에 일괄해서 평탄화한다. 이 때의 하중은 Au볼(16) 1개당 50gf정 도이다.
그 후, 상기 실시예에서 설명한 방법에 의해서 Au볼(16)과 Au랜드(14)를 중첩하여 열압착에 의해 접합한다. 이 때, 도 25에 도시한 바와 같이 Au볼(16)의 앵커부(17)이 Au랜드(14)에 매립된다. 도 26은 이상 설명한 제조공정의 흐름도이다.
[실시예 3]
본 실시예에서는 배선기판(1)의 전극(5)상에 Au랜드(14)를 형성하는 상기 수단 대신에, 이 전극(5)를 도전성의 합성수지막으로 구성하고 있다.
상기 배선기판(1)에 반도체칩(2)를 페이스다운 본딩하기 위해서는 실시예1 및 실시예2에 기재한 방법과 마찬가지로 반도체칩(2)의 전극패드(15)상에 Au볼(16)을 형성한 후, 도 27에 도시하는 바와 같이 이 Au볼(16)과 전극(5)를 중첩시켜 반도체 칩(2)의 배면에 하중을 가하는 것만으로 좋다. 이 때, 전극(5)는 Au볼(16)보다 부드러운 합성수지로 구성되어 있으므로, 도 28에 도시하는 바와 같이 Au볼(16)의 앵커부(17)이 용이하게 전극(5)에 매립되어 전극(5)와Au볼(16)이 확실하게 접속된다.
이와 같이, 본 실시예에 의하면 배선기판(1)과 반도체칩을 간단하게 또한 확실하게 접속할 수 있다. 또한, 배선기판(1)의 전극(23)은 도전성 고무 등의 연질재료로 구성해도 좋다.
이상 본 발명자들에 의해서 이루어진 발명을 실시예에 따라 구체적으로 설명했지만, 본 발명은 상기 실시예에 한정되는 것은 아니고 그 요지를 이탈하지 않는 범위내에서 여러가지로 변경가능한 것은 물론이다.
상기 실시예에서는 반도체칩의 전극패드상 및 배선기판의 전극상에 볼본딩법에 의해 Au볼을 접합했지만 볼재료는 Au에 한정되는 것은 아니고, 전연성(malleability)을 갖고 열압착에 의해 접합할 수 있는 다른 금속을 사용할 수도 있다.

발명의 효과

본원에 의해서 개시되는 발명중 대표적인 것에 의해서 얻을 수 있는 효과를 간단히 설명하면 다음과 같다.
[1] 본 발명에 의하면, 반도체칩의 전극패드상에 형성한 금속볼의 앵커부가 배선기판의 전극상에 형성한 금속랜드에 매립되는 것에 의해서 금속볼의 미끄러짐이 방지되므로, 금속볼과 금속랜드를 확실하게 접속할 수 있어 반도체칩과 배선기판의 접속 신뢰성이 향상된다.
[2] 본 발명에 의하면, 땜납에 비해 열피로 파괴가 발생하기 어려운 금속볼을 사용해서 반도체칩과 배선기판을 접속하므로, 접속부의 수명을 향상시킬 수 있다.
[3] 본 발명에 의하면, 반도체칩의 전극패드상 및 배선기판의 전극상에 볼본딩법에 의해 금속볼을 형성하므로, CCB 방식과 같은 고가의 증착설비나 번잡한 리프트오프 공정이 불필요하게 되어 반도체 집적회로 장치의 제조비용의 저감 및 생산성의 향상을 실현할 수 있다.

(57) 청구의 범위

청구항 1.
주면에 집적회로 및 여러개의 외부단자가 형성된 반도체칩을 준비하는 공정,
주면에 여러개의 전극 및 한쪽끝이 상기 전극과 전기적으로 접속된 여러개의 배선이 형성된 기판을 준비하는 공정,
상기 반도체칩의 외부단자의 각각에 상기 외부단자에서 멀어지는 방향으로 연장하도록 뾰족한 선단부를 각각 갖는 제1의 금속볼을 열압착하는 공정,
상기 기판의 전극의 각각에 제2 금속볼을 열압착한 후, 상기 제2 금속볼의 정점의 높이를 균일하게 하는 것에 의해서 상기 반도체칩을 실장하기 위한 금속전극을 형성하는 공정 및
상기 칩주면에 형성된 각각의 상기 제1 금속볼에 마련된 뾰족한 선단부를 상기 금속전극의 각각에 매립하는 것에 의해서 전기적으로 전속하는 공정으로 이루어지는 반도체 집적회로 장치의 조립방법.

청구항 2.
제1항에 있어서,
상기 기판상에 형성된 여러개의 전극을 둘러싸고 반도체칩이 실장되기 위한 캐비티를 제공하는 방형형상의 틀체가 상기 기판에 부착되어 있는 것을 특징으로하는 반도체 집적회로 장치의 조립방법.

청구항 3.
제2항에 있어서,
사각형상의 봉지부재를 상기 틀체에 부착하는 것에 의해서 상기 반도체칩을 상기 캐비티내에 기밀 봉지하는 공정을 더 포함하는 것을 특징으로 하는 반도체 집적회로 장치의 조립방법.

청구항 4.
제1항에 있어서,
상기 기판의 바깥둘레부에 상기 배선의 다른쪽끝에 전기적으로 접속된 여러개의 리드가 부착되어 있는 것을 특징으로 하는 반도체 집적회로 장치의 조립방법.

청구항 5.
제1항에 있어서,
상기 제1 및 제2 금속볼을 형성하기 위한 열압착은 동일한 열압착장치를 사용해서 실행하는 것을 특징으로 하는 반도체 집적회로 장치의 조립방법.

청구항 6.
제5항에 있어서,
상기 열압착장치는 볼본딩장치인 것을 특징으로 하는 반도체 집적회로 장치의 조립방법.

청구항 7.
제1항에 있어서,
상기 금속볼은 각각 금(Au)범프인 것을 특징으로 하는 반도체 집적회로 장치의 조립방법.

청구항 8.
제1항에 있어서,
상기 제1의 금속볼을 접합한 후, 상기 제1의 금속볼의 뾰족한 선단부의 높이를 균일하게 하는 것을 특징으로 하는 반도체 집적회로 장치의 조립방법.

청구항 9.
제1항에 있어서,
상기 제1의 금속볼과 상기 제2의 금속볼의 매립 접속은 가열에 의해서 실행하는 것을 특징으로 하는 반도체 집적회로 장치의 조립방법.

청구항 10.
제1항에 있어서,
상기 제1의 금속볼과 상기 제2의 금속볼의 매립 접속은 초음파를 인가하는 것에 의해 실행하는 것을 특징으로 하는 반도체 집적회로 장치의 조립방법.

청구항 11.
제1항에 있어서,

상기 제1의 금속볼과 상기 제2의 금속볼의 매립 접속은 가열 및 초음파를 인가하는 것에 의해 실행하는 것을 특징으로 하는 반도체 집적회로 장치의 조립방법.

청구항 12.

제1항에 있어서,
상기 제2의 금속볼의 정점의 높이를 균일하게 하는 공정에 있어서, 상기 반도체칩과 동일한 평탄도를 갖는 다른 반도체칩에 의해서 균일하게 하는 것을 특징으로 하는 반도체 집적회로 장치의 조립방법.

청구항 13.

제8항에 있어서,
상기 제1의 금속볼의 선단부의 높이를 균일하게 하는 공정에 있어서, 상기 반도체칩과 동일한 평탄도를 갖는 다른 반도체칩에 의해서 균일하게 하는 것을 특징으로 하는 반도체 집적회로 장치의 조립방법.

청구항 14.

제1항에 있어서,
상기 제1의 금속볼은 적어도 2개 이상의 금속볼을 적층해서 이루어지는 것을 특징으로 하는 반도체 집적회로 장치의 조립방법.

청구항 15.

제14항에 있어서,
상기 기판상에 형성된 여러개의 전극을 둘러싸고 반도체칩이 실장되기 위한 캐비티를 제공하는 방형형상의 틀체가 상기 기판에 부착되어 있는 것을 특징으로 하는 반도체 집적회로 장치의 조립방법.

청구항 16.

제15항에 있어서,
사각형상의 봉지부재를 상기 틀체에 부착하는 것에 의해서 상기 반도체칩을 상기 캐비티내에 기밀 봉지하는 공정을 더 포함하는 것을 특징으로 하는 반도체 집적회로 장치의 조립방법.

청구항 17.

제1항에 있어서,
상기 제2의 금속볼은 적어도 2개 이상의 금속볼을 적층해서 이루어지는 것을 특징으로 하는 반도체 집적회로 장치의 조립방법.

청구항 18.

제17항에 있어서,
상기 기판상에 형성된 여러개의 전극을 둘러싸고 반도체칩이 실장되기 위한 캐비티를 제공하는 방형형상의 틀체가 상기 기판에 부착되어 있는 것을 특징으로 하는 반도체 집적회로 장치의 조립방법.

청구항 19.

제18항에 있어서,
사각형상의 봉지부재를 상기 틀체에 부착하는 것에 의해서 상기 반도체칩을 상기 캐비티내에 기밀 봉지하는 공정을 더 포함하는 것을 특정으로 하는 반도체 집적회로 장치의 조립방법.

청구항 20.

제1항에 있어서,
상기 제1 및 제2의 금속볼은 각각이 적어도 2개 이상의 금속볼을 적층해서 이루어지는 것을 특징으로 하는 발도체 집적회로 장치의 조립방법.

청구항 21.

제20항에 있어서,
상기 기판상에 형성된 여러개의 전극을 둘러싸고 반도체칩이 실장되기 위한 캐비티를 제공하는 방형형상의 틀체가 상기 기판에 부착되어 있는 것을 특징으로 하는 반도체 집적회로 장치의 조립방법.

청구항 22.

제21항에 있어서,
사각형상의 봉지부재를 상기 틀체에 부착하는 것에 의해서 상기 반도체칩을 상기 캐비티내에 기밀 봉지하는 공정을 더 포함하는 것을 특징으로 하는 반도체 집적회로 장치의 조립방법.

청구항 23.

제1항에 있어서,
상기 반도체칩상의 제1의 금속볼은 그 금속볼을 구성하는 금속의 재결정 온도보다 낮은 온도에서 가열시키고 연화시킨 후에 상기 금속전극에 매립 접속하는 것을 특징으로 하는 반도체 집적회로 장치의 조립방법.

청구항 24.

제1항에 있어서,
상기 기판상의 제2의 금속볼은 그 금속볼을 구성하는 금속의 재결정 온도보다 높은 온도에서 가열시키고 연화시킨 후에 상기 제1의 금속볼과 접속하는 것을 특징으로 하는 반도체 집적회로 장치의 조립방법.

청구항 25.

주면에 집적회로 및 여러개의 외부단자가 형성된 반도체칩을 준비하는 공정,
주면에 여러개의 도전성 막으로 이루어지는 전극 및 한쪽끝이 상기 전극과 전기적으로 접속된 여러개의 배선이 형성된 기판을 준비하는 공정,

상기 반도체칩의 외부단자의 각각에 상기 외부단자에서 멀어지는 방향으로 연장하도록 뾰족한 선단부를 각각 갖는 제1의 금속볼을 열압착하는 공정 및
상기 칩 주면에 형성된 각각의 상기 제1의 금속볼에 마련된 뾰족한 선단부를 상기 도전성 막으로 이루어지는 전극의 각각에 매립하는 것에 의해서 전기적으로 접속하는 공정으로 이루어지는 반도체 집적회로 장치의 조립방법.

청구항 26.

제25항에 있어서,
상기 기판상에 형성된 여러개의 전극을 둘러싸고 반도체칩이 실장되기 위한 캐비티를 제공하는 방형형상의 틀체가 상기 기판에 부착되어 있는 것을 특징으로 하는 반도체 집적회로 장치의 조립방법.

청구항 27.

제26항에 있어서,
사각형상의 봉지부재를 상기 틀체에 부착하는 것에 의해서 상기 반도체칩을 상기 캐비티내에 기밀 봉지하는 공정을 더 포함하는 것을 특징으로 하는 반도체 집적회로 장치의 조립방법.

청구항 28.

제25항에 있어서,
상기 기판의 바깥둘레부에 상기 배선의 다른쪽끝에 전기적으로 접속된 여러개의 리드가 부착되어 있는 것을 특징으로 하는 반도체 집적회로 장치의 조립방법.

청구항 29.

제25항에 있어서,
상기 제1의 금속볼을 형성하기 위한 열압착장치는 볼본딩장치인 것을 특징으로 하는 반도체 집적회로 장치의 조립방법.

청구항 30.

제25항에 있어서,
상기 금속볼은 각각 금(Au)범프인 것을 특징으로 하는 반도체 집적회로 장치의 조립방법.

청구항 31.

제25항에 있어서,
상기 제1의 금속볼을 정합한 후 상기 제1의 금속볼의 뾰족한 선단부의 높이 를 균일하게 하는 것을 특징으로 하는 반도체 집적회로 장치의 조립방법.

청구항 32.

제31항에 있어서,
상기 제1의 금속볼의 선단부의 높이를 균일하게 하는 공정에 있어서, 상기 반도체칩과 동일한 평탄도를 갖는 다른 반도체칩에 의해서 균일하게 하는 것을 특징으로 하는 반도체 집적회로 장치의 조립방법.

청구항 33.

제25항에 있어서,
상기 제1의 금속볼은 적어도 2개 이상의 금속볼을 적층해서 이루어지는 것을 특징으로 하는 반도체 집적회로 장치의 조립방법.

청구항 34.

제33항에 있어서,
상기 기판상에 형성된 여러개의 전극을 둘러싸고 반도체칩이 실장되기 위한 캐비티를 제공하는 방형형상의 틀체가 상기 기판에 부착되어 있는 것을 특징으로 하는 반도체 집적회로 장치의 조립방법.

청구항 35.

제34항에 있어서,
사각형상의 봉지부재를 상기 틀체에 부착하는 것에 의해서 상기 반도체칩을 상기 캐비티내에 기밀 봉지하는 공정을 더 포함하는 것을 특징으로 하는 반도체 집적회로 장치의 조립방법.

청구항 36.

제25항에 있어서,
상기 반도체칩상의 제1의 금속볼은 그 금속볼을 구성하는 금속의 재결정 온도보다 낮은 온도에서 가열시키고 연화시킨 후에 상기 도전성 막에 매립 접속하는 것을 특징으로 하는 반도체 집적회로 장치의 조립방법.

청구항 37.

주면에 집적회로 및 여러개의 외부단자가 형성된 반도체칩을 준비하는 공정,
주면에 여러개의 전극 및 한쪽끝이 상기 전극과 전기적으로 접속된 여러개의 배선이 형성된 기판을 준비하는 공정,
상기 반도체칩의 외부단자의 각각에 제1 금속볼을 열압착하는 공정,
상기 전극의 각각에 제2의 금속볼을 열압착한 후, 상기 여러개의 제2의 금속볼의 정점의 높이를 동시에 균일하게 하는 것에 의해서 상기 반도체칩을 실장하기위한 금속전극을 형성하는 공정 및
상기 칩주면에 형성된 각각의 상기 제1 금속볼을 상기 금속전극의 각각에 전기적으로 접속하는 공정으로 이루어지는 반도체 집적회로 장치의 조립방법.

청구항 38.

제37항에 있어서,

상기 기판상에 형성된 여러개의 전극을 둘러싸고 반도체칩이 실장되기 위한 캐비티를 제공하는 방형형상의 틀체가 상기 기판에 부착되어 있는 것을 특징으로 하는 반도체 집적회로 장치의 조립방법.

청구항 39.

제38항에 있어서,

사각형상의 봉지부재를 상기 틀체에 부착하는 것에 의해서 상기 반도체칩을 상기 캐비티내에 기밀 봉지하는 공정을 더 포함하는 것을 특징으로 하는 반도체 집적회로 장치의 조립방법.

청구항 40.

제37항에 있어서,

상기 기판의 바깥둘레부에 상기 배선의 다른쪽끝에 전기적으로 접속된 여러개의 리드가 부착되어 있는 것을 특징으로 하는 반도체 집적회로 장치의 조립방법.

청구항 41.

제37항에 있어서,

상기 제1 및 제2의 금속볼을 형성하기 위한 열압착은 동일한 열압착장치를 사용해서 실행하는 것을 특징으로 하는 반도체 집적회로 장치의 조립방법.

청구항 42.

제41항에 있어서,

상기 열압착장치는 볼본딩장치인 것을 특징으로 하는 발도체 집적회로 장치의 조립방법.

청구항 43.

제37항에 있어서,

상기 금속볼은 각각 금(Au)범프인 것을 특징으로 하는 반도체 집적회로 장치의 조립방법.

청구항 44.

제37항에 있어서,

상기 제1의 금속볼을 접합한 후, 상기 제1의 금속볼의 뾰족한 선단부의 높이를 균일하게 하는 것을 특징으로 하는 반도체 집적회로 장치의 조립방법.

청구항 45.

제37항에 있어서,

상기 제1의 금속볼과 상기 제2의 금속볼의 매립 접속은 초음파를 인가하는 것에 의해서 실행하는 것을 특징으로 하는 반도체 집적회로 장치의 조립방법.

청구항 46.

제37항에 있어서,

상기 제2 금속볼의 정점의 높이를 균일하게 하는 공정에 있어서, 상기 반도체칩과 동일한 평탄도를 갖는 다른 반도체칩에 의해서 균일하게 하는 것을 특징으로 하는 반도체 집적회로 장치의 조립방법.

청구항 47.

제44항에 있어서,

상기 제1의 금속볼의 선단부의 높이를 균일하게 하는 공정에 있어서, 상기 반도체칩과 동일한 평탄도를 갖는 다른 반도체칩에 의해서 균일하게 하는 것을 특징으로 하는 반도체 집적회로 장치의 조립방법.

청구항 48.

제37항에 있어서,

상기 제1의 금속볼은 적어도 2개 이상의 금속볼을 적층해서 이루어지는 것을 특징으로 하는 반도체 집적회로 장치의 조립방법.

청구항 49.

제48항에 있어서,

상기 기판상에 형성된 여러개의 전극을 둘러싸고 반도체칩이 실장되기 위한 캐비티를 제공하는 방형형상의 틀체가 상기 기판에 부착되어 있는 것을 특징으로하는 반도체 집접회로 장치의 조립방법.

청구항 50.

제49항에 있어서,

사각형상의 봉지부재를 상기 틀체에 부착하는 것에 의해서 상기 반도체칩을 상기 캐비티내에 기밀 봉지하는 공정을 더 포함하는 것을 특징으로 하는 반도체 집적회로 장치의 조립방법.

청구항 51.

제37항에 있어서,

상기 제2의 금속볼은 적어도 2개 이상의 금속볼을 적층해서 이루어지는 것을 특징으로 하는 반도체 집적회로 장치의 조립방법.

청구항 52.

제50항에 있어서,

상기 기판상에 형성된 여러개의 전극을 둘러싸고 반도체칩이 실장되기 위한 캐비티를 제공하는 방형형상의 틀체가 상기 기판에 부착되어 있는 것을 특징으로 하는 반도체 집적회로 장치의 조립방법.

청구항 53.

제51항에 있어서,
사각형상의 봉지부재를 상기 틀체에 부착하는 것에 의해서 상기 반도체칩을 상기 캐비티내에 기밀 봉지하는 공정을 더 포함하는 것을 특징으로 하는 반도체 집적회로 장치의 조립방법.

청구항 54.
제37항에 있어서,
상기 제1 및 제2의 금속볼은 각각이 적어도 2개 이상의 금속볼을 적층해서 이루어지는 것을 특징으로 하는 반도체 집적회로 장치의 조립방법.

청구항 55.
제37항에 있어서,
상기 반도체칩상의 제1의 금속볼은 그 금속볼을 구성하는 금속의 재결정 온도보다 낮은 온도에서 가열시키고 인화시킨 후에 상기 금속전극에 매립 접속하는 것을 특징으로 하는 반도체 집적회로 장치의 조립방법.

청구항 56.
제37항에 있어서,
상기 기판상의 제2의 금속볼은 그 금속볼을 구성하는 금속의 재결정 온도보다 높은 온도에서 가열시키고 연화시킨 후에 상기 제1의 금속볼과 접속하는 것을 특징으로 하는 반도체 집적회로 장치의 조립방법.

청구항 57.
주면에 집적회로 및 여러개의 외부단자가 형성된 반도체칩을 준비하는 공정,
주면에 여러개의 전극 및 한쪽끝이 상기 전극과 전기적으로 접속된 여러개의 배선이 형성된 기판을 준비하는 공정,
상기 반도체칩의 외부단자의 각각의 상부에 제1 부분과 상기 제1 부분에 비해 반도체칩의 주면과 평행한 방향의 직경이 작은 제2 부분을 상기 제1 부분상에 갖는 금속볼을 형성하는 공정,
상기 기판의 전극의 각각의 표면을 금으로 덮는 공정 및
상기 금볼의 제2 부분을 상기 금으로 덮인 기판의 전극에 압착해서 상기 금볼과 상기 기판의 전극을 전기적으로 접속함과 동시에 상기 제2 부분에서 상기 기판의 전극의 각각을 변형시키는 공정으로 이루어지는 반도체 집적회로 장치의 조립방법.

청구항 58.
제57항에 있어서,
상기 금볼을 형성하는 공정은 상기 제2 부분의 높이를 일치시키기 위해 상기 제2 부분을 완전히 찌부러지지 않을 정도로 변형시키는 공정을 포함하는 것을 특징으로 하는 반도체 집적회로 장치의 조립방법.

청구항 59.
제57항에 있어서,
상기 금볼은 상기 기판의 전극을 덮는 금보다 두껍게 형성하는 것을 특징으로로 하는 반도체 집적회로 장치의 조립방법.

청구항 60.
제57항에 있어서,
상기 금볼은 상기 기판의 전극보다 반도체칩의 주면과 평행한 방향의 직경을 작게 형성하는 것을 특징으로 하는 반도체 집적회로 장치의 조립방법.

청구항 61.
제57항에 있어서,
상기 금볼의 제2 부분을 상기 금으로 덮인 기판의 전극에 압착하는 공정에 있어서, 상기 금볼에 열을 가하는 것을 특징으로 하는 반도체 집적회로 장치의 조립방법.

청구항 62.
제61항에 있어서,
상기 금볼에 가하는 열은 상기 금볼의 재결정 온도보다 낮은 것을 특징으로하는 반도체 집적회로 장치의 조립방법.

청구항 63.
제61항에 있어서,
상기 금볼의 제2 부분을 상기 금으로 덮인 기판의 전극에 압착하는 공정에 있어서, 상기 금볼에는 열과 동시에 초음파도 가하는 것을 특징으로 하는 반도체 집적회로 장치의 조립방법.

청구항 64.
제57항에 있어서,
상기 금볼을 형성하는 공정은
선단에 금볼부를 갖는 금와이어를 준비하는 공정,
상기 금볼부를 반도체칩의 외부단자에 고정시키고 상기 금볼의 제1 부분을 형성하는 공정 및
상기 제1 부분을 상기 외부단자에 고정시킨 후에 금와이어를 절단하고 금와이어의 일부에 의해서 상기 제1 부분상에 제2 부분을 형성하는 공정을 갖는 것을 특징으로 하는 반도체 집적회로 장치의 조립방법.

청구항 65.
제57항에 있어서,
상기 금볼을 형성하는 공정전에 상기 반도체칩의 외부단자상에 제2 금볼을 형성하는 공정을 갖고 있고, 상기 금볼은 상기 제2 금볼상에 형성하는 것을 특징으로 하는 반도체 집적회로 장치의 조립방법.

청구항 66.
제57항에 있어서,
상기 금볼의 제2 부분에서 상기 기판의 전극의 각각을 변형시키는 공정에 있어서, 상기 제2 부분을 상기 기판의 전극의 각각에 매립하는 것을 특징으로 하는 반도체 집적회로 장치의 조립방법.

청구항 67.
주면에 집적회로 및 여러개의 외부단자가 형성된 반도체칩을 준비하는 공정,
주면에 여러개의 전극 및 한쪽끝이 상기 전극과 전기적으로 접속된 여러개의 배선이 형성된 기판을 준비하는 공정,
상기 반도체칩의 외부단자의 각각의 상부에 제1 부분과 상기 제1 부분에 비해 반도체칩의 주면방향의 직경이 작은 제2 부분을 상기 제1 부분상에 갖는 금볼을형성하는 공정,
상기 기판의 전극의 각각의 표면을 도전성 막으로 덮는 공정,
상기 금볼의 제2 부분을 상기 도전성 막으로 덮인 기판의 전극에 압착해서 상기 금볼과 상기 기판의 전극을 전기적으로 접속함과 동시에 상기 제2 부분에서 상기 도전성 막의 각각을 변형시키는 공정으로 이루어지는 반도체 집적회로 장치의 조립방법.

청구항 68.
제67항에 있어서,
상기 금볼을 형성하는 공정은 상기 제2 부분의 높이를 일치시키기 위해, 상기 제2 부분을 완전히 찌부러지지 않을 정도로 변형시키는 공정을 포함하는 것을 특징으로 하는 반도체 집적회로 장치의 조립방법.

청구항 69.
제67항에 있어서,
상기 금볼은 상기 도전성 막보다 두껍게 형성하는 것을 특징으로 하는 반도체 집적회로 장치의 조립방법.

청구항 70.
제67항에 있어서,
상기 금볼은 상기 기판의 전극보다 반도체칩의 주면과 평행한 방향의 직경을 작게 형성하는 것을 특징으로 하는 반도체 집적회로 장치의 조립방법.

청구항 71.
제67항에 있어서,
상기 금볼의 제2 부분을 상기 도전성 막으로 덮인 기판의 전극에 압착하는 공정에 있어서, 상기 금볼에 열을 가하는 것을 특징으로 하는 반도체 집적회로 장치의 조립방법.

청구항 72.
제71항에 있어서,
상기 금볼에 가하는 열은 상기 금볼의 재결정 온도보다 낮은 것을 특징으로 하는 반도체 집적회로 장치의 조립방법.

청구항 73.
제71항에 있어서,
상기 금볼의 제2 부분을 상기 도전성 막으로 덮인 기판의 전극에 압착하는 공정에 있어서, 상기 금볼에는 열과 동시에 초음파도 가하는 것을 특징으로 하는 반도체 집적회로 장치의 조립방법.

청구항 74.
제67항에 있어서,
상기 금볼을 형성하는 공정은
선단에 금볼부를 갖는 금와이어를 준비하는 공정,
상기 금볼부를 반도체칩의 외부단자에 고정시키고 상기 금볼의 제1 부분을 형성하는 공정 및
상기 제1 부분을 상기 외부단자에 고정시킨 후에 금와이어를 절단하고 금와이어의 일부에 의해서 상기 제1 부분상에 제2 부분을 형성하는 공정을 갖는 것을 특징으로 하는 반도체 집적회로 장치의 조립방법.

청구항 75.
제67항에 있어서,
상기 금불을 형성하는 공정전에 상기 반도체칩의 외부단자상에 제2 금볼을 형성하는 공정을 갖고 있고, 상기 금볼은 상기 제2 금볼상에 형성하는 것을 특징으로 하는 반도체 집적회로 장치의 조립방법.

청구항 76.
제67항에 있어서,
상기 금볼의 제2 부분에서 상기 기판의 전극의 각각을 변형시키는 공정에 있어서, 상기 제2 부분을 상기 기판의 전극의 각각에 매립하는 것을 특징으로 하는 반도체 집적회로 장치의 조립방법.

청구항 77.
주면에 집적회로 및 여러개의 외부단자가 형성된 반도체칩을 준비하는 공정,
주면에 여러개의 전극 및 한쪽끝이 상기 전극과 전기적으로 접속된 여러개의 배선이 형성된 기판을 준비하는 공정,
상기 반도체칩의 외부단자의 각각의 상부에 제1 금볼을 형성하는 공정,
상기 제1 금볼의 각각의 상부에 제1 부분과 상기 제1 부분에 비해 반도체칩의 주면방향의 직경이 작은 제2 부분을 상기 제1 부분상에 갖는 제2 금볼을 형성하는 공정,
상기 기판의 전극의 각각의 표면을 금으로 덮는 공정 및

상기 제2 금볼에 열을 가함과 동시에 상기 제2 금볼의 제2 부분을 상기 금으로 덮인 기판의 전극에 압착해서 상기 금볼과 상기 기판의 전극을 전기적으로 접속하는 공정으로 이루어지는 반도체 집적회로 장치의 조립방법.

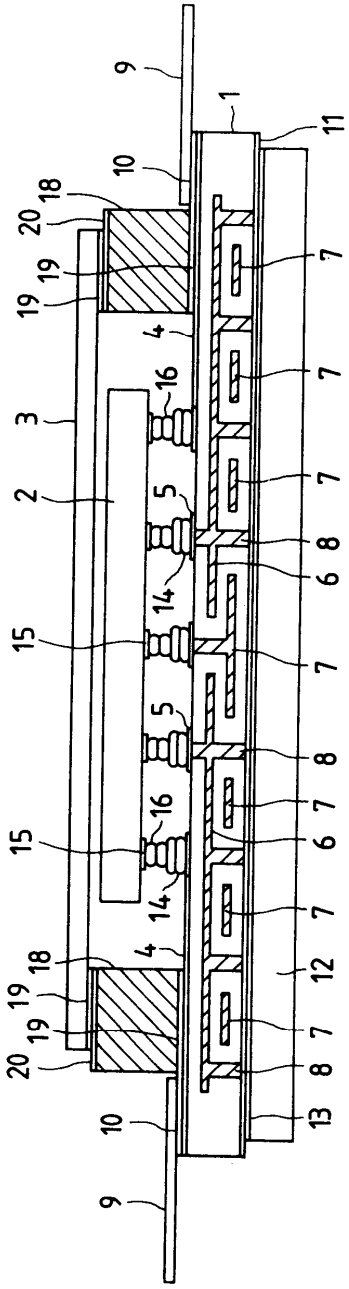
청구항 78.

제77항에 있어서,

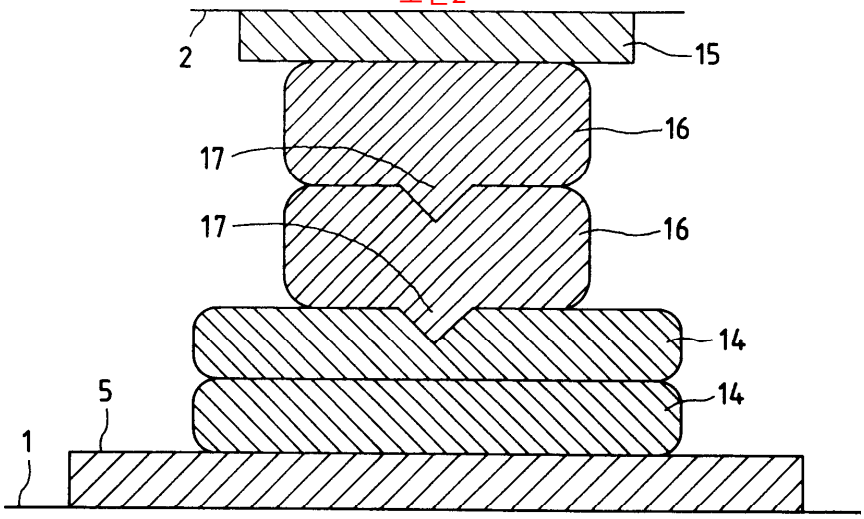
상기 금볼과 상기 기판의 전극을 전기적으로 접속하는 공정에 있어서, 상기 제2 부분에서 상기 기판의 전극의 각각을 변형시키는 것을 특징으로 하는 반도체 집적회로 장치의 조립방법.

도면

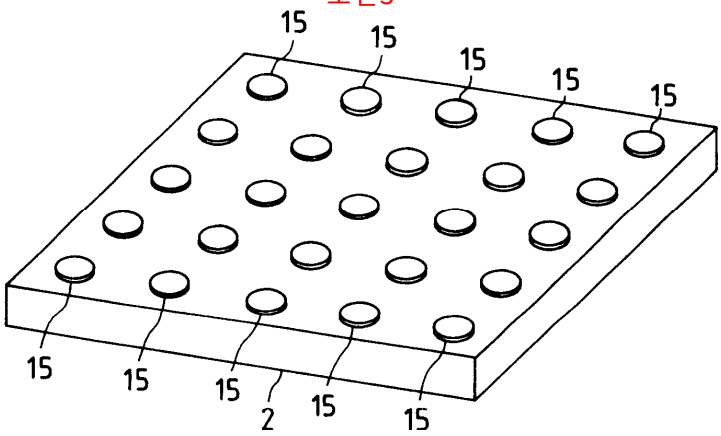
도면1



도면2

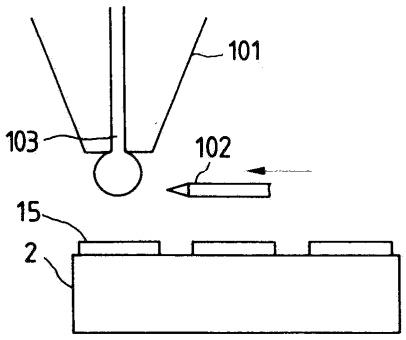


도면3

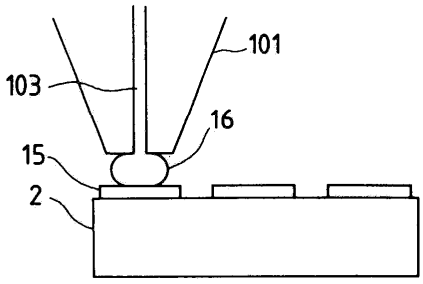


도면4

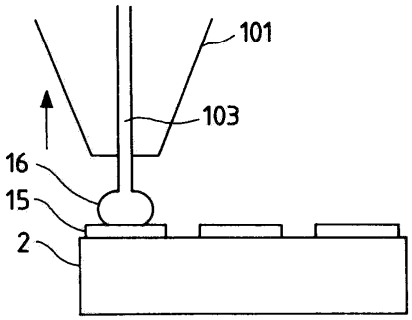
4(a)



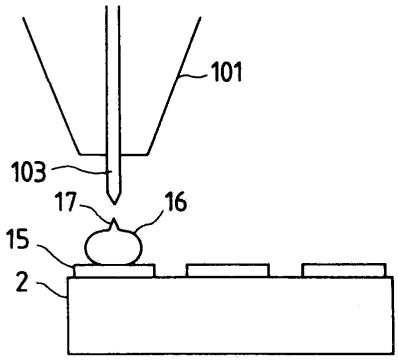
4(b)



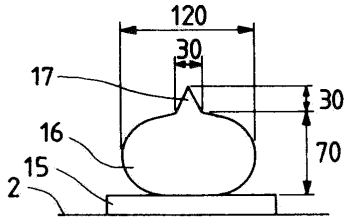
4(c)



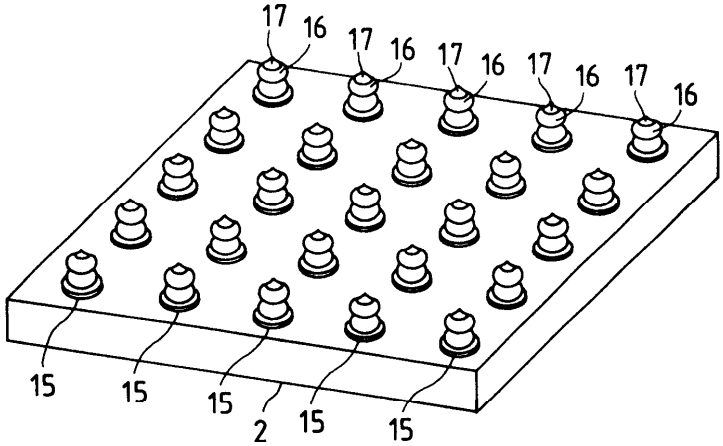
4(d)



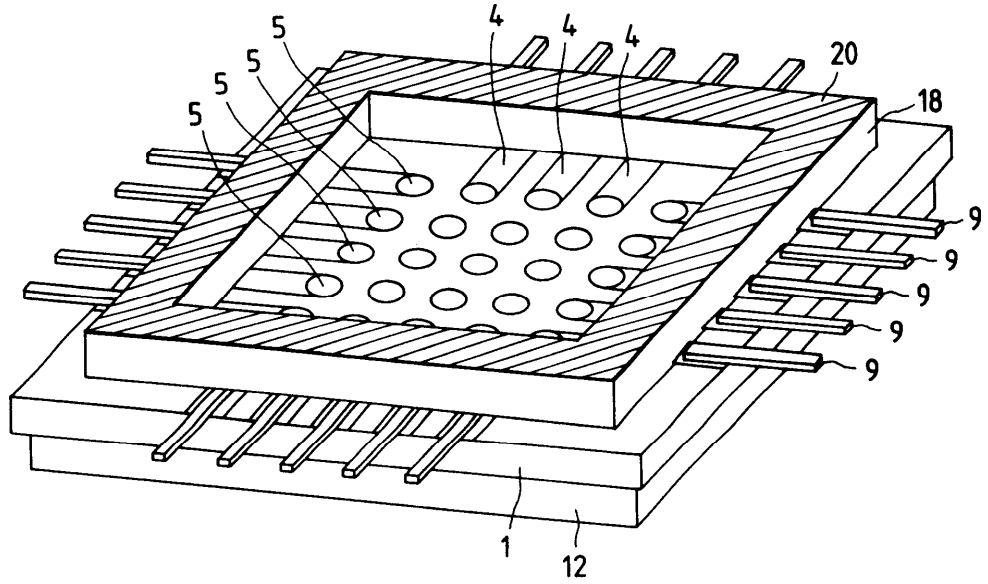
4(e)



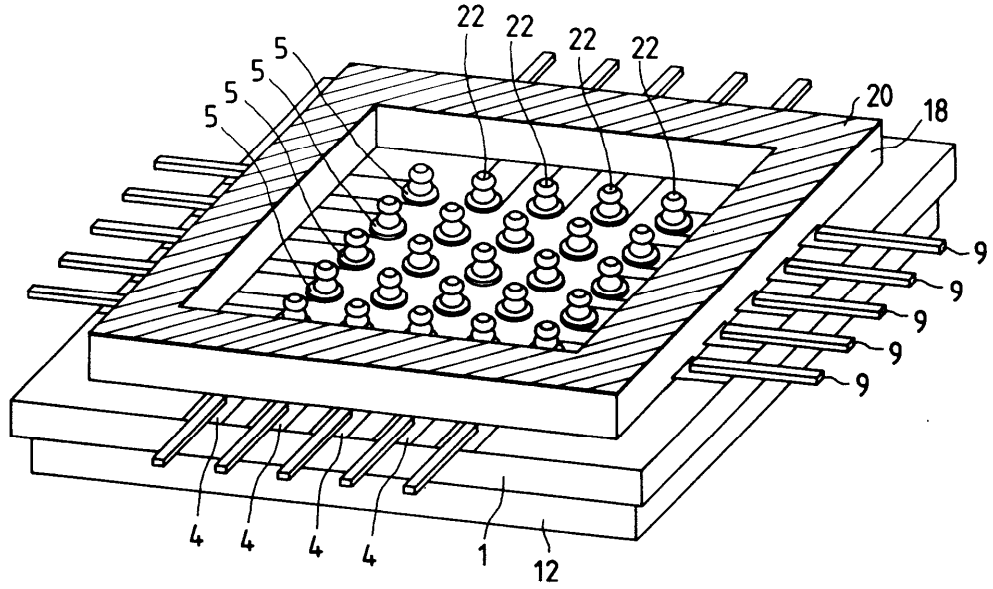
도면5



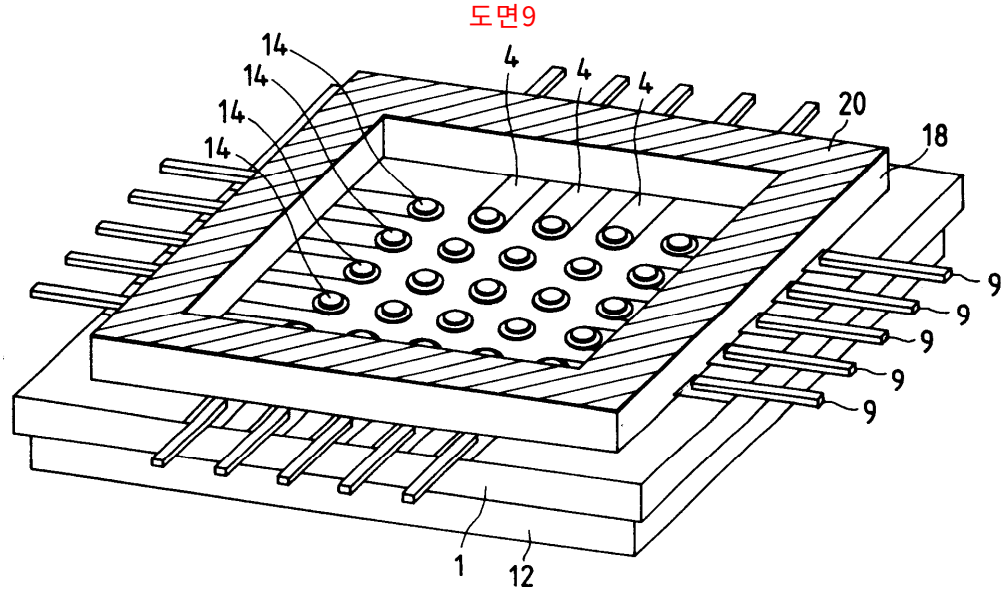
도면6


5
5
5
5
4
4
4
20
18
9
9
9
9
9
1
12

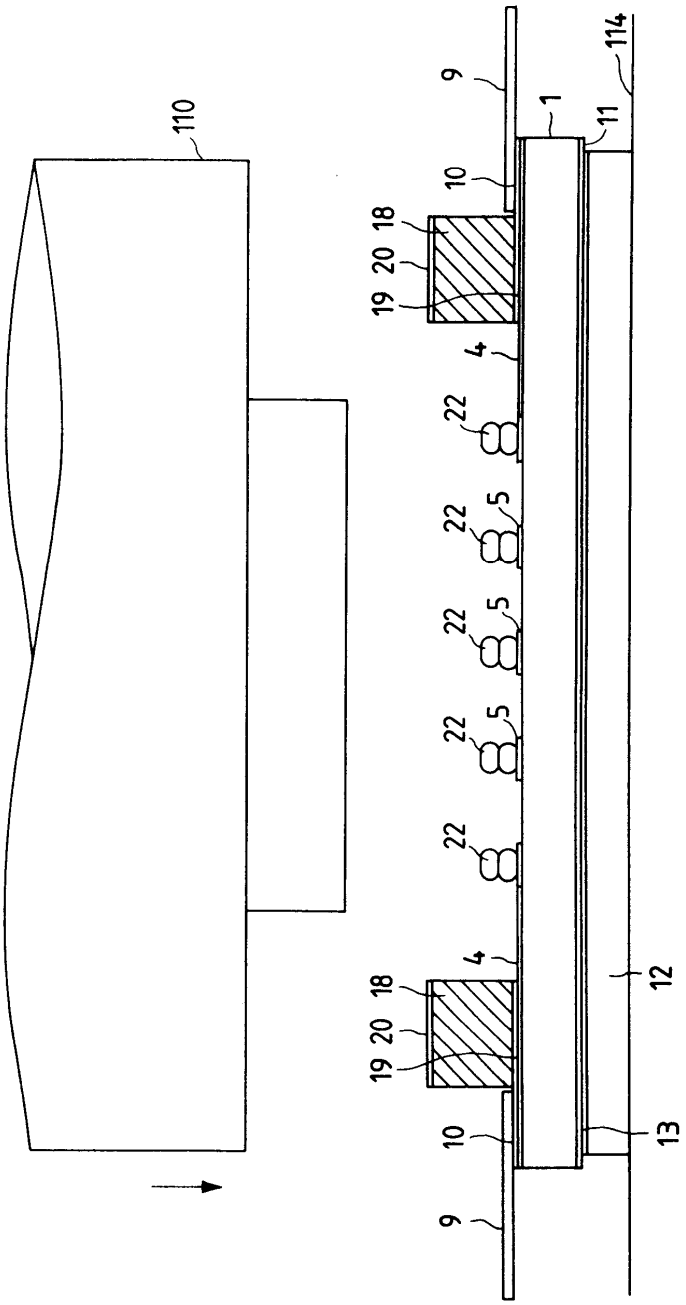
도면7


22
22
22
22
5
5
5
5
20
18
9
9
9
9
9
4
4
4
4
1
12

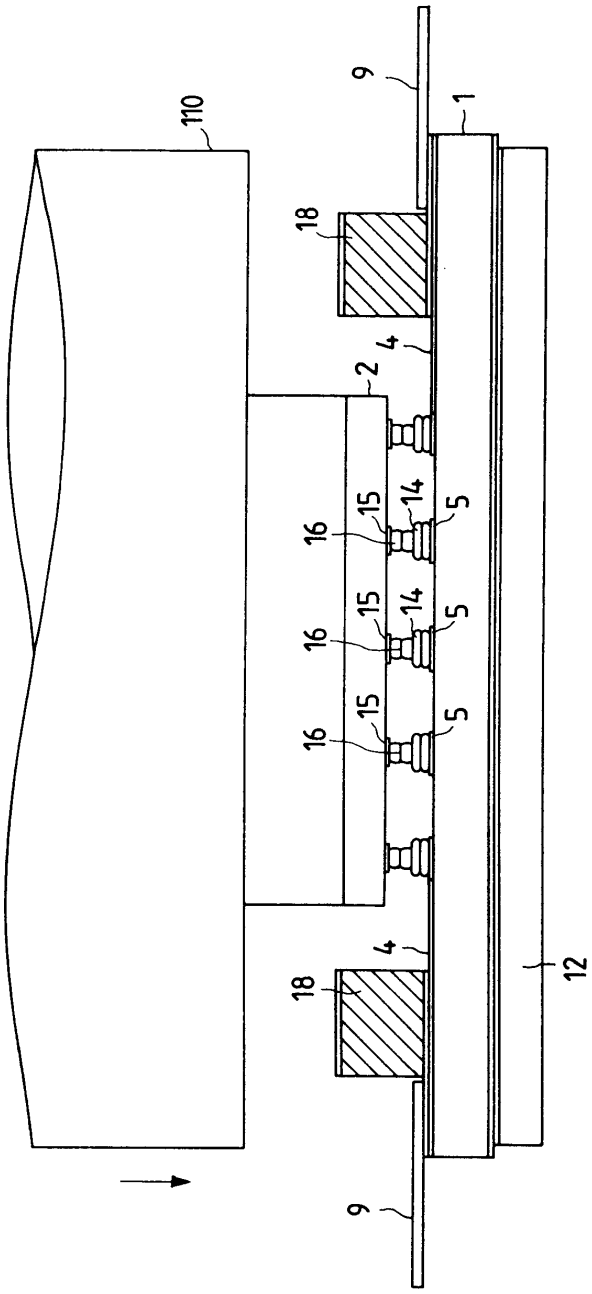
도면9


14
14
14
14
4
4
4
20
18
9
9
9
9
9
1
12

도면8

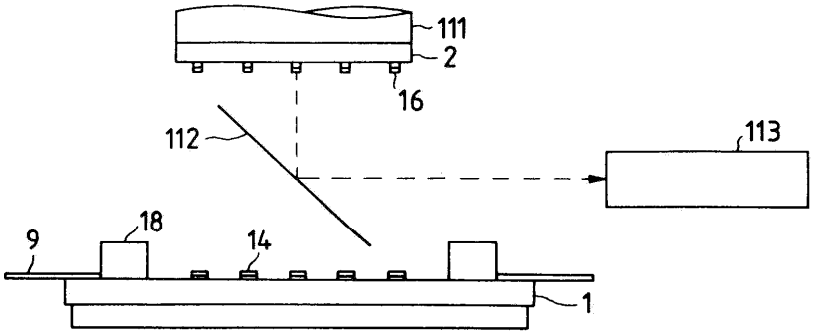


도면10

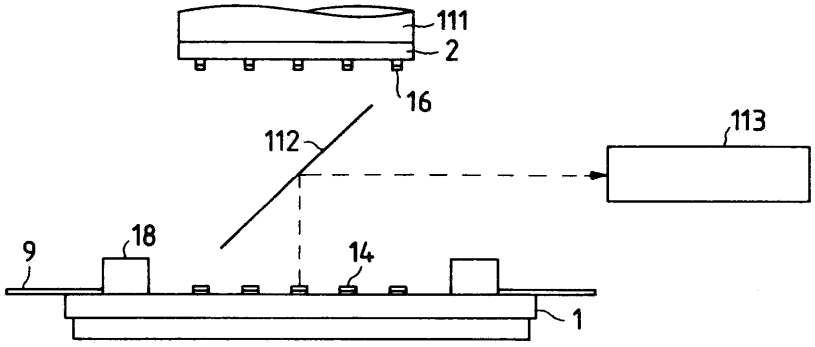


도면11

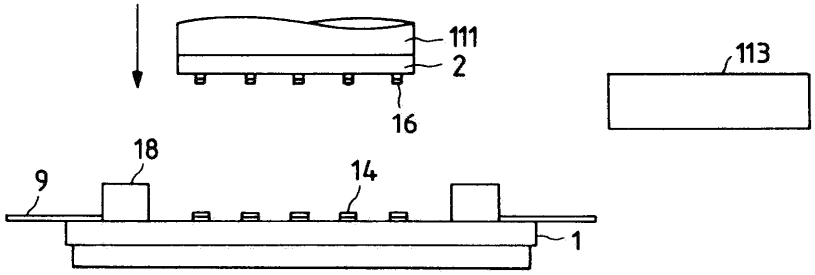
11(a)



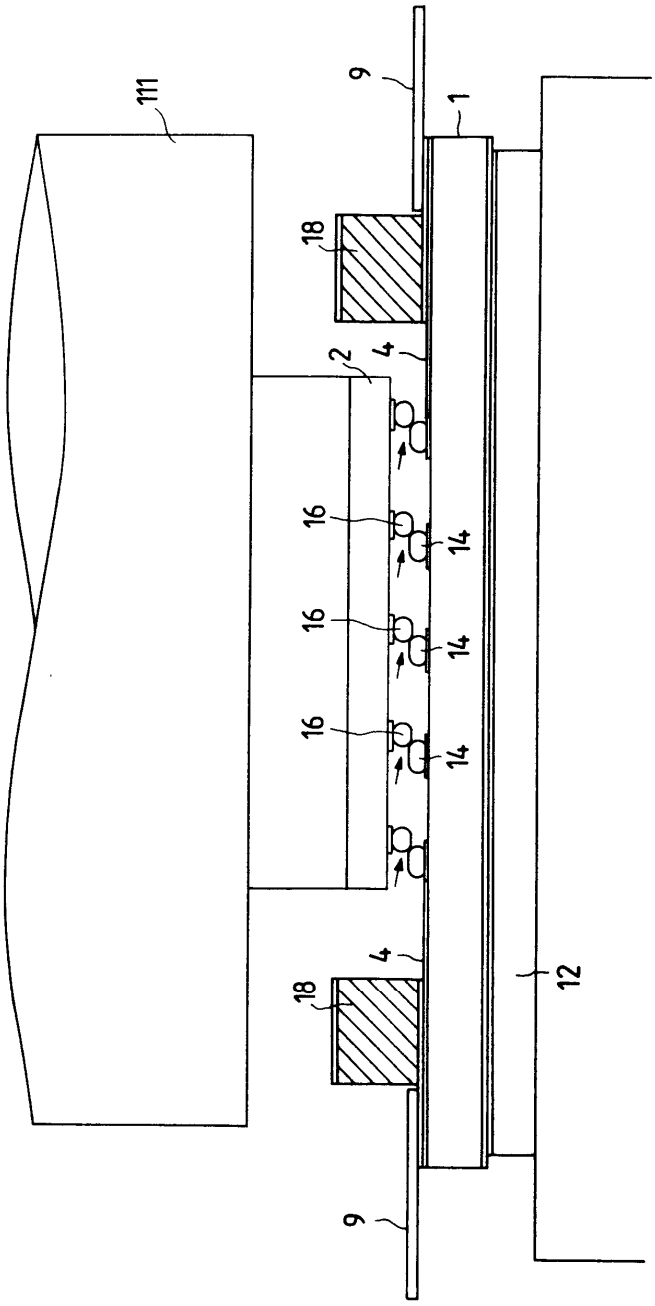
11(b)



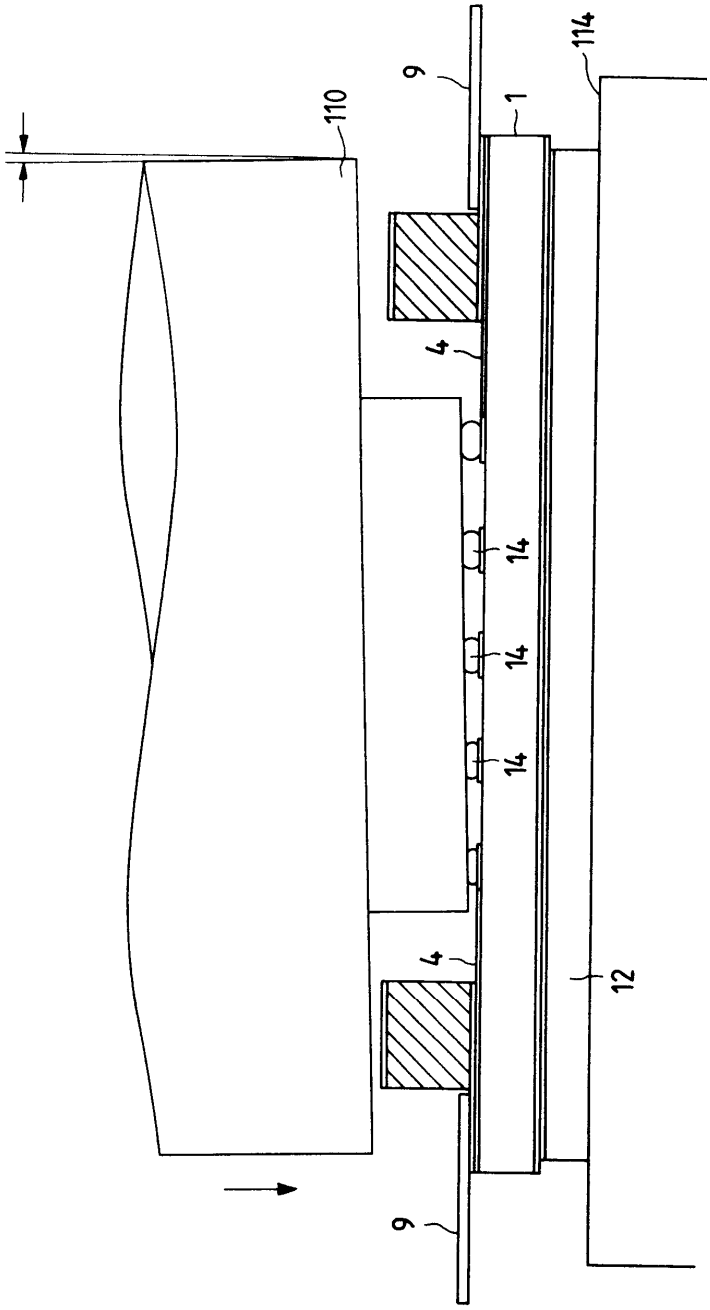
11(c)



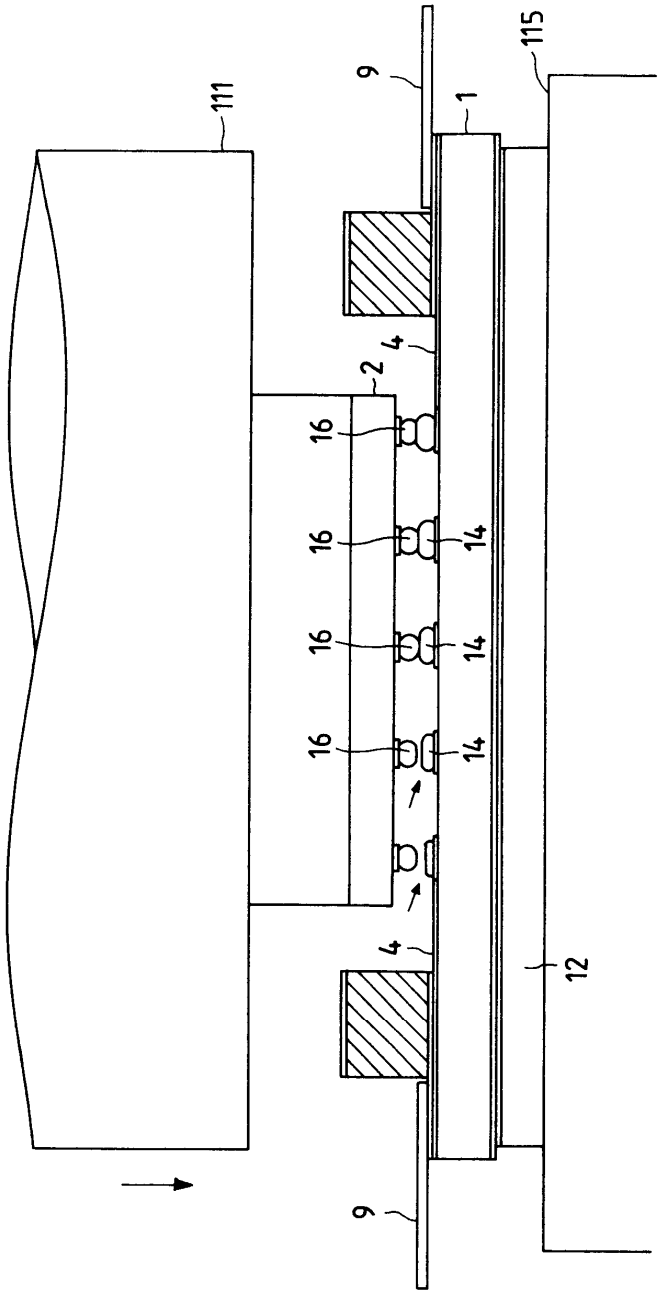
도면12



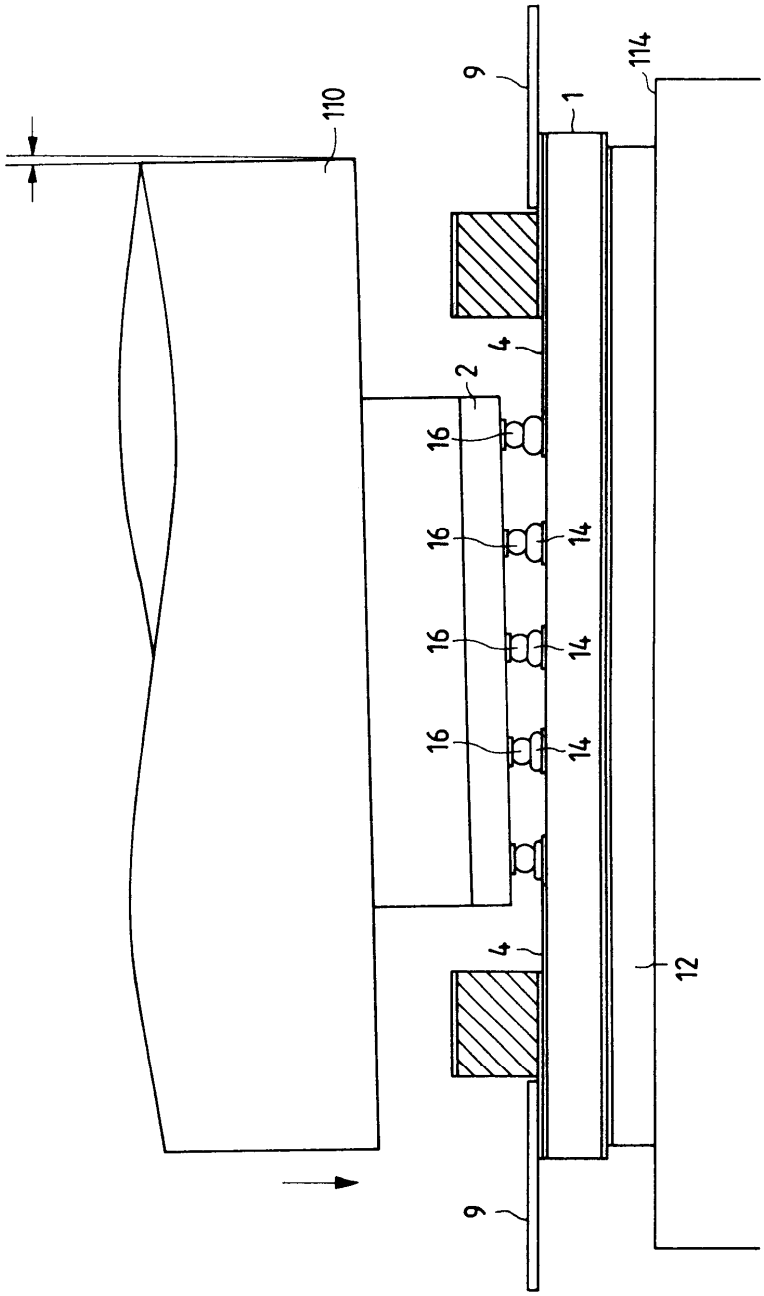
도면13



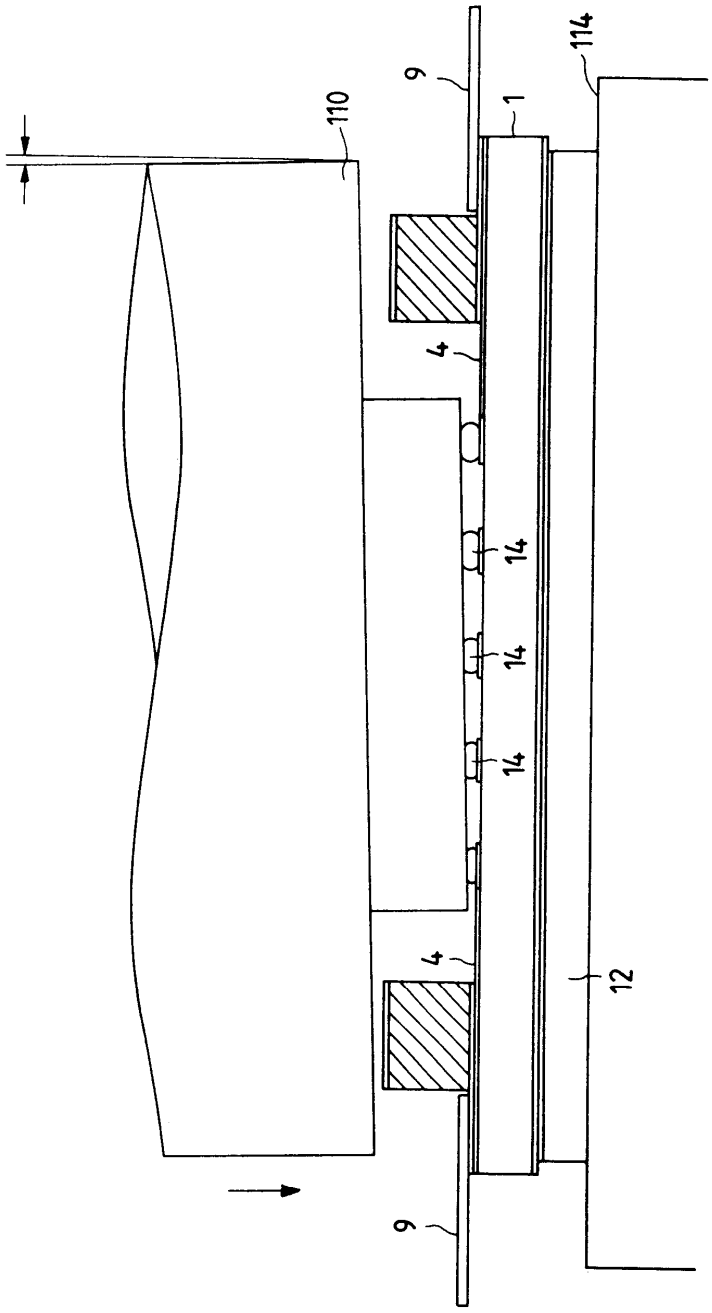
도면14



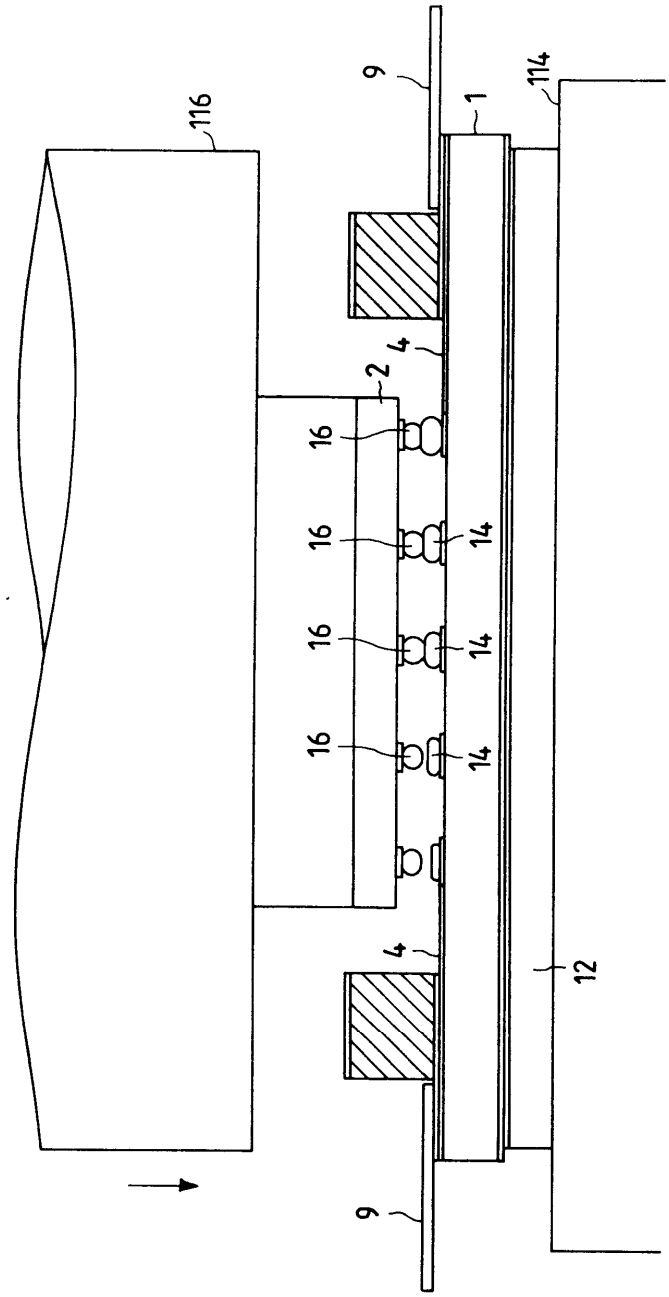
도면15



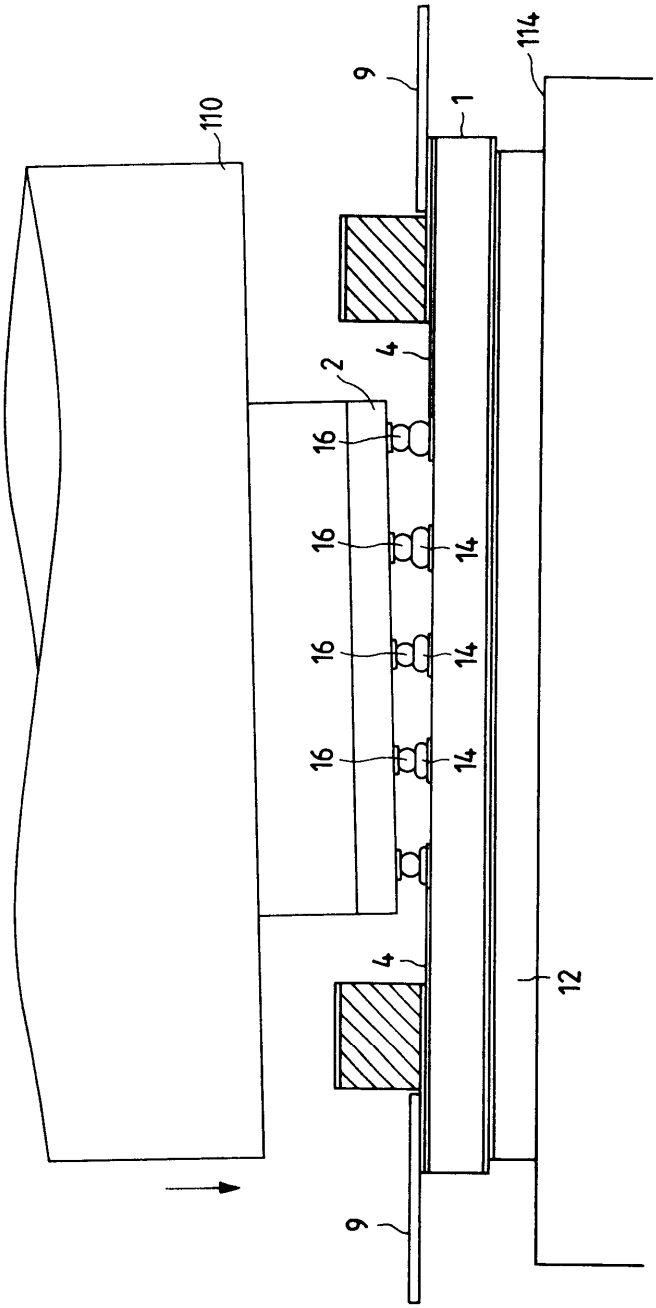
도면16



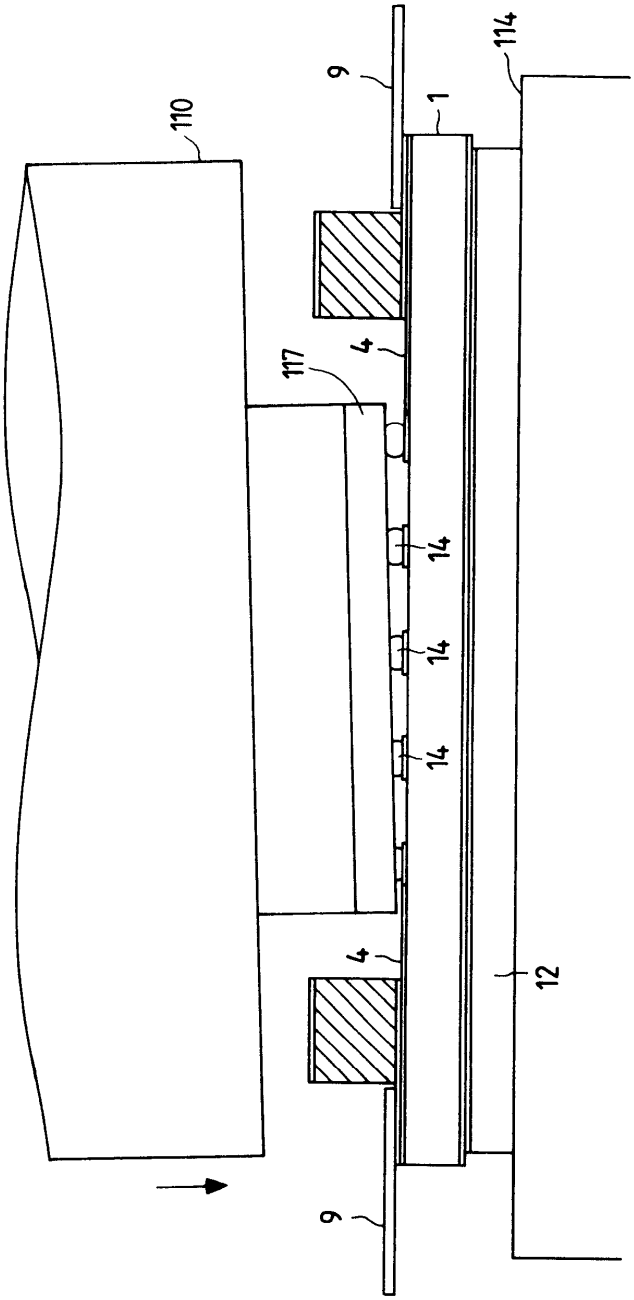
도면17



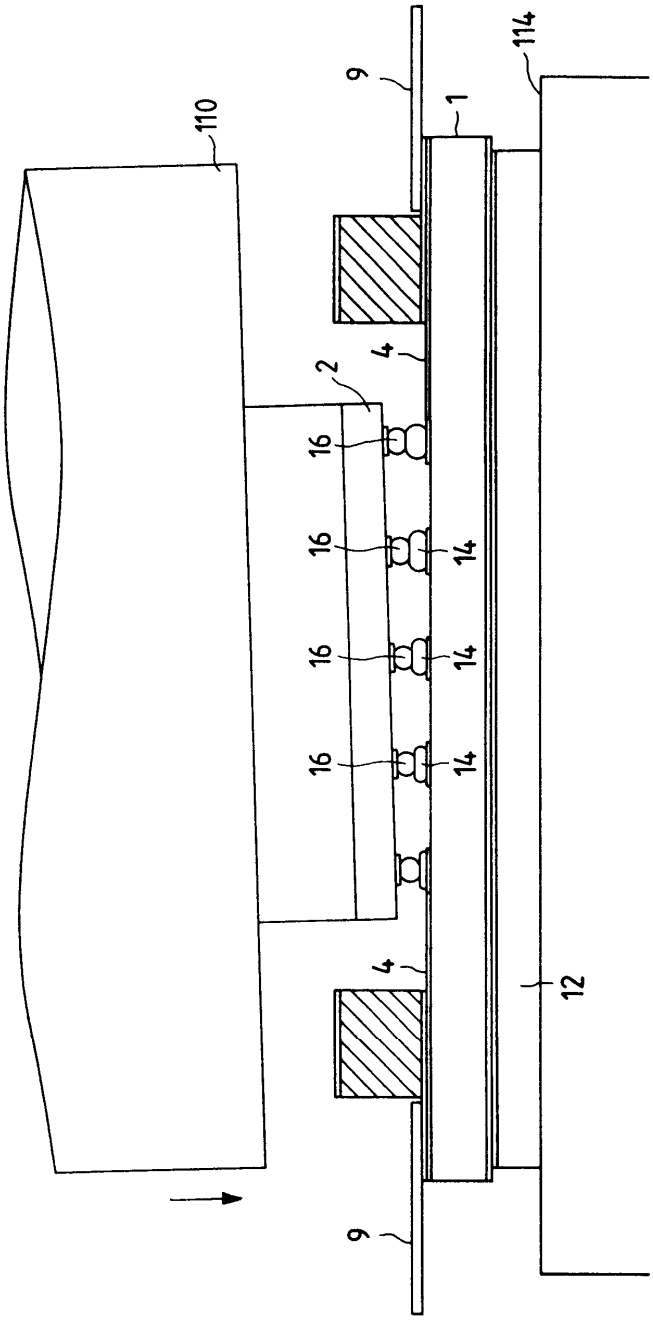
도면18



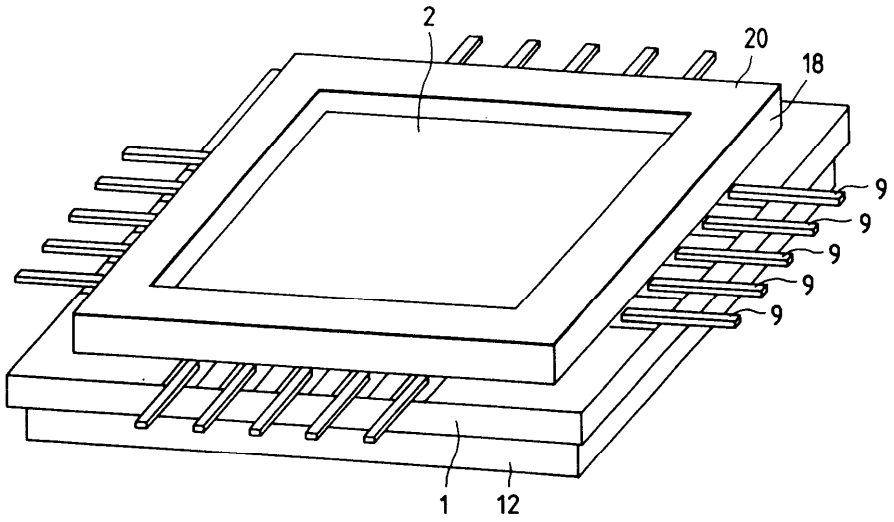
도면19



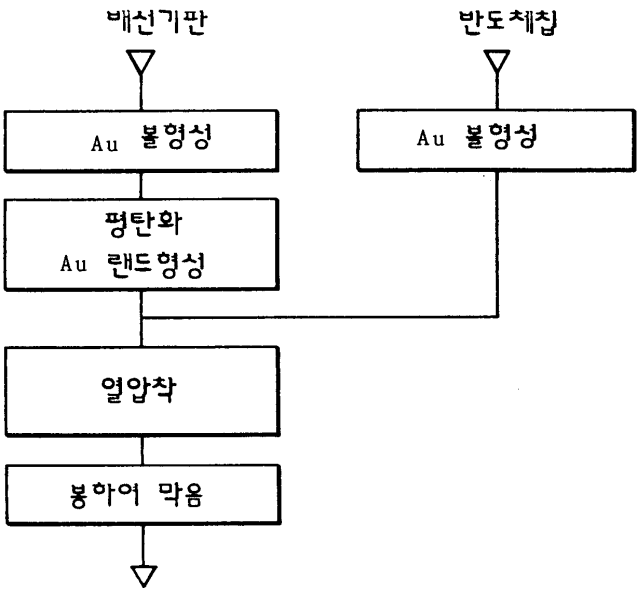
도면20



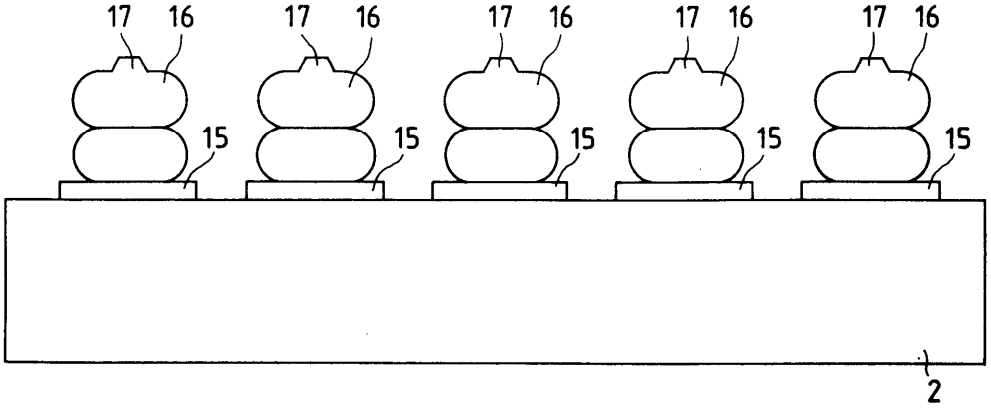
도면21



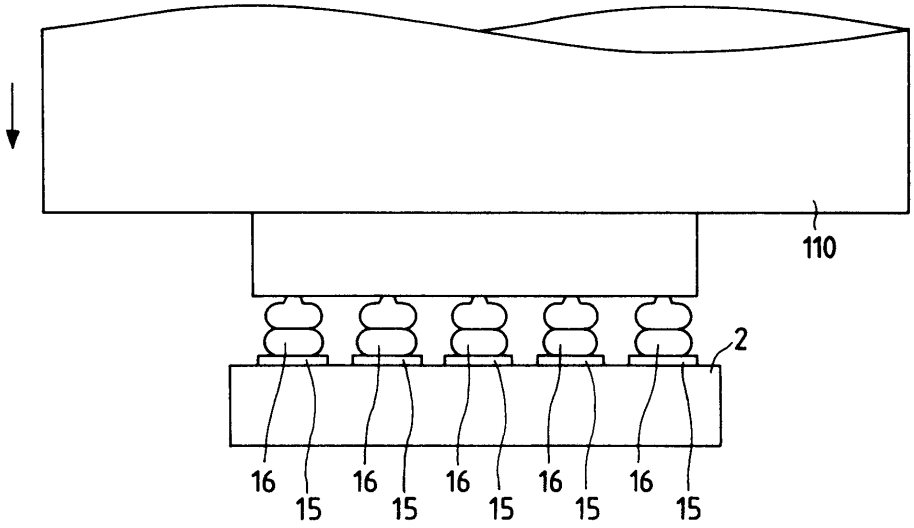
도면22



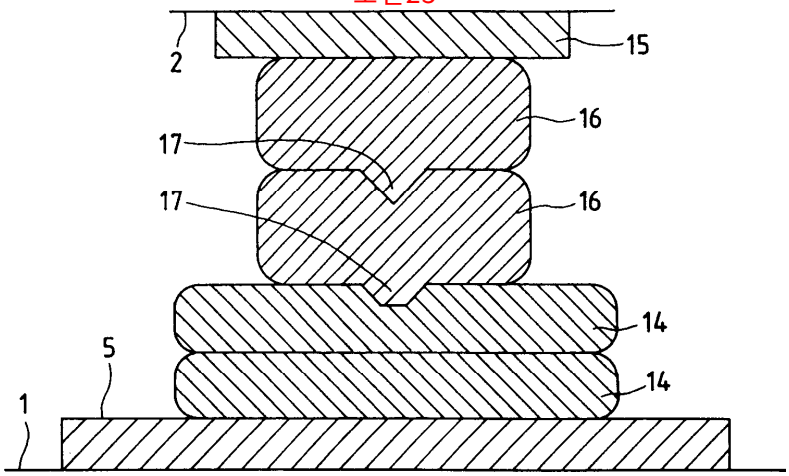
도면23



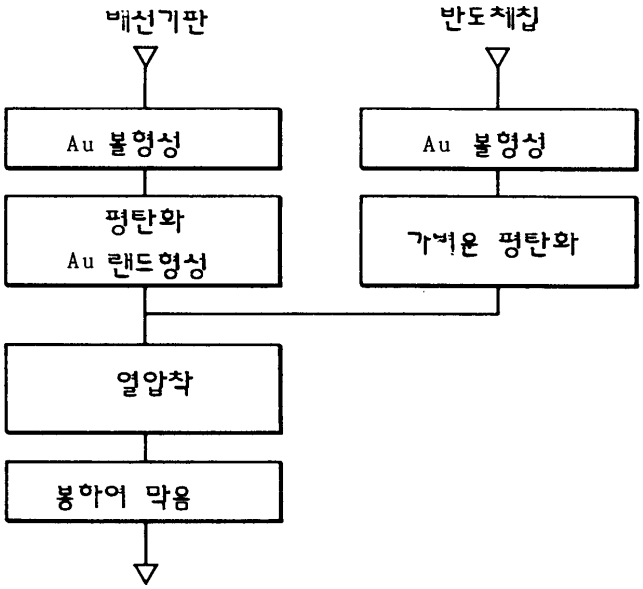
도면24



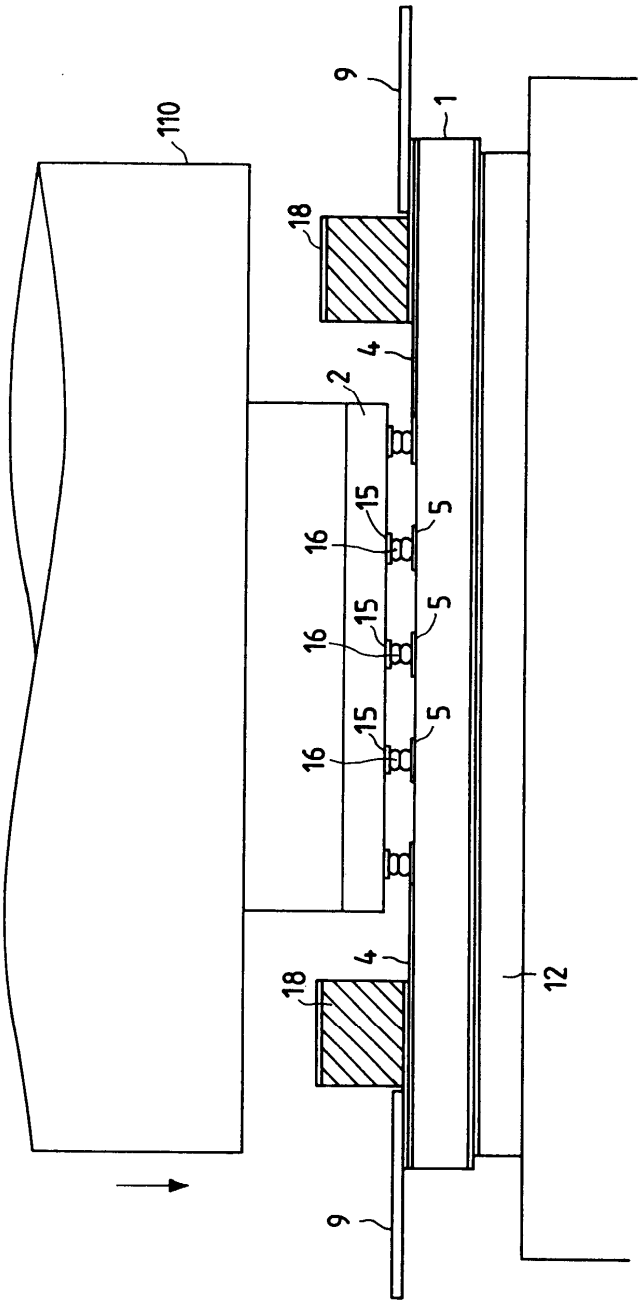
도면25


2
15
16
17
17
16
14
5
14
1

도면26


배선기판
반도체칩
Au 볼형성
Au 볼형성
평탄화
Au 랜드형성
가벼운 평탄화
열압착
봉하여 막음

도면27



도면28

