



(12) 发明专利

(10) 授权公告号 CN 102928889 B

(45) 授权公告日 2016.01.20

(21) 申请号 201210441870.3

CN 201837728 U, 2011.05.18,

(22) 申请日 2012.11.08

CN 101968550 A, 2011.02.09,

(73) 专利权人 中国矿业大学

CN 202033481 U, 2011.11.09,

地址 221116 江苏省徐州市大学路1号中国  
矿业大学科技处

CN 202513937 U, 2012.10.31,

审查员 朱艳华

(72) 发明人 姜志海 陈茂才 王健 刘树才  
易洪春 吴国庆

(74) 专利代理机构 江苏圣典律师事务所 32237

代理人 程化铭

(51) Int. Cl.

G01V 3/30(2006.01)

(56) 对比文件

CN 102252827 A, 2011.11.23,

CN 201412183 Y, 2010.02.24,

CN 101364346 A, 2009.02.11,

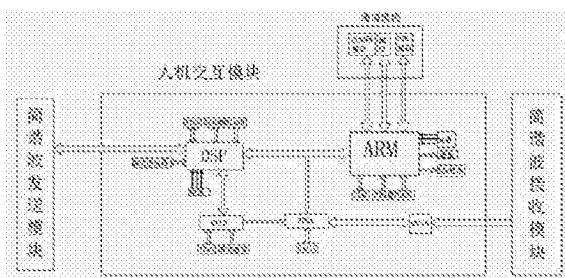
权利要求书1页 说明书4页 附图15页

(54) 发明名称

一体式无线电波透视勘探仪

(57) 摘要

一种一体式无线电波透视勘探仪，属于地球物理无线电波透视勘探仪。包括发射模块、接收模块、人机交换模块和通信模块；发射模块功能是发射无线电波信号；接收模块功能是接收无线电波信号；人机交换模块功能是实现系统参数的设定，数据的实时显示和存储，并对采集到的信号进行转换处理；通信模块功能是承担无线电波透视仪与电脑微机通讯的任务；该一体式无线电波透视仪通过互发信号来实现井下通信，从而确定是否开始测量工作。测量完成后，接收端变为发射端，发射端改为接收端，再反过来测量一遍，从巷道双方进行探测，综合分析结果，便可全方位的探测到异常体的形态。具有缓存容量大、集成度高、可靠性强、抗干扰能力强、采集过程迅速准确。



1. 一种一体式无线电波透视勘探仪,其特征在于:该一体式无线电波透视勘探仪:简谐波接收模块接收到的信号通过 ADC 模块的输出端与 FPGA 模块的输入端连接,ADC 模块与 FPGA 模块进行双向通信;FPGA 模块与 DSP 模块及 ARM 处理器连接,互相传输数据, FPGA 模块与 CPLD 模块连接;DSP 模块与自身配套的 FLASH 及 SDRAM 连接, DSP 模块与简谐波发送模块连接,DSP 模块与 CPLD 模块进行双向通信;ARM 处理器与键盘和 LCD 显示屏连接, 键盘进行参数输入、LCD 显示屏进行显示, ARM 处理器与自身配套的 FLASH 及 SDRAM 连接, ARM 处理器与以太网接口、串口、USB 接口连接, 通过以太网接口、串口、USB 接口与电脑进行数据传输, 通过嵌入 Linux 操作系统来便于对整个仪器的控制;CPLD 模块实现地址空间分配, 提高对大容量的 FLASH 支持和对其它外设提供地址空间;

所有的 FLASH 及 SDRAM 用于高速大容量存储;

ARM 处理器、DSP 模块、CPLD 模块和 FPGA 模块对采集到的信号进行处理;FPGA 模块实现对所述 ADC 模块的控制及其数据与所述 DSP 模块的交换;所述 DSP 模块现实对数字信号的处理与转换;承担人工操作与数据传输控制的任务;

JTAG 接口实现为 CPLD 模块、DSP 模块、ARM 处理器下载对应程序的功能;

USB 通讯模块、RS-232 通讯模块和以太网通信模块承担一体式无线电波透视勘探仪与电脑通讯。

## 一体式无线电波透视勘探仪

### 技术领域

[0001] 本发明涉及一种地球物理无线电波透视勘探仪，具体涉及一种一体式无线电波透视勘探仪。

### 背景技术

[0002] 无线电波透视法是指电磁波在地下岩层中传播时，由于各种岩、矿石电学性质的不同，它们对电磁波能量吸收不同，低阻岩层对电磁波具有较强的吸收作用，当波前进方向遇到断裂构造所出现的界面时，电磁波将在界面上产生反射和折射作用，也造成能量的损耗，致使接收巷道中的电磁波信号十分微弱甚至接收不到透射信号，形成所谓的透射异常，即为所要探测异常体的位置和范围。无线电波透视技术是一种比较先进的物探手段，能够对工作面内的地质构造进行有效探测且可靠程度较高。在目前的井下无线电波透视勘探工作中，发射仪与接收仪分开，一边发射在另一边接收的单方向工作方式不能完全的探得异常体的形态，工作时不能相互通信，发射端无法得知接收端是否就位，若因发射与接受不同步会造成测量数据的失真。

### 发明内容

[0003] 本发明的目的是要提供一种一体式无线电波透视勘探仪，解决目前的井下无线电波透视勘探工作中，发射仪与接收仪分开，一边发射在另一边接收的单方向工作方式不能完全的探得异常体的形态，工作时不能相互通信的问题。

[0004] 本发明的目的是这样实现的：该一体式无线电波透视仪：接收模块接收到的信号通过 ADC 模块的输出端与 FPGA 模块的输入端连接，ADC 模块与 FPGA 模块进行双向通信；FPGA 模块与 DSP 模块及 ARM 处理器连接，互相传输数据，FPGA 模块与 CPLD 模块连接；DSP 模块与 FLASH 及 SDRAM 连接，进行高速大容量存储，DSP 模块与简谐波发送模块连接，DSP 模块与 CPLD 模块，进行双向通信；ARM 处理器与键盘和 LCD 显示屏连接，键盘进行参数输入、LCD 显示屏进行显示，ARM 处理器与 FLASH 及 SDRAM 连接，FLASH 及 SDRAM 用于高速大容量存储，ARM 处理器与以太网接口、串口、USB 接口连接，通过以太网接口、串口、USB 接口与电脑进行数据传输，通过嵌入 Linux 操作系统来便于对整个仪器的控制；CPLD 模块实现地址空间分配，提高对大容量的 FLASH 支持和对其它外设提供地址空间。

[0005] 有益效果，由于采用了上述方案，该一体式无线电波透视仪的信号通过 ADC 接收并将数据传递给 FPGA 模块（现场可编程门阵列）。FPGA 模块与 DSP 模块（数字信号处理器）及 ARM 模块（微处理器）互相传输数据。其中 DSP 模块主要用于对数字信号进行处理，配备有专用的 FLASH 及 SDRAM 来进行高速大容量存储。ARM 处理器（微处理器）作为控制核心，配备有键盘来进行参数输入、LCD 显示屏来进行显示及专用的 FLASH 及 SDRAM（同步动态随机存储器）来进行高速大容量存储，并可通过以太网接口、串口、USB 接口与微机进行数据传输，通过嵌入 Linux 操作系统来便于对整个仪器的控制。CPLD 模块（复杂可编程逻辑器件）功能是实现地址空间分配，提高对大容量的 FLASH 支持和对其它外设提供地址空间。JTAG

接口实现为 CPLD 模块、DSP 模块、ARM 处理器下载对应程序的功能。

[0006] ARM 处理器、DSP 数字信号处理器、CPLD 模块和 FPGA 模块,是对采集到的信号进行处理。FPGA 模块功能是实现对信号采集模块和发送模块的控制 ;CPLD 模块功能是实现地址空间分配,提高对大容量的 FLASH 支持和对其它外设提供地址空间 ;DSP 数字信号处理器功能是对数字信号的处理与转换 ;ARM 处理器嵌入 Linux 操作系统,承担人工操作与数据传输控制的任务。

[0007] 所述的通信模块为 USB 通讯模块、RS-232 通讯模块和以太网通信模块,功能是承担一体式无线电波透视仪与电脑通讯的任务。

[0008] 采用一体式无线电波透视仪可以在接收端就位后由其发射一个脉冲信号,发射端接收到脉冲信号后便可开始双方向的工作,通过互发信号来实现井下通信,确定是否开始测量工作,探测异常体的形态 ;测量完成后,接收端变为发射端,发射端改为接收端,再反过来测量一遍,从巷道双方进行探测,综合分析结果,便可全方位的探测到异常体的形态。解决了目前的井下无线电波透视勘探工作中,发射仪与接收仪分开,一边发射在另一边接收的单方向工作方式不能完全的探得异常体的形态,工作时不能相互通信的问题,达到了本发明的目的。

[0009] 优点 :具有缓存容量大、集成度高、可靠性强、抗干扰能力强、采集过程迅速准确、应用前景广泛的优点。

## 附图说明

- [0010] 图 1 为本发明的系统结构框图。
- [0011] 图 2 为本发明的模拟信号与数字信号转换电路图。
- [0012] 图 3 为本发明的 FPGA 控制 ADC 与 DAC 电路图。
- [0013] 图 4 为本发明的 CPLD 接口电路图与 JTAG 下载电路图。
- [0014] 图 5 为本发明的 CPLD 电源引脚滤波电容电路图。
- [0015] 图 6 为本发明的 DSP 控制的简谐波发送模块图。
- [0016] 图 7 为本发明的简谐波接收模块图。
- [0017] 图 8 为本发明的 ARM 与 LCD 显示屏接口电路和键盘操作电路图。
- [0018] 图 9 为本发明的 ARM 地址总线与数据总线电路图。
- [0019] 图 10 为本发明的 ARM 外置 FLASH 连接电路图。
- [0020] 图 11 为本发明的 ARM 外置 SD-RAM 连接电路图。
- [0021] 图 12 为本发明的 ARM 控制的以太网接口传输电路和 JTAG 下载电路图。
- [0022] 图 13 为本发明的以太网网口电路图。
- [0023] 图 14 为本发明的 ARM 外置 USB 接口电路图。
- [0024] 图 15 为本发明的 ARM 连接串口电路图。
- [0025] 图 16 为本发明的 ARM 电源引脚滤波电路图。
- [0026] 图 17 为本发明的 DSP 的 JTAG 电路图。
- [0027] 图 18 为本发明的分频电路图。
- [0028] 图 19 为本发明的 DSP 电源引脚滤波电路图。
- [0029] 图 20 为本发明的供电电源电路图。

- [0030] 图 21 为本发明的 DSP 的外部数据总线与地址总线图。
- [0031] 图 22 为本发明的 DSP 外接 SD-RAM 电路图。
- [0032] 图 23 为本发明的 DSP 外接 FLASH 电路图。
- [0033] 图 24 为本发明的 DSP 通信电路图。
- [0034] 图 25 为本发明的 DSP32 位数据交换总线图。
- [0035] 图 26 为本发明的 DSP 启动项选择电路图。

## 具体实施方式

[0036] 为了使本发明实现的技术手段、创作特征、达成目的易于明白了解，下面结合附图，进一步阐述本发明。

[0037] 实施例 1：该一体式无线电波透视仪为：接收模块接收到的信号通过 ADC 模块的输出端与 FPGA 模块的输入端连接，所述的 FPGA 模块为现场可编程门阵列，ADC 模块与 FPGA 模块进行双向通信；FPGA 模块与 DSP 模块及 ARM 处理器连接，互相传输数据，FPGA 模块与 CPLD 模块连接，所述的 DSP 模块为数字信号处理器；所述的 ARM 处理器为微处理器；所述的 CPLD 模块为复杂可编程逻辑器件；DSP 模块与 FLASH 及 SDRAM 连接，所述的 SDRAM 为同步动态随机存储器；进行高速大容量存储，DSP 模块与简谐波发送模块连接，DSP 模块与 CPLD 模块，进行双向通信；ARM 处理器与键盘和 LCD 显示屏连接，键盘进行参数输入、LCD 显示屏进行显示，ARM 处理器与 FLASH 及 SDRAM 连接，FLASH 及 SDRAM 用于高速大容量存储，ARM 处理器与以太网接口、串口、USB 接口连接，通过以太网接口、串口、USB 接口与电脑进行数据传输，通过嵌入 Linux 操作系统来便于对整个仪器的控制；CPLD 模块实现地址空间分配，提高对大容量的 FLASH 支持和对其它外设提供地址空间。JTAG 接口实现为 CPLD 模块、DSP 模块、ARM 处理器下载对应程序的功能。

[0038] 所述的装置包括简谐波发送模块、接收模块、人机交换模块和通信模块：

[0039] 所述的发射模块为简谐波发送模块，主要功能是发射频率在 0.3、0.5、1.5MHz 的简谐波。

[0040] 所述的接收模块为 ADC 模块，主要功能是接收发射模块发射的频率 0.3、0.5、1.5MHz 的简谐波。

[0041] 所述的人机交互模块包括 ARM 处理器、DSP 数字信号处理器、CPLD 模块和 FPGA 模块，主要功能是对采集到的信号进行处理。FPGA 模块功能是实现对信号采集模块和发送模块的控制；CPLD 模块功能是实现地址空间分配，提高对大容量的 FLASH 支持和对其它外设提供地址空间；DSP 数字信号处理器功能是对数字信号的处理与转换；ARM 处理器嵌入 Linux 操作系统，承担人工操作与数据传输控制的任务。

[0042] 所述的通信模块为 USB 通讯模块、RS-232 通讯模块和以太网通信模块，功能是承担一体式无线电波透视仪与电脑上微机通讯的任务。

[0043] ADC 接收到的信号，输入到 FPGA 模块中。经过 FPGA 模块输入到 DSP 模块及 ARM 处理器中。DSP 模块对信号进行处理与转换，并通过 SARAM 与 FLASH 进行大容量快速存储。ARM 处理器作为控制核心，进行对整个仪器的控制，配备有键盘来进行参数输入、LCD 显示屏来进行显示及专用的 FLASH 及 SDRAM 来进行高速大容量存储，并可通过以太网接口、串口、USB 接口与微机进行数据传输。CPLD 模块功能是实现地址空间分配，提高对大容量的 FLASH 支

持和对其它外设提供地址空间。JTAG 接口实现为 CPLD 模块、DSP 模块、ARM 处理器下载对应程序的功能。

[0044] 电源电路设计采用 3.3V 和 1.8v 电源供电,对 ARM 处理器、DSP 模块等进行供电,保证系统的正常运行。

[0045] ARM 处理器采用 STM32F103R6T6 作为控制核心,STM32F103R6T6 以 32 位 Cortex<sup>TM</sup>-M3CPU 内核,时钟频率可达 72MHz,处理速度高达 1.25DMips/MHz,通过嵌入 Linux 操作系统,便于对整个仪器的控制;DSP 采用 TI 生产的高性能信号处理器 TMS320C6202 作为数据信号处理核心,芯片工作频率为 250MHz,指令周期为 4ns,具有超长指令字处理能力;FPGA 模块功能是实现对 ADC 和 DAC 模块的控制及其数据与 DSP 的交换;CPLD 模块功能是实现地址空间分配,提高对大容量的 FLASH 支持和对其它外设提供地址空间。

[0046] 实际工作中,接收端就位后先发射一个脉冲信号,发射端接收到后便可得知接收端就位,开始测量工作。测量完成后,接收端变为发射端,发射端改为接收端,再反过来测量一遍,从巷道双方进行探测,综合分析结果,便可全方位的探测到异常体的形态。

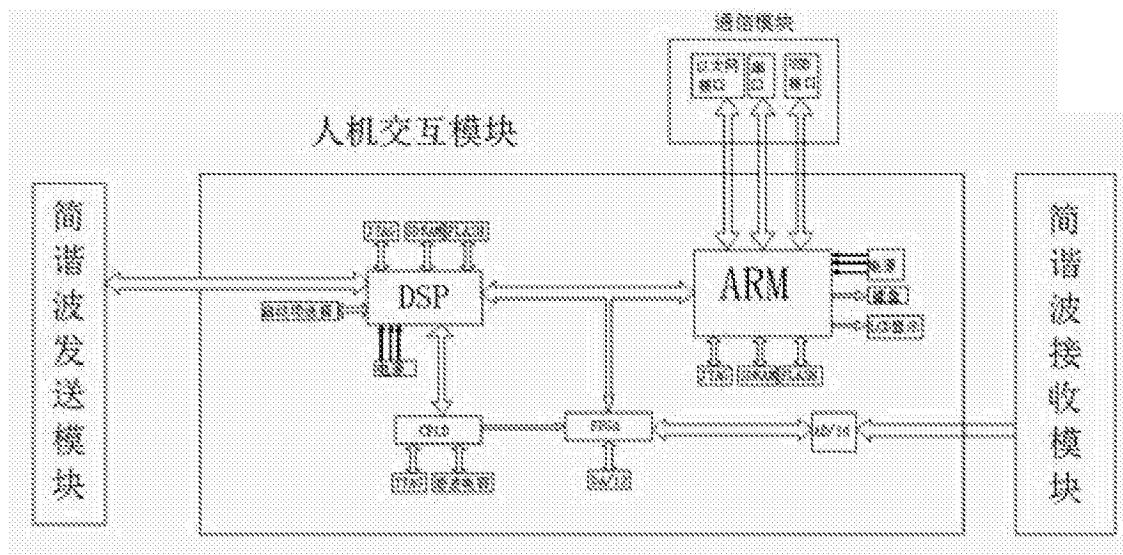


图 1

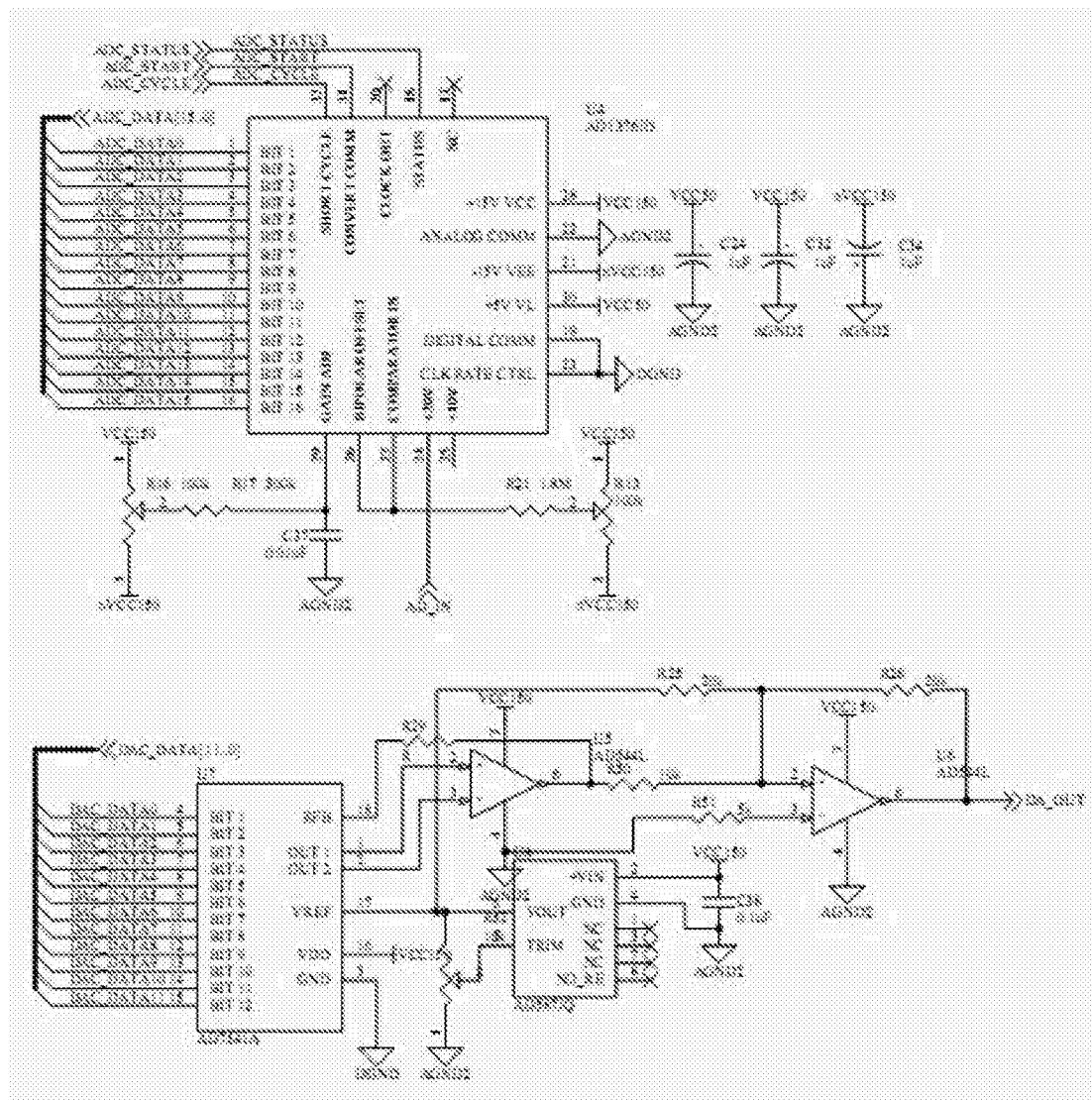


图 2

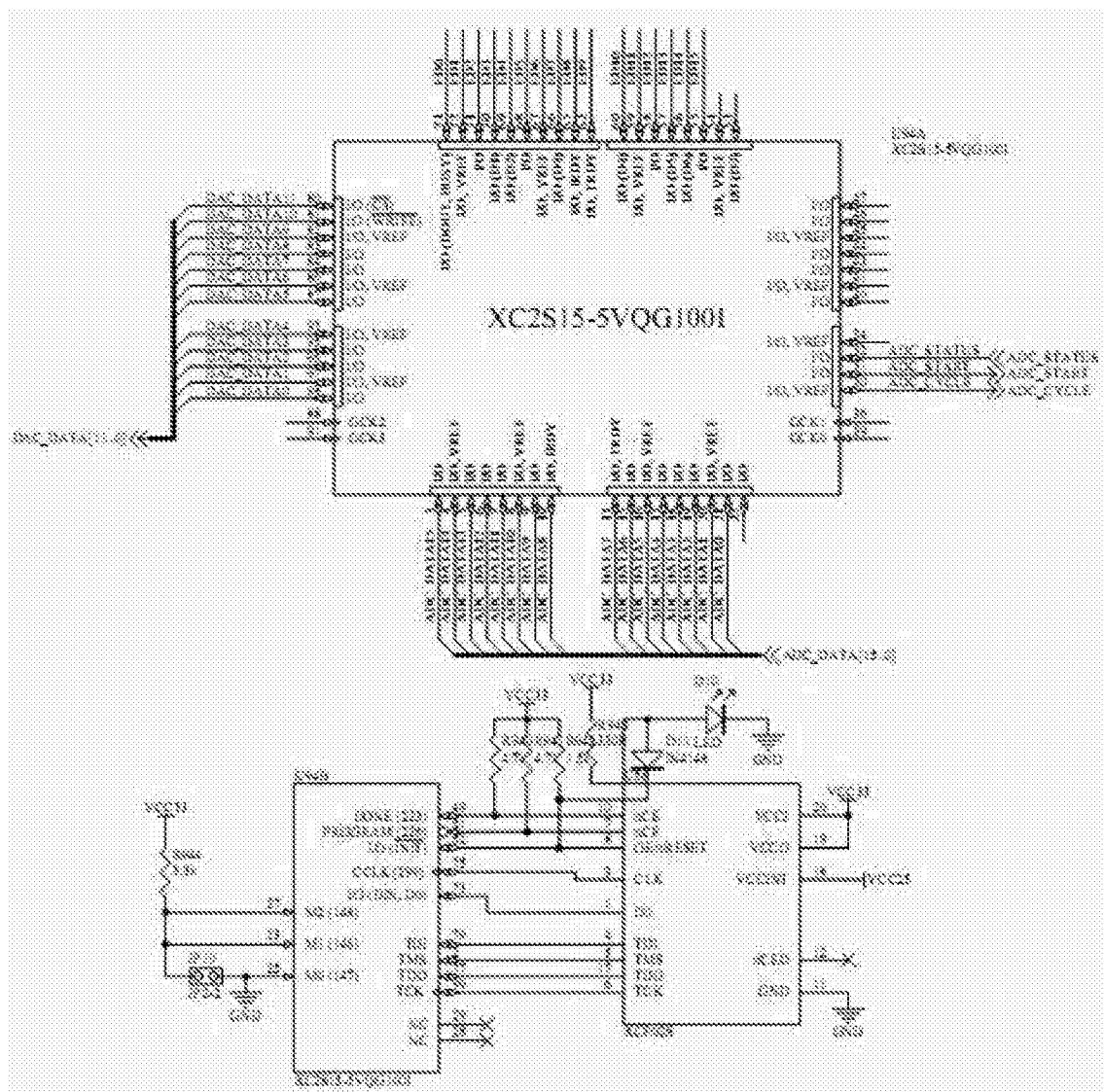


图 3

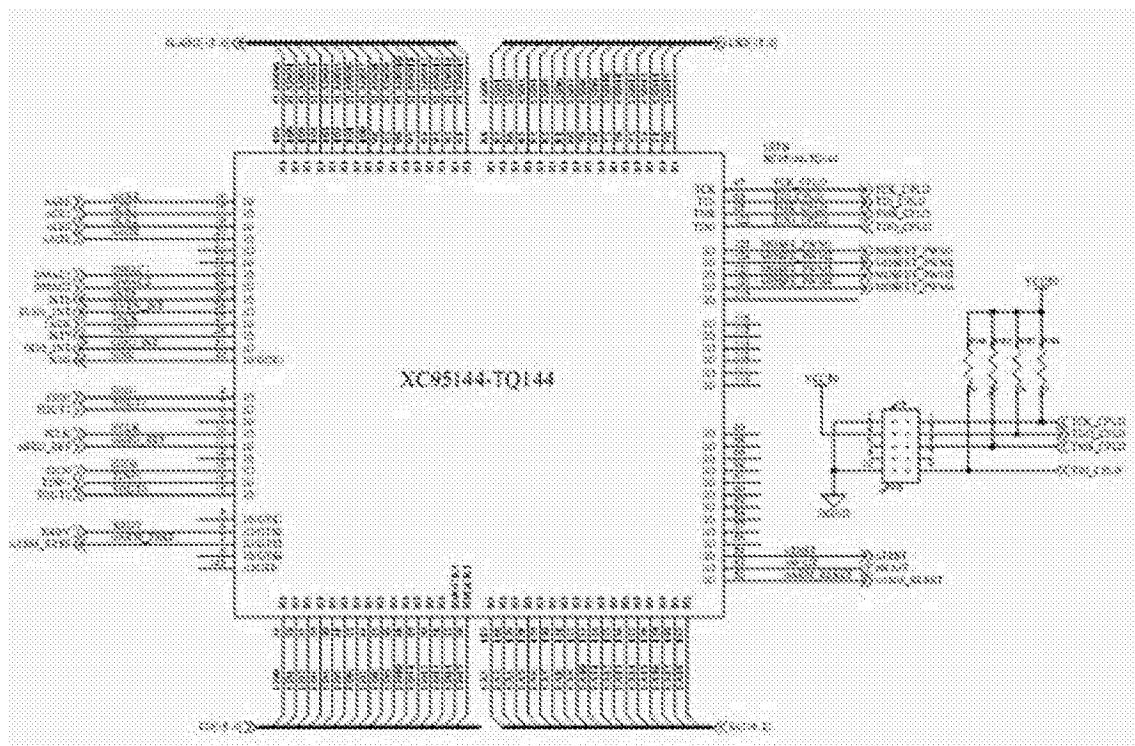


图 4

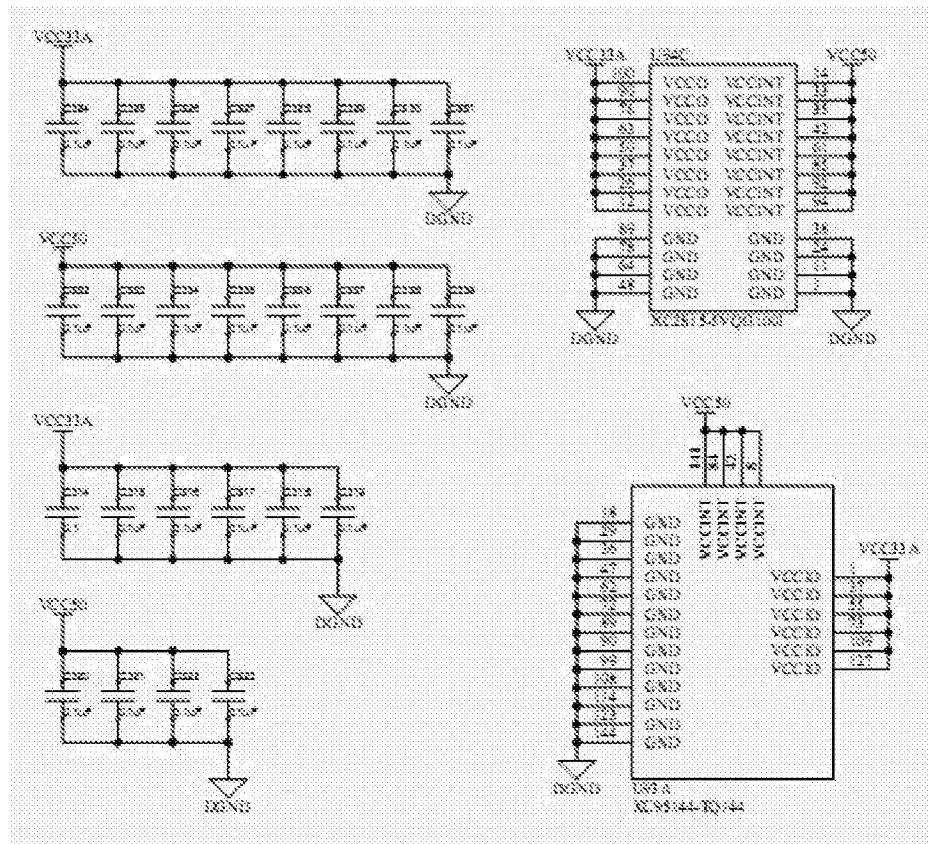


图 5

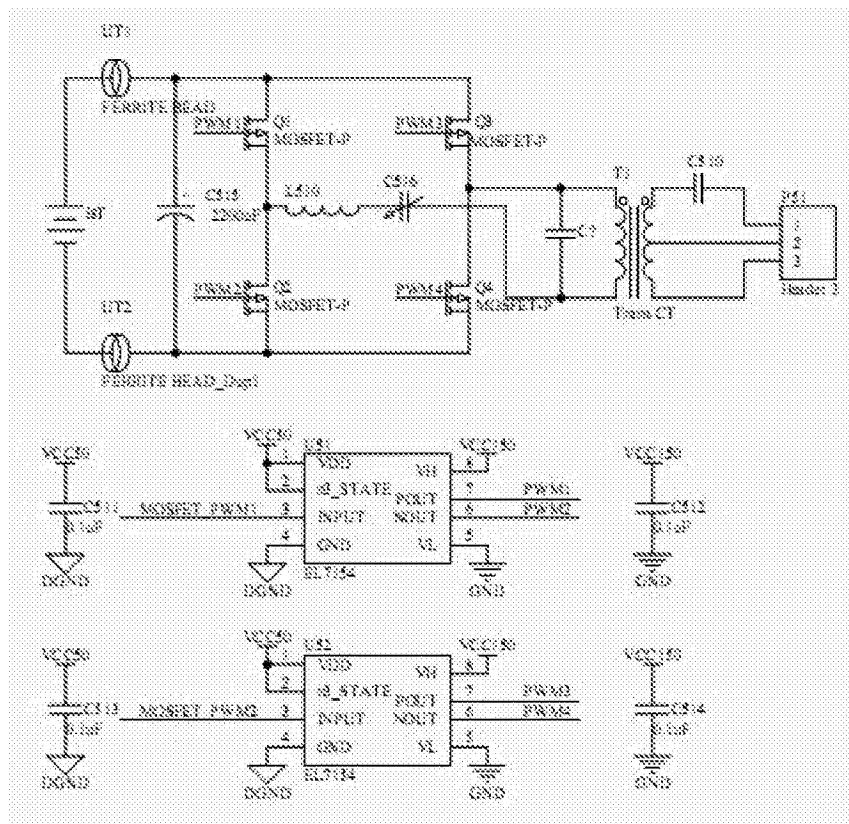


图 6

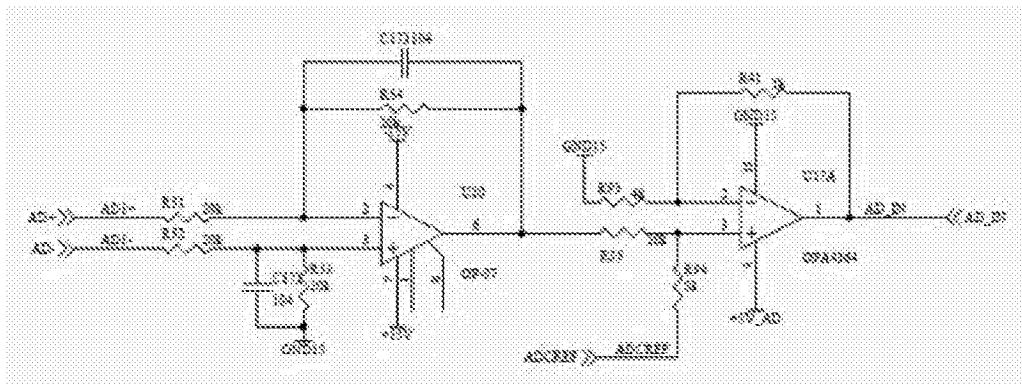


图 7

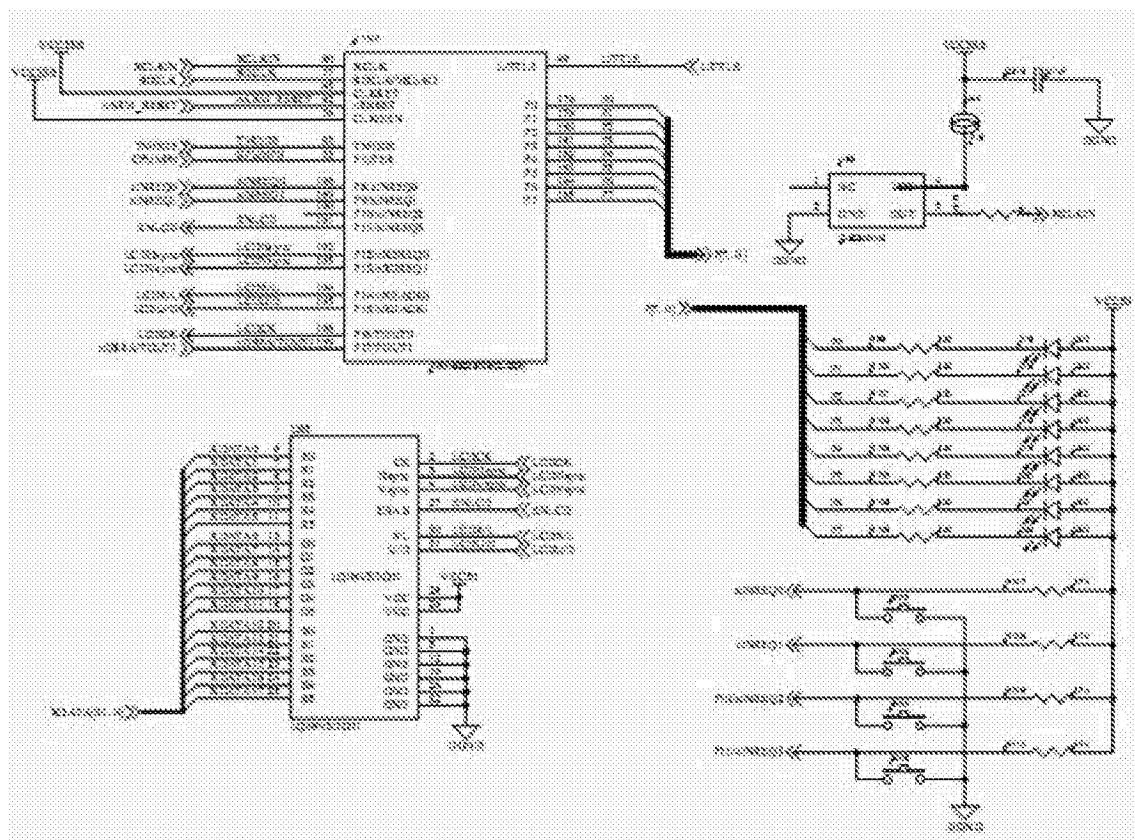


图 8

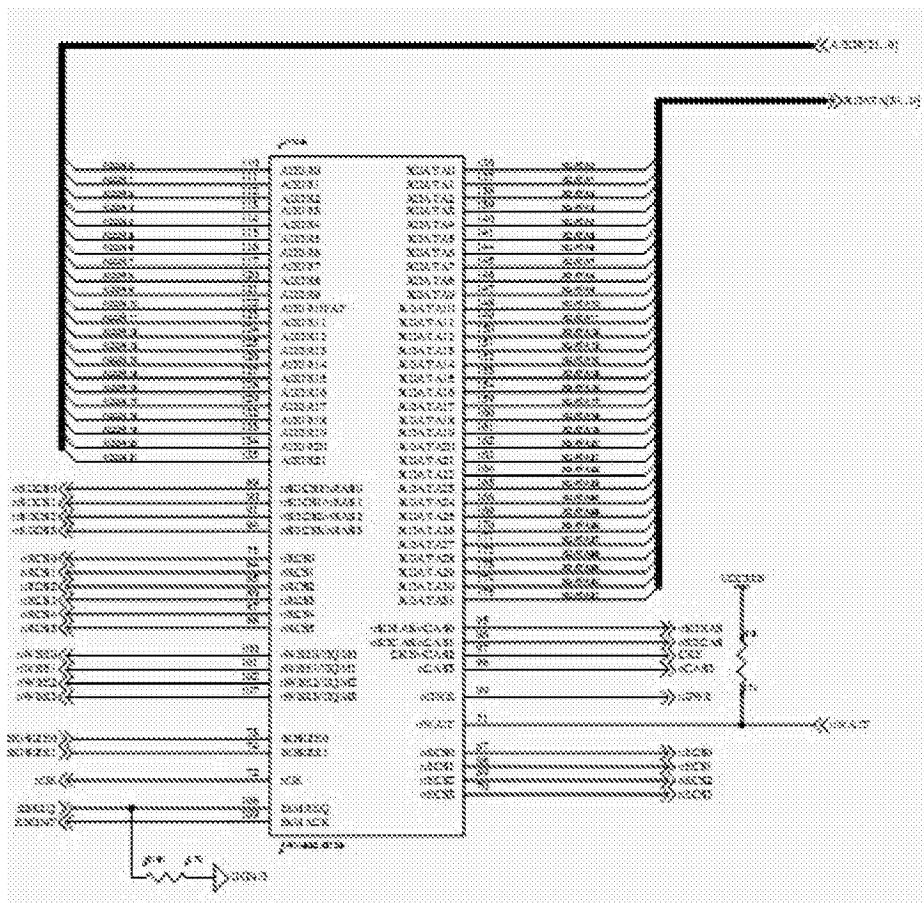


图 9

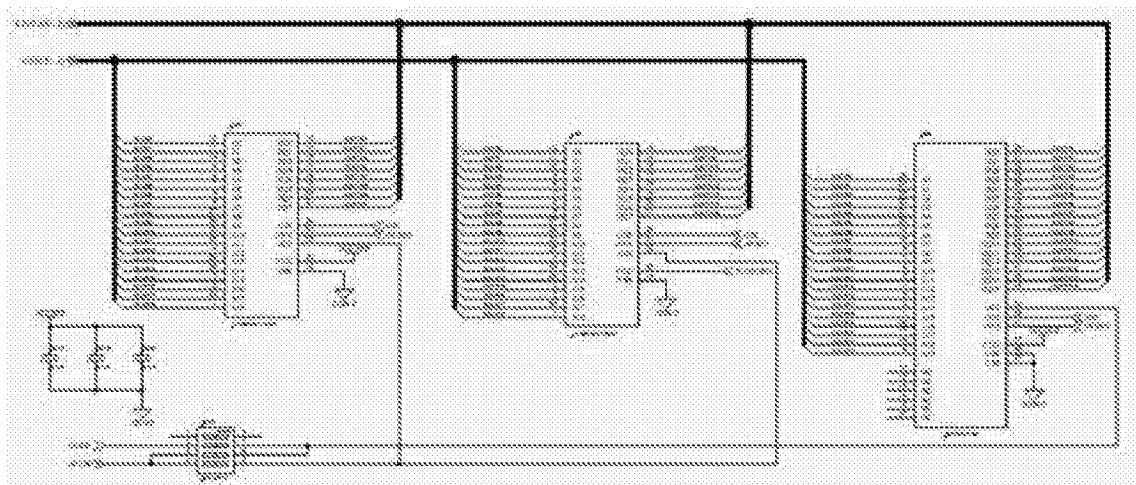


图 10

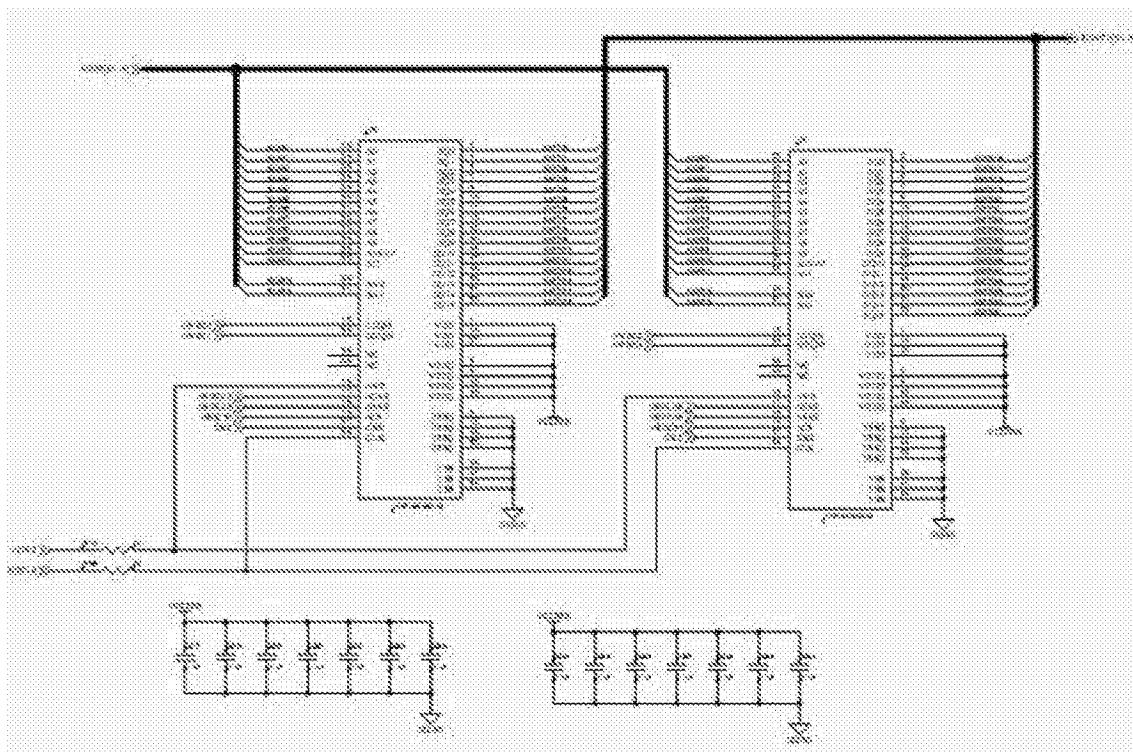


图 11

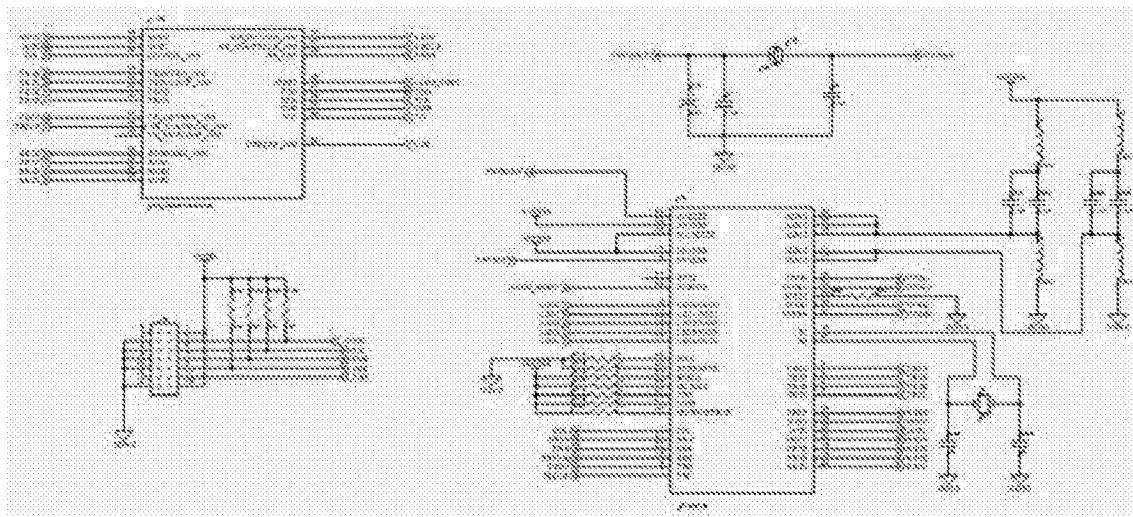


图 12

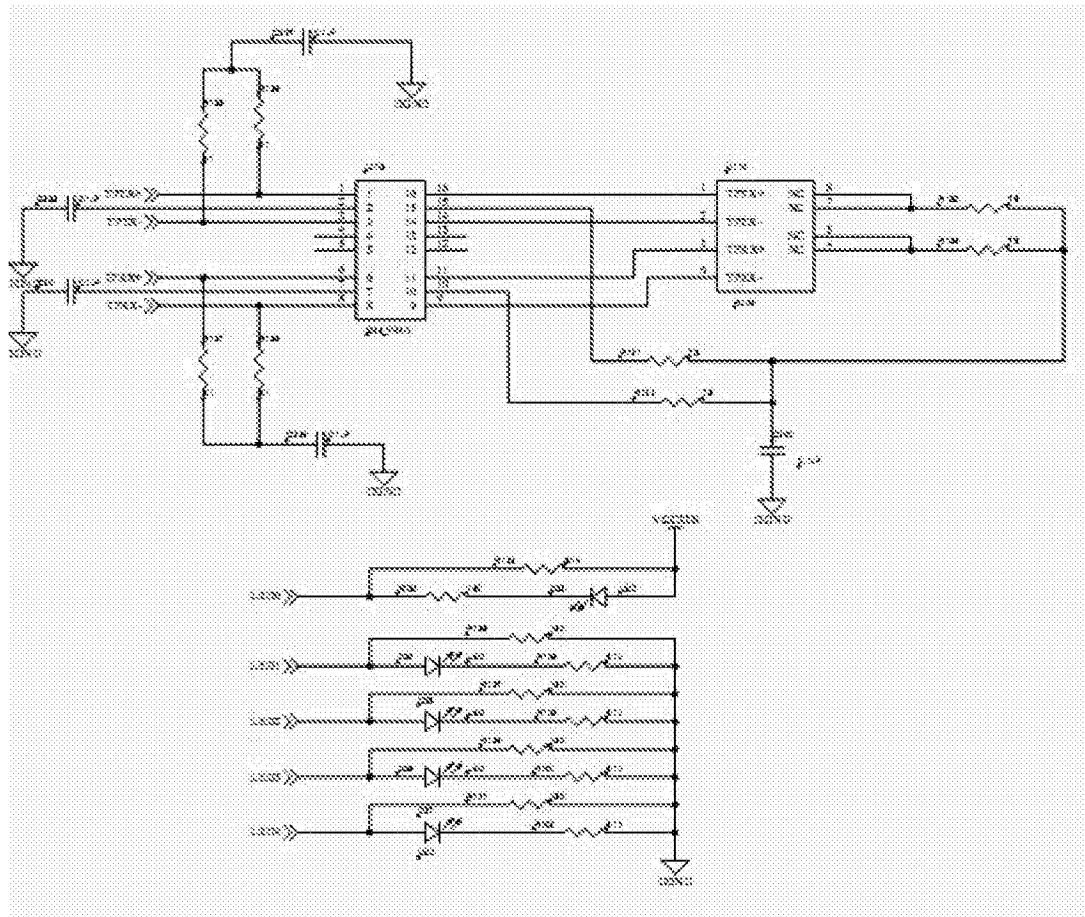


图 13

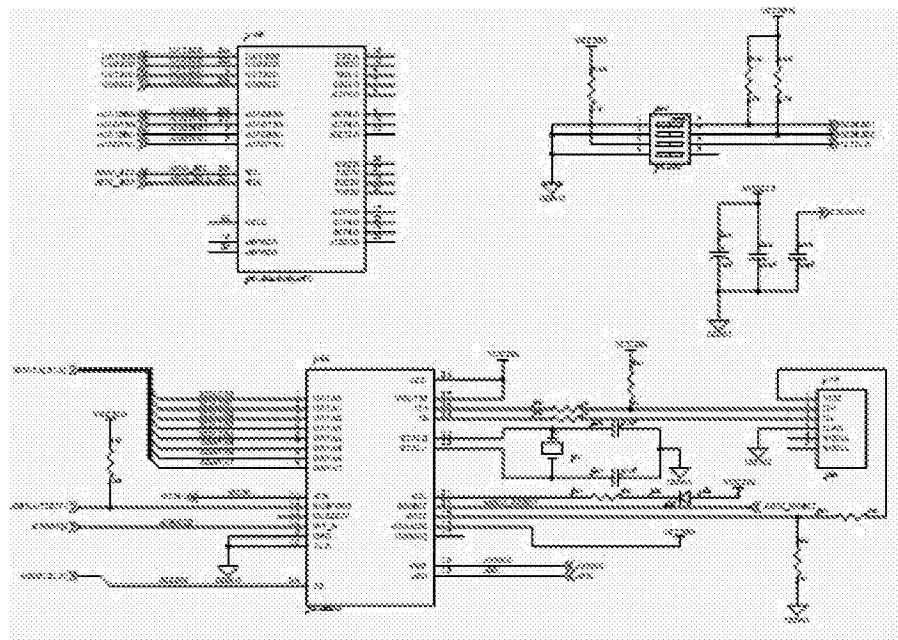


图 14

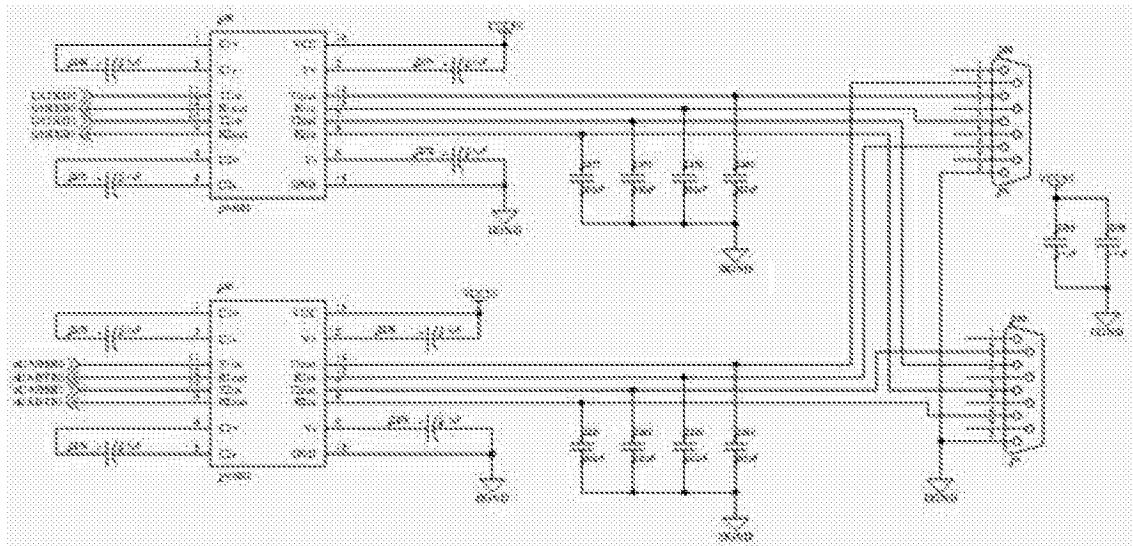


图 15

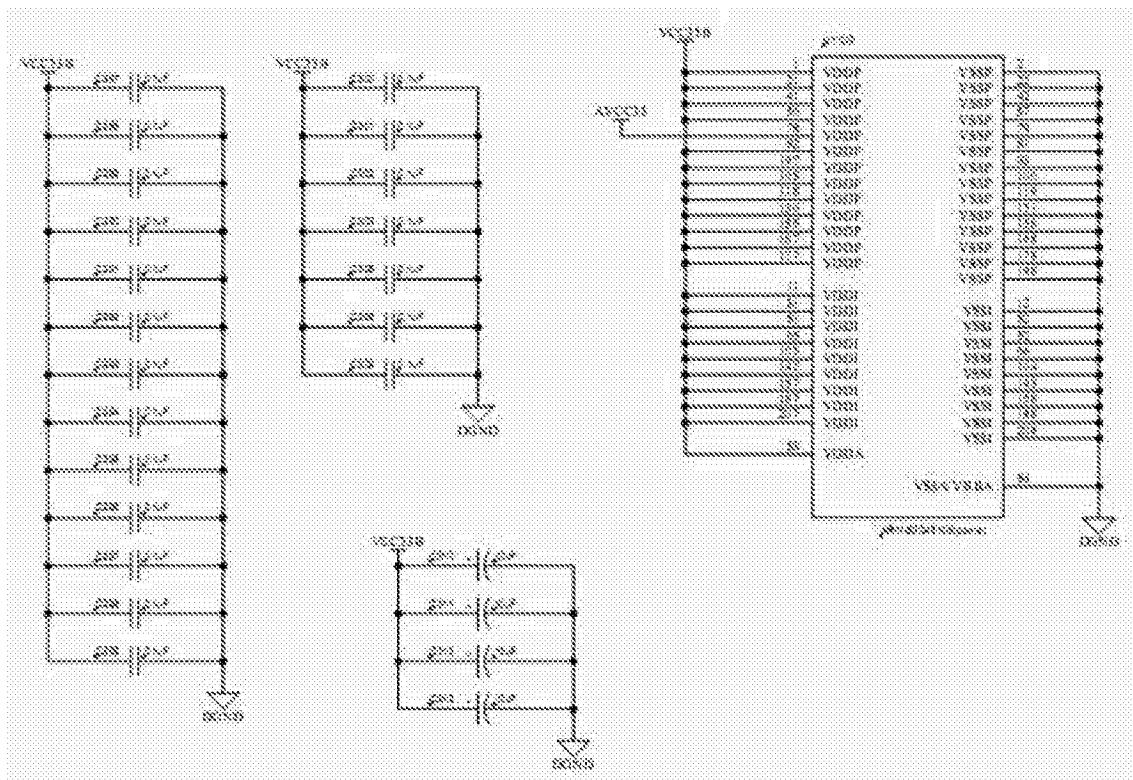


图 16

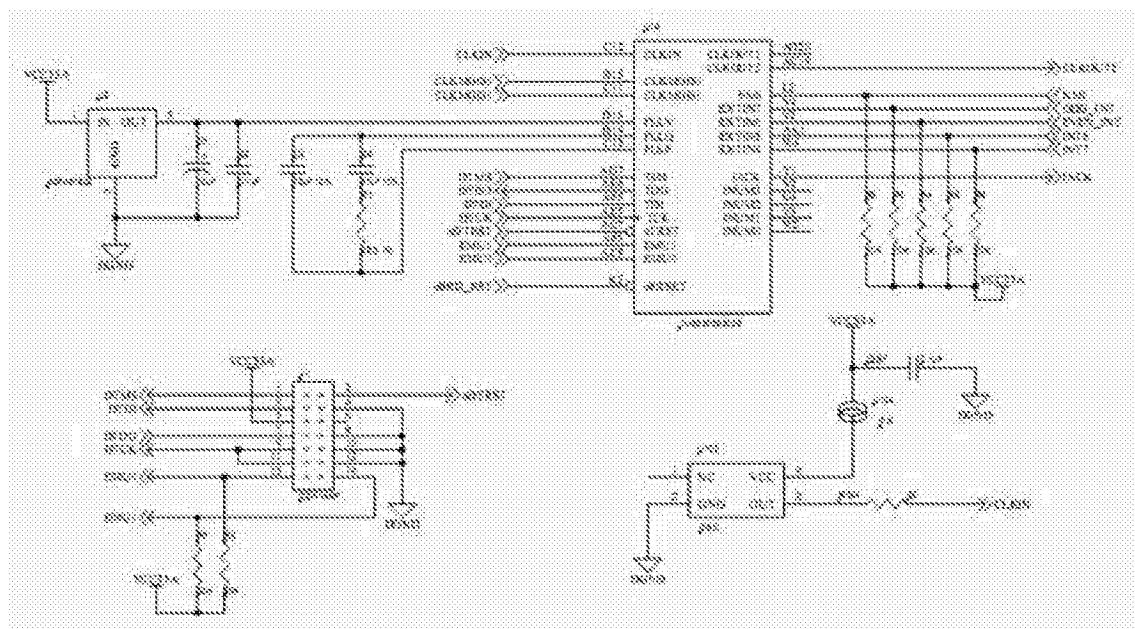


图 17

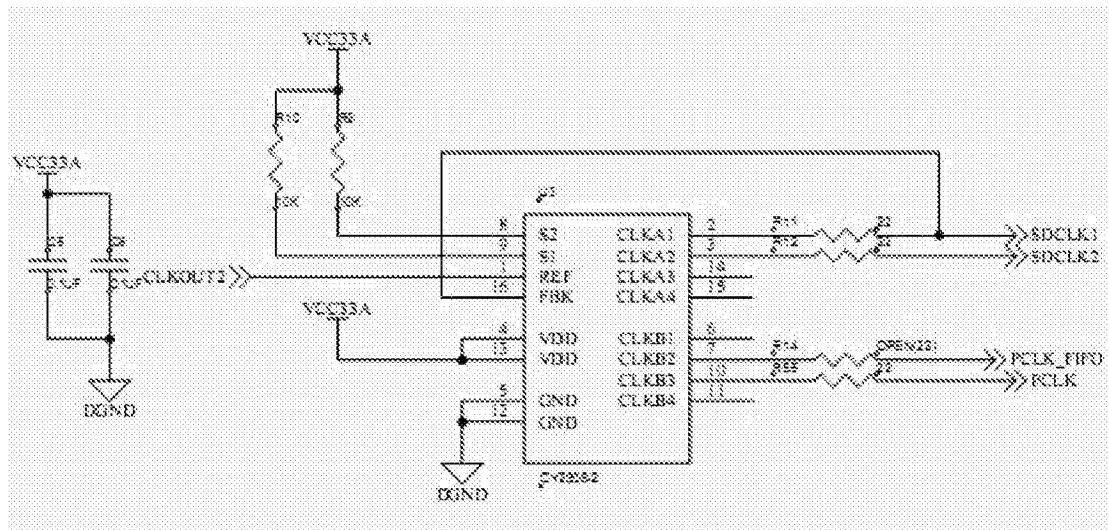


图 18

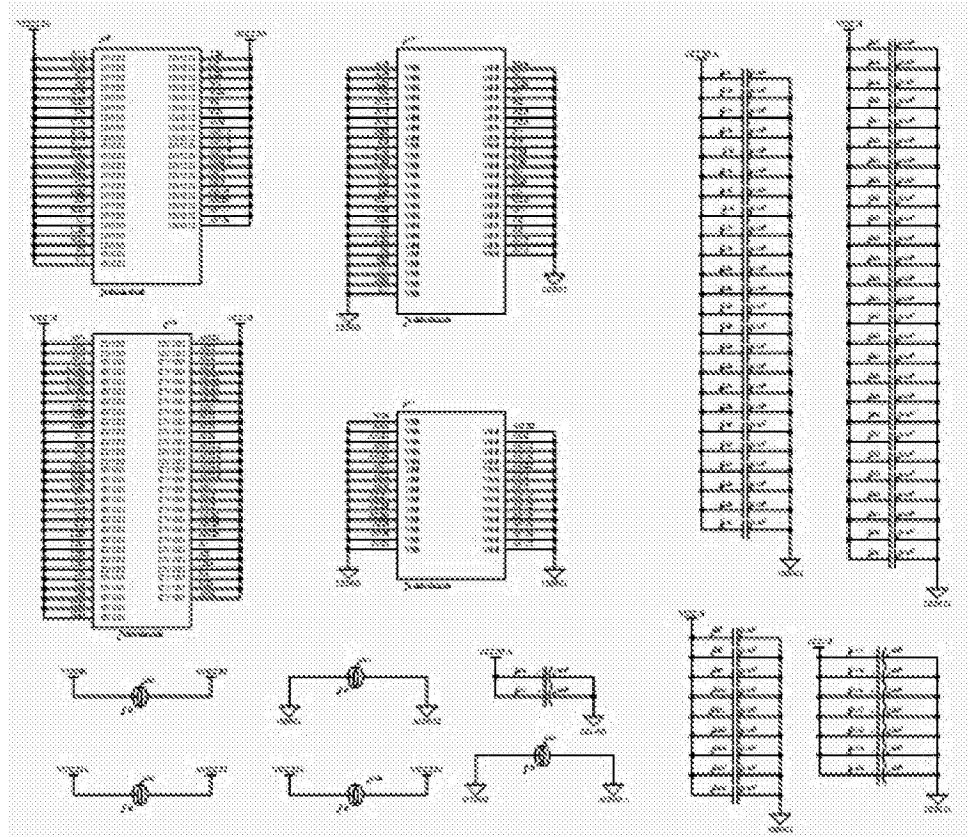


图 19

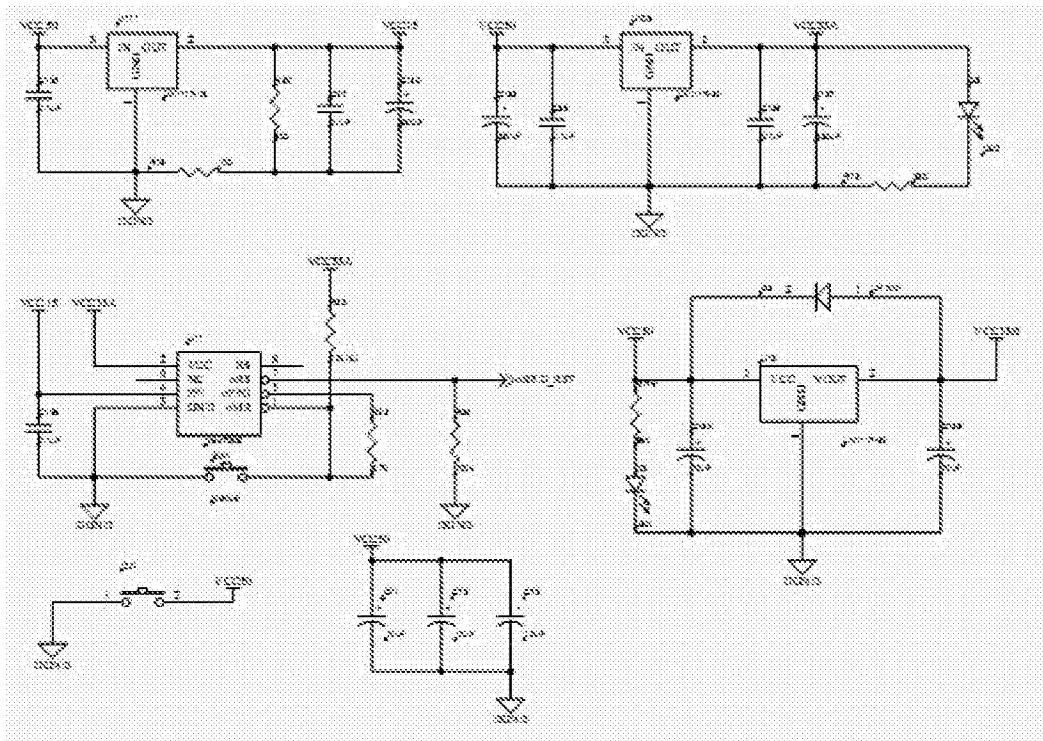


图 20

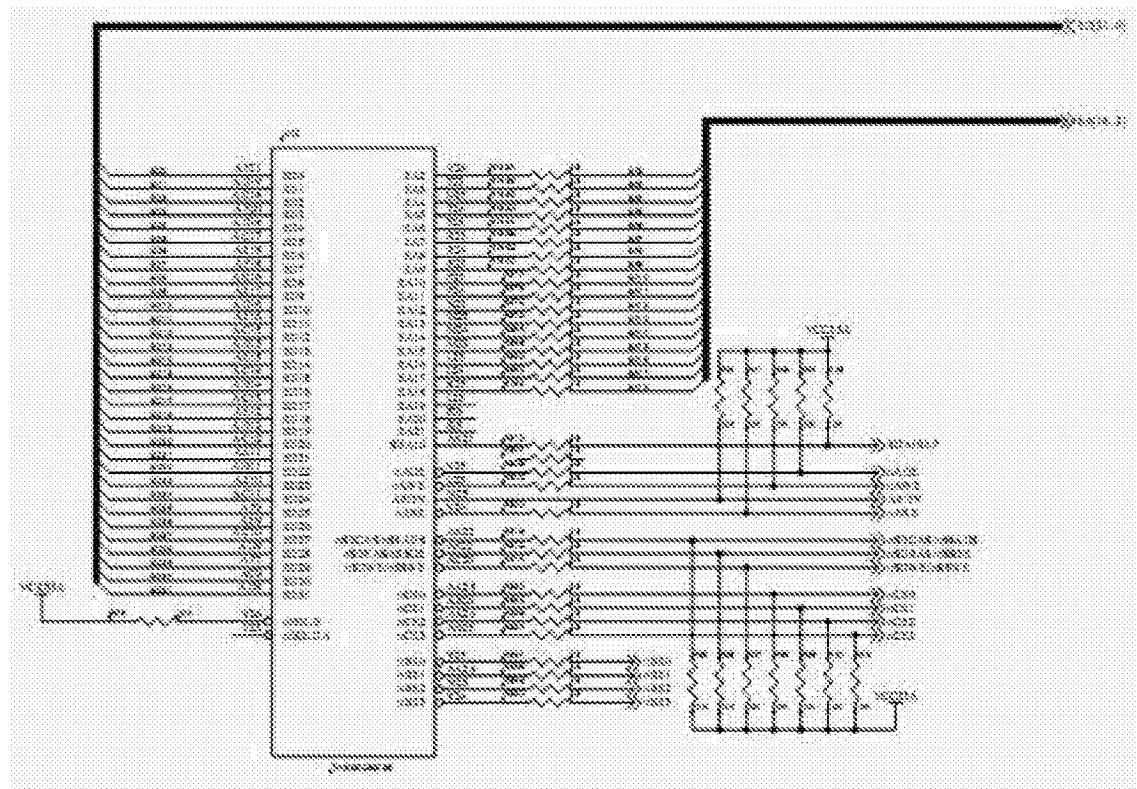


图 21

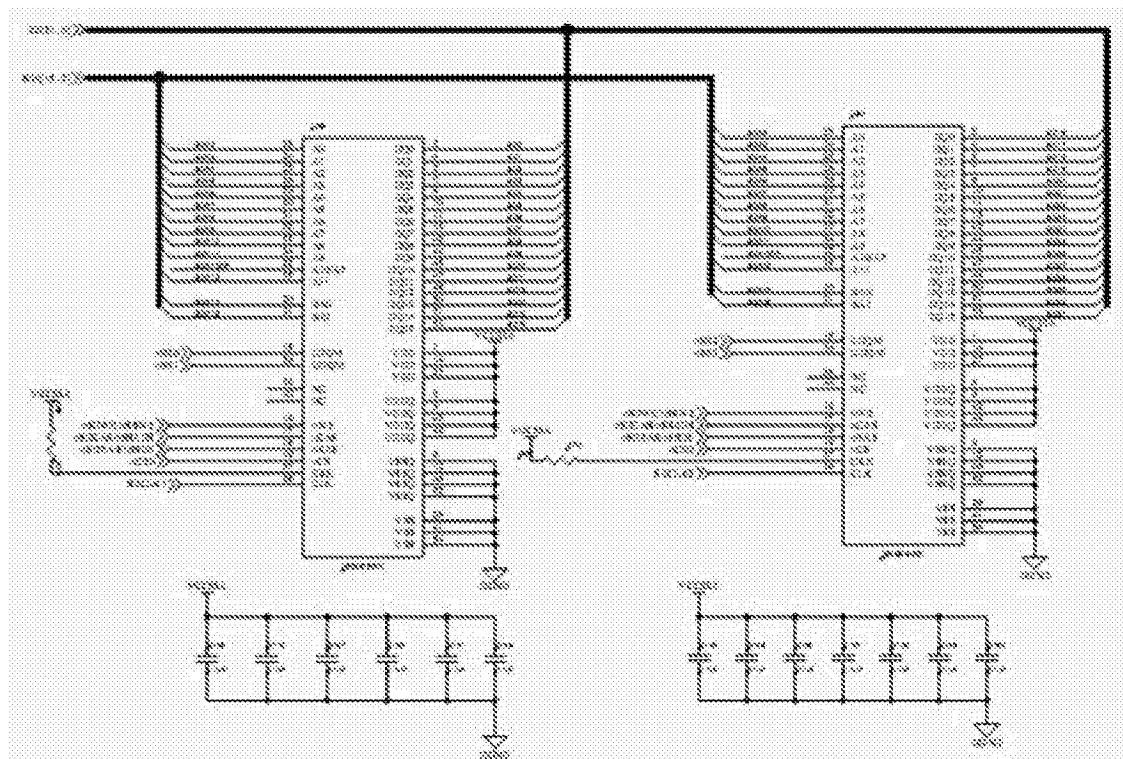


图 22

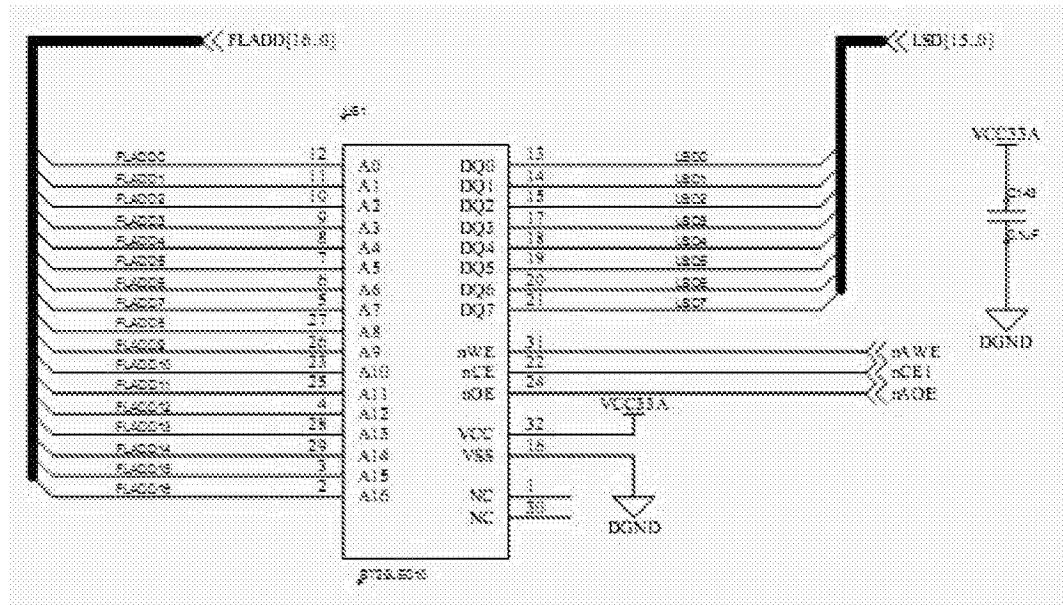


图 23

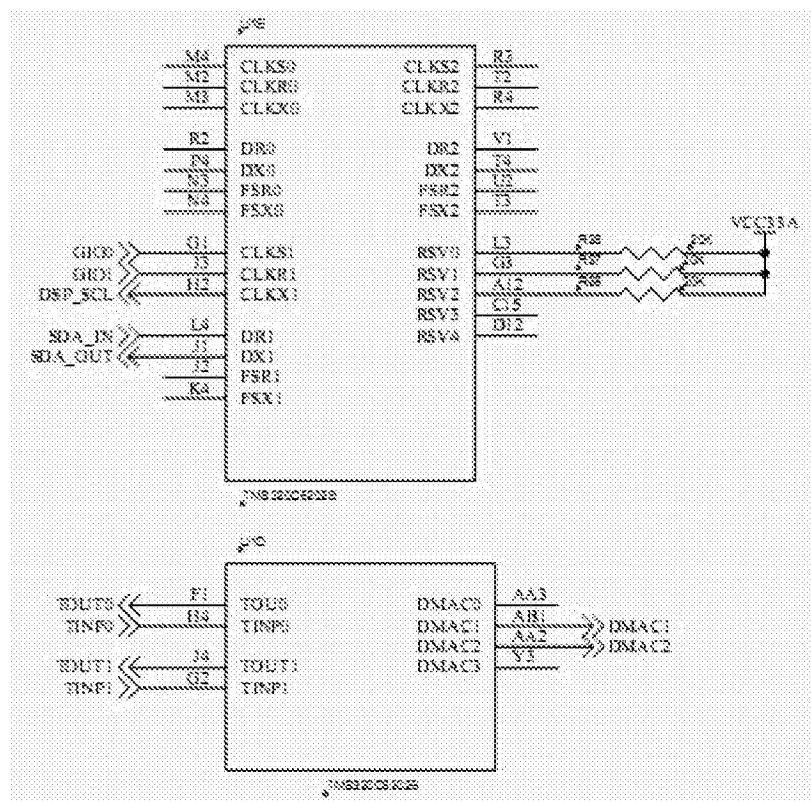


图 24

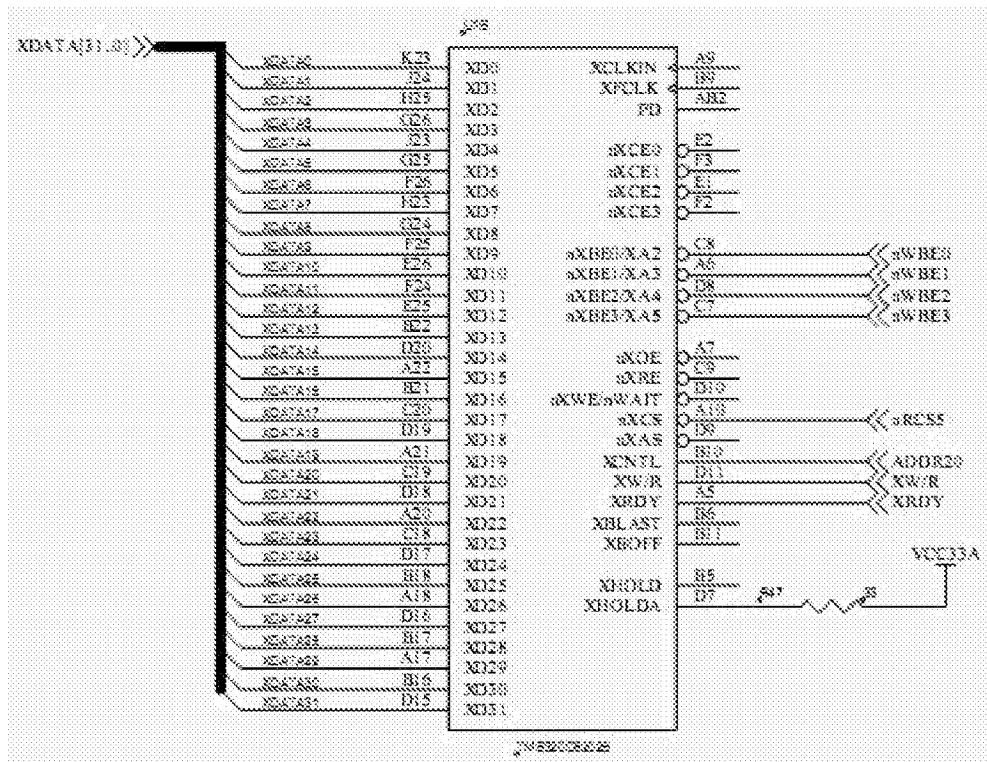


图 25

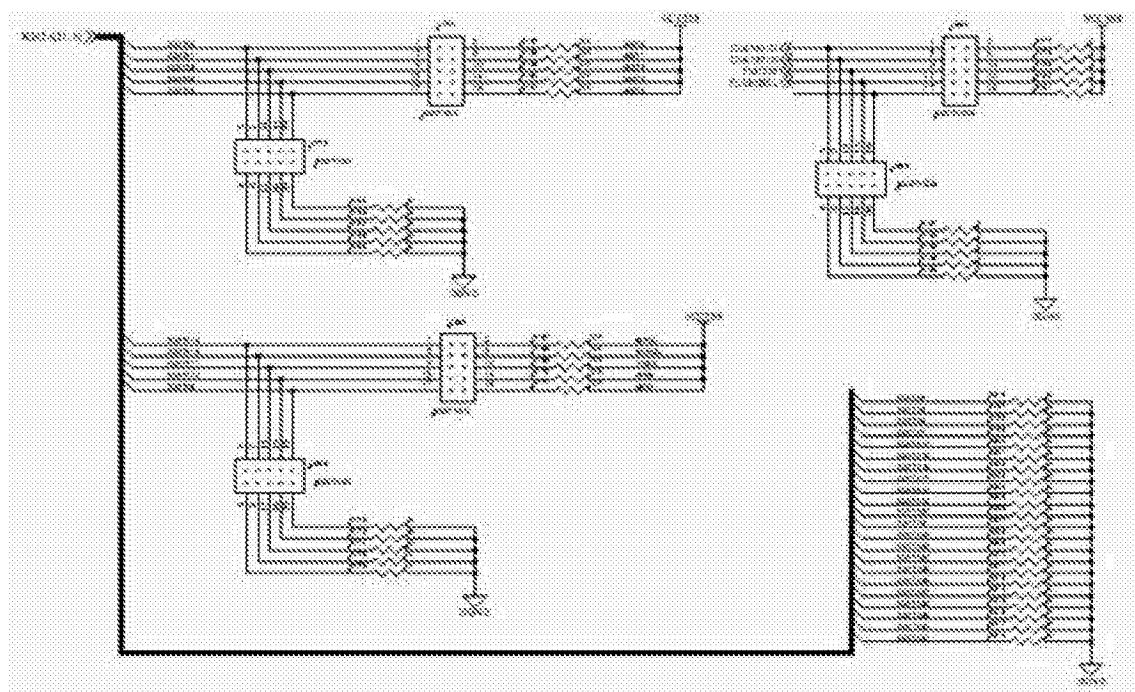


图 26