

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6844404号
(P6844404)

(45) 発行日 令和3年3月17日(2021.3.17)

(24) 登録日 令和3年3月1日(2021.3.1)

(51) Int. Cl. F I
GO 1 R 13/20 (2006.01) GO 1 R 13/20 N
GO 1 R 13/32 (2006.01) GO 1 R 13/32 H

請求項の数 6 (全 20 頁)

(21) 出願番号	特願2017-90692 (P2017-90692)	(73) 特許権者	000000181
(22) 出願日	平成29年4月28日 (2017.4.28)		岩崎通信機株式会社
(65) 公開番号	特開2018-189445 (P2018-189445A)		東京都杉並区久我山 1 丁目 7 番 4 1 号
(43) 公開日	平成30年11月29日 (2018.11.29)	(74) 代理人	100099759
審査請求日	令和2年2月6日 (2020.2.6)		弁理士 青木 篤
		(74) 代理人	100092624
			弁理士 鶴田 準一
		(74) 代理人	100114018
			弁理士 南山 知広
		(74) 代理人	100165191
			弁理士 河合 章
		(74) 代理人	100151459
			弁理士 中村 健一

最終頁に続く

(54) 【発明の名称】 波形記録装置

(57) 【特許請求の範囲】

【請求項 1】

アナログ入力信号をアナログ・デジタル変換することによって生成されたデジタルデータを一時的に記憶するバッファと、

トリガ条件に基づいて前記アナログ入力信号又は前記デジタルデータからトリガ信号を生成するトリガ回路と、

前記バッファが記憶動作を開始してから終了するまでの期間を前記トリガ信号に基づいて制御するバッファ制御回路と、

前記バッファが記憶動作を開始してから終了するまでの期間の終了の際に前記バッファに記憶されたデジタルデータからイベントが検出された場合にイベント検出信号を生成するイベント検出回路と、

前記デジタルデータを取り込み処理することによって生成された波形データを記憶し、前記イベント検出信号にตอบสนองして前記波形データの記憶を停止するメモリ回路と、

を備える波形記録装置。

【請求項 2】

前記バッファは、第 1 のバッファ及び第 2 のバッファを有し、

前記トリガ回路は、トリガ条件に基づいて前記アナログ入力信号又は前記デジタルデータから第 1 のトリガ信号及び第 2 のトリガ信号を生成し、

前記バッファ制御回路は、前記第 1 のバッファが記憶動作を開始してから終了するまでの期間を前記第 1 のトリガ信号に基づいて制御し、前記第 2 のバッファが記憶動作を開始

10

20

してから終了するまでの期間を前記第 2 のトリガ信号に基づいて制御し、前記第 1 のバッファが記憶動作を終了してから前記第 2 のバッファが記憶動作を開始するまでの期間を計測し、

前記イベント検出回路は、前記第 1 のバッファが記憶動作を開始してから終了するまでの期間の終了の際に前記第 1 のバッファに記憶されたデジタルデータ及び前記第 2 のバッファが記憶動作を開始してから終了するまでの期間の終了の際に前記第 2 のバッファに記憶されたデジタルデータからイベントが検出された場合にイベント検出信号を生成する請求項 1 に記載の波形記録装置。

【請求項 3】

前記バッファは、複数のバッファを有し、

前記トリガ回路は、トリガ条件に基づいて前記アナログ入力信号又は前記デジタルデータから複数のトリガ信号を生成し、

前記バッファ制御回路は、前記バッファが記憶動作を開始してから終了するまでの期間を前記トリガ信号に基づいて制御し、前記複数のバッファのうちの予め決められたバッファが記憶動作を終了してから次のバッファが記憶動作を開始するまでの期間の一つ以上を計測し、

前記イベント検出回路は、前記複数のバッファが記憶動作を開始してから終了するまでの期間の終了の際に前記複数のバッファに記憶されたデジタルデータからイベントが検出された場合にイベント検出信号を生成する請求項 1 に記載の波形記録装置。

【請求項 4】

前記イベント検出回路は、前記デジタルデータのレベルと予め決定されたレベルのデジタルデータが検出された期間との少なくとも一方に関連するイベントを検出する請求項 1 ~ 3 のいずれか一項に記載の波形記録装置。

【請求項 5】

前記メモリ回路は、前記波形データの記憶を停止するタイミングを、前記トリガ信号が生成されるタイミングと前記イベント検出信号が生成されるタイミングとの時間差に基づいて調整する請求項 1 ~ 4 のいずれか一項に記載の波形記録装置。

【請求項 6】

前記バッファに一時的に記憶されるデジタルデータをデシメーションする請求項 1 ~ 5 のいずれか一項に記載の波形記録装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、アナログ入力信号の波形データを記録する波形記録装置に関する。

【背景技術】

【0002】

デジタルオシロスコープ等として用いられる波形記録装置が従来提案されている（例えば、特許文献 1, 2）。波形記録装置が様々なイベントを取得、観測及び解析できるようにするために、多くのトリガ機能及び検索機能が提案されている。トリガ機能及び検索機能を実現するためにパルス幅トリガを用いる場合、設定されたトリガレベルでのパルス幅を計数クロックでカウントし、カウントしたパルス幅が予め設定されたパルス幅と一致した場合にトリガ信号が生成される。また、波形データを取り込んだ後に所望のイベントを検索して表示する波形記録装置も提案されている。

【先行技術文献】

【特許文献】

【0003】

【特許文献 1】特表 2009 - 503458 号公報

【特許文献 2】特開 2003 - 344454 号公報

【発明の概要】

【発明が解決しようとする課題】

10

20

30

40

50

【0004】

パルス幅トリガを用いる波形記録装置では、パルス幅をカウントする計測クロックがアナログ入力信号に同期していないので、パルス幅の1カウント分に相当する誤差を許容する必要がある。パルス幅を高精度で検出するためには高周波数の計測クロックを用いる必要があり、波形記録装置のコストが上昇するという不都合がある。

【0005】

また、波形データを取り込んだ後に所望のイベントを検索して表示する波形記録装置では、取り込んだ波形データの中に所望のイベントが存在するとは限らない。特に、稀なイベントを検出する場合、波形データの取込みと検索処理を複数回繰り返す必要があり、所望のイベントを高効率に検出することができないという不都合がある。

10

【0006】

本発明の目的は、コストを上昇させることなく信号の波形に関する所望のイベントを高精度かつ高効率に検出することができる波形記録装置を提供することである。

【課題を解決するための手段】

【0007】

本発明による波形記録装置は、アナログ入力信号をアナログ・デジタル変換することによって生成されたデジタルデータを一時的に記憶するバッファと、トリガ条件に基づいてアナログ入力信号又はデジタルデータからトリガ信号を生成するトリガ回路と、バッファが記憶動作を開始してから終了するまでの期間をトリガ信号に基づいて制御するバッファ制御回路と、バッファが記憶動作を開始してから終了するまでの期間の終了の際にバッファに記憶されたデジタルデータからイベントが検出された場合にイベント検出信号を生成するイベント検出回路と、デジタルデータを取り込み処理することによって生成された波形データを記憶し、イベント検出信号に反応して波形データの記憶を停止するメモリ回路と、を備える。

20

【0008】

好適には、バッファは、第1のバッファ及び第2のバッファを有し、トリガ回路は、トリガ条件に基づいてアナログ入力信号又はデジタルデータから第1のトリガ信号及び第2のトリガ信号を生成し、バッファ制御回路は、第1のバッファが記憶動作を開始してから終了するまでの期間を第1のトリガ信号に基づいて制御し、第2のバッファが記憶動作を開始してから終了するまでの期間を第2のトリガ信号に基づいて制御し、第1のバッファが記憶動作を終了してから第2のバッファが記憶動作を開始するまでの期間を、第1のトリガ信号及び前記第2のトリガ信号に基づいて制御し、イベント検出回路は、第1のバッファが記憶動作を開始してから終了するまでの期間の終了の際に第1のバッファに記憶されたデジタルデータ及び第2のバッファが記憶動作を開始してから終了するまでの期間の終了の際に第2のバッファに記憶されたデジタルデータからイベントが検出された場合にイベント検出信号を生成する。

30

【0009】

好適には、バッファは、複数のバッファを有し、トリガ回路は、トリガ条件に基づいてアナログ入力信号又は前記デジタルデータから複数のトリガ信号を生成し、バッファ制御回路は、バッファが記憶動作を開始してから終了するまでの期間をトリガ信号に基づいて制御し、複数のバッファのうちの予め決められたバッファが記憶動作を終了してから次のバッファが記憶動作を開始するまでの期間の一つ以上を計測し、イベント検出回路は、複数のバッファが記憶動作を開始してから終了するまでの期間の終了の際に複数のバッファに記憶されたデジタルデータからイベントが検出された場合にイベント検出信号を生成する。

40

【0010】

好適には、イベント検出回路は、デジタルデータのレベルと予め決定されたレベルのデジタルデータが検出された期間との少なくとも一方に関連するイベントを検出する。

【0011】

好適には、メモリ回路は、波形データの記憶を停止するタイミングを、トリガ信号が生

50

成されるタイミングとイベント検出信号が生成されるタイミングとの時間差に基づいて調整する。

【 0 0 1 2 】

バッファに一時的に記憶されるデジタルデータをデシメーションしてもよい。

【 発明の効果 】

【 0 0 1 3 】

本発明によれば、コストを上昇させることなく信号の波形に関する所望のイベントを高精度かつ高効率に検出することができる。

【 図面の簡単な説明 】

【 0 0 1 4 】

【 図 1 】 本発明による波形記録装置の一実施の形態を示す図である。

【 図 2 】 図 1 の一部を詳細に示す図である。

【 図 3 】 イベント検出回路によって検出されるイベントの一例を示す図である。

【 図 4 】 図 1 に示す波形記録装置の波形記録動作を示すフローチャートである。

【 図 5 】 本発明による波形記録装置の他の実施の形態を示す図である。

【 図 6 】 図 5 の一部を詳細に示す図である。

【 図 7 】 イベント検出回路によって検出されるイベントの他の例を示す図である。

【 図 8 】 イベント検出回路によって検出されるイベントの他の例を示す図である。

【 図 9 】 本発明による波形記録装置の他の実施の形態を示す図である。

【 図 1 0 】 図 9 の一部を詳細に示す図である。

【 図 1 1 】 イベント検出回路によって検出されるイベントの他の例を示す図である。

【 発明を実施するための形態 】

【 0 0 1 5 】

本発明による波形記録装置の実施の形態を、図面を参照しながら説明する。

図 1 は、本発明による波形記録装置の一実施の形態を示す図であり、図 2 は、図 1 の一部を詳細に示す図である。図 1 に示す波形記録装置 1 は、デジタルオシロスコープ等として用いられ、アナログ入力信号 S_a が外部から入力される。

【 0 0 1 6 】

波形記録装置 1 は、アナログ・デジタル変換器 (ADC) 11 と、バッファ 12 と、制御部 13 と、トリガ回路 14 と、バッファ制御回路 15 と、イベント検出回路 16 と、取込み処理回路 17 と、メモリ回路 18 と、波形処理及び表示処理回路 19 と、表示器 20 と、を備える。

【 0 0 1 7 】

制御部 13 は、例えば、CPU によって構成される。バッファ 12、バッファ制御回路 15、イベント検出回路 16、取込み処理回路 17 並びに波形処理及び表示処理回路 19 は、例えば、メモリを内蔵した FPGA (field-programmable gate array) によって構成される。メモリ回路 18 は、後に説明する波形データ D_w を記憶するメモリ及びメモリを制御する周辺回路によって構成される。メモリは、例えば、DRAM (dynamic random access memory) によって構成される。周辺回路は、例えば、FPGA によって構成される。表示器 20 は、例えば、液晶ディスプレイ (LCD) によって構成される。

【 0 0 1 8 】

ADC 11 は、アナログ入力信号 S_a をデジタルデータ D_d (例えば、8 ビットのデジタル値) に変換し、デジタルデータ D_d は、バッファ 12 及び取込み処理回路 17 に入力される。ADC 11 のサンプリングレートが 1 ギガサンプル / 秒である場合、デジタルデータ D_d が 1 ナノ秒ごとに生成されるが、ADC 11 の後段のバッファ 12 並びに取込み処理回路 17 及びメモリ回路 18 においてデータ処理を並列化することによって処理速度を低減することができる。例えば、FPGA の内部に設けられた 125 MHz のシステムクロック (図示せず) を用いた場合、8 ナノ秒ごとに 8 個のデジタルデータ D_d が並列に処理される。

【 0 0 1 9 】

10

20

30

40

50

バッファ12は、バッファ制御回路15からの書込み/読出し信号C1に基づいて、デジタルデータDdを一時的に記憶する。本実施の形態では、バッファ12は、書込み/読出し信号C1の立上りによりデジタルデータDdの記憶を開始し、書込み/読出し信号C1の立下りによりデジタルデータDdの記憶を終了し、バッファ12に記憶されたデジタルデータDdをイベント検出回路16に出力する。

【0020】

制御部13は、トリガ条件に関する情報Xtをトリガ回路14に提供する。また、制御部13は、イベントの条件に関する情報Xiをイベント検出回路16に提供する。また、制御部13は、波形データDwの波形処理及び表示処理条件に関する情報Xdを波形処理及び表示処理回路19に提供する。また、制御部13は、メモリ回路18が記憶動作を開始するための指令C2をメモリ回路18に出力する。なお、トリガ条件に関する情報Xt、イベントの条件に関する情報Xi、波形データDwの波形処理及び表示処理条件に関する情報Xd及び指令C2は、例えば、キーボード等の操作部(図示せず)の操作により制御部13に入力される。さらに、制御部13は、後に説明するイベント検出信号Siにตอบสนองして、メモリ回路18の記憶動作を終了するとともにメモリ回路18に記憶された波形データDwを読み出すための指令C3をメモリ回路18に出力する。

10

【0021】

本実施の形態は、イベントの条件に、正パルスの幅及び高さ(最大値)を選択した場合を例にとって説明するが、負パルスを条件にすることも可能である。また、パルスの高さの代わりに平均値等を用いることも可能である。

20

【0022】

本実施の形態では、トリガ条件は、予め設定された閾値レベルThに基づいて検出されるアナログ入力信号Saの立上りエッジ及び立下りエッジである。この場合、トリガ条件に関する情報Xtは、アナログ入力信号Saが閾値レベルThより上になったか否か及びアナログ入力信号Saが閾値レベルThより上になった後に閾値レベルThより下になったか否かの判定を行う旨の条件を含む。

【0023】

また、本実施の形態では、イベントは、デジタルデータDd(更に詳しくは、後に説明する補間データDh)が閾値レベルThを超えている期間によって規定されるパルス幅Wである。この場合、イベントの条件に関する情報Xiは、デジタルデータDdを補間処理するために用いられる補間倍率H、閾値レベルTh並びに検出すべきパルスのパルス幅W及び最大値Pmを含む。

30

【0024】

トリガ回路14は、予め設定された閾値レベルThに基づいて検出されるアナログ入力信号Saの立上りエッジ及び立下りエッジに応じてトリガ信号T1, T2を生成する。本実施の形態では、トリガ回路14は、アナログ入力信号Saのレベルと閾値レベルThとをコンパレータ(図示せず)を用いて比較し、トリガ回路14に対するディセーブル信号(図示せず)が解除された状態でアナログ入力信号Saが閾値レベルThより上になったときにトリガ信号T1を生成してバッファ制御回路15に送信する(すなわち、トリガ信号T1はローレベルからハイレベルに遷移する。)。また、トリガ回路14は、トリガ回路14に対するディセーブル信号(図示せず)が解除された状態でアナログ入力信号Saが閾値レベルThより上になった後に閾値レベルThより下になったときにトリガ信号T2を生成してバッファ制御回路15に送信する(すなわち、トリガ信号T2はローレベルからハイレベルに遷移する。)。トリガ回路14は、トリガ信号T2をバッファ制御回路15に送信した後にディセーブル状態になる。なお、トリガ回路14は、トリガ信号T1を生成するまではトリガ信号T2を生成しないようにする。また、トリガ信号T1を生成してから所定の時間が経過するまでにアナログ入力信号Saが閾値レベルThより下になった場合には、トリガ回路14は初期化され、トリガ回路14に対するディセーブル信号が解除された状態(すなわち、トリガ信号T1はハイレベルからローレベルに遷移する。)に戻ることにによって、無効なイベント検出動作を排除することを可能にする。また、ト

40

50

リガ回路14は、予め設定された閾値レベル T_h に基づいてデジタルデータ D_d の立上りエッジ及び立下りエッジを検出し、検出した立上りエッジ及び立下りエッジに応じてトリガ信号 T_1 、 T_2 を生成してもよい。

【0025】

バッファ制御回路15は、デジタルデータ D_d からイベント（この場合、パルス幅 W ）を検出するために、バッファ12が記憶動作を開始してから終了するまで期間をトリガ信号 T_1 、 T_2 に基づいて制御する。本実施の形態では、バッファ制御回路15は、トリガ信号 T_1 を受信すると、バッファ12がデジタルデータ D_d の記憶を開始するために書込み/読出し信号 C_1 をハイレベルにする。また、バッファ制御回路15は、トリガ信号 T_2 を受信すると、デジタルデータ D_d の記憶を終了してバッファ12に記憶されたデジタルデータ D_d をイベント検出回路16に出力するために書込み/読出し信号 C_1 をローレベルにする。

10

【0026】

また、本実施の形態では、バッファ制御回路15は、バッファ12が記憶動作を開始してから終了するまで期間を調整するために、トリガ信号 T_1 、 T_2 が生成された時間の他に種々の要件を考慮する。種々の要件は、例えば、トリガ信号 T_1 の生成からバッファ12の制御までの遅れ時間、トリガ信号 T_2 の生成からバッファ12の制御までの遅れ時間、トリガ信号 T_1 の生成のタイミングとデジタルデータ D_d のバッファ12への記憶のタイミングとの差、補間処理に必要な余分なデータ数等を含む。種々の要件についての情報を、例えば、操作部の操作を介して制御部13からバッファ制御回路15に提供してもよい。

20

【0027】

イベント検出回路16は、バッファ12が記憶動作を開始してから終了するまで期間の終了の際にバッファ12に記憶されているデジタルデータ D_d からイベントが検出された場合にイベント検出信号 S_i を生成する。本実施の形態では、イベント検出回路16は、図2に示すように、イベント検出制御回路16aと、補間処理回路16bと、時間検出処理回路16cと、レベル検出処理回路16dと、イベント判定回路16eと、を有する。

【0028】

イベント検出制御回路16aは、イベントの条件に関する情報 X_i が制御部13から提供される。そして、イベント検出制御回路16aは、補間倍率 H についての情報を補間処理回路16bに提供し、閾値レベル T_h を時間検出処理回路16cに提供し、検出すべきパルスのパルス幅 W 及び最大値 P_m についての情報をイベント判定回路16eに提供する。

30

【0029】

補間処理回路16bは、イベントを検出するためのデジタルデータ D_d がバッファ12から供給され、補間倍率 H でデジタルデータ D_d の補間処理を行うことによって補間データ D_h を生成して時間検出処理回路16c及びレベル検出処理回路16dに供給する。補間処理は、一般的な $\sin(x)/x$ 補間、リニア補間又はこれらの組合せ等を用いることができる。補間倍率 H が100である場合、1ナノ秒ごとのデジタルデータ D_d は、10ピコ秒ごとの補間データ D_h に変換される。また、補間処理回路16bは、補間データ D_h の出力期間に、時間検出信号 C_{11} を時間検出処理回路16cに出力する。

40

【0030】

時間検出処理回路16cは、時間検出信号 C_{11} に従って、正スロープ時刻及び負スロープ時刻を検出処理し、レベル検出期間信号 C_{12} をレベル検出処理回路16dに出力し、かつ、パルス幅の検出処理結果 D_t をイベント判定回路16eに供給する。時間検出処理回路16cは、補間データ D_h を用いることによって高精度の時間検出が可能になる。時間検出処理においてアナログ入力信号 S_a のノイズ等に起因する誤測定を防ぐために、一般的に用いられているヒステリシス処理を行ってもよい。また、負スロープ時刻を、後に表示器20に波形を表示する際に時間軸の基準に使用してもよい。

【0031】

50

レベル検出処理回路16dは、レベル検出期間信号C12に従って、補間データDhの最大値Lの検出処理結果De(補間データのレベル)を検出処理し、検出処理結果Deをイベント判定回路16eに供給する。

【0032】

イベント判定回路16eは、バッファ12に記憶されているデジタルデータDdからイベントが検出されたか否かを、検出処理結果Dt及びDe並びにイベント検出条件であるパルス幅W及び最大値Pmに基づいて判定する。図3は、イベント検出回路によって検出される正パルスのイベントの一例を示す図である。図3において、閾値レベルThを横切る正スロープ時刻から負スロープ時刻までの期間Tiは、時間検出処理回路の検出処理結果Dtに対応し、期間Tiにおける補間データDhの最大値Lは、レベル検出処理回路の検出処理結果Deに対応する。イベント判定回路16eは、検出処理結果Dtがパルス幅Wに相当するか否か及び検出処理結果Deが最大値Pmに相当するか否かを判定する。更に詳しくは、イベント判定回路16eは、検出処理結果Dtがパルス幅Wの上限値(例えば、20.1ナノ秒)と下限値(例えば、19.9ナノ秒)の間に存在するか否か及び検出処理結果Deが最大値Pmの上限値と下限値の間に存在するか否かを判定する。

10

【0033】

図1を参照して、バッファ12に記憶されているデジタルデータDdからイベントが検出された場合、イベント判定回路16eは、イベント検出信号Siを制御部13及びメモリ回路18に供給する。それに対し、バッファ12に記憶されているデジタルデータDdからイベントが検出されなかった場合、イベント判定回路16eは、トリガ回路14に対するディセーブル信号を解除するための解除信号Ssをトリガ回路14に供給する。正スロープ時刻から負スロープ時刻までの期間Tiがパルス幅Wより著しく大きい場合は、時間検出処理回路16cでパルス幅の検出処理結果Dtが正常に検出できない可能性がある。このような場合は、イベント判定回路16eによる判定を待たずに、バッファ制御回路15又は時間検出処理回路16cが解除信号Ssをトリガ回路14に供給してもよい(図示せず)。

20

【0034】

取込み処理回路17は、デジタルデータDdの取込み処理(一定期間ごとのピーク検出及び平均化処理、デシメーション(間引き)等)を行うことによって波形データDwを生成し、生成した波形データDwをメモリ回路18に格納する。デジタルデータDdの取込み処理を行うための取込みモードを、例えば、操作部の操作を介して制御部13によって選択してもよい。

30

【0035】

メモリ回路18は、指令C2にตอบสนองして波形データDwの記憶動作を開始し、プリトリガ(トリガ発生前)分としてメモリ回路18に記憶すべきデータとして設定された個数分の波形データDwを記憶する。その後、制御部13は、トリガ回路14に対するディセーブル信号を解除する。そして、メモリ回路18は、トリガ回路14に対するディセーブル信号が解除された後も波形データDwの記憶動作を継続し、イベント検出回路16からのイベント検出信号Siを待機する。イベント検出信号Siがイベント検出回路16からメモリ回路18に供給されると、メモリ回路18は、表示器20の表示時間条件に基づいて設定された個数分の波形データDwをポストトリガ(トリガ発生後)分として記憶した後に波形データDwの記憶を停止する。

40

【0036】

検出されたイベントの時刻を基準にしてメモリ回路18に記憶される波形データDwの個数を制御するために、メモリ回路18は、波形データDwの記憶を停止するタイミングを、トリガ信号T2が生成されるタイミングに基づいて調整するのが好ましい。トリガ信号T2が生成されるタイミングとイベント検出信号Siが生成されるタイミングとの時間差は、例えば、システムクロックでカウントすることによって計測される。また、メモリ回路18に記憶される波形データDwの個数を制御するために、トリガ信号T2が生成されるタイミングとイベント検出信号Siが生成されるタイミングとの時間差を予め予測し

50

、予測した時間差をポストトリガ分として記憶させる波形データDwの個数又はメモリ回路18のオーバーラン(余分な書込み個数)に反映させてもよい。

【0037】

メモリ回路18は、指令C3にตอบสนองして、波形データDwを読み出し、波形データDwを波形処理及び表示処理回路19に出力する。波形処理及び表示処理回路19は、制御部13から提供された波形データDwの波形処理及び表示処理条件に関する情報Xdに基づいて、波形データDwの波形処理及び表示処理を行う。そして、波形処理及び表示処理回路19は、波形処理及び表示処理が行われた波形データDwdを表示器20に供給し、表示器20は、波形処理及び表示処理が行われた波形データDwdを表示する。

【0038】

図4は、図1に示す波形記録装置の波形記録動作を示すフローチャートである。このフローは、波形記録装置1が波形記録動作を開始してからディセーブル期間が解除された後にトリガ信号T1、T2が生成されることを前提としている。先ず、メモリ回路18は、指令C2にตอบสนองして波形データDwの記憶動作を開始する(ステップS1)。この場合、メモリ回路18は、プリトリガ分の波形データDwを記憶してからトリガ回路14に対するディセーブル信号を解除した後も波形データDwの記憶を継続する。

【0039】

次に、トリガ回路14は、トリガ条件(立上りエッジ)に基づいてトリガ信号T1を生成する(ステップS2)。次に、バッファ制御回路15は、トリガ信号T1にตอบสนองして書込み/読出し信号C1をハイレベルにし、バッファ12は、書込み/読出し信号C1に

【0040】

次に、トリガ回路14は、トリガ条件(立下りエッジ)に基づいてトリガ信号T2を生成する(ステップS4)。次に、バッファ制御回路15は、トリガ信号T2にตอบสนองして書込み/読出し信号C1をローレベルにし、バッファ12は、書込み/読出し信号C1に

【0041】

次に、補間処理回路16bは、バッファ12から供給されたデジタルデータDdの補間処理を行う(ステップS6)。次に、時間検出処理回路16cは、正スロープ時刻及び負スロープ時刻からパルス幅の検出処理結果Dtを検出処理し、レベル検出処理回路16dは、レベル検出期間信号C12に従って、補間データDhから最大値の検出処理結果Deを検出処理する(ステップS7)。ステップS6及びステップS7は、機能上の手順を説明したものであり、回路動作上は、イベント検出処理する時間を短縮するためにパイプラインで順次処理される。

【0042】

次に、イベント判定回路16eは、バッファ12に記憶されているデジタルデータDdからイベントが検出されたか否かを判定する(ステップS8)。イベントが検出されなかった場合、処理はステップS2に戻る。

【0043】

それに対し、イベントが検出された場合、メモリ回路18は、ポストトリガ分として設定された個数分の波形データDwを記憶した後に波形データDwの記憶を停止する(ステップS9)。次に、波形処理及び表示処理回路19は、メモリ回路18に記憶された波形データDwの波形処理及び表示処理を行い、表示器20は、波形処理及び表示処理が行われた波形データDwdを表示する(ステップS10)。その後、波形記録装置1は処理を終了する。

【0044】

本実施の形態によれば、メモリ回路18への波形データDwの記憶と並行してバッファ12に記憶されたデジタルデータDdからリアルタイムでイベント検出を行うので、波形記録の中断及び再開の期間の発生を回避することができる。

10

20

30

40

50

【 0 0 4 5 】

また、イベント検出のために用いられるデジタルデータD dはトリガ信号T 1 , T 2の発生タイミングの周辺に限定されるので、高効率のイベント検出が可能である。また、補間データD hを用いたイベント検出を行うことによって、高周波数の計数クロックを用いることなく高精度のイベント検出が可能となり、波形記録装置1のコストの上昇を回避することができる。また、デジタルデータD dの取込み処理から独立したイベント検出が可能となる。さらに、イベント検出の際に時間検出処理及びレベル検出処理を行うことによって、所望のイベントの取得が容易になる。

【 0 0 4 6 】

さらに、イベントを高精度に検出することが要求されない場合には、バッファ1 2に記憶するデジタルデータD dをデシメーションすることによって、広いパルス幅を検出することができる。

10

【 0 0 4 7 】

図5は、本発明による波形記録装置の他の実施の形態を示す図であり、図6は、図5の一部を詳細に示す図である。波形記録装置1'は、ADC1 1と、バッファ1 2' , 1 2"と、制御部1 3と、トリガ回路1 4と、バッファ制御回路1 5'と、イベント検出回路1 6'と、取込み処理回路1 7と、メモリ回路1 8と、波形処理及び表示処理回路1 9と、表示器2 0と、を備える。

【 0 0 4 8 】

バッファ1 2'、バッファ1 2"、バッファ制御回路1 5'、イベント検出回路1 6'、取込み処理回路1 7並びに波形処理及び表示処理回路1 9は、例えば、メモリを内蔵したFPGAによって構成される。

20

【 0 0 4 9 】

検出すべきイベントであるパルス幅が広くなるに従ってバッファ容量を増大させる必要がある。本実施の形態では、バッファ容量を増大させることなく広いパルス幅を高精度に検出するために、アナログ入力信号S aの立上りエッジ周辺のデジタルデータD dを記憶するバッファ1 2'及びアナログ入力信号S aの立下がりエッジ周辺のデジタルデータD dを記憶するバッファ1 2"を用いる。バッファ1 2'は、第1のバッファの一例であり、バッファ1 2"は、第2のバッファの一例である。また、バッファ1 2'及びバッファ1 2"に記憶するデジタルデータD dのデータ数の情報は、制御部1 3からバッファ制御回路1 5'に提供される。

30

【 0 0 5 0 】

バッファ制御回路1 5'は、広いパルス幅Wを検出するためのデジタルデータD dすなわちアナログ入力信号S aの立上りエッジ周辺のデジタルデータD dをバッファ1 2'に記憶させるために、バッファ1 2'が記憶動作を開始してから終了するまでの期間を、トリガ信号T 1及び制御部1 3から提供されたデータ数に基づいて制御する。本実施の形態では、バッファ制御回路1 5'がトリガ信号T 1を受信すると、バッファ制御回路1 5'は、バッファ1 2'がデジタルデータD dの記憶を開始するために書込み/読出し信号C 1'をハイレベルにする。その後、バッファ制御回路1 5'は、制御部1 3から提供されたデータ数をシステムクロックで計数した後に書込み/読出し信号C 1'をローレベルにする。バッファ1 2'は、アナログ入力信号S aの立上りエッジ周辺のデジタルデータD dを記憶した後にデジタルデータD dの記憶を終了し、バッファ1 2'に記憶されたデジタルデータD dをイベント検出回路1 6'に出力する。

40

【 0 0 5 1 】

バッファ制御回路1 5'は、広いパルス幅Wを検出するためのデジタルデータD dすなわちアナログ入力信号S aの立下りエッジ周辺のデジタルデータD dをバッファ1 2"に記憶させるために、バッファ1 2"が記憶動作を開始してから終了するまでの期間を、トリガ信号T 2及び制御部1 3から提供されたデータ数に基づいて制御する。本実施の形態では、バッファ制御回路1 5'がトリガ信号T 2を受信すると、バッファ制御回路1 5'は、バッファ1 2"がデジタルデータD dの記憶を開始するために書込み/読出し信号C

50

1"をハイレベルにする。その後、バッファ制御回路15'は、制御部13から提供されたデータ数をシステムクロックで計数した後に書込み/読出し信号C1"をローレベルにする。バッファ12"は、アナログ入力信号S_aの立下りエッジ周辺のデジタルデータD_dを記憶した後にデジタルデータD_dの記憶を終了し、バッファ12"に記憶されたデジタルデータD_dをイベント検出回路16'に出力する。

【0052】

バッファ制御回路15'は、バッファ12'が記憶を停止してからバッファ12"が記憶を開始するまでの期間を、書込み/読出し信号C1'及び書込み/読出し信号C1"を基にしてシステムクロックを用いて計測する。

【0053】

また、本実施の形態では、バッファ制御回路15'は、バッファ12', 12"が記憶動作を開始してから終了するまで期間を調整するために、トリガ信号T1, T2が生成された時間の他に種々の要件を考慮する。種々の要件は、例えば、トリガ信号T1の生成からバッファ12'の制御までの遅れ時間、トリガ信号T2の生成からバッファ12"の制御までの遅れ時間、トリガ信号T1の生成のタイミングとデジタルデータD_dのバッファ12'への記憶のタイミングとの差、書込み/読出し信号C1'を出力してからバッファ12'が記憶を停止するまでの期間の終了時からバッファ12"の記憶の開始時までの期間、補間処理に必要な余分なデータ数等を含む。種々の要件についての情報を、例えば、操作部の操作を介して制御部13からバッファ制御回路15'に提供してもよい。

【0054】

図6に示すように、イベント検出回路16'は、イベント検出制御回路16aと、補間処理回路16b'と、時間検出処理回路16c'と、レベル検出処理回路16d'と、イベント判定回路16eと、を有する。

【0055】

バッファ制御回路15'は、バッファ12'が記憶を停止してからバッファ12"が記憶を開始するまでの期間の計測結果T_mを時間検出処理回路16c'に提供する。また、バッファ制御回路15'は、バッファ12'が記憶を停止してからバッファ12"が記憶を開始するまでの期間にレベル検出期間信号C12をレベル検出処理回路16d'に出力する。

【0056】

補間処理回路16b'は、イベントを検出するためのデジタルデータD_dがバッファ12'及びバッファ12"から供給され、補間倍率HでデジタルデータD_dの補間処理を行うことによって補間データD_h', D_h"を生成して時間検出処理回路16c'に供給する。また、補間処理回路16b'は、補間データD_h'の提供期間に時間検出信号C11'を時間検出処理回路16c'に出力し、補間データD_h"の提供期間に時間検出信号C11"を時間検出処理回路16c'に出力する。

【0057】

時間検出処理回路16c'は、時間検出信号C11'に従って、補間データD_h'から正スローブ時刻を検出処理し、時間検出信号C11"に従って、補間データD_h"から負スローブ時刻を検出処理する。また、時間検出処理回路16c'は、正スローブ時刻及び負スローブ時刻とバッファ制御回路15'から提供された計測結果T_mを演算処理したパルス幅の検出処理結果D_tを、イベント判定回路16eに供給する。時間検出処理回路16c'は、補間データD_h', D_h"及び計測結果T_mを用いることによって高精度の時間検出が可能になる。

【0058】

レベル検出処理回路16d'は、デジタルデータD_dがADC11から入力され、レベル検出期間信号C12に従って、デジタルデータD_dの最大値の検出処理結果D_e(デジタルデータのレベル)を検出処理し、イベント判定回路16eに供給する。イベント判定回路16eは、ADC11から入力されたデジタルデータD_dを用いることによって、バッファ12'が記憶する期間の終了時からバッファ12"が記憶する期間の開始時までの

10

20

30

40

50

期間のデジタルデータ D_d の最大値 L を検出処理することができる。

【 0 0 5 9 】

図 7 は、イベント検出回路によって検出されるイベントの他の例を示す図である。イベントが広いパルス幅（例えば、1 マイクロ秒）のパルスである場合、バッファ 1 2 ' の記憶の終了時からバッファ 1 2 " の記憶の開始時までの期間 S が設けられる。イベント判定回路 1 6 e は、正スロープ時刻から負スロープ時刻までの期間 $T_{i'}$ がパルス幅 W に相当するか否か及びデジタルデータ D_d の最大値 L が最大値 P_m に相当するか否かを判定する。更に詳しくは、イベント判定回路 1 6 e は、正スロープ時刻から負スロープ時刻までの期間 $T_{i'}$ が上限値（例えば、1 0 0 0 . 1 ナノ秒）と下限値（例えば、9 9 9 . 9 ナノ秒）の間に存在するか否か及びデジタルデータ D_d の最大値 L が上限値と下限値の間に存在するか否かを判定する。

10

【 0 0 6 0 】

本実施の形態において、最大値 L の検出期間としてバッファ 1 2 ' の記憶の終了時からバッファ 1 2 " の記憶の開始時までの期間 S を設定したが、本実施の形態の変形例として、最大値 L の検出期間を、正スロープ時刻から負スロープ時刻までの期間 $T_{i'}$ に拡張することが可能である。例えば、時間検出処理回路 1 6 c が正スロープ時刻以降の補間データ $D_{h'}$ 及び負スロープ時刻より前の補間データ $D_{h''}$ をレベル検出処理回路 1 6 d ' に提供することによって、レベル検出処理回路 1 6 d ' は期間 $T_{i'}$ を設定することができる。

【 0 0 6 1 】

20

本実施の形態によれば、バッファ 1 2 ' がアナログ入力信号 S_a の立上りエッジ周辺のデジタルデータ D_d を記憶するとともにバッファ 1 2 " がアナログ入力信号 S_a の立下りエッジ周辺のデジタルデータ D_d を記憶することによって、バッファ容量を増大させることなく広いパルス幅を高精度に検出することができる。

【 0 0 6 2 】

上記実施の形態において、イベントとしてパルス幅を検出する場合について説明したが、パルス幅以外のイベント、例えば、デジタルデータ D_d のレベルとデジタルデータ D_d が予め決定されたレベルから検出された期間の少なくとも一方に関連するイベントを検出する場合にも本発明を適用することができる。図 8 は、イベント検出回路によって検出されるイベントの他の例を示す図である。イベント検出回路 1 6 (図 1) は、二つの閾値 $T_{h'}$, $T_{h''}$ ($T_{h'} < T_{h''}$) の間の遷移時間、及び補間データ D_h の極小値 L' と極大値 L'' によって決定されるヒステリシス量 h (極大値 L'' - 極小値 L') によって規定される図 8 に示すような立上りエッジをイベントとして検出することもできる。この場合、トリガ条件は、予め設定された閾値レベル $T_{h'}$ に基づいて検出されるアナログ入力信号 S_a の立上りエッジ及び予め設定された閾値レベル $T_{h''}$ に基づいて検出されるアナログ入力信号 S_a の立下りエッジである。また、トリガ条件に関する情報 X_t は、アナログ入力信号 S_a が閾値レベル $T_{h'}$ より上になったか否か及びアナログ入力信号 S_a が閾値レベル $T_{h''}$ より上になったか否かの判定を行う旨の条件を含む。

30

【 0 0 6 3 】

イベントに関する情報 X_i は、デジタルデータ D_d を補間処理するために用いられる補間倍率 H 、閾値レベル $T_{h'}$, $T_{h''}$ 、デジタルデータ D_d のレベルが閾値レベル $T_{h'}$ から閾値レベル $T_{h''}$ まで上昇するまでに要すべき時間 T_x を含む。また、イベントに関する情報 X_i は、デジタルデータ D_d のレベルが閾値レベル $T_{h'}$ から閾値レベル $T_{h''}$ まで上昇するまでに検出すべき補間データ D_h のヒステリシス量 H を含む。

40

【 0 0 6 4 】

トリガ回路 1 4 は、予め設定された閾値レベル $T_{h'}$ に基づいて検出されるアナログ入力信号 S_a の立上りエッジ及び予め設定された閾値レベル $T_{h''}$ に基づいて検出されるアナログ入力信号 S_a の立下りエッジにตอบสนองしてトリガ信号 T_1 , T_2 を生成する。この場合、トリガ回路 1 4 は、アナログ入力信号 S_a のレベルと閾値レベル $T_{h'}$ とをコンパレータを用いて比較し、トリガ回路 1 4 に対するディセーブル信号が解除された状態でアナ

50

ログ入力信号 S_a が閾値レベル $T_{h'}$ より上になったときにトリガ信号 T_1 を生成してバッファ制御回路 15 に送信する。また、トリガ回路 14 は、アナログ入力信号 S_a のレベルと閾値レベル $T_{h''}$ とを別のコンパレータを用いて比較し、トリガ回路 14 に対するディセーブル信号（図示せず）が解除された状態でアナログ入力信号 S_a が閾値レベル $T_{h''}$ より上になったときにトリガ信号 T_2 を生成してバッファ制御回路 15 に送信する。トリガ回路 14 は、トリガ信号 T_2 をバッファ制御回路 15 に送信した後にディセーブル状態になる。

【0065】

イベント検出制御回路 16a は、補間倍率 H についての情報を補間処理回路 16b に提供する。また、イベント検出制御回路 16a は、閾値レベル $T_{h'}$ 、 $T_{h''}$ についての情報を時間検出処理回路 16c に提供する。イベント検出制御回路 16a は、補間データ D_h が閾値レベル $T_{h'}$ から閾値レベル $T_{h''}$ まで上昇するまでに要すべき遷移時間 T_x についての情報をイベント判定回路 16e に提供する。さらに、イベント検出制御回路 16a は、デジタルデータ D_d のレベルが閾値レベル $T_{h'}$ から閾値レベル $T_{h''}$ まで上昇するまでに検出すべき補間データ D_h のヒステリシス量 H についての情報をイベント判定回路 16e に提供する。

10

【0066】

時間検出処理回路 16c は、時間検出信号 C_{11} に従って、補間データ D_h が閾値レベル $T_{h'}$ より上になった時間及び補間データ D_h が閾値レベル $T_{h''}$ より上になった時間を検出処理し、レベル検出期間信号 C_{12} をレベル検出処理回路 16d に出力し、遷移時間の検出処理結果 D_t をイベント判定回路 16e に供給する。

20

【0067】

レベル検出処理回路 16d は、レベル検出期間信号 C_{12} に従って、補間データ D_h の極小値 L' （補間データのレベル）及び極大値 L'' （補間データのレベル）を検出処理し、補間データ D_h のヒステリシス量に対応する検出処理結果 D_e をイベント判定回路 16e に供給する。

【0068】

イベント判定回路 16e は、バッファ 12 に記憶されているデジタルデータ D_d からイベントが検出されたか否かを、検出処理結果 D_t 、 D_e 、補間データ D_h が閾値レベル $T_{h'}$ から閾値レベル $T_{h''}$ まで上昇するまでに要すべき遷移時間 T_x 並びに補間データ D_h のヒステリシス量 H に基づいて判定する。

30

【0069】

図 8 において、補間データ D_h が閾値レベル $T_{h'}$ を下から上に通過してから閾値レベル $T_{h''}$ を下から上に通過するまでの遷移時間 $T_{i''}$ は時間検出処理回路 16c の検出処理結果 D_t に対応し、遷移時間 $T_{i''}$ の中で発生する補間データ D_h の極大値 L'' と極小値 L' の差（ヒステリシス量 h ）はレベル検出処理回路 16d の検出処理結果 D_e に対応する。

【0070】

イベント判定回路 16e は、補間データ D_h の遷移時間 $T_{i''}$ が T_x の上限値（例えば、10.1 ナノ秒）と下限値（例えば、9.9 ナノ秒）の間に存在するか否かを判定する。また、イベント判定回路 16e は、ヒステリシス量 h が上限値と下限値の間に存在するか否かを判定する。

40

【0071】

したがって、閾値レベル $T_{h'}$ 及び閾値レベル $T_{h''}$ に基づいて検出されるアナログ入力信号 S_a の立上り遷移時間並びに補間データ D_h が閾値レベル $T_{h'}$ から閾値レベル $T_{h''}$ まで上昇する間に発生する非単調性（ヒステリシス量 h ）をイベントとして検出することができる。同様に、閾値レベル $T_{h'}$ 及び閾値レベル $T_{h''}$ に基づいて検出されるアナログ入力信号 S_a の立下りエッジ遷移時間並びに補間データ D_h が閾値レベル $T_{h'}$ から閾値レベル $T_{h''}$ まで下降する間に発生する非単調性（ヒステリシス量 h ）をイベントとして検出することができる。

50

【 0 0 7 2 】

なお、本実施の形態では、イベント条件にヒステリシス量 h を例に説明したが、補間データ D_h の極小値 L' 及び極大値 L'' をイベント条件とすることも可能である。

【 0 0 7 3 】

上記実施の形態において、イベント検出の際に時間検出処理及びレベル検出処理を行う場合について説明したが、イベント検出の際に時間検出処理とレベル検出処理の少なくとも一方を行う場合でも所望のイベントの取得が容易になる。すなわち、イベントがデジタルデータのレベルとデジタルデータが予め決定されたレベルから検出された期間の少なくとも一方に関連する場合でも所望のイベントの取得が容易になる。

【 0 0 7 4 】

さらに、イベントを高精度に検出することが要求されない場合には、バッファ 12 に記憶するデジタルデータ D_d をデシメーションすることによって、長い遷移期間を検出することができる。

【 0 0 7 5 】

図 9 は、本発明による波形記録装置の他の実施の形態を示す図であり、図 10 は、図 9 の一部を詳細に示す図である。波形記録装置 1'' は、ADC 11 と、バッファ 12 a, 12 b, 12 c, 12 d と、制御部 13 と、トリガ回路 14' と、バッファ制御回路 15'' と、イベント検出回路 16'' と、取込み処理回路 17 と、メモリ回路 18 と、波形処理及び表示処理回路 19 と、表示器 20 と、を備える。

【 0 0 7 6 】

バッファ 12 a, 12 b, 12 c, 12 d、バッファ制御回路 15''、イベント検出回路 16''、取込み処理回路 17 並びに波形処理及び表示処理回路 19 は、例えば、メモリを内蔵した FPG A によって構成される。

【 0 0 7 7 】

トリガ回路 14' は、予め設定された二つの閾値レベル $T_{h'}$, $T_{h''}$ ($T_{h'} < T_{h''}$) に基づいて、アナログ入力信号 S_a の閾値レベル $T_{h'}$ の立上りエッジに応じてトリガ信号 T_1' を生成し、閾値レベル $T_{h''}$ の立上りエッジに応じてトリガ信号 T_2' を生成し、閾値レベル $T_{h''}$ の立下りエッジに応じてトリガ信号 T_3' を生成し、閾値レベル $T_{h'}$ の立下りエッジに応じてトリガ信号 T_4' を生成する。本実施の形態で、緩やかなスロープを持つ正パルスのイベント（正スロープの後に負スロープが発生する）を例にとると、トリガ条件に関する情報 X_t は、トリガ信号が T_1' , T_2' , T_3' , T_4' の順に発生する情報を含む。従って、例えば閾値レベル $T_{h'}$ を超え、かつ、閾値レベル $T_{h''}$ を超えない正のラントパルスがアナログ入力信号 S_a に入力された場合、すなわち、トリガ信号 T_1' が発生した後、トリガ信号 T_2' , T_3' が生成されずにトリガ信号 T_4' が発生する場合には、トリガ回路 14' は初期化され、トリガ回路 14' に対するディセーブル信号が解除された状態（すなわち、トリガ信号 T_1' , T_2' , T_3' , T_4' は全てローレベルとする。）に戻ることによって、無効なイベント検出動作を排除することを可能にする。

【 0 0 7 8 】

本実施の形態によれば、緩やかなスロープを持つパルスイベントに対し、閾値レベル $T_{h'}$ 及び閾値レベル $T_{h''}$ に基づいて検出されるアナログ入力信号 S_a の立上り遷移時間並びに立下り遷移時間を高精度で検出するために、アナログ入力信号 S_a の正スロープにおける閾値レベル $T_{h'}$ の立上りエッジ周辺のデジタルデータ D_d を記憶するバッファ 12 a と、閾値レベル $T_{h''}$ の立上りエッジ周辺のデジタルデータ D_d を記憶するバッファ 12 b と、アナログ入力信号 S_a の立下りスロープにおける閾値レベル $T_{h''}$ の立下りエッジ周辺のデジタルデータ D_d を記憶するバッファ 12 c と、閾値レベル $T_{h'}$ の立下りエッジ周辺のデジタルデータ D_d を記憶するバッファ 12 d と、を用いる。また、バッファ 12 a, 12 b, 12 c, 12 d に記憶するデジタルデータ D_d のデータ数の情報は、制御部 13 からバッファ制御回路 15'' に提供される。

【 0 0 7 9 】

バッファ制御回路 15'' は、緩やかな立上りスロープの遷移時間を検出するためのデジタルデータ D d すなわちアナログ入力信号 S a の閾値レベル T h ' の立上りエッジ周辺のデジタルデータ D d をバッファ 12 a に記憶させるために、バッファ 12 a が記憶動作を開始してから終了するまでの期間を、トリガ信号 T 1 ' 及び制御部 13 から提供されたデータ数に基づいて制御する。本実施の形態では、バッファ制御回路 15'' がトリガ信号 T 1 ' を受信すると、バッファ制御回路 15'' は、バッファ 12 a がデジタルデータ D d の記憶を開始するために書込み / 読出し信号 C 1 a をハイレベルにする。その後、バッファ制御回路 15'' は、制御部 13 から提供されたデータ数をシステムクロックで計数した後に書込み / 読出し信号 C 1 a をローレベルにする。バッファ 12 a は、アナログ入力信号 S a の閾値レベル T h ' の立上りエッジ周辺のデジタルデータ D d を記憶した後にデジタルデータ D d の記憶を終了し、バッファ 12 a に記憶されたデジタルデータ D d をイベント検出回路 16'' に出力する。

10

【 0080】

バッファ制御回路 15'' は、緩やかな立上りスロープの遷移時間を検出するためのデジタルデータ D d すなわちアナログ入力信号 S a の閾値レベル T h '' の立上りエッジ周辺のデジタルデータ D d をバッファ 12 b に記憶させるために、バッファ 12'' が記憶動作を開始してから終了するまでの期間を、トリガ信号 T 2 ' 及び制御部 13 から提供されたデータ数に基づいて制御する。本実施の形態では、バッファ制御回路 15'' がトリガ信号 T 2 ' を受信すると、バッファ制御回路 15'' は、バッファ 12 b がデジタルデータ D d の記憶を開始するために書込み / 読出し信号 C 1 b をハイレベルにする。その後、バッファ制御回路 15'' は、制御部 13 から提供されたデータ数をシステムクロックで計数した後に書込み / 読出し信号 C 1 b をローレベルにする。バッファ 12 b は、アナログ入力信号 S a の閾値レベル T h '' の立上りエッジ周辺のデジタルデータ D d を記憶した後にデジタルデータ D d の記憶を終了し、バッファ 12 b に記憶されたデジタルデータ D d をイベント検出回路 16'' に出力する。

20

【 0081】

バッファ制御回路 15'' は、バッファ 12 a が記憶を停止してからバッファ 12 b が記憶を開始するまでの期間を、書込み / 読出し信号 C 1 a 及び書込み / 読出し信号 C 1 b を基にしてシステムクロックを用いて計測する。

【 0082】

バッファ制御回路 15'' は、緩やかな立下りスロープの遷移時間を検出するためのデジタルデータ D d すなわちアナログ入力信号 S a の閾値レベル T h '' の立下りエッジ周辺のデジタルデータ D d をバッファ 12 c に記憶させるために、バッファ 12 c が記憶動作を開始してから終了するまでの期間を、トリガ信号 T 3 ' 及び制御部 13 から提供されたデータ数に基づいて制御する。本実施の形態では、バッファ制御回路 15'' がトリガ信号 T 3 ' を受信すると、バッファ制御回路 15'' は、バッファ 12 c がデジタルデータ D d の記憶を開始するために書込み / 読出し信号 C 1 c をハイレベルにする。その後、バッファ制御回路 15'' は、制御部 13 から提供されたデータ数をシステムクロックで計数した後に書込み / 読出し信号 C 1 c をローレベルにする。バッファ 12 c は、アナログ入力信号 S a の閾値レベル T h '' の立下りエッジ周辺のデジタルデータ D d を記憶した後にデジタルデータ D d の記憶を終了し、バッファ 12 c に記憶されたデジタルデータ D d をイベント検出回路 16'' に出力する。

30

40

【 0083】

バッファ制御回路 15'' は、緩やかな立下りスロープの遷移時間を検出するためのデジタルデータ D d すなわちアナログ入力信号 S a の閾値レベル T h ' の立下りエッジ周辺のデジタルデータ D d をバッファ 12 d に記憶させるために、バッファ 12 d が記憶動作を開始してから終了するまでの期間を、トリガ信号 T 4 ' 及び制御部 13 から提供されたデータ数に基づいて制御する。本実施の形態では、バッファ制御回路 15'' がトリガ信号 T 4 ' を受信すると、バッファ制御回路 15'' は、バッファ 12 d がデジタルデータ D d の記憶を開始するために書込み / 読出し信号 C 1 d をハイレベルにする。その後、バッファ

50

制御回路 15" は、制御部 13 から提供されたデータ数をシステムクロックで計数した後に書込み / 読出し信号 C 1 d をローレベルにする。バッファ 12 d は、アナログ入力信号 S a の閾値レベル T h ' の立下りエッジ周辺のデジタルデータ D d を記憶した後にデジタルデータ D d の記憶を終了し、バッファ 12 d に記憶されたデジタルデータ D d をイベント検出回路 16" に出力する。

【 0084 】

バッファ制御回路 15" は、バッファ 12 c が記憶を停止してからバッファ 12 d が記憶を開始するまでの期間を、書込み / 読出し信号 C 1 c 及び書込み / 読出し信号 C 1 d を基にしてシステムクロックを用いて計測する。

【 0085 】

また、本実施の形態では、バッファ制御回路 15" は、バッファ 12 a , 12 b , 12 c , 12 d が記憶動作を開始してから終了するまで期間を調整するために、トリガ信号 T 1 ' , T 2 ' , T 3 ' , T 4 ' が生成された時間の他に種々の要件を考慮する。種々の要件は、例えば、トリガ信号 T 1 ' , T 2 ' , T 3 ' , T 4 ' の生成からバッファ 12 a , 12 b , 12 c , 12 d の制御までの遅れ時間、トリガ信号 T 1 ' , T 2 ' , T 3 ' , T 4 ' の生成のタイミングとデジタルデータ D d のバッファ 12 a , 12 b , 12 c , 12 d への記憶のタイミングとの差、書込み / 読出し信号 C 1 a , C 1 b , C 1 c , C 1 d を出力してからバッファ 12 a , 12 b , 12 c , 12 d が記憶を停止するまでの期間、補間処理に必要な余分なデータ数等を含む。種々の要件についての情報を、例えば、操作部の操作を介して制御部 13 からバッファ制御回路 15" に提供してもよい。

【 0086 】

図 10 に示すように、イベント検出回路 16" は、イベント検出制御回路 16 a" と、補間処理回路 16 b" と、時間検出処理回路 16 c" と、レベル検出処理回路 16 d" と、イベント判定回路 16 e" と、を有する。

【 0087 】

イベント検出制御回路 16 a" は、補間倍率 H についての情報を補間処理回路 16 b" に提供し、閾値レベル T h ' , T h" を時間検出処理回路 16 c" に提供し、検出すべきパルスの立上り遷移時間 T r、立下り遷移時間 T f 及び最大値 P m についての情報をイベント判定回路 16 e" に提供する。

【 0088 】

バッファ制御回路 15" は、バッファ 12 a が記憶を停止してからバッファ 12 b が記憶を開始するまでの期間の計測結果 T m ' 及びバッファ 12 c が記憶を停止してからバッファ 12 d が記憶を開始するまでの期間の計測結果 T m" を時間検出処理回路 16 c" に提供する。また、バッファ制御回路 15" は、バッファ 12 c が記憶を停止してからバッファ 12 d が記憶を開始するまでの期間にレベル検出期間信号 C 1 2 をレベル検出処理回路 16 d" に出力する。

【 0089 】

補間処理回路 16 b" は、イベントを検出するためのデジタルデータ D d がバッファ 12 a , 12 b , 12 c , 12 d から供給され、補間倍率 H でデジタルデータ D d の補間処理を行うことによってそれぞれの補間データ D h 1 , D h 2 , D h 3 , D h 4 を生成して時間検出処理回路 16 c" に供給する。また、補間処理回路 16 b" は、それぞれの補間データ D h 1 , D h 2 , D h 3 , D h 4 の提供期間に対応する時間検出信号 C 1 1 a , C 1 1 b , C 1 1 c , C 1 1 d を時間検出処理回路 16 c" に出力する。

【 0090 】

時間検出処理回路 16 c" は、時間検出信号 C 1 1 a , C 1 1 b に従って、補間データ D h 1 が閾値レベル T h ' より上になった正スロープ開始時刻及び補間データ D h 2 が閾値レベル T h" より上になった正スロープ終了時刻を検出処理する。また、時間検出処理回路 16 c" は、正スロープ開始時刻及び正スロープ停止時刻とバッファ制御回路 15" から提供された計測結果 T m ' を演算処理した立上り遷移時間を検出する。同様に、時間検出処理回路 16 c" は、時間検出信号 C 1 1 c , C 1 1 d に従って、補間データ D h 3

10

20

30

40

50

が閾値レベル T_h より下になった負スロープ開始時刻及び補間データ D_{h4} が閾値レベル $T_{h'}$ より下になった負スロープ終了時刻を検出処理する。また、時間検出処理回路16cは、負スロープ開始時刻及び負スロープ停止時刻とバッファ制御回路15から提供された計測結果 T_m を演算処理した立下り遷移時間を検出する。時間検出処理回路16cは、立上り遷移時間及び立下り遷移時間からなる検出処理結果 D_t を、イベント判定回路16eに供給する。時間検出処理回路16cは、補間データ D_{h1} , D_{h2} , D_{h3} , D_{h4} 及び計測結果 $T_{m'}$, T_m を用いることによって高精度の時間検出が可能になる。

【0091】

レベル検出処理回路16dは、デジタルデータ D_d がADC11から入力され、レベル検出期間信号 $C12$ に従って、デジタルデータ D_d の最大値の検出処理結果 D_e (デジタルデータのレベル)を検出処理し、イベント判定回路16eに供給する。イベント判定回路16eは、ADC11から入力されたデジタルデータ D_d を用いることによって、バッファ12bが記憶する期間の終了時からバッファ12cが記憶する期間の開始時までの期間のデジタルデータ D_d の最大値 L を検出処理することができる。

【0092】

イベント判定回路16eは、バッファ12a, 12b, 12c, 12dに記憶されているデジタルデータ D_d からイベントが検出されたか否かを、検出処理結果 D_t 及び D_e 並びにイベント検出条件であるパルスの立上り遷移時間 T_r 及び立下り遷移時間 T_f 及び最大値 P_m に基づいて判定する。図11は、イベント検出回路によって検出される緩やかなスロープを持つパルスイベントの例を示す図である。緩やかなスロープを持つパルスイベントの場合、バッファ12aの記憶の終了時からバッファ12bの記憶の開始時までの期間 S_x 、バッファ12bの記憶の終了時からバッファ12cの記憶の開始時までの期間 S_y 、バッファ12cの記憶の終了時からバッファ12dの記憶の開始時までの期間 S_z が設けられる。イベント判定回路16eは、正スロープが遷移する期間 T_{ia} が立上り遷移時間 T_r に相当するか否か、負スロープが遷移する期間 T_{ib} が立下り遷移時間 T_f に相当するか否か、及びデジタルデータ D_d の最大値 L が最大値 P_m に相当するか否かを判定する。

【0093】

本実施の形態によれば、バッファ12a及びバッファ12bがアナログ入力信号 S_a の立上りスロープの開始周辺及び終了周辺のデジタルデータ D_d を記憶するとともに、バッファ12c及びバッファ12dがアナログ入力信号 S_a の立下りスロープの開始周辺及び終了周辺のデジタルデータ D_d を記憶することによって、バッファ容量を増大させることなく、緩やかなスロープを持つパルスイベントの立上り遷移時間と立下り遷移時間を高精度に検出することができる。

【0094】

上記実施の形態において、バッファを1個、2個又は4個用いる場合について説明したが、バッファを3個又は5個以上用いてもよい。

【符号の説明】

【0095】

- 1, 1', 1" 波形記録装置
- 11 アナログ・デジタル変換器(ADC)
- 12, 12', 12", 12a, 12b, 12c, 12d バッファ
- 13 制御部
- 14, 14' トリガ回路
- 15, 15', 15" バッファ制御回路
- 16, 16', 16" イベント検出回路
- 16a, 16a" イベント検出制御回路
- 16b, 16b', 16b" 補間処理回路
- 16c, 16c', 16c" 時間検出処理回路

10

20

30

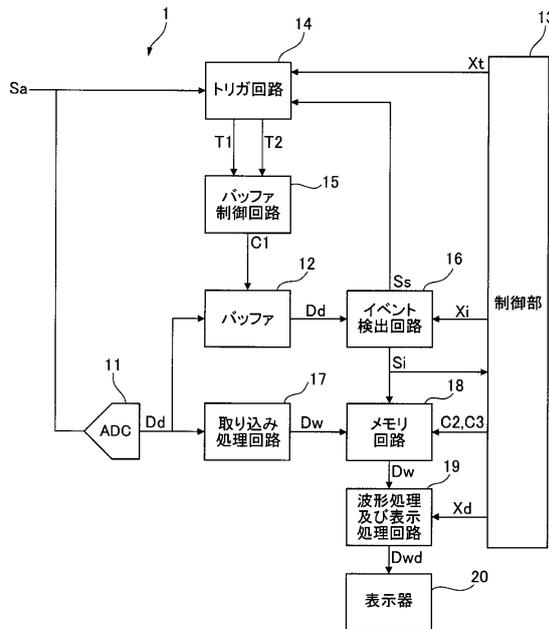
40

50

- 16 d , 16 d ' , 16 d " レベル検出処理回路
- 16 e , 16 e " イベント判定回路
- 17 取込み処理回路
- 18 メモリ回路
- 19 波形処理及び表示処理回路
- 20 表示器

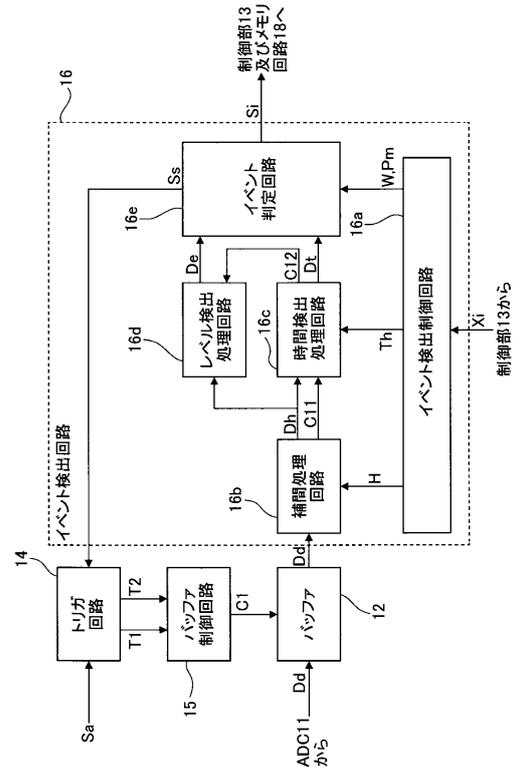
【図1】

図1



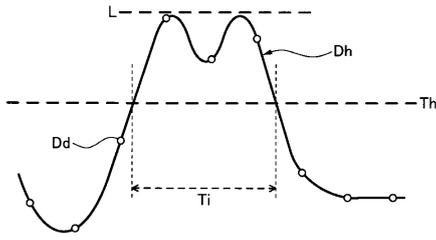
【図2】

図2



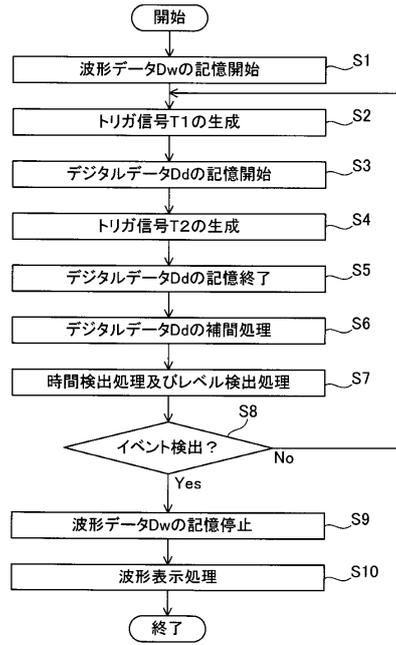
【図3】

図3



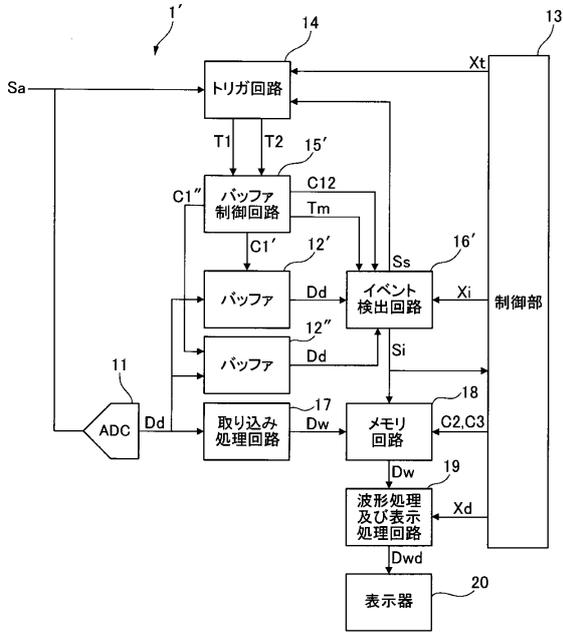
【図4】

図4



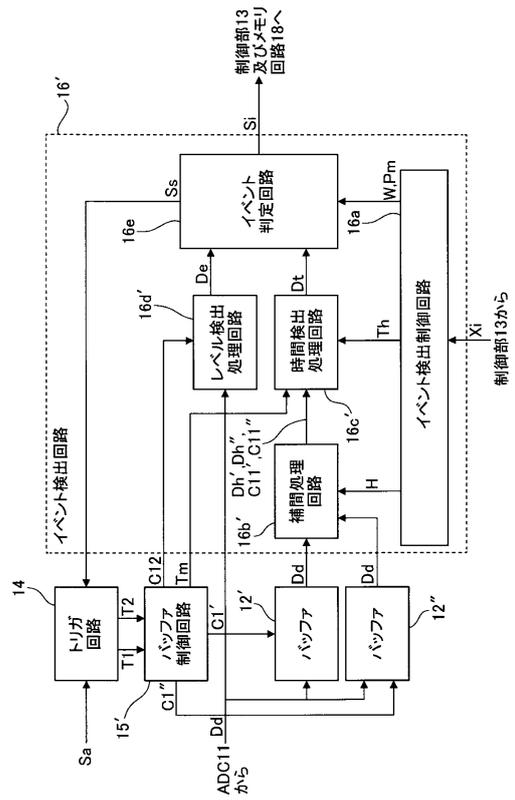
【図5】

図5

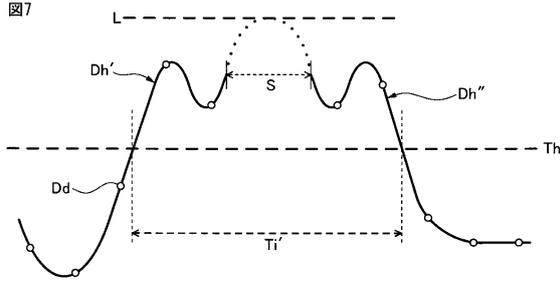


【図6】

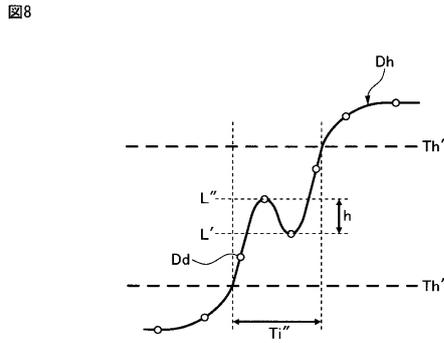
図6



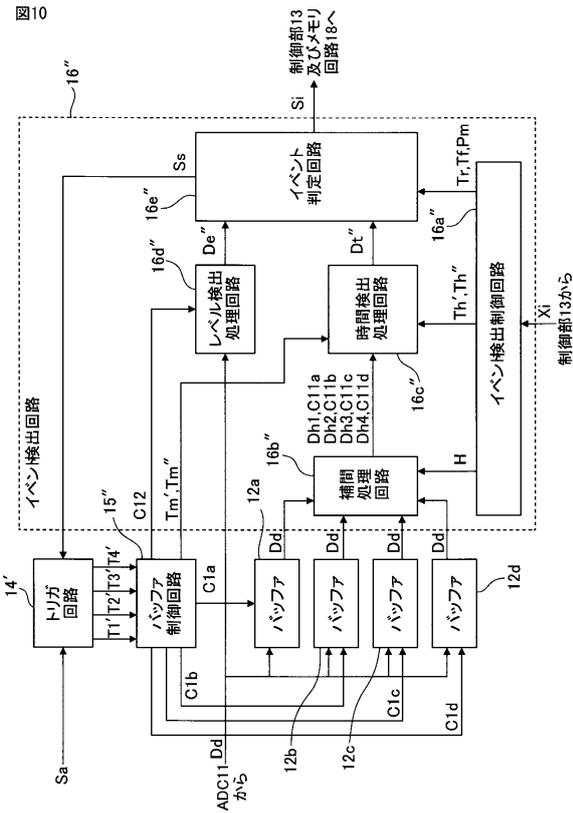
【図7】



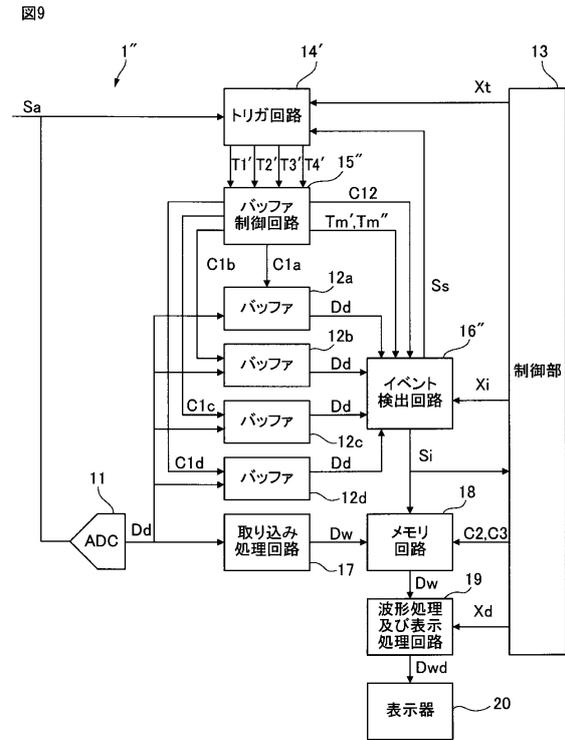
【図8】



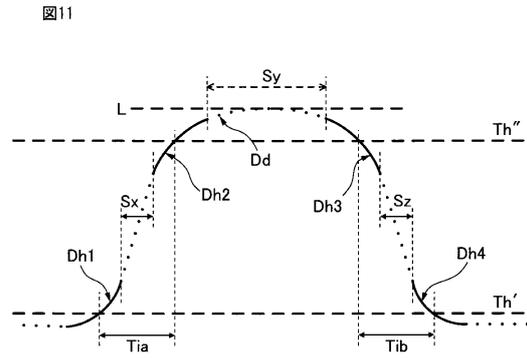
【図10】



【図9】



【図11】



フロントページの続き

(72)発明者 木村 英二

東京都杉並区久我山1丁目7番41号 岩崎通信機株式会社内

審査官 田口 孝明

(56)参考文献 特開2009-300112(JP,A)
特開2006-329979(JP,A)
特開2011-123070(JP,A)
特開昭61-093962(JP,A)
米国特許出願公開第2005/0225310(US,A1)
米国特許第04425643(US,A)
特開平05-264593(JP,A)
特表2009-503458(JP,A)
特開2007-256284(JP,A)
特開昭63-186153(JP,A)

(58)調査した分野(Int.Cl., DB名)

IPC G01R 13/00 - 13/42、
23/00 - 23/20、
H03K 5/00 - 5/02、
5/08 - 5/1254、
5/16 - 5/26、
99/00