(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl.[6]
H01L 29/74

(45) 공고일자 1997년04월22일
(11) 공고번호 특1997-0005950
(24) 등록일자 1997년04월22일

(21) 출원번호 특1993-0012348
(22) 출원일자 1993년07월02일
(65) 공개번호 특1994-0003072
(43) 공개일자 1994년02월19일
(30) 우선권주장 92-178157 1992년07월06일 일본(JP)

(73) 특허권자 가부시키가이샤 도시바 사토 후미오
일본국 가나가와현 가와사키시 사이와이구 호리가와정 72번지
(72) 발명자 우스이 야스노리
일본국 가나가와현 가와사키시 사이와이구 고무가이도시바정 1반지 가부시키가이샤 도시바 다마가와공장내
야노 신지로
일본국 효고현 히메지시 요베구 가미요베 50번지 가부시키가이샤 도시바 히메지반도체공장 내
(74) 대리인 이범일, 김윤배

심사관 : 홍성표 (책자공보 제4961호)

(54) 광점호형 트라이액장치 및 그 구동방법

요약

내용 없음.

대표도

도1

명세서

[발명의 명칭]

광점호형 트라이액장치 및 그 구동방법

[도면의 간단한 설명]

제1도는 본 발명의 광점호형 트라이액장치의 제1실시예를 나타낸 단면도.

제2도는 제1도의 트라이액장치내의 출력단용 트라이액의 동작모드 1(+)에서의 공핍층 및 전류경로를 나타낸 단면도.

제3도는 제1도의 트라이액장치내의 출력단용 트라이액의 동작모드 3(-)에서의 공핍층 및 전류경로를 나타낸 단면도.

제4도는 본 발명의 광점호형 트라이액장치의 제2실시예를 나타낸 단면도.

제5도는 제4도의 트라이액장치내의 출력단용 트라이액의 동작모드 1(+)에서의 공핍층 및 전류경로를 나타낸 단면도.

제6도는 종래의 종형구조의 트라이액을 나타낸 단면도.

제7도는 제6도의 트라이액의 심볼을 나타낸 회로도.

제8도는 종래의 광점호형 트라이액장치를 나타낸 단면도이다.

* 도면의 주요부분에 대한 부호의 설명

10 : 출력단용 트라이액 11 : 제1반도체층
12 : 제2반도체층 13 : 제3반도체층
14 : 제4반도체층 15 : 제5반도체층
16 : 제6반도체층 17 : 제7반도체층
18 : 제8반도체층 19 : 제9반도체층
20 : 제10반도체층 21 : 제11반도체층
22 : 제12반도체층(소자분리층) 23 : 제13반도체층

30,50 : 게이트구동단용 광트라이액　　31 : 제1전극

32 : 제2전극　　33 : 제3전극(게이트전극)

34 : 제4전극　　35 : 제5전극

36 : 제6전극　　37 : 제7전극

38 : 제8전극　　41 : 제1출력단자

42 : 제2출력단자　　44,45 : 알루미늄배선

46,47 : 공핍층

[발명의 상세한 설명]

[산업상의 이용분야]

본 발명은 전력제어 등에 이용되는 트라이액(triac)장치 및 그 구동방법에 관한 것으로, 특히 트라이액 및 그 게이트구동단이 동일 반도체장치내에 형성된 광점호(光点弧)형 트라이액장치 및 그 게이트를 광입력에 의해 구동시키는 구동방법에 관한 것이다.

[종래의 기술 및 그 문제점]

상용전원주파수(50Hz,60Hz) 영역의 전력제어에 이용되고 있는 트라이액장치에 있어서는, 반도체칩의 단위면적당 전류밀도를 향상시키기 위해 종형(vertical)구조의 트라이액을 이용하고 있다.

제6도는 종래의 전력제어용 종형 트라이액의 단면구조의 일예를 나타낸 것이고, 제7도는 이 트라이액의 심볼을 나타낸 것이다.

제6도에 있어서, 참조부호 61은 N형의 제1반도체층, 62는 제1반도체층의 제2주면측에 형성된 P형의 제2반도체층, 63는 제1반도체층의 제1주면의 일부에 형성된 P형의 제3반도체층, 64는 제2반도체층(62)의 표면의 일부에 형성된 N형의 제4반도체층, 65 및 66은 각각 제3반도체층(63)의 표면의 일부에 서로 독립적으로 형성된 N형의 제5반도체층 및 N형의 제6반도체층, 67은 제3반도체층(63)의 표면상에서 제5반도체층(65)에 접해서 형성된 제1전극, 68은 제2반도체층(62)의 표면상에서 제4반도체층(64)에 접해서 형성된 제2전극, 69는 제3반도체층(63)의 표면상에서 제6반도체층(66)에 접해서 형성된 게이트전극이다. 또한, 참조부로 T1은 제1전극(67)에 접속된 제1출력단자이고, T2는 제2전극(68)에 접속된 제2출력단자이며, G는 제3전극(69)에 접속된 게이트단자이다.

상기 트라이액은 양단전극[제1전극(67)과 제2전극(68)]간에 교류전압이 인가된 상태에서 게이트전극(69)에 전류신호가 입력됨으로써 온구동된다.

종래의 트라이액장치에 있어서는, 출력단의 종형 트라이액 및 그 게이트 제어회로가 광결합기(photo coupler)에 의해 광결합되어 있고, 광결합기의 입력단자와 출력단자는 전기적으로 절연분리되어 있다.

만일, 출력단의 트라이액의 게이트구동을 전기신호가 아니라, 예컨대 발광다이오드로부터의 광신호에 의해 직접적으로 제어할 수 있다면, 종래 필요하였던 게이트 제어회로 및 광결합기를 생략할 수 있는데, 종래의 종형 트라이액에서는 그 구조 및 동작의 복잡성 등과 같은 이유로 인해 광점호가 불가능하였다.

한편, 제8도에 나타낸 바와 같이 트라이액을 횡형(lateral) 구조로 하고, 모든 동작영역을 반도체장치의 동일 주표면상에 배열하여 배치하는 방법을 강구함으로써, 광점호를 가능하게 한 횡형의 광점호형 트라이액장치가 「L.Leipold et al., 600V/5A FET TRIGGERD LATERAL OPTO TRIAC, IEDM 1982, pp. 261-263」에 개시되어 있다.

제8도에 있어서, 참조부호 81~83은 N형 반도체층, 84~86은 P형 반도체층, 91은 제1전극, 92는 제2전극, 93은 제3전극(게이트전극), 94는 제4전극, 95는 제5전극, T1은 제1출력단자, T2는 제2출력단자, R1, R2 저항이다.

그러나, 이 광점호형 트라이액장치에서는, 모든 동작영역을 반도체장치의 한쪽 주면측에 형성하고 있기 때문에, 종래의 종형 트라이액을 이용하는 경우와 비교해서 칩의 단위면적당 전류밀도가 현저히 낮아 고전압 및 대전류를 제어하기 위한 전력제어용으로서는 사용할 수 없다.

상기한 바와 같이, 종래의 광점호형 트라이액장치는 모든 동작영역을 반도체장치의 한쪽 주면측에 형성하고 있기 때문에, 전력제어용으로서는 사용할 수 없다는 문제가 있었다.

[발명의 목적]

이에 본 발명은 상기와 같은 문제점을 해결하기 위해 이루어진 것으로, 고전압 및 대전류를 제어하기 위한 전력제어용으로서 실용가능한 광점호형 트라이액장치 및 그 구동방법을 제공하고자 함에 그 목적이 있다.

[발명의 구성]

상기한 목적을 달성하기 위해 본 발명의 광점호형 트라이액장치는, 동일한 반도체장치내에 종형 구조를 갖는 출력단용 트라이액과, 광입력이 조사됨으로써 전류를 발생시켜 이 전류를 상기 출력단용 트라이액의 게이트에 공급하는 광트라이액이 형성되어 있는 것을 특징으로 한다.

또한, 본 발명의 광점호형 트라이액장치의 구동방법은, 상기 발명의 광점호형 트라이액장치를 구동시킬 때, 출력단용 트라이액 양단의 전극간에 교류전압을 인가하여 광트라이액에 광입력을 조사하는 것을 특징으로 한다.

(작용)

상기와 같이 구성된 본 발명에 의하면, 광트라이액은 광입력을 받음으로써 출력단용 트라이액을 직접적으로 구동제어할 수 있게 된다. 이 경우, 출력단용 트라이액 양단전극의 인가전압의 고저관계에 따라서 출력단용 트라이액에 동작모드 1(+)의 게이트 트리거(gate trigger)전류 혹은 동작모드 3(-)의 게이트 트리거전류를 공급한다.

(실시예)

이하, 도면을 참조해서 본 발명의 1실시예를 상세히 설명한다.

제1도는 본 발명의 광점호형 트라이액장치의 제1실시예에 따른 단면구조를 나타낸 것이다.

제1도에 있어서, 참조부로 10은 종형 구조를 갖는 출력단용 트라이액이고, 30은 상기 트라이액의 게이트 구동단용인 반횡형 구조의 광트라이액이다.

상기 출력단용 트라이액(10)에 있어서, 참조부호 11은 제1도전형(본 예에서는 N형)의 제1반도체층, 12는 제1반도체층의 제1주면측 표층부의 일부에 형성된 제2도전형(본 예에서는 P형)의 제2반도체층, 13는 제1반도체층(11)의 제2주면측에 형성된 P형의 제3반도체층, 14는 이 제3반도체층(13)의 제2주면측 표층부의 일부에 형성된 N형의 제4반도체층, 15 및 16은 상기 제2반도체층(12)의 표층부의 일부에 형성된 N형의 제5반도체층 및 제6반도체층이다. 또, 참조부호 31은 상기 제1반도체층(11)의 제1주면측에서 상기 제2반도체층(12)의 표면 및 제5반도체층(15)의 표면에 접해서 형성된 제1전극, 32는 상기 제3반도체층(13)의 표면측에서 상기 제4반도체층(14)의 표면에 접해서 형성된 제2전극, 33은 상기 제1반도체층(11)의 제1주면측상에서 상기 제2반도체층(12)의 표면 및 제6반도체층(16)의 표면에 접해서 형성된 게이트전극용 제3전극이다.

또한, 참조부호 41은 제1전극(31)에 접속된 제1출력단자이고, 42는 제2전극(32)에 접속된 제2출력단자이다.

상기 광트라이액(30)에 있어서, 참조부호 17과 18 및 19는 상기 제1반도체층(11)의 제1주면측 표층부의 일부에 서로 독립적으로 형성된 P형의 제7반도체층과 제8반도체층 및 제9반도체층, 20은 상기 제7반도체층(17)의 표층부의 일부에 형성된 N형의 제10반도체층, 21은 상기 제9반도체층(19)의 표층부의 일부에 형성된 N형의 제11반도체층, 34는 상기 제11반도체층(21)의 표면에 접해서 형성된 제4전극, 35는 상기 제8반도체층(18)의 표면에 접해서 형성된 제5전극, 36은 상기 제10반도체층(20)의 표면에 접해서 형성된 제6전극이다.

또, 상기 제1반도체층(11)과 제3반도체층(13)의 제2전극(32)은 상기 광트라이액(30)의 일부를 구성하고 있다.

그리고, 상기 제2전극(32)과 제4전극(34)은 전기적으로 접속되어 있는데, 이 제2전극(32)과 제4전극(34)을 전기적으로 접속하기 위해, 상기 제1반도체층(11)의 제1주면으로부터 제2주면에 이르는 P형의 제12반도체층(22; 소자분리층)이 설치되어 있다. 이 제12반도체층(22)의 제2주면은 상기 제2전극(32)에 접해 있고, 상기 제12반도체층(22)의 제1주면에 접해서 제7전극(37)이 형성되어 있으며, 이 제7전극(37)과 상기 제4전극(34)이 예컨대 알루미늄배선(44)을 매개로 전기적으로 접속되어 있다.

또한, 상기 제3전극(33)과 제5전극(35) 및 제6전극(36)이 전기적으로 접속되어 있다. 이 경우, 제3전극(33)과 제6전극(36)은 예컨대 알루미늄배선(45)을 매개해서 전기적으로 접속되어 있고, 제5전극(35)과 제6전극(36) 사이에는 후술되는 바와 같이 광신호가 입력된 때에 흐르는 전류에 의해 전위차가 발생하도록 예컨대 10Ω정도의 저항(R1)이 폴리실리콘배선 등에 의해 형성되어 있다.

상기 광점호형 트라이액장치를 구동시킬 때, 출력단용 트라이액(10)의 양단의 전극간에 교류전압을 인가하여 광트라이액(30)에 광입력을 조사한다.

광트라이액(30)은, 광입력이 조사됨으로써 전류를 방생시켜 이 전류를 출력단용 트라이액(10)의 게이트전극(33)에 공급하여 이 게이트전극(33)을 직접적으로 구동제어할 수 있게 된다.

즉, 제2도에 나타낸 바와 같이 제1전극(31)의 인가전압보다도 제2전극(32)의 인가전압이 높을 때에는, P형의 제2반도체층(12)과 제7반도체층(17) 및 제8반도체층(18) 주변에 N형 제1반도체층(11)에는 공핍층(46)이 넓어지고 있다. 이 상태에서, P형의 제7반도체층(17)과 N형의 제1반도체층(11)의 접합부에 광입력을 조사함으로써, 제7반도체층(17) 주변의 공핍층(46)중에 다수의 전자·정공쌍이 발생하게 된다. 이 전자·정공쌍은 전계에 의해 분리되어, 정공은 제7반도체층(17)내로, 전자는 제1반도체층(11)내로 이동하게 된다. 이에 따라, 제10반도체층(20)에 비해 제7반도체층(17)의 전위가 상승하여, 제10반도체층(20)으로부터 제7반도체층(17)으로 전자의 주입이 개시되고, 그에 따라 제6전극(36)과 제10반도체층(20), 제7반도체층(17), 제1반도체층(11), 제3반도체층(13) 및 제2전극(32)으로 이루어진 횡형 다이리스터가 턴온되게 된다.

따라서, 제6전극(36)과 제3전극(33) 및 제2반도체층(12)의 경로로 전류(it)가 흐르게 되고, 이 전류(it)가 트라이액(10)의 동작모드 1(+)의 게이트 트리거전류로 되므로, 상기 트라이액(10)은 동작모드 1(+)[즉, 제1전극(31)의 전압보다도 게이트전극(33)의 전압이 높아서 제2전극(32)측으로부터 제1전극(31)측으로 전류(iA)가 흐르는 동작모드]에서 턴온동작된다.

이에 대해, 제3도에 나타낸 바와 같이 제1전극(31)의 인가전압보다도 제2전극(32)의 인가전압이 낮을때에는, P형의 제9반도체층(19) 및 제12반도체층(22)의 주변의 N형 제1반도체층(11)에는 공핍층(47)이 넓어지고 있다. 이 상태에서, P형의 제9반도체층(19)과 N형의 제1반도체층(11)이 접합부에 광입력이 조사됨으로써, 제9반도체층(19) 주변의 공핍층(47)내에 다수의 전자·정공쌍이 발생하게 된다. 이 전자·정공쌍은 전계에 의해 분리되어, 정공은 제9반도체층(19)내로, 전자는 제1반도체층(11)내로 이동하게 된다. 이에 따라, 제11반도체층(21)에 비해 제9반도체층(19)의 전위가 상승하여, 제11반도체층(21)으로부터 제9반도체층(19)으로 전자의 주입이 개시되고, 그에 따라 제4전극(34)과 제11반도체층(21), 제9반도체층(19), 제1반도체층(11), 제8반도체층(18) 및 제5전극(35)으로 이루어진 횡형 다이리스터가 턴온되게 된다.

따라서, 제3전극(33)과 제5전극(35) 및 제8반도체층(18)의 경로로 전류(it)가 흐르게 되고, 이 전류(it)가 트라이액(10)의 동작모드 3(-)의 게이트 트리거전류로 되므로, 트라이액(10)은 동작모드 3(-)[즉, 제1전극(31)의 전압보다도 게이트전극(33)의 전압이 낮아서 제1전극(31)측으로부터 제2전극(32)측으로 전류(iA1, iA2)가 흐르는 동작모드]에서 턴온동작된다.

상기 실시예에 의하면, 고전압 및 대전류를 제어하는 것이 가능한 종형 구조를 갖는 출력단용 트라이액과, 이 트라이액의 게이트구동단용 광트라이액을 동일한 반도체장치내에 형성하였기 때문에, 전류제어용으로서 실용가능한 광점호형 트라이액장치를 실현할 수 있게 된다.

이와 관련하여, 제8도에 나타낸 바와 같은 종래의 횡형 광점호형 트라이액장치에서는, 600V계의 장치에서는 칩의 단위면적당 전류밀도를 $0.2A/min^2$(Vf=2.0V일때)밖에 얻을 수 없었다.

이에 대해, 본 실시예의 광점호형 트라이액장치에서는 칩이 단위면적당 전류밀도가 $0.5A/min^2$ (Vf=2.0V일때)로 향상되어 통상의 전기신호 트리거형의 종형 트라이액과 비교해도 손색이 없었다.

또한, 종래의 횡형 광점호형 트라이액장치에서는 칩의 단위면적당 전류밀도를 향상시키고자 하면, N형 에미터영역과 P형 에미터영역의 대향길이를 길게 취할 필요가 있고, 이를 위해서는 P형 반도체층(84,85,86)의 폭을 미세화할 필요가 있었다.

이에 대해, 본 실시예의 광점호형 트라이액장치에서는 광트라이액(30)은 출력단용 트라이액(10)의 게이트 트리거전류를 일시적으로 흘리는 것으로서, 상기한 바와 같이 제7반도체층(17)과 제8반도체층(18) 및 제9반도체층(19)의 폭을 극단적으로 미세화할 필요는 없다.

제4도는 본 발명의 광점호형 트라이액장치의 제2실시예 따른 단면구조를 나타낸 것으로, 이 트라이액장치는 상기 제1실시예의 트라이액장치와 비교해서 광트라이액(50)이 반횡형으로부터 횡형으로 변경되어 있는 점이 다르고, 그 외는 동일하므로, 제1도와 동일한 참조부로를 병기하고 있다.

즉, 이 트라이액장치는, 제1도의 트라이액장치에 비해 제1반도체층(11)의 제1주면측 표층부의 제7반도체층으로부터 소정의 거리를 두고 형성된 P형의 제13반도체층(23)과, 이 제13반도체층(23)의 표면에 접해서 형성된 제8전극(38)이 더 부가되어 있고, 상기 제8전극(38)은 전위차발생용 저항(R2; 폴리실리콘 배선 등)을 매개해서 제4전극(34)에 전기적으로 접속되어 있다.

이 트라이액장치의 동작은, 제1실시예에의 트라이액장치의 동작과 비교해서 광트라이액(50)이 트라이액(10)의 동작모드 1(+)의 게이트 트리거전류를 공급할 때의 동작이 다르고, 그 외는 동일하다.

즉, 제5도에 나타낸 바와 같이 제1전극(31)의 인가전압보다도 제2전극(32)의 인가전압이 높을 때, P형의 제7반도체층(17)과 N형의 제1반도체층(11)의 접합부에 광입력이 조사됨으로써, 제7반도체층(17) 주변의 공핍층(46)중에 다수의 전자·정공쌍이 발생하게 된다. 이 전자·정공쌍은 전계에 의해 분리되어, 정공은 제7반도체층(17)내로, 전자는 제1반도체층(11)내로 이동한다. 이에 따라, 제10반도체층(20)에 비해 제7반도체층(17)의 전위가 상승하여, 제10반도체층(20)으로부터 제7반도체층(17)으로 전자의 주입이 개시되고, 그에 따라 제6전극(36)과 제10반도체층(20), 제7반도체층(17), 제1반도체층(11), 제13반도체층(23) 및 제8전극(38)으로 이루어진 횡형 다이리스터가 턴온되게 된다. 이때, 제2도에 나타낸 바와 같은 종형 다이리스터는 턴온되지 않는다.

상기한 바와 같은 제2실시예의 트라이액장치에 의하며, 제1실시예의 트라이액장치와 동일한 효과가 얻어지는 외에, 출력단용 트라이액(10)의 동작모드 1(+)의 게이트 트리거전류 혹은 동작모드 3(-)의 게이트 트리거전류를 횡형 다이리스터가 공급하므로, 출력단용 트라이액(10)은 동작모드 1(+)의 광감도와 동작모드 3(-)의 광감도를 보다 일치시킬 수 있다는 잇점이 얻어진다.

한편, 본원 청구범위의 각 구성요건에 병기된 도면의 참조부호는 본원 발명의 이해를 용이하게 하기 위한 것으로, 본원 발명의 기술적 범위를 도면에 도시한 실시예에 한정할 의도로 병기한 것은 아니다.

[발명의 효과]

이상 설명한 바와 같이 본 발명에 의하면, 고전압 및 대전류를 제어하는 것이 가능한 종형 구조를 갖는 출력단용 트라이액 및 그 게이트 구동단용 광트라이액을 동일 반도체장치내에 형성하였기 때문에, 전력제어용으로서 실용가능한 광점호형 트라이액장치 및 그 구동방법을 실현할 수 있게 된다.

(57) 청구의 범위

청구항 1

동일 반도체장치내에, 종형 구조를 갖는 출력단용 트라이액(10)과, 광입력이 조사됨으로써 전류를 발생시켜 이 전류를 상기 출력단용 트라이액(10)의 게이트전극(33)에 공급하는 광트라이액(30,50)이 형성되어 있는 것을 특징으로 하는 광점호형 트라이액장치.

청구항 2

제1도전형의 제1반도체층(11)과, 이 제1반도체층(11)의 제1주면측 표층부의 일부에 형성된 제2도전형의 제2반도체층(12), 상기 제1반도체층(11)의 제2주면측에 형성된 제2도전형의 제3반도체층(13), 이 제3반도체층(13)의 제2주면측 표층부의 일부에 형성된 제1도전형의 제4반도체층(14), 상기 제2반도체층(12)의 표층부의 일부에 형성된 제1도전형의 제5반도체층(15) 및 제6반도체층(16), 상기 제1반도체층(11)의 제1주면측 표층부의 일부에 서로 독립적으로 형성된 제2도전형의 제7반도체층(17)과 제8반도체층(18) 및 제9반도체층(19), 상기 제7반도체층(17)의 표층부의 일부에 형성된 제1도전형의 제10반도체층(20), 상기 제9반도체층(19)의 표층부의 일부에 형성된 제1도전형의 제11반도체층(21), 상기 제1반도체층(11)의 제1주면측에서 상기 제2반도체층(12)의 표면 및 제5반도체층(15)의 표면에 접해서 형성된 제1전극(31), 상기 제3반

도체층(13)의 표면측에서 상기 제4반도체층(14)의 표면과 상기 제3반도체층(13)에 접해서 형성된 제2전극(32), 상기 제1반도체층(11)의 제1주면측상에서 상기 제2반도체층(12)의 표면 및 제6반도체층(16)의 표면에 접해서 형성된 게이트전극용 제3전극(33), 상기 제11반도체층(21)의 표면에 접해서 형성된 제4전극(34), 상기 제8반도체층(18)의 표면에 접해서 형성된 제5전극(35) 및 상기 제10반도체층(20)의 표면에 접해서 형성된 제6전극(36)을 구비하고 있고, 상기 제2전극(32)과 제4전극(34)이 전기적으로 접속되며, 상기 제3전극(33)과 제5전극(35) 및 제6전극(36)이 전기적으로 접속되어 있는 것을 특징으로 하는 광점호형 트라이액장치.

청구항 3

제2항에 있어서, 상기 제2전극(32)과 제4전극(34)을 전기적으로 접속하기 위해 상기 제1반도체층(11)의 제1주면측으로부터 제2두면에 이르는 제2도전형 제12반도체층(22)을 갖추고 있고, 이 제12반도체층(22)의 제2주면이 상기 제2전극(32)에 접해 있으며, 상기 제12반도체층(22)의 제1주면에 접해서 제7전극(37)이 형성되어 있고, 제7전극(37)과 상기 제4전극(34)이 전기적으로 접속되어 있는 것을 특징으로 하는 광점호형 트라이액장치.

청구항 4

제2항 또는 제3항에 있어서, 상기 제1반도체층(11)의 제1주면측 표층부에서 상기 제7반도체층(17)으로부터 소정의 거리를 두고 형성된 제2도전형의 제13반도체층(23)과, 이 제13반도체층(23)의 표면에 접해서 형성된 제8전극(38)이 더 구비하고 있고, 상기 제8전극(38)이 상기 제4전극(34)에 전기적으로 접속되어 있는 것을 특징으로 하는 광점호형 트라이액장치.

청구항 5

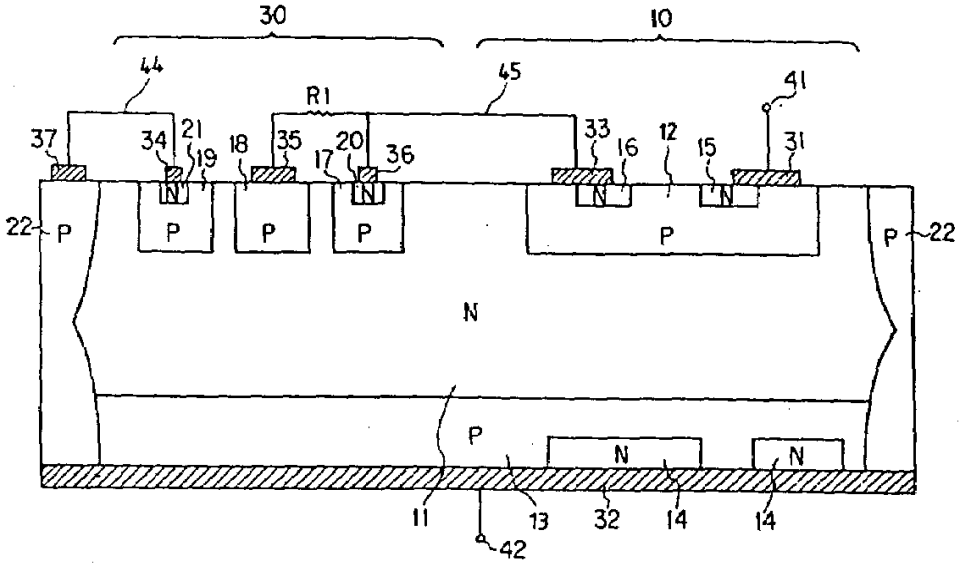
동일 반도체장치내에, 종형 구조를 갖는 출력단용 트라이액과, 광입력이 조사됨으로써 전류를 발생시켜 이 전류를 상기 출력단용 트라이액의 게이트에 공급하는 광트라이액이 형성되어 있는 광점호형 트라이액장치를 구동시킬 때, 상기 출력단용 트라이액의 양단 전극간에 교류전압을 인가하여 상기 광트라이액에 광입력을 조사하는 것을 특징으로 하는 광점호형 트라이액장치의 구동방법.

청구항 6

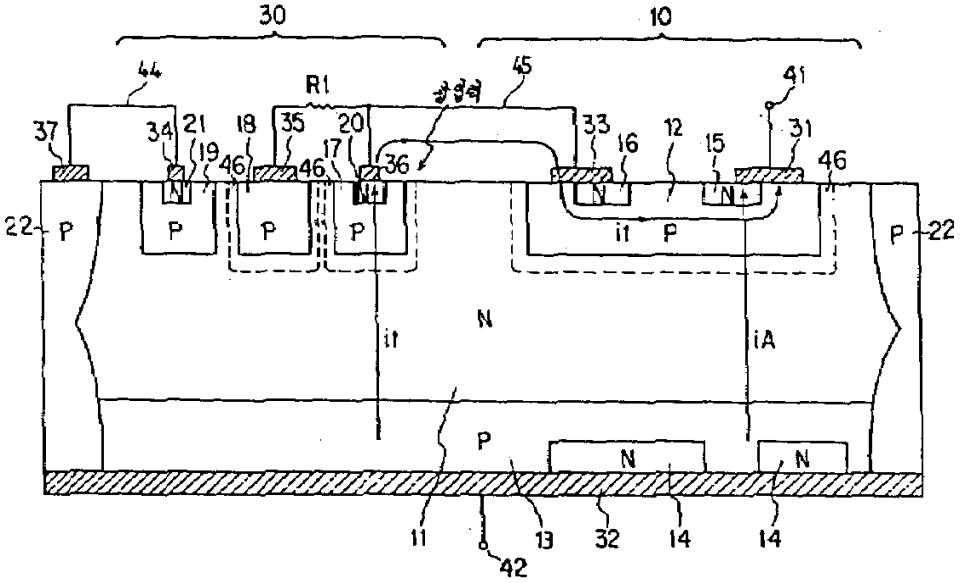
제1도전형의 제1반도체층과, 이 제1반도체층의 제1주면측 표층부의 일부에 형성된 제2도전형의 제2반도체층, 상기 제1반도체층의 제2주면측에 형성된 제2도전형의 제3반도체층, 이 제3반도체층의 제2주면측 표층부의 일부에 형성된 제1도전형의 제4반도체층, 상기 제2반도체층의 표층부의 일부에 형성된 제1도전형의 제5반도체층 및 제6반도체층, 상기 제1반도체층의 제1주면측 표층부의 일부에 서로 독립적으로 형성된 제2도전형의 제7반도체층과 제8반도체층 및 제9반도체층, 상기 제7반도체층의 표층부의 일부에 형성된 제1도전형의 제10반도체층, 상기 제9반도체층의 표층부의 일부에 형성된 제1도전형의 제11반도체층, 상기 제1반도체층의 제1주면측에서 상기 제2반도체층의 표면 및 제5반도체층의 표면에 접해서 형성된 제1전극, 상기 제3반도체층의 표면측에서 상기 제4반도체층의 표면에 접해서 형성된 제2전극, 상기 제1반도체층의 제1주면측상에서 상기 제2반도체층의 표면 및 제6반도체층의 표면에 접해서 형성된 게이트전극용 제3전극, 상기 제11반도체층의 표면에 접해서 형성된 제4전극, 상기 제8반도체층의 표면에 접해서 형성된 제5전극 및 상기 제10반도체층의 표면에 접해서 형성된 제6전극을 구비하고 있고, 상기 제2전극과 제4전극이 전기적으로 접속되며, 상기 제3전극과 제5전극 및 제6전극이 전기적으로 접속되어 있는 광점호형 트라이액장치를 구동시킬 때, 상기 제1전극과 제2전극간에 교류전압을 인가하여 상기 제7반도체층과 제1반도체층의 접합부 및 상기 제9반도체층과 제1반도체층의 접합부에 광입력을 조사하는 것을 특징으로 하는 광점호형 트라이액장치의 구동방법.

도면

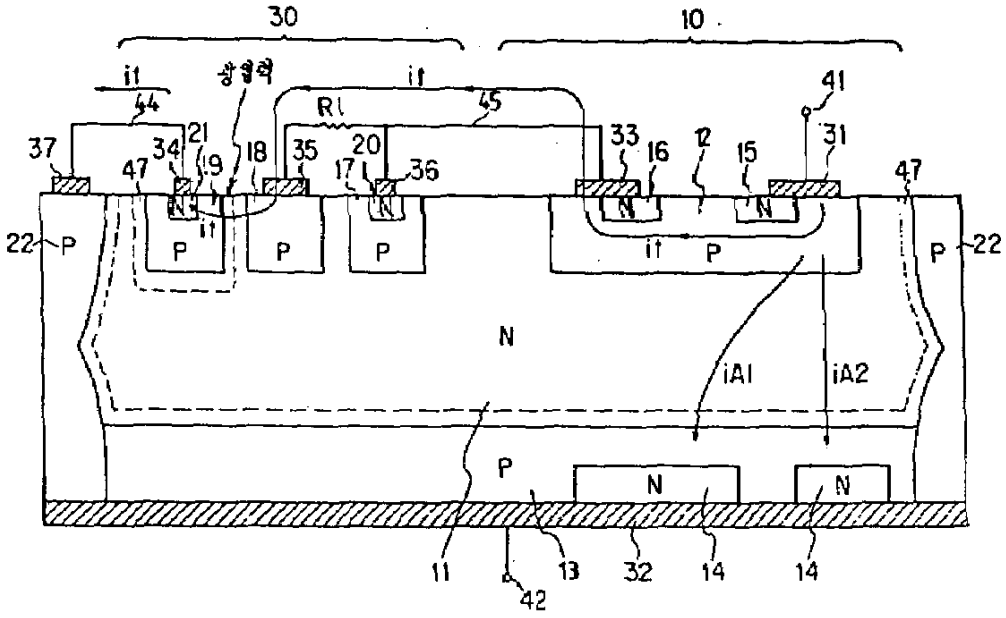
도면1


30
10
44
45
41
R1
37
34
21
19
18
35
20
17
36
33
16
12
15
31
22
P
N
11
13
32
14
42

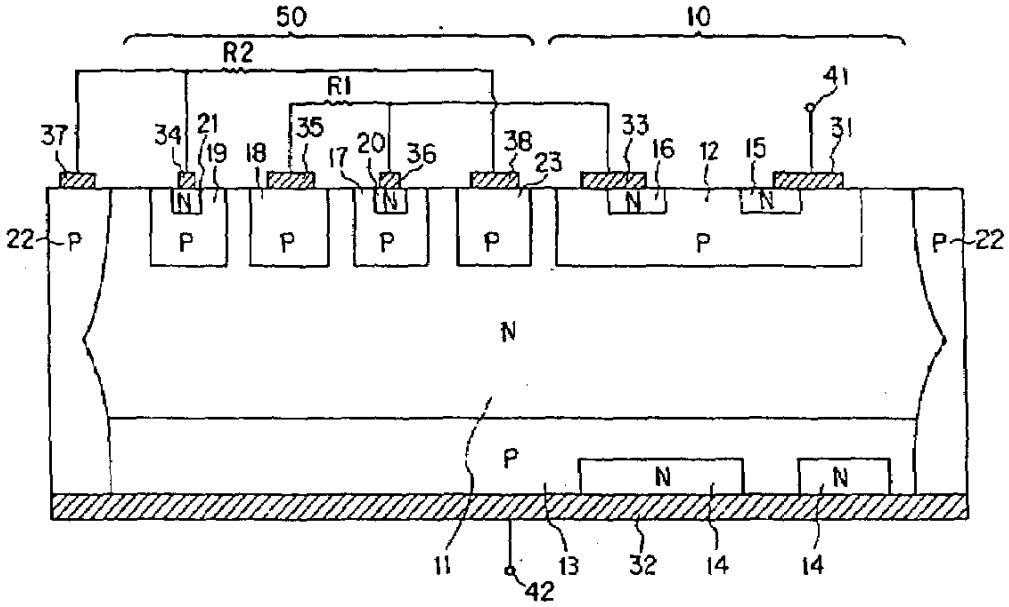
도면2


30
10
44
45
41
R1
37
34
21
19
18
46
35
20
17
36
33
16
12
15
31
22
P
N
it
iA
11
13
32
14
42

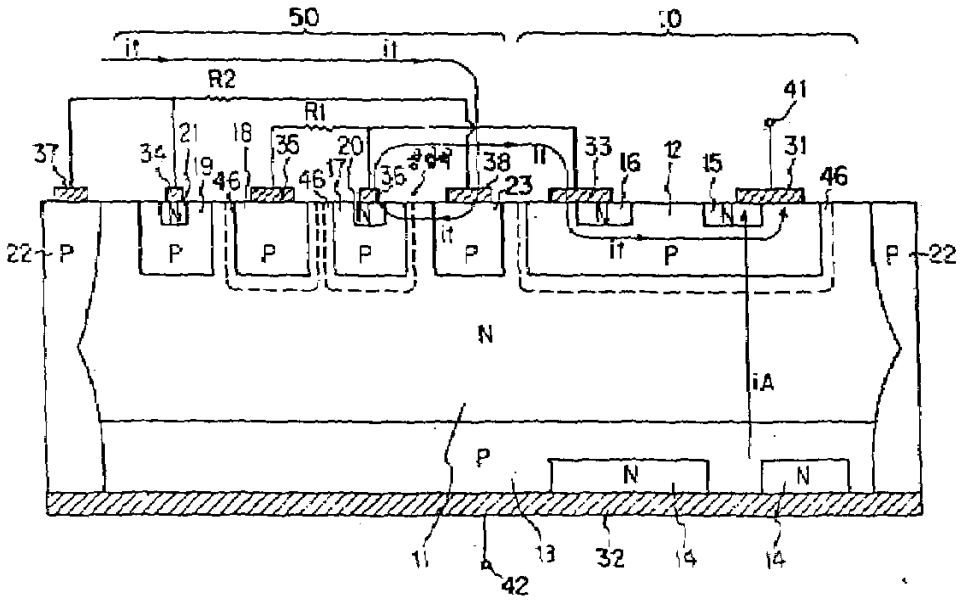
도면3


30
10
i1
44
상쇄력
i1
R1
45
41
37
34
21
19
18
35
20
17
36
33
16
12
15
31
47
47
N
N
N
N
22
P
P
P
P
i1
P
P
22
N
iA1
iA2
P
N
N
11
13
32
14
14
42

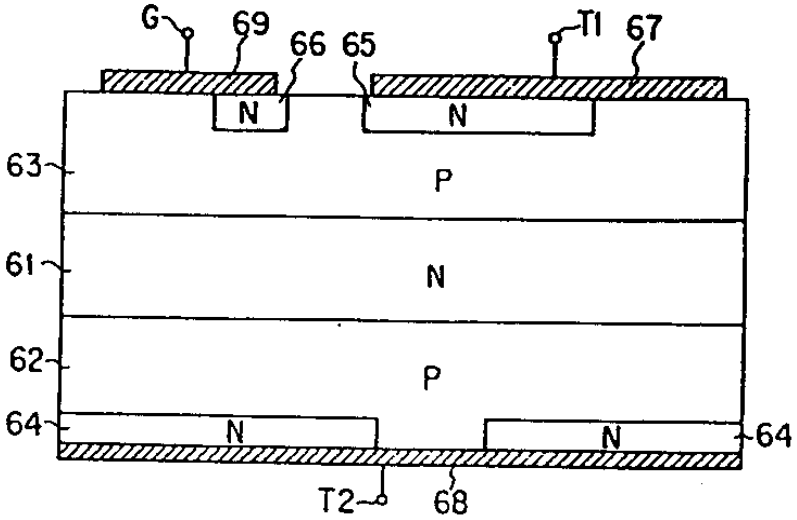
도면4


50
10
R2
R1
41
37
34
21
19
18
35
17
20
36
38
23
33
16
12
15
31
N
N
N
N
22
P
P
P
P
P
P
P
22
N
P
N
N
11
13
32
14
14
42

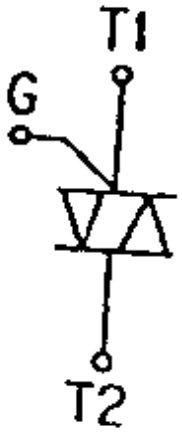
도면5


50
R2
R1
41
37
34
21
18
19
46
35
20
17
36
38
23
33
16
12
15
31
22
P
N
iA
42
13
32
14

도면6


G
69
66
65
T1
67
N
P
63
61
62
64
T2
68

도면7



도면8

