

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2025年1月2日(02.01.2025)



(10) 国際公開番号

WO 2025/004735 A1

(51) 国際特許分類:
H10B 10/00 (2023.01) G11C 11/412 (2006.01)

二丁目 10 番 23 株式会社ソシオネ
クスト内 Kanagawa (JP).

(21) 国際出願番号: PCT/JP2024/020653

(22) 国際出願日: 2024年6月6日(06.06.2024)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2023-104375 2023年6月26日(26.06.2023) JP

(71) 出願人:株式会社ソシオネクスト(SOCIONEXT
INC.) [JP/JP]; 〒2220033 神奈川県横浜市港北
区新横浜二丁目 10 番 23 Kanagawa (JP).

(72) 発明者: 廣瀬 雅庸 (HIROSE Masanobu);
〒2220033 神奈川県横浜市港北区新横浜

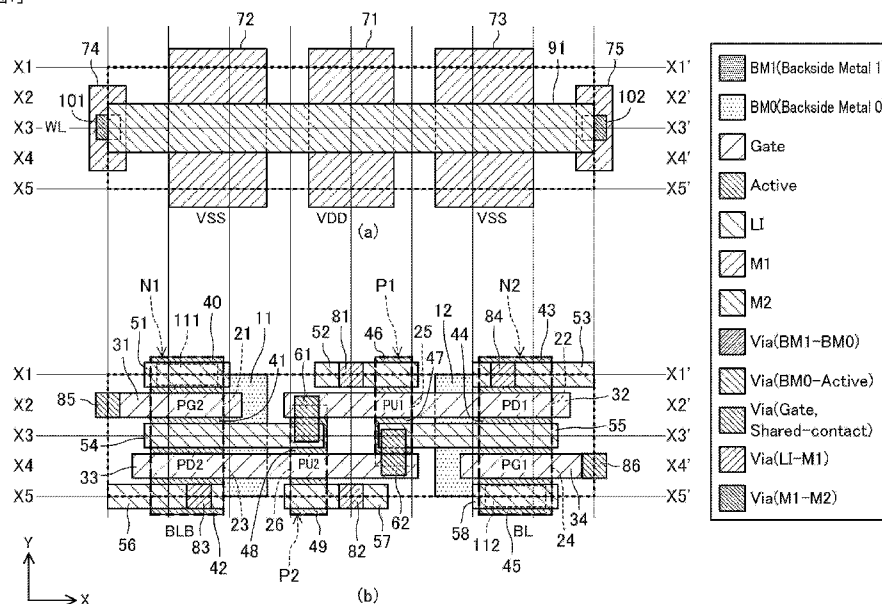
(74) 代理人: 弁理士法人前田特許事務所(MAEDA
& PARTNERS); 〒5300004 大阪府大阪市北
区堂島浜 1 丁目 2 番 1 号 新ダイビル
23 階 Osaka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN,
CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC,
EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR,
HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG,
KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU,
LY, MA, MD, MG, MK, MN, MU, MW, MX, MY,
MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,

(54) Title: SEMICONDUCTOR MEMORY DEVICE

(54) 発明の名称: 半導体記憶装置

[図1]



(57) Abstract: Wires (11, 12) respectively corresponding to bit lines BLB, BL are formed in a BM0 wiring layer, which is a wiring layer on the back surface of a transistor. Power supply wires (72, 73) for supplying a power supply voltage VSS are formed in a metal wiring layer. An SRAM cell is provided with: an active region (N1) that overlaps the wire (11) in a plan view and is connected to the wire (11); and an active region (N2) that overlaps the wire (12) in a plan view and is connected to the wire (12).

PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,
SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告(条約第21条(3))

(57) 要約: ビット線 B L B, B L にそれぞれ相当する配線(11, 12)は、トランジスタの背面の配線層である B M 0 配線層に形成されている。電源電圧 V S S を供給する電源配線(72, 73)は、メタル配線層に形成されている。S R A M セルは、配線(11)と平面視で重なりを有し、配線(11)と接続されるアクティブ領域(N1)と、配線(12)と平面視で重なりを有し、配線(12)と接続されるアクティブ領域(N2)とを備える。

明 細 書

発明の名称：半導体記憶装置

技術分野

[0001] 本開示は、半導体記憶装置に関し、特にS R A M (Static Random Access Memory) セル（以下、適宜、単にセルともいう）のレイアウト構造に関する。

背景技術

[0002] S R A Mは半導体集積回路において広く用いられている。

[0003] また、L S Iの基本構成要素であるトランジスタは、ゲート長の縮小（スケーリング）により、集積度の向上、動作電圧の低減、および動作速度の向上を実現してきた。しかし近年、過度なスケーリングによるオフ電流と、それによる消費電力の著しい増大が問題となっている。この問題を解決するため、トランジスタ構造を従来の平面型から立体型に変更した立体構造トランジスタが盛んに研究されている。立体構造トランジスタの一例として、ナノシートF E T (Field Effect Transistor) がある。

[0004] 特許文献1では、さらなる高集積化のために、トランジスタの直下の基板背面にワード線を設ける技術が開示されている。

先行技術文献

非特許文献

[0005] 特許文献1：米国特許出願公開第2022／0336474号明細書

発明の概要

発明が解決しようとする課題

[0006] ここで、特許文献1の技術では、ビット線と電源配線とが同じ配線層に設けられているため、ビット線の配線幅を大きくすることができない。このため、ビット線の配線抵抗が大きくなり、半導体記憶装置の動作速度が低下する。また、ビット線と電源配線とが同じ配線層に設けられているため、電源配線の配線幅を大きくすることができない。これにより、電源配線の配線抵

抗が大きくなり、電源電圧降下が大きくなるため、半導体記憶装置の動作速度が低下する。また、ビット線と電源配線との距離が近くなるため、寄生容量が大きくなり、半導体記憶装置の動作速度が低下する。

[0007] また、ワード線を基板の背面側に設けているため、周辺回路において、ワード線を基板の表面側の配線に接続するためには、背面側の配線と表面側の配線とを接続するための接続部が必要となる。このため、半導体記憶装置の面積が増加するとともに、当該接続部の抵抗によって半導体記憶装置の動作速度が低下する。

[0008] 本開示は、トランジスタの背面側に配線を設けたSRAMセルのレイアウト構造において、半導体記憶装置の動作速度の低下を抑止しつつ、半導体記憶装置の面積増加を抑止することを目的とする。

課題を解決するための手段

[0009] 本開示では、SRAMセルを含む半導体記憶装置であって、前記SRAMセルは、ソースが第1電源電圧を供給する第1電源に、ドレインが第1ノードに、ゲートが第2ノードにそれぞれ接続された第1トランジスタと、ソースが前記第1電源に、ドレインが前記第2ノードに、ゲートが前記第1ノードにそれぞれ接続された第2トランジスタと、ソースが前記第1電源電圧と異なる第2電源電圧を供給する第2電源に、ドレインが前記第1ノードに、ゲートが前記第2ノードにそれぞれ接続された第3トランジスタと、ソースが前記第2電源に、ドレインが前記第2ノードに、ゲートが前記第1ノードにそれぞれ接続された第4トランジスタと、ソースが第1ビット線に、ドレインが前記第1ノードに、ゲートがワード線にそれぞれ接続された第5トランジスタと、ソースが前記第1ビット線と相補ビット線対を構成する第2ビット線に、ドレインが前記第2ノードに、ゲートが前記ワード線にそれぞれ接続された第6トランジスタとを備え、前記第1ビット線は、前記第1～第6トランジスタの背面側の第1背面配線層に形成されており、第1方向に延びる第1配線を含み、前記第2ビット線は、前記第1背面配線層に形成されており、前記第1方向に延びる第2配線を含み、前記SRAMセルは、前記

第5トランジスタのチャネル、ソースおよびドレインを構成しており、当該チャネルとして、前記第1方向に延びているナノシートを含む第1アクティブ領域と、前記第6トランジスタのチャネル、ソースおよびドレインを構成しており、当該チャネルとして、前記第1方向に延びているナノシートを含む第2アクティブ領域と、前記第1アクティブ領域におけるソースを構成する第1領域と、前記第1配線とが重なる位置に形成されており、前記第1領域と前記第1配線とを接続する第1ビアと、前記第2アクティブ領域におけるソースを構成する第2領域と、前記第2配線とが重なる位置に形成されており、前記第2領域と前記第2配線とを接続する第2ビアと、前記第1～第6トランジスタよりも上層のメタル配線層に形成されており、前記第1方向に延びており、前記第2電源に接続されている第1電源配線とを備える。

[0010] 本開示によると、トランジスタの背面の配線層である第1背面配線層に、第1および第2ビット線にそれぞれ相当する第1および第2配線が形成されている。トランジスタの上層のメタル配線層に、第2電源電圧を供給する第1電源配線が形成されている。これにより、第1背面配線層に形成される配線が第1および第2ビット線のみとなる。したがって、第1背面配線層に形成された、第1および第2ビット線に第1および第2配線の配線幅を大きくすることができ、ビット線の配線抵抗を抑えることができる。また、第1配線は、第1アクティブ領域と平面視で重なって、重なっている領域に設けられた第1ビアで互いに接続されている。第2配線は、第2アクティブ領域と平面視で重なって、重なっている領域に設けられた第2ビアで互いに接続されている。したがって、ビット線からアクティブ領域への抵抗を抑えることができる。これらによって半導体記憶装置の動作速度の低下を抑制することができる。

[0011] また、メタル配線層に第1および第2ビット線にそれぞれ相当する配線を形成する必要がなくなるため、メタル配線層における、第2電源電圧を供給する第1電源配線の配線幅を大きくすることができる。これにより、電源配線の配線抵抗を抑えることができるため、電源電圧の変動が抑制され、半導

体記憶装置の動作速度の低下を抑止することができるとともに、動作の安定性を向上させることができる。

[0012] また、メタル配線層の上層に、ワード線に相当する配線を形成することにより、トランジスタの背面側の配線と表面（トランジスタの上層）側の配線とを接続するための接続部が不要となるため、半導体記憶装置の面積の増加を抑えつつ、半導体記憶装置の動作速度の低下を抑止することができる。

発明の効果

[0013] 本開示によると、トランジスタの背面側に配線を設けたSRAMセルのレイアウト構造において、半導体記憶装置の動作速度の低下を抑止しつつ、半導体記憶装置の面積増加を抑止することができる。

図面の簡単な説明

[0014] [図1]第1実施形態に係るSRAMセルのレイアウト構造の例を示す平面図。
[図2]第1実施形態に係るSRAMセルのレイアウト構造の例を示す断面図。
[図3]第1実施形態に係るSRAMセルのレイアウト構造の例を示す断面図。
[図4]第1実施形態に係るSRAMセルの構成を示す回路図。
[図5]第1実施形態に係る半導体集積回路装置の他の構成例。
[図6]第2実施形態に係るSRAMセルのレイアウト構造の例を示す平面図。
[図7]第2実施形態に係るSRAMセルのレイアウト構造の他の例を示す平面図。
[図8]第2実施形態に係るSRAMセルのレイアウト構造の他の例を示す平面図。
[図9]第2実施形態に係るSRAMセルのレイアウト構造の他の例を示す断面図。
[図10]第3実施形態に係る半導体記憶装置が備える回路ブロックのレイアウトの例を示す平面図。
[図11]第3実施形態に係る半導体記憶装置が備える回路ブロックのレイアウトの例を示す平面図。
[図12]第3実施形態に係るメモリセルアレイの構成を示す回路図。

[図13]第3実施形態に係る読出・書込回路の構成を示す回路図。

発明を実施するための形態

[0015] 以下、実施の形態について、図面を参照して説明する。以下の実施の形態では、半導体記憶装置は複数のSRAMセルを備えており、この複数のSRAMセルのうち少なくとも一部は、ナノシートFETを備えるものとする。ナノシートFETとは、電流が流れる薄いシート（ナノシート）を用いたFETである。ナノシートは例えばシリコンによって形成されている。なお、本開示では、SRAMセルが備えるトランジスタは、ナノシートFETに限定されない。

[0016] また、本明細書では、「VDD」「VSS」は、電源電圧または電源自体を示す。また、本明細書において、「同一配線幅」等のように、幅等が同じであることを意味する表現は、製造上のばらつき範囲を含んでいるものとする。

[0017] （第1実施形態）

図1～図3は第1実施形態に係るSRAMセルのレイアウト構造の例を示す図であり、図1（a）、（b）は平面図、図2（a）～（c）および図3（a）、（b）は平面視横方向における断面図である。具体的には、図1（a）は、M1、M2配線層である、セル上部を示し、図1（b）はM1、M2配線層よりも下層であり、ナノシートFETを含む部分である、セル下部を示す。図2（a）は線X1-X1'の断面、図2（b）は線X2-X2'の断面、図2（c）は線X3-X3'の断面、図3（a）は線X4-X4'の断面、図3（b）は線X5-X5'の断面である。

[0018] なお、以下の説明では、図1等の平面図において、図面縦方向をY方向（第1方向に相当）、図面横方向（第2方向に相当）をX方向、基板面に垂直な方向をZ方向としている。

[0019] 図4は第1実施形態に係るSRAMセルの構成を示す回路図である。図4に示すように、SRAMセルには、ロードトランジスタPU1、PU2、ドライブトランジスタPD1、PD2、および、アクセストランジスタPG1

、PG2によりSRAM回路が構成されている。ロードトランジスタPU1、PU2は、P型FETであり、ドライブトランジスタPD1、PD2およびアクセストランジスタPG1、PG2は、N型FETである。

[0020] ロードトランジスタPU1は、電源VDDと第1ノードNAとの間に設けられており、ドライブトランジスタPD1は、第1ノードNAと電源VSSとの間に設けられている。ロードトランジスタPU1およびドライブトランジスタPD1は、ゲートが第2ノードNBに接続されており、インバータINV1を構成している。ロードトランジスタPU2は、電源VDDと第2ノードNBとの間に設けられており、ドライブトランジスタPD2は、第2ノードNBと電源VSSとの間に設けられている。ロードトランジスタPU2およびドライブトランジスタPD2は、ゲートが第1ノードNAに接続されており、インバータINV2を構成している。すなわち、一方のインバータの出力は他方のインバータの入力に接続されており、これにより、ラッチが構成されている。

[0021] アクセストランジスタPG1は、ビット線BLと第1ノードNAとの間に設けられており、ゲートがワード線WLに接続されている。アクセストランジスタPG2は、ビット線BLBと第2ノードNBとの間に設けられており、ゲートがワード線WLに接続されている。なお、ビット線BL、BLBは、相補ビット線対を構成する。

[0022] SRAM回路では、相補ビット線対を構成するビット線BL、BLBを、ハイレベルおよびローレベルにそれぞれ駆動し、ワード線WLをハイレベルに駆動すると、第1ノードNAにハイレベルが書き込まれ、第2ノードNBにローレベルが書き込まれる。一方、ビット線BL、BLBを、ローレベルおよびハイレベルにそれぞれ駆動し、ワード線WLをハイレベルに駆動すると、第1ノードNAにローレベルが書き込まれ、第2ノードNBにハイレベルが書き込まれる。そして、第1および第2ノードNA、NBにデータがそれぞれ書き込まれている状態で、ワード線WLをローレベルに駆動すると、ラッチ状態が確定し、第1および第2ノードNA、NBに書き込まれている

データが保持される。

[0023] また、ビット線BL、BLBを予めハイレベルにプリチャージしておき、ワード線WLをハイレベルに駆動すると、第1および第2ノードNA、NBに書き込まれたデータに応じてビット線BL、BLBの状態がそれぞれ確定するため、SRAMセルからのデータの読み出しを行うことができる。具体的に、第1ノードNAがハイレベルであり、第2ノードNBがローレベルであれば、ビット線BLはハイレベルを保持し、ビット線BLBはローレベルにディスチャージされる。一方、第1ノードNAがローレベルであり、第2ノードNBがハイレベルであれば、ビット線BLはローレベルにディスチャージされ、ビット線BLBはハイレベルを保持する。

[0024] 以上に説明したように、SRAMセルは、ビット線BL、BLBおよびワード線WLを制御することによって、SRAMセルへのデータ書き込み、データ保持およびSRAMセルからのデータ読み出し機能を有する。

[0025] なお、以下の説明では、図1等の平面図において縦横に走る実線、および、図2等の断面図において縦に走る実線は、設計時に部品配置を行うために用いるグリッドを示す。グリッドは、X方向において等間隔に配置されており、またY方向において等間隔に配置されている。なお、グリッド間隔は、X方向とY方向とにおいて同じであってもよいし異なってもよい。また、グリッド間隔は、層ごとに異なってもかまわない。さらに、各部品は必ずしもグリッド上に配置される必要はない。ただし、製造ばらつきを抑制する観点から、部品はグリッド上に配置される方が好ましい。

[0026] また、図1等の平面図においてセルを取り囲むように表示された点線は、SRAMセルのセル枠（SRAMセルの外縁）を示す。SRAMセルは、セル枠が、X方向またはY方向に隣接するセルのセル枠と接するように配置される。

[0027] また、図1等の平面図において、SRAMセルのX方向両側には、それぞれ、SRAMセルをX方向に反転したものが配置される。SRAMセルのY方向両側には、それぞれ、SRAMセルをY方向に反転したものが配置され

る。

[0028] 図1(b)に示すように、トランジスタが形成される半導体チップの背面に設けられたBMO (Backside Metal 0) 配線層に、セル上下両端にかけてY方向に延びる配線11, 12が形成されている。配線11, 12は、ビット線BLB, BLにそれぞれ相当する。BMO配線層が第1背面配線層に相当する。

[0029] P型基板(PSub)上(図示省略)のN型トランジスタ領域に、N型トランジスタのチャネル、ソースおよびドレインを構成する複数のアクティブ領域が形成されている。具体的に、N型トランジスタ領域には、アクティブ領域N1, N2が形成されている。アクティブ領域N1, N2は、平面視で、配線11, 12とそれぞれ重なっている。

[0030] N型トランジスタ領域では、アクセストランジスタPG2、ドライブトランジスタPD1、ドライブトランジスタPD2およびアクセストランジスタPG1が形成されている。アクセストランジスタPG2、ドライブトランジスタPD1、ドライブトランジスタPD2およびアクセストランジスタPG1は、チャネルとして、平面視で重なる3枚のシート構造からなり、Y方向に延びるナノシート21~24をそれぞれ有する。すなわち、アクセストランジスタPG2、ドライブトランジスタPD1、ドライブトランジスタPD2およびアクセストランジスタPG1はナノシートFETである。

[0031] アクティブ領域N1において、アクセストランジスタPG2のソースとなる部分(領域40)は、配線11と平面視で重なる位置に設けられたビア(via)111を介して、配線11と接続されている。アクティブ領域N2において、アクセストランジスタPG1のソースとなる部分(領域45)は、配線12と平面視で重なる位置に設けられたビア112を介して、配線12と接続されている。

[0032] N型ウェル(NWell)上(図示省略)のP型トランジスタ領域に、P型トランジスタのチャネル、ソースおよびドレインを構成する複数のアクティブ領域が形成されている。具体的に、P型トランジスタ領域には、アクティブ領

域 P 1, P 2 が形成されている。

[0033] P 型トランジスタ領域では、ロードトランジスタ P U 1, P U 2 が形成されている。ロードトランジスタ P U 1, P U 2 は、チャンネルとして、平面視で重なる 3 枚のシート構造からなり、Y 方向に延びるナノシート 2 5, 2 6 をそれぞれ有する。すなわち、ロードトランジスタ P U 1, P U 2 はナノシート F E T である。なお、ナノシート 2 1 ~ 2 4 の X 方向の幅は、ナノシート 2 5, 2 6 の X 方向の幅の 2 倍となっている。

[0034] なお、アクティブ領域について、ナノシートの両側にあるソースおよびドレインとなる部分は、例えば、当該ナノシートからエピタキシャル成長によって形成される。

[0035] 図 1 (b) に示すように、X 方向に延びるゲート配線 (Gate) 3 1 ~ 3 4 が形成されている。ゲート配線 3 1 は、ナノシート 2 1 の X 方向および Z 方向における外周を囲んでいる。ゲート配線 3 2 は、ナノシート 2 5, 2 2 の X 方向および Z 方向における外周を囲んでいる。ゲート配線 3 3 は、ナノシート 2 3, 2 6 の X 方向および Z 方向における外周を囲んでいる。ゲート配線 3 4 は、ナノシート 2 4 の X 方向および Z 方向における外周を囲んでいる。ゲート配線 3 1 は、アクセストランジスタ P G 2 のゲートに対応する。ゲート配線 3 2 は、ロードトランジスタ P U 1 およびドライブトランジスタ P D 1 のゲートに対応する。ゲート配線 3 3 は、ドライブトランジスタ P D 2 およびロードトランジスタ P U 2 のゲートに対応する。ゲート配線 3 4 は、アクセストランジスタ P G 1 のゲートに対応する。

[0036] ローカル配線層には、X 方向に延びるローカル配線 5 1 ~ 5 8 が形成されている。ローカル配線 5 1 は、アクティブ領域 N 1 における領域 4 0 と接続されている。ローカル配線 5 2 は、アクティブ領域 P 1 における領域 4 6 と接続されている。ローカル配線 5 3 は、アクティブ領域 N 2 における領域 4 3 と接続されている。ローカル配線 5 4 は、アクティブ領域 N 1 における領域 4 1 およびアクティブ領域 P 2 における領域 4 8 と接続されている。ローカル配線 5 5 は、アクティブ領域 P 1 における領域 4 7 およびアクティブ領

域N 2における領域4 4と接続されている。ローカル配線5 6は、アクティブ領域N 1における領域4 2と接続されている。ローカル配線5 7は、アクティブ領域P 2における領域4 9と接続されている。ローカル配線5 8は、アクティブ領域N 2における領域4 5と接続されている。

[0037] 領域4 0は、アクティブ領域N 1におけるアクセストランジスタP G 2のソースとなる部分である。領域4 1は、アクティブ領域N 1における、アクセストランジスタP G 2のドレインおよびドライブトランジスタP D 2のドレインとなる部分である。領域4 2は、アクティブ領域N 1におけるドライブトランジスタP D 2のソースとなる部分である。領域4 3は、アクティブ領域N 2におけるドライブトランジスタP D 1のソースとなる部分である。領域4 4は、アクティブ領域N 2における、ドライブトランジスタP D 1のドレインおよびアクセストランジスタP G 1のドレインとなる部分である。領域4 5は、アクティブ領域N 2におけるアクセストランジスタP G 1のソースとなる部分である。領域4 6は、アクティブ領域P 1におけるロードトランジスタP U 1のソースとなる部分である。領域4 7は、アクティブ領域P 1におけるロードトランジスタP U 1のドレインとなる部分である。領域4 8は、アクティブ領域P 2におけるロードトランジスタP U 2のドレインとなる部分である。領域4 9は、アクティブ領域P 2におけるロードトランジスタP U 2のソースとなる部分である。

[0038] ローカル配線5 4は、シェアードコンタクト(Shared-contact)6 1を介して、ゲート配線3 2と接続されている。ローカル配線5 5は、シェアードコンタクト6 2を介して、ゲート配線3 3と接続されている。なお、ゲート配線3 3、ローカル配線5 5およびシェアードコンタクト6 2が第1ノードN Aに相当する。ゲート配線3 2、ローカル配線5 4およびシェアードコンタクト6 1が第2ノードN Bに相当する。

[0039] 図1 (a)に示すように、ローカル配線層の上層にあるメタル配線層であるM 1配線層に、セルの図面上下両端にかけてY方向に延びる電源配線7 1～7 3が形成されている。また、配線7 4, 7 5が形成されている。電源配

線 7 1 は、電源電圧 V D D を供給する。電源配線 7 2, 7 3 は、電源電圧 V S S を供給する。電源配線 7 1 は、平面視で、アクティブ領域 P 1, P 2 と重なりを有する。電源配線 7 2 は、平面視で、アクティブ領域 N 1 および配線 1 1 と重なりを有する。電源配線 7 3 は、平面視で、アクティブ領域 N 2 および配線 1 2 と重なりを有する。

[0040] 電源配線 7 1 は、ビア 8 1 を介してローカル配線 5 2 と接続されており、ビア 8 2 を介してローカル配線 5 7 と接続されている。電源配線 7 2 は、ビア 8 3 を介して、ローカル配線 5 6 と接続されている。電源配線 7 3 は、ビア 8 4 を介して、ローカル配線 5 3 と接続されている。配線 7 4 は、ビア (Gate-contact) 8 5 を介して、ゲート配線 3 1 と接続されている。配線 7 5 は、ビア 8 6 を介して、ゲート配線 3 4 と接続されている。

[0041] M 1 配線層の上層である M 2 配線層に、セルの図面左右両端にかけて X 方向に延びる配線 9 1 が形成されている。配線 9 1 が、ワード線 W L に相当する。配線 9 1 は、コンタクト 1 0 1 を介して配線 7 4 と接続されており、コンタクト 1 0 2 を介して配線 7 5 と接続されている。

[0042] 以上の構成により、トランジスタの背面の配線層である B M O 配線層に、ビット線 B L B, B L にそれぞれ相当する配線 1 1, 1 2 が形成されている。トランジスタの上層のメタル配線層である M 1 配線層に、電源電圧 V D D を供給する電源配線 7 1 および電源電圧 V S S を供給する電源配線 7 2, 7 3 が形成されている。これにより、B M O 配線層に形成される配線がビット線 B L B, B L のみとなる。したがって、B M O 配線層に形成されたビット線 B L, B L B に相当する配線 (配線 1 1, 1 2) の配線幅を大きくすることができ、ビット線の配線抵抗を抑えることができる。また、配線 1 1 は、アクティブ領域 N 1 と平面視で重なっており、重なっている領域に設けられたビアで互いに接続されている。配線 1 2 は、アクティブ領域 N 2 と平面視で重なっており、重なっている領域に設けられたビアで互いに接続されている。したがって、ビット線からアクティブ領域への抵抗を抑えることができる。これらによって半導体記憶装置の動作速度の低下を抑制することができる。

る。

[0043] また、M1配線層にビット線BLB、BLにそれぞれ相当する配線を形成する必要がなくなるため、M1配線層における、電源電圧VDDを供給する電源配線71および電源電圧VSSを供給する電源配線72、73の配線幅を大きくすることができる。これにより、電源配線の配線抵抗を抑えることができるため、電源電圧の変動が抑制され、半導体記憶装置の動作速度の低下を抑止することができるとともに、動作の安定性を向上することができる。

[0044] また、M1配線層の上層であるM2配線層に、ワード線WLに相当する配線91が形成されている。これにより、トランジスタの背面側の配線と表面（トランジスタの上層）側の配線とを接続するための接続部が不要となるため、半導体記憶装置の面積の増加を抑えつつ、半導体記憶装置の動作速度の低下を抑止することができる。

[0045] なお、BM0配線層の下層、すなわち、トランジスタからみて遠い方にあるBM1配線層に、Y方向に延びており、ビット線BL、BLBに相当する配線をさらに設けてもよい。これらの配線と、配線11、12とを接続してもよい。

[0046] なお、上述した、トランジスタの背面側に形成されたビット線は、トランジスタが構成される半導体チップとは別の半導体チップを用いて構成してもかまわない。

[0047] 図5（a）は第1実施形態に係る半導体集積回路装置の他の構成例である。図5（a）に示す半導体集積回路装置200は、第1半導体チップ201（チップA）と、第2半導体チップ202（チップB）とが、積層されることによって構成されている。チップAは、上述したSRAMセル等が配置されている。チップBは、表面に設けられた配線層にビット線が形成されている。チップBは、チップAの背面側に、バンプ等を用いて張り合わされている。

[0048] 図5（b）は本構成例における、図1のSRAMセルの線X1-X1'の

断面を示す。図5（b）に示すように、チップBの表面に設けられた配線層に、ビット線BLBに相当する配線11と、ビット線BLに相当する配線12とが形成されている。配線11は、チップAの領域40と、配線11と平面視で重なる位置に設けられたビア111を介して接続されている。なお、図示は省略しているが、配線12は、チップAの領域45と、配線11と平面視で重なる位置に設けられたビア112を介して接続される。

[0049] （第2実施形態）

図6は第2実施形態に係るSRAMセルのレイアウト構造の例を示す平面図である。具体的に、図6（a）はセル上部を示し、図6（b）はセル下部を示す。図6では、図1と比較すると、M1配線層の電源配線71が省略されており、BM0配線層に電源配線13が形成されている。これに伴い、M1配線層の電源配線72、73の配線幅が広がっている。

[0050] 具体的に、BM0配線層に、セル上下両端にかけてY方向に延びる電源配線13が形成されている。電源配線13は、電源電圧VDDを供給する。電源配線13は、配線11と配線12との間に形成されている。電源配線13は、平面視で、アクティブ領域P1、P2と重なっている。

[0051] 電源配線13は、電源配線13と平面視で重なる位置に設けられたビア113を介して、ロードトランジスタPU1のソースとなる部分（領域46）と接続されている。また、電源配線13は、電源配線13と平面視で重なる位置に設けられたビア114を介して、ロードトランジスタPU2のソースとなる部分（領域49）と接続されている。

[0052] 以上の構成により、トランジスタの背面の配線層であるBM0配線層に、ビット線BLB、BLにそれぞれ相当する配線11、12および電源電圧VDDを供給する電源配線13が形成されている。トランジスタの上層のメタル配線層であるM1配線層に、電源電圧VSSを供給する電源配線72、73のみが形成されている。これにより、M1配線層における、電源電圧VSSを供給する電源配線72、73の配線幅を大きくすることができる。これにより、電源配線の配線抵抗を抑えることができるため、電源電圧の変動が

抑制され、半導体記憶装置の動作速度の低下を抑止することができるとともに、動作の安定性を向上することができる。

[0053] また、電源電圧VDDを供給する電源配線13が、配線11と配線12との間に形成されている。これにより、ビット線BLB、BLにそれぞれ相当する配線11、12間のクロストークノイズが抑制されるため、半導体記憶装置の性能の劣化および信頼性の低下を抑止することができる。

[0054] また、M1配線層の上層であるM2配線層に、ワード線WLに相当する配線91が形成されている。これにより、トランジスタの背面側の配線と表面（トランジスタの上層）側の配線とを接続するための接続部が不要となるため、半導体記憶装置の面積の増加を抑えつつ、半導体記憶装置の動作速度の低下を抑止することができる。

[0055] その他、図1と同様の効果を得ることができる。

[0056] なお、BM0配線層の下層のBM1配線層に、Y方向に延びており、ビット線BL、BLBに相当する配線をさらに設けてもよい。これらの配線と、配線11、12とを接続してもよい。

[0057] （変形例1）

図7は第2実施形態に係るSRAMセルのレイアウト構造の他の例を示す平面図である。具体的に、図7（a）はセル上部を示し、図7（b）はセル下部を示す。図7では、図6と比較すると、M1配線層に電源配線76が形成されている。

[0058] 具体的に、M1配線層に、セルの図面上下両端にかけてY方向に延びる電源配線76が形成されている。電源配線76は、電源電圧VDDを供給する。電源配線76は、電源配線72と電源配線73との間に形成されている。電源配線76は、平面視で、アクティブ領域P1、P2および電源配線13と重なりを有する。

[0059] 電源配線76は、電源配線76と平面視で重なる位置に設けられたビア87を介して、アクティブ領域P1のソースとなる部分（領域46）と接続されている。また、電源配線76は、電源配線76と平面視で重なる位置に設

けられたビア88を介して、アクティブ領域P2のソースとなる部分（領域49）と接続されている。

[0060] 変形例1によると、メタル配線層であるM1配線層に、電源電圧VDDを供給する電源配線76が形成されている。これにより、BM0配線層に形成され、電源電圧VDDを供給する電源配線13の配線幅を小さくすることができるため、ビット線BLB、BLにそれぞれ相当する配線11、12間のクロストークノイズを抑制しつつ、配線11、12の配線幅を大きくすることができる。

[0061] また、BM0配線層にも電源電圧VDDを供給する電源配線13が形成されているため、M1配線層に形成された、電源電圧VDDを供給する電源配線76の配線幅を小さくすることができる。これにより、M1配線層における、電源電圧VSSを供給する電源配線72、73の配線幅を大きくすることができる。したがって、電源配線の配線抵抗を抑えることができるため、電源電圧の変動が抑制され、半導体記憶装置の動作速度の低下を抑止することができるとともに、動作の安定性を向上することができる。

[0062] その他、図6と同様の効果を得ることができる。

[0063] （変形例2）

図8および図9は第2実施形態に係るSRAMセルのレイアウト構造の他の例を示す図であり、図8は平面図、図9は平面視横方向における断面図である。具体的に、図8はセル下部を示し、図9は線X6-X6'の断面である。図8および図9におけるセル上部は、図6(a)と同じである。

[0064] 図8および図9では、図6と比較すると、BM1 (Backside Metal 1) 配線層に、電源配線121が形成されている。BM1配線層は、トランジスタが形成される半導体チップの背面に設けられた配線層であり、BM0配線層の下層、すなわち、トランジスタからみて遠い方である。BM1配線層が第2背面配線層に相当する。

[0065] 具体的には、BM1配線層に、セルの図面左右両端にかけてX方向に延びる電源配線121が形成されている。電源配線121は、電源電圧VDDを

供給する。電源配線 1 2 1 は、ビア 1 3 1 を介して、B M O 配線層の電源配線 1 3 と接続されている。

[0066] 変形例 2 によると、B M O 配線層の下層に、電源電圧 V D D を供給する電源配線 1 2 1 が形成されている。電源配線 1 2 1 は、ビア 1 3 1 を介して、B M O 配線層の電源配線 1 3 と接続されている。これにより、電源電圧 V D D を供給する電源配線の配線抵抗を抑えることができるため、電源電圧の変動が抑制され、半導体記憶装置の動作速度の低下を抑止することができる。とともに、動作の安定性を向上することができる。

[0067] その他、図 6 と同様の効果を得ることができる。

[0068] (第 3 実施形態)

図 1 0 および図 1 1 は第 3 実施形態に係る半導体記憶装置が備える回路ブロックのレイアウトの例を示す平面図である。なお、図 1 0 では、S R A M セルのセル枠と、半導体記憶装置を構成する各回路の枠と、B M O 配線層におけるビット線（配線 1 1, 1 2）のみを図示している。また、図 1 0 では、図面左側から奇数列目（1 列目、3 列目）に配置されるメモリセル M C には、図面左側から偶数列（2 列目、4 列目）に配置されるメモリセル M C を左右反転したものが配置される。

[0069] 第 3 実施形態に係る半導体記憶装置は、メモリセルアレイ A 1 と、読出・書込回路 A 2 とを備える。

[0070] 図 1 2 は第 3 実施形態に係るメモリセルアレイの構成を示す回路図である。図 1 2 に示すように、メモリセルアレイ A 1 は、 m 行（ m は自然数） $\times$ n 列（ n は自然数）のアレイ状に配置された複数のメモリセル M C を備える。図 1 2 では、メモリセル M C として、図 1 の S R A M セルが配置される。

[0071] メモリセルアレイ A 1 は、メモリセル M C の行に対応して配置された複数（図 1 2 では m ）のワード線 W L と、メモリセル M C の列に対応して配置された複数（図 1 2 では n ）のビット線対 B L T とを備える。ビット線対 B L T は、対をなすビット線 B L, B L B で構成される。ワード線 W L は、X 方向に延びている。ビット線 B L, B L B は、Y 方向に延びている。そして、

それぞれのメモリセルMCは、配置位置に応じた行のワード線WLおよび列のビット線対BLT（ビット線BL，BLB）と接続される。ビット線対BLTは、図13の読出・書込回路A2に接続される。

[0072] 図13は第3実施形態に係る読出・書込回路の構成を示す回路図である。図13では、2つのカラム毎に1つの読出・書込回路A2を設けている。具体的には、ビット線対BLT[0]に接続された第1カラムと、ビット線対BLT[1]に接続された第2カラムとが読出・書込回路A2に接続されている。

[0073] 読出・書込回路A2は、ビット線対BLT[0]，BLT[1]それぞれに対応した2つのレベル保持回路A11と、2つのプリチャージ回路A12と、2つのカラムセクタA13とを備える。読出・書込回路A2は、さらに1つのセンスアンプ回路A14を備える。

[0074] レベル保持回路A11は、ビット線BL，BLBの一方がローレベルになった場合、ビット線BL，BLBの他方をハイレベルに保持する。レベル保持回路A11は、トランジスタQ11，Q12（Q21，Q22）を備える。

[0075] プリチャージ回路A12は、プリチャージ信号PCGに基づいて、ビット線対BLT（BL，BLB）をプリチャージする。プリチャージ回路A12は、トランジスタQ13～Q15（Q23～Q25）を備える。

[0076] カラムセクタA13は、カラム選択信号NCOL[1:0]に基づいて、第1カラムおよび第2カラムのいずれのカラムに書き込み・読み出しを行うかを選択する。カラムセクタA13は、トランジスタQ16～Q19（Q26～Q29）を備える。

[0077] センスアンプ回路A14は、2組のビット線対BLT[1:0]からカラム選択信号NCOL[1:0]で選択された所望の信号をセンスアンプイネーブル信号NSAEに基づいて増幅し、リードデータ線対RD[0]，NRD[0]に出力する。センスアンプ回路A14は、トランジスタQ31～Q35を備える。

- [0078] ここで、ビット線BLは、トランジスタQ12（Q22）のゲートと接続されている。ビット線BLBは、トランジスタQ11（Q21）のゲートと接続されている。ビット線BL，BLBは、上記のトランジスタのゲートへの接続を除けば、レベル保持回路A11、プリチャージ回路A12およびカラムセクタA13を構成する各トランジスタのソースおよびドレインのみと接続されている。
- [0079] また、トランジスタQ16，Q26のドレインは、トランジスタQ33，Q34のゲートに接続されている。トランジスタQ17，Q27のドレインは、トランジスタQ31，Q32のゲートに接続されている。
- [0080] 図10に示すように、メモリセルアレイA1から、読出・書込回路A2を構成するレベル保持回路A11、プリチャージ回路A12およびカラムセクタA13にかけて、配線11，12が、BM0配線層において、Y方向に直線状に延びるように形成されている。
- [0081] 図11に示すように、BM0配線層において、Y方向に延びる配線11，配線12が形成されている。上述したように、配線11，12は、ビット線BLB，BLにそれぞれ相当する。
- [0082] N型トランジスタ領域には、アクティブ領域N3，N4が形成されている。P型トランジスタ領域には、アクティブ領域P3～P7が形成されている。配線11は、平面視で、アクティブ領域P4，P7，P6，N4と重なりを有する。配線12は、平面視で、アクティブ領域P3，P5，N3と重なりを有する。
- [0083] アクティブ領域P3，P4には、レベル保持回路A11におけるトランジスタQ11，Q12がそれぞれ形成されている。アクティブ領域P3，P7には、プリチャージ回路A12におけるトランジスタQ13～Q15が形成されている。アクティブ領域P5，P6には、カラムセクタA13におけるトランジスタQ16，Q17がそれぞれ形成されている。アクティブ領域N3，N4には、カラムセクタA13におけるトランジスタQ18，Q19がそれぞれ形成されている。

- [0084] 領域40aは、アクティブ領域P3におけるトランジスタQ11のドレインとなる部分である。領域40bは、アクティブ領域P4におけるトランジスタQ12のドレインとなる部分である。領域40cは、アクティブ領域P5におけるトランジスタQ16のソースとなる部分である。領域40dは、アクティブ領域P5におけるトランジスタQ16のドレインとなる部分である。領域40eは、アクティブ領域P6におけるトランジスタQ17のソースとなる部分である。領域40fは、アクティブ領域P6におけるトランジスタQ17のドレインとなる部分である。領域40gは、アクティブ領域P3におけるトランジスタQ13のドレインおよびトランジスタQ15のソースとなる部分である。領域40hは、アクティブ領域P7におけるトランジスタQ14のドレインおよびトランジスタQ15のドレインとなる部分である。領域40iは、アクティブ領域N3におけるトランジスタQ18のドレインとなる部分である。領域40jは、アクティブ領域N4におけるトランジスタQ19のドレインとなる部分である。
- [0085] 領域40a～40jは、ローカル配線50a～50jとそれぞれ接続されている。
- [0086] ゲート配線35, 36は、トランジスタQ11, Q12のゲートにそれぞれ相当する。
- [0087] ゲート配線35は、シェアードコンタクト64、ローカル配線50b、領域40bおよびビア116を介して、配線11に接続されている。ゲート配線36は、シェアードコンタクト63、ローカル配線50a、領域40aおよびビア115を介して、配線12に接続されている。ビア115は、アクティブ領域P3におけるトランジスタQ11のドレインとなる部分（領域40a）と配線12とが、平面視で重なる領域に設けられている。ビア116は、アクティブ領域P4におけるトランジスタQ12のドレインとなる部分（領域40b）と配線11とが、平面視で重なる領域に設けられている。すなわち、トランジスタQ11, Q12のゲートは、トランジスタQ12, Q11のドレインを介して、ビット線BLB, BLにそれぞれ接続されている。

。同様に、トランジスタQ 2 1, Q 2 2のゲートは、トランジスタQ 2 2, Q 2 1のドレインを介して、ビット線B L B, B L (配線1 1, 1 2)にそれぞれ接続されている。

[0088] 領域4 0 cは、配線1 2と平面視で重なる位置に設けられたビア1 1 7を介して、配線1 2に接続される。領域4 0 dは、ローカル配線5 0 dおよびビア8 9を介して、メタル配線層(M 1配線層、M 2配線層など)に形成された配線(図示省略)に接続される。領域4 0 dは、当該配線を介して、トランジスタQ 3 3, Q 3 4のゲートに接続される。領域4 0 eは、配線1 1と平面視で重なる位置に設けられたビア1 1 8を介して、配線1 1に接続される。領域4 0 fは、ローカル配線5 0 fおよびビア9 0を介して、メタル配線層(M 1配線層、M 2配線層など)に形成された配線(図示省略)に接続される。領域4 0 fは、当該配線を介して、トランジスタQ 3 1, Q 3 2のゲートに接続される。ビア1 1 7は、アクティブ領域P 5におけるトランジスタQ 1 6のソースとなる部分(領域4 0 c)と配線1 2とが、平面視で重なる領域に設けられている。ビア1 1 8は、アクティブ領域P 6におけるトランジスタQ 1 7のソースとなる部分(領域4 0 e)と配線1 1とが、平面視で重なる領域に設けられている。すなわち、トランジスタQ 1 6は、ソースが配線1 2に接続されており、ドレインがトランジスタQ 3 3, Q 3 4のゲートに接続されている。トランジスタQ 1 7は、ソースが配線1 1に接続されており、ドレインがトランジスタQ 3 1, Q 3 2のゲートに接続されている。同様に、トランジスタQ 2 6は、ソースが配線1 2に接続されており、ドレインがトランジスタQ 3 3, Q 3 4のゲートに接続されている。トランジスタQ 2 7は、ソースが配線1 1に接続されており、ドレインがトランジスタQ 3 1, Q 3 2のゲートに接続されている。

[0089] 領域4 0 gは、配線1 2と平面視で重なる位置に設けられたビア1 1 8を介して、配線1 2に接続される。領域4 0 hは、配線1 1と平面視で重なる位置に設けられたビア1 1 9を介して、配線1 1に接続される。領域4 0 iは、配線1 2と平面視で重なる位置に設けられたビア1 2 0を介して、配線

12に接続される。領域40jは、配線11と平面視で重なる位置に設けられたビア120aを介して、配線12に接続される。

[0090] 以上に説明したように、図11のアクティブ領域における、レベル保持回路A11、プリチャージ回路A12およびカラムセクタA13を構成する各トランジスタのソースおよびドレインに相当する部分は、図13の回路を実現するように、配線11, 12（ビット線BLB, BL）に接続されている。

[0091] ここで、半導体チップの背面に設けられた配線層（BM0配線層、BM1配線層など）から、各トランジスタのゲート（ゲート配線）に対して背面側からビアを介した接続は困難である。接続が可能であったとしても、ゲートに対する表面側からのビアを介した接続および背面側からのビアを介した接続の双方が必要となるため、製造プロセスが複雑になり、製造コストが増大する。

[0092] そこで、本実施形態では、トランジスタQ11, Q12のゲート（ゲート配線35, 36）は、トランジスタQ12, Q11のドレインを介して、BM0配線層に形成された配線11, 12（ビット線BLB, BL）にそれぞれ接続されている。これにより、トランジスタQ11, Q12のゲートに接続するために、BM0配線層に形成されたビット線BLB, BLをメタル配線層に接続するための接続部が不要となり、半導体記憶装置の面積増大を抑制することができる。

[0093] また、配線11, 12は、レベル保持回路A11、プリチャージ回路A12およびカラムセクタA13を構成する各トランジスタのソースおよびドレインに相当する部分と、図13の回路を実現するように、接続されている。図13に示すように、ビット線BL, BLBは、トランジスタQ11, Q12のゲートを除いて、レベル保持回路A11、プリチャージ回路A12およびカラムセクタA13を構成する各トランジスタのソースおよびドレインにのみに接続されている。レベル保持回路A11、プリチャージ回路A12およびカラムセクタA13を構成する各トランジスタのソースおよびドレインにのみ接続されている。

ラインへの接続は、配線 1 1, 1 2 とアクティブ領域における各トランジスタのソースおよびドレインとなる部分とを接続し、当該配線（配線 1 1, 1 2）と平面視で重なる位置に設けられたビアを形成するのみで実現することができるため、半導体記憶装置の面積増大を抑制することができる。

[0094] また、トランジスタ Q 1 6 は、ソースが B M O 配線層に形成された配線 1 2 に接続されており、ドレインが M 1 配線層に形成された配線を介してトランジスタ Q 3 3, Q 3 4 のゲートに接続されている。トランジスタ Q 1 7 は、ソースが B M O 配線層に形成された配線 1 1 に接続されており、ドレインが M 1 配線層に形成された配線を介してトランジスタ Q 3 1, Q 3 2 のゲートに接続されている。これにより、トランジスタ Q 1 6, Q 1 7 のソースおよびドレインで、半導体チップの背面に設けられた配線層（B M O 配線層、B M 1 配線層など）から、半導体チップの表面に設けられた配線層（M 1 配線層、M 2 配線層）へ乗り換えることができる。したがって、半導体チップの背面に設けられた配線層から表面に設けられた配線層への接続部が不要となるため、半導体記憶装置の面積増大を抑制することができる。

[0095] なお、図 1 0 および図 1 1 は、レベル保持回路 A 1 1、プリチャージ回路 A 1 2 およびカラムセクタ A 1 3 を構成する各トランジスタの配置の一例である。例えば、レベル保持回路 A 1 1、プリチャージ回路 A 1 2 およびカラムセクタ A 1 3 を構成する各トランジスタは、Y 方向に適宜入れ替えて配置してもよい。

[0096] また、図 1 2 では、メモリセル M C として、図 1 の S R A M セルが配置されとしたが、これに限られず、図 6 ～図 8 の S R A M セルが配置されてもよい。

[0097] なお、上述の各実施形態および変形例では、各トランジスタはそれぞれ 3 枚のナノシートを備えるものとしたが、トランジスタの一部または全部は、1 枚、2 枚または 4 枚以上のナノシートを備えてもよい。

[0098] また、上述の各実施形態および変形例では、ナノシートの断面形状は長方形としているが、これに限られるものではない。例えば、正方形、円形、楕

円形等であってもよい。

[0099] また、上述の各実施形態および変形例では、ナノシート21～24のX方向の幅はナノシート25、26のX方向の幅の2倍であるが、これに限られない。ナノシート21～26のそれぞれのX方向の幅（すなわち、各トランジスタのゲート幅）は、SRAM回路の動作安定性等を考慮して決定すればよい。

[0100] また、上述の各実施形態および変形例では、シェアードコンタクト61～64はコンタクト（Gate-Contact）やローカル配線と同プロセス工程で製造されてもよいし、別プロセス工程にて製造されてもよい。

[0101] また、上述の各実施形態および変形例では、ロードトランジスタPU1、PU2のソース（領域46、49）に電源電圧VDDを供給する電源は、半導体集積回路の外部から供給される電源に限られず、半導体集積回路の内部で生成される電源であったり、半導体記憶装置の内部で生成される電源などであってもよい。

産業上の利用可能性

[0102] 本開示では、トランジスタの背面側に配線を設けたSRAMセルのレイアウト構造において、半導体記憶装置の動作速度の低下を抑止しつつ、半導体記憶装置の面積増加を抑止することができる。

符号の説明

[0103] 11, 12 配線
13, 71～73, 76 電源配線
21～26 ナノシート
31～36 ゲート配線
40～49, 40a～40f 領域
PU1, PU2 ロードトランジスタ
PD1, PD2 ドライブトランジスタ
PG1, PG2 アクセストランジスタ
BL, BLB ビット線

WL ワード線

請求の範囲

[請求項1]

S R A Mセルを含む半導体記憶装置であって、

前記S R A Mセルは、

ソースが第1電源電圧を供給する第1電源に、ドレインが第1ノードに、ゲートが第2ノードにそれぞれ接続された第1トランジスタと、

ソースが前記第1電源に、ドレインが前記第2ノードに、ゲートが前記第1ノードにそれぞれ接続された第2トランジスタと、

ソースが前記第1電源電圧と異なる第2電源電圧を供給する第2電源に、ドレインが前記第1ノードに、ゲートが前記第2ノードにそれぞれ接続された第3トランジスタと、

ソースが前記第2電源に、ドレインが前記第2ノードに、ゲートが前記第1ノードにそれぞれ接続された第4トランジスタと、

ソースが第1ビット線に、ドレインが前記第1ノードに、ゲートがワード線にそれぞれ接続された第5トランジスタと、

ソースが前記第1ビット線と相補ビット線対を構成する第2ビット線に、ドレインが前記第2ノードに、ゲートが前記ワード線にそれぞれ接続された第6トランジスタと

を備え、

前記第1ビット線は、前記第1～第6トランジスタの背面側の第1背面配線層に形成されており、第1方向に延びる第1配線を含み、

前記第2ビット線は、前記第1背面配線層に形成されており、前記第1方向に延びる第2配線を含み、

前記S R A Mセルは、

前記第5トランジスタのチャネル、ソースおよびドレインを構成しており、当該チャネルとして、前記第1方向に延びているナノシートを含む第1アクティブ領域と、

前記第6トランジスタのチャネル、ソースおよびドレインを構成し

ており、当該チャネルとして、前記第1方向に延びているナノシートを含む第2アクティブ領域と、

前記第1アクティブ領域におけるソースを構成する第1領域と、前記第1配線とが重なる位置に形成されており、前記第1領域と前記第1配線とを接続する第1ビアと、

前記第2アクティブ領域におけるソースを構成する第2領域と、前記第2配線とが重なる位置に形成されており、前記第2領域と前記第2配線とを接続する第2ビアと、

前記第1～第6トランジスタよりも上層のメタル配線層に形成されており、前記第1方向に延びており、前記第2電源に接続されている第1電源配線とを備えることを特徴とする半導体記憶装置。

[請求項2]

請求項1記載の半導体記憶装置において、

前記SRAMセルは、

前記メタル配線層に形成されており、前記第1方向に延びており、前記第1電源に接続されている第2電源配線をさらに備えることを特徴とする半導体記憶装置。

[請求項3]

請求項1記載の半導体記憶装置において、

前記SRAMセルは、

前記第1背面配線層に形成されており、前記第1方向に延びており、前記第1電源に接続されている第3電源配線と、

前記第1トランジスタのチャネル、ソースおよびドレインを構成しており、当該チャネルとして、前記第1方向に延びているナノシートを含む第3アクティブ領域と、

前記第2トランジスタのチャネル、ソースおよびドレインを構成しており、当該チャネルとして、前記第1方向に延びているナノシートを含む第4アクティブ領域と、

前記第3アクティブ領域におけるソースを構成する第3領域と、前記第3電源配線とが重なる位置に形成されており、前記第3領域と前

記第3電源配線とを接続する第3ビアと、

前記第4アクティブ領域におけるソースを構成する第4領域と、前記第3電源配線とが重なる位置に形成されており、前記第4領域と前記第3電源配線とを接続する第4ビアとをさらに備えることを特徴とする半導体記憶装置。

[請求項4] 請求項3記載の半導体記憶装置において、

前記SRAMセルは、前記メタル配線層に形成されており、前記第1方向に延びており、前記第1電源に接続されている第4電源配線をさらに備えることを特徴とする半導体記憶装置。

[請求項5] 請求項3記載の半導体記憶装置において、

前記SRAMセルは、前記第1背面配線層の下層の第2背面配線層に形成されており、前記第1方向と垂直をなす第2方向に延びている第5電源配線をさらに備えることを特徴とする半導体記憶装置。

[請求項6] SRAMセルとレベル保持回路とを含む半導体記憶装置であって、

前記SRAMセルは、

ソースが第1ビット線に接続された第5トランジスタと、

ソースが前記第1ビット線と相補ビット線対を構成する第2ビット線に接続された第6トランジスタと

を備え、

前記第1ビット線は、前記第5および第6トランジスタの背面側の第1背面配線層に形成されており、第1方向に延びる第1配線を含み、

前記第2ビット線は、前記第1背面配線層に形成されており、前記第1方向に延びる第2配線を含み、

前記SRAMセルは、

前記第5トランジスタのチャネル、ソースおよびドレインを構成しており、当該チャネルとして、前記第1方向に延びているナノシートを含む第1アクティブ領域と、

前記第6トランジスタのチャネル、ソースおよびドレインを構成しており、当該チャネルとして、前記第1方向に延びているナノシートを含む第2アクティブ領域と、

前記第1アクティブ領域におけるソースを構成する第1領域と、前記第1配線とが重なる位置に形成されており、前記第1領域と前記第1配線とを接続する第1ビアと、

前記第2アクティブ領域におけるソースを構成する第2領域と、前記第2配線とが重なる位置に形成されており、前記第2領域と前記第2配線とを接続する第2ビアと

を備え、

前記レベル保持回路は、

第7トランジスタと、

ドレインが前記第7トランジスタのゲートに、ゲートが前記第7トランジスタのドレインに接続された第8トランジスタと、

前記第7トランジスタのチャネル、ソースおよびドレインを構成しており、当該チャネルとして、前記第1方向に延びているナノシートを含む第5アクティブ領域と、

前記第5アクティブ領域におけるドレインを構成する第5領域と、前記第1配線とが重なる位置に形成されており、前記第5領域と前記第1配線とを接続する第5ビアと、

前記第5領域の表面側に形成されており、前記第5領域と前記第8トランジスタのゲートとを接続する第3配線と

を備えることを特徴とする半導体記憶装置。

[請求項7]

請求項6記載の半導体記憶装置において、

前記レベル保持回路は、

前記第8トランジスタのチャネル、ソースおよびドレインを構成しており、当該チャネルとして、前記第1方向に延びているナノシートを含む第6アクティブ領域と、

前記第6アクティブ領域におけるドレインを構成する第6領域と、
前記第2配線とが重なる位置に形成されており、前記第6領域と前記
第2配線とを接続する第6ビアと、

前記第6領域の表面側に形成されており、前記第6領域と前記第7
トランジスタのゲートとを接続する第4配線と
をさらに備えることを特徴とする半導体記憶装置。

[請求項8]

請求項6記載の半導体記憶装置において、

前記第1配線は、前記SRAMセルから前記レベル保持回路にかけ
て前記第1方向に直線状に形成されていることを特徴とする半導体記
憶装置。

[請求項9]

SRAMセルとカラムセクタとセンスアンプとを含む半導体記憶
装置であって、

前記SRAMセルは、

ソースが第1ビット線に接続された第5トランジスタと、

ソースが前記第1ビット線と相補ビット線対を構成する第2ビット
線に接続された第6トランジスタと

を備え、

前記第1ビット線は、前記第5および第6トランジスタの背面側の
第1背面配線層に形成されており、第1方向に延びる第1配線を含み
、

前記第2ビット線は、前記第1背面配線層に形成されており、前記
第1方向に延びる第2配線を含み、

前記SRAMセルは、

前記第5トランジスタのチャネル、ソースおよびドレインを構成し
ており、当該チャネルとして、前記第1方向に延びているナノシート
を含む第1アクティブ領域と、

前記第6トランジスタのチャネル、ソースおよびドレインを構成し
ており、当該チャネルとして、前記第1方向に延びているナノシート

を含む第2アクティブ領域と、

前記第1アクティブ領域における一方のノードを構成する第1領域と、前記第1配線とが重なる位置に形成されており、前記第1領域と前記第1配線とを接続する第1ビアと、

前記第2アクティブ領域における一方のノードを構成する第2領域と、前記第2配線とが重なる位置に形成されており、前記第2領域と前記第2配線とを接続する第2ビアと

を備え、

前記カラムセレクトは、

ソースが前記第1ビット線に接続された第9トランジスタと、

ソースが前記第2ビット線に接続された第10トランジスタと、

前記第9トランジスタのチャネル、ソースおよびドレインを構成しており、当該チャネルとして、前記第1方向に延びているナノシートを含む第7アクティブ領域と、

前記第7アクティブ領域におけるソースを構成する第7領域と、前記第1配線とが重なる位置に形成されており、前記第7領域と前記第1配線とを接続する第7ビアと

を備え、

前記第7アクティブ領域におけるドレインを構成する第8領域は、前記第8領域の表面側に形成された第5配線と接続されており、

前記センスアンプは、

前記第5配線を介して、ゲートが前記第9トランジスタのドレインに接続された第11トランジスタと、

前記第5配線を介して、ゲートが前記第9トランジスタのドレインに接続された第12トランジスタと

を備えることを特徴とする半導体記憶装置。

[請求項10]

請求項9記載の半導体記憶装置において、

前記カラムセレクトは、

前記第10トランジスタのチャネル、ソースおよびドレインを構成しており、当該チャネルとして、前記第1方向に延びているナノシートを含む第8アクティブ領域と、

前記第8アクティブ領域におけるソースを構成する第9領域と、前記第2配線とが重なる位置に形成されており、前記第9領域と前記第2配線とを接続する第8ビアと

をさらに備え、

前記第8アクティブ領域におけるドレインを構成する第10領域は、前記第10領域の表面側に形成された第6配線と接続されており、

前記センスアンプは、

前記第6配線を介して、ゲートが前記第10トランジスタのドレインに接続された第13トランジスタと、

前記第6配線を介して、ゲートが前記第10トランジスタのドレインに接続された第14トランジスタと

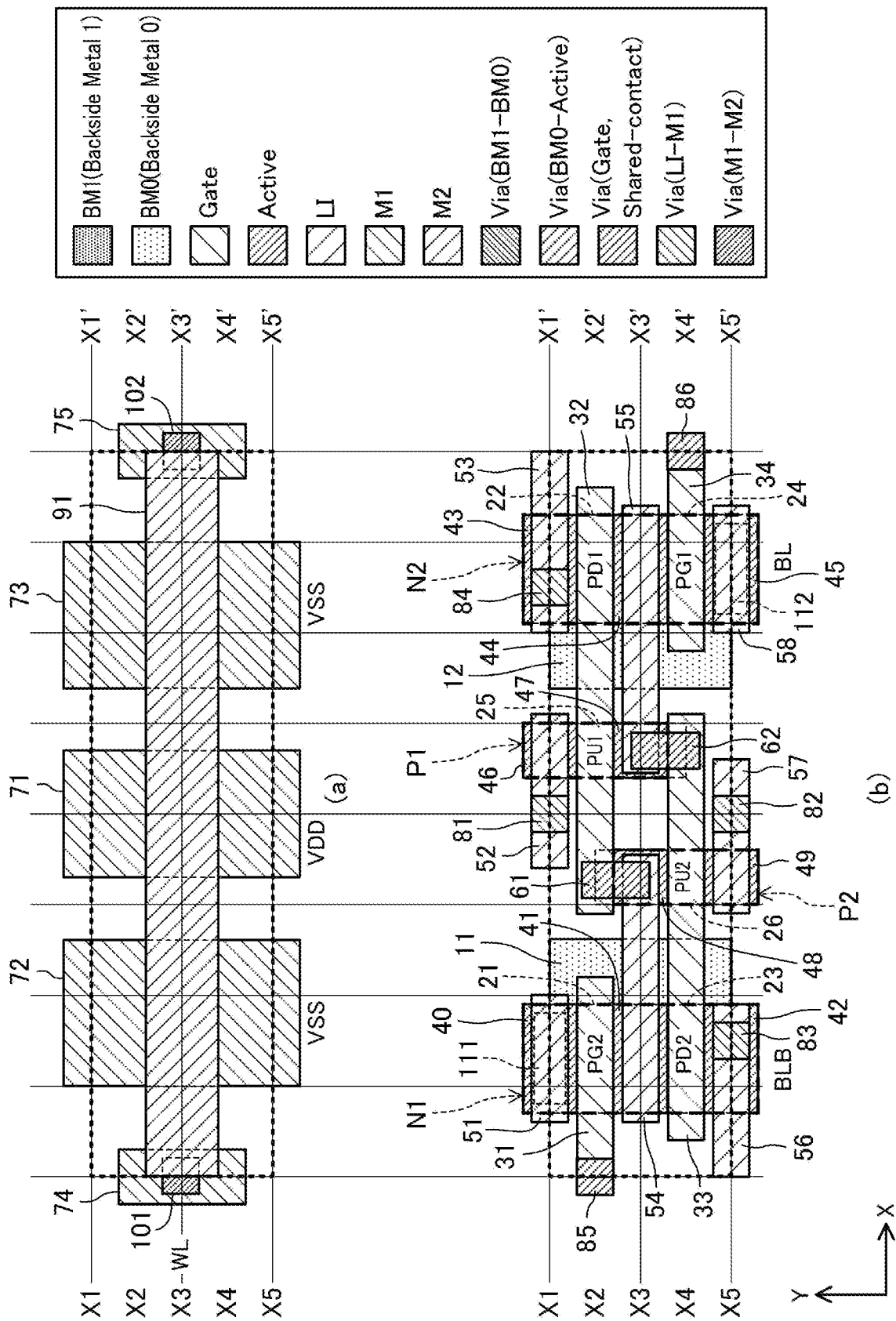
を備えることを特徴とする半導体記憶装置。

[請求項11]

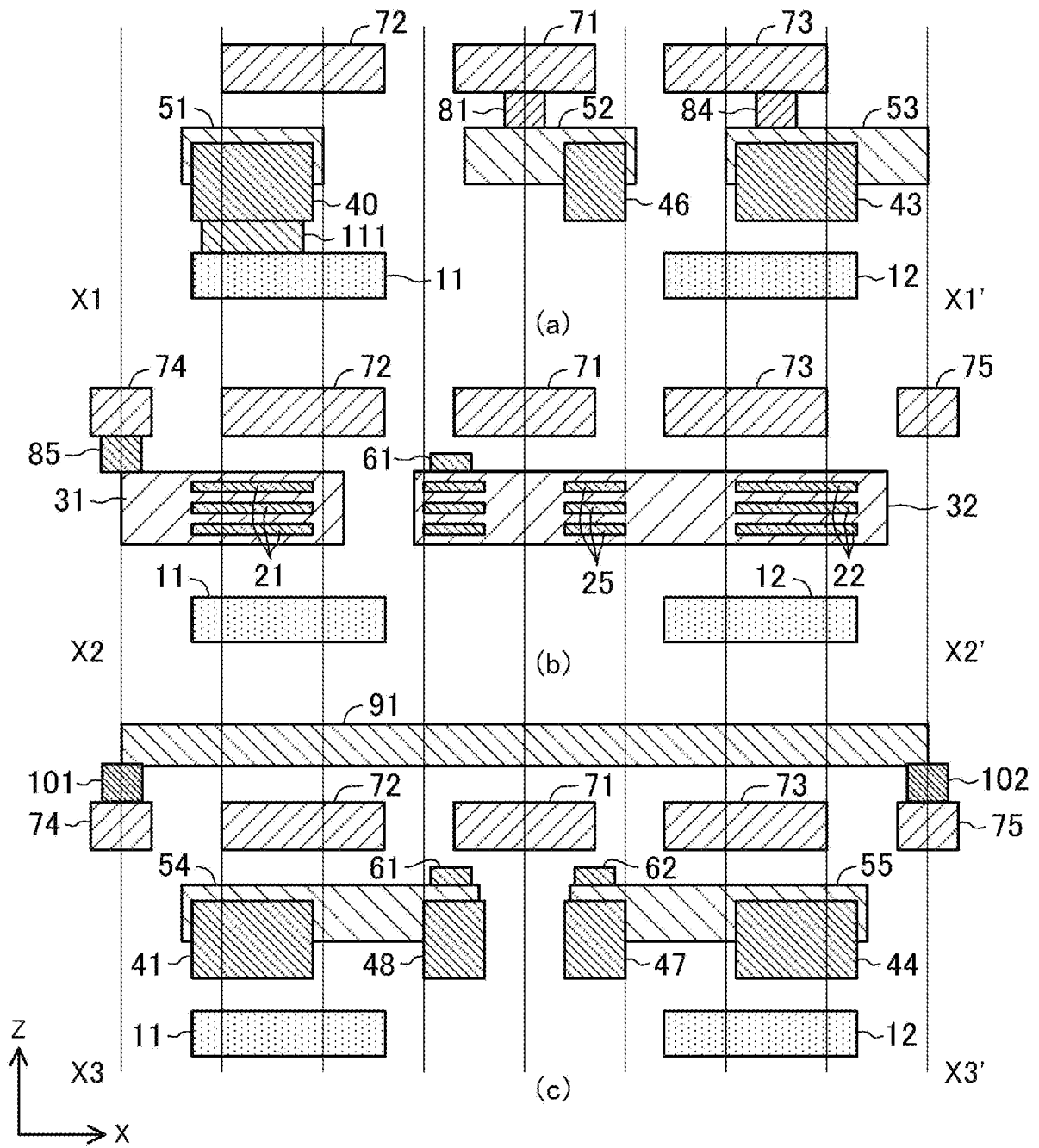
請求項9記載の半導体記憶装置において、

前記第1配線は、前記SRAMセルから前記カラムセクタにかけて前記第1方向に直線状に形成されていることを特徴とする半導体記憶装置。

[図1]



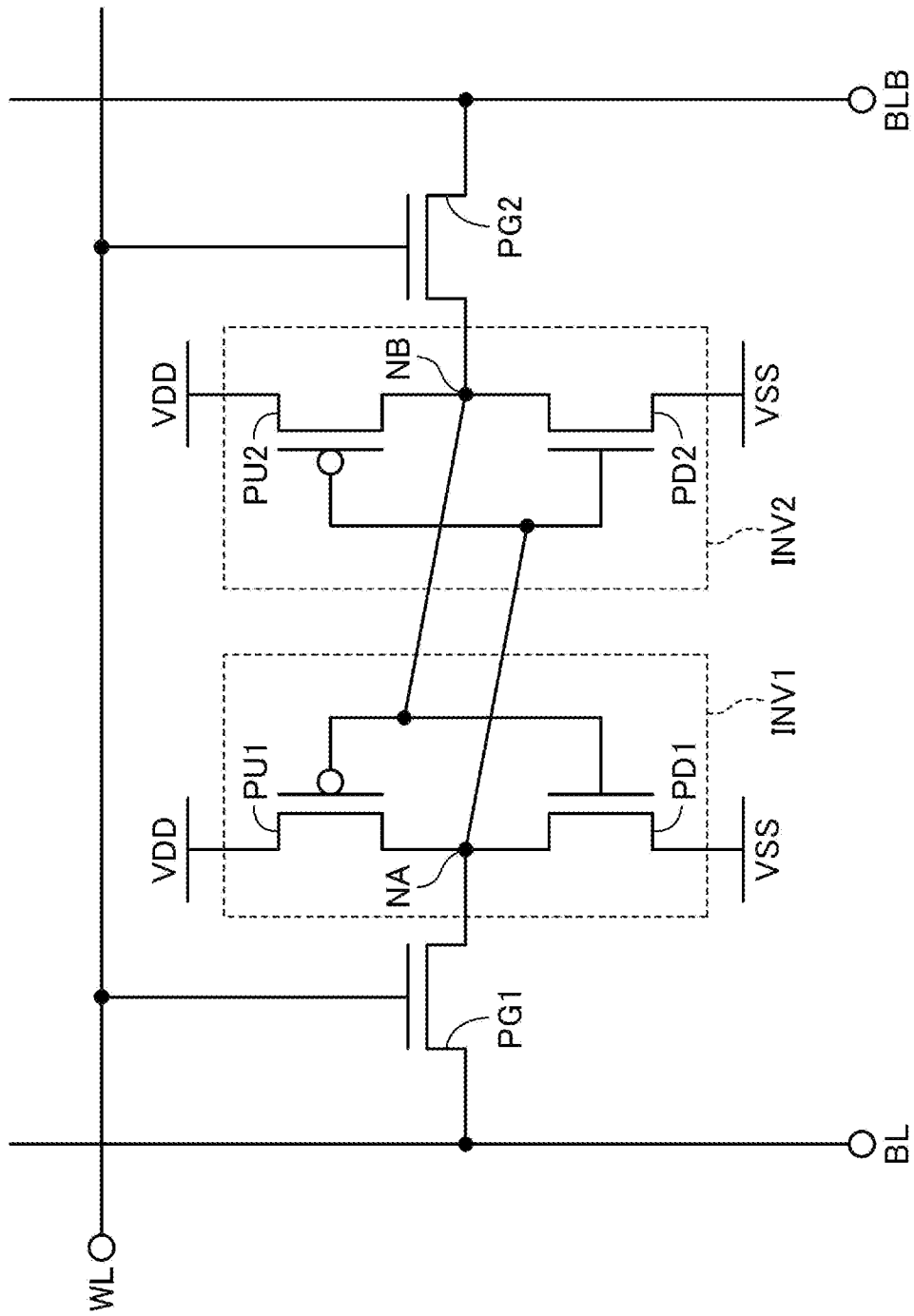
[図2]



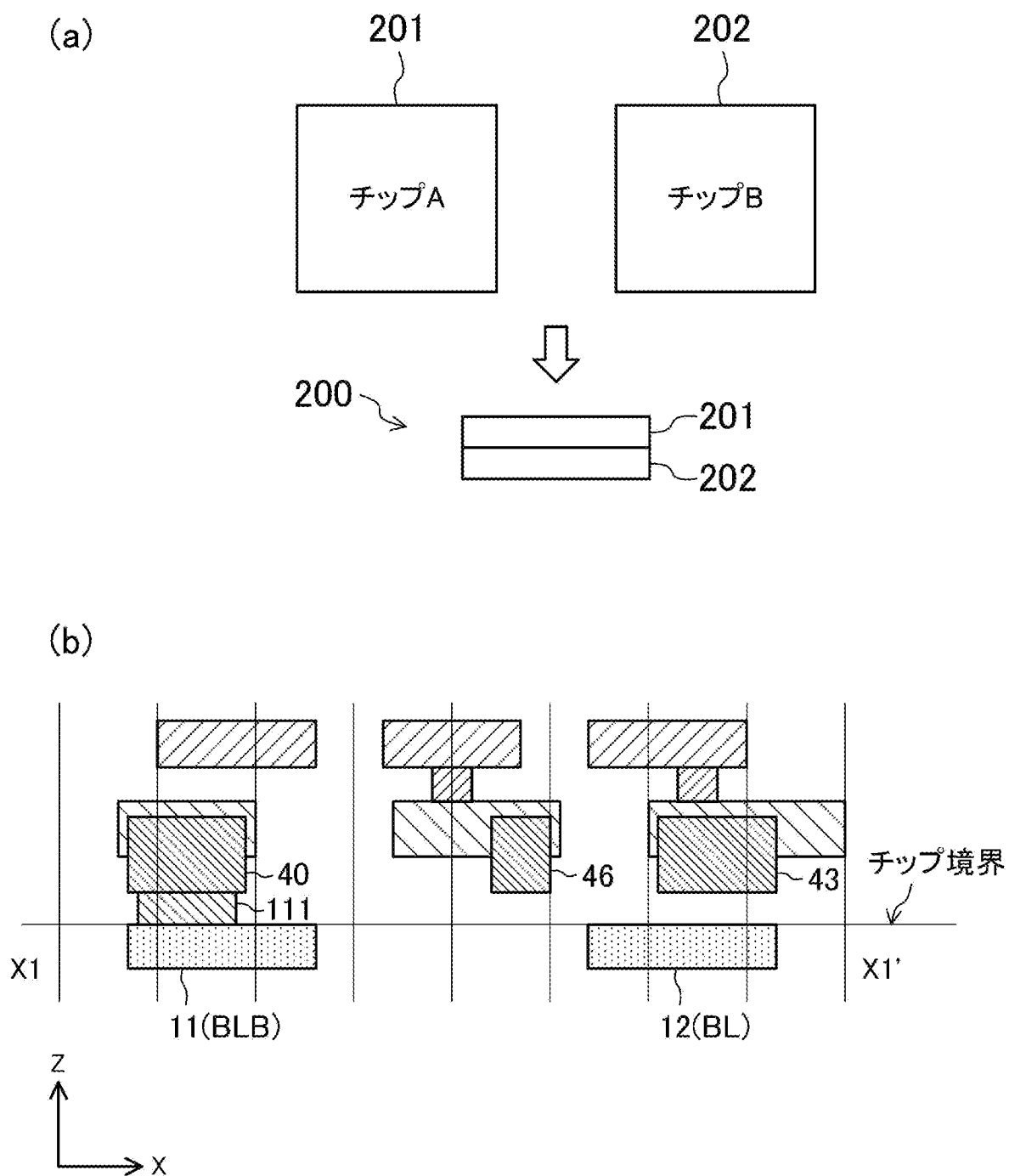
BM1(Backside Metal 1)	LI	Via(BM0-Active)
BM0(Backside Metal 0)	M1	Via(Gate, Shared-contact)
Gate	M2	Via(LI-M1)
Active	Via(BM1-BM0)	Via(M1-M2)

	BM1(Backside Metal 1)		LI		Via(BM0-Active)
	BM0(Backside Metal 0)		M1		Via(Gate, Shared-contact)
	Gate		M2		Via(LI-M1)
	Active		Via(BM1-BM0)		Via(M1-M2)

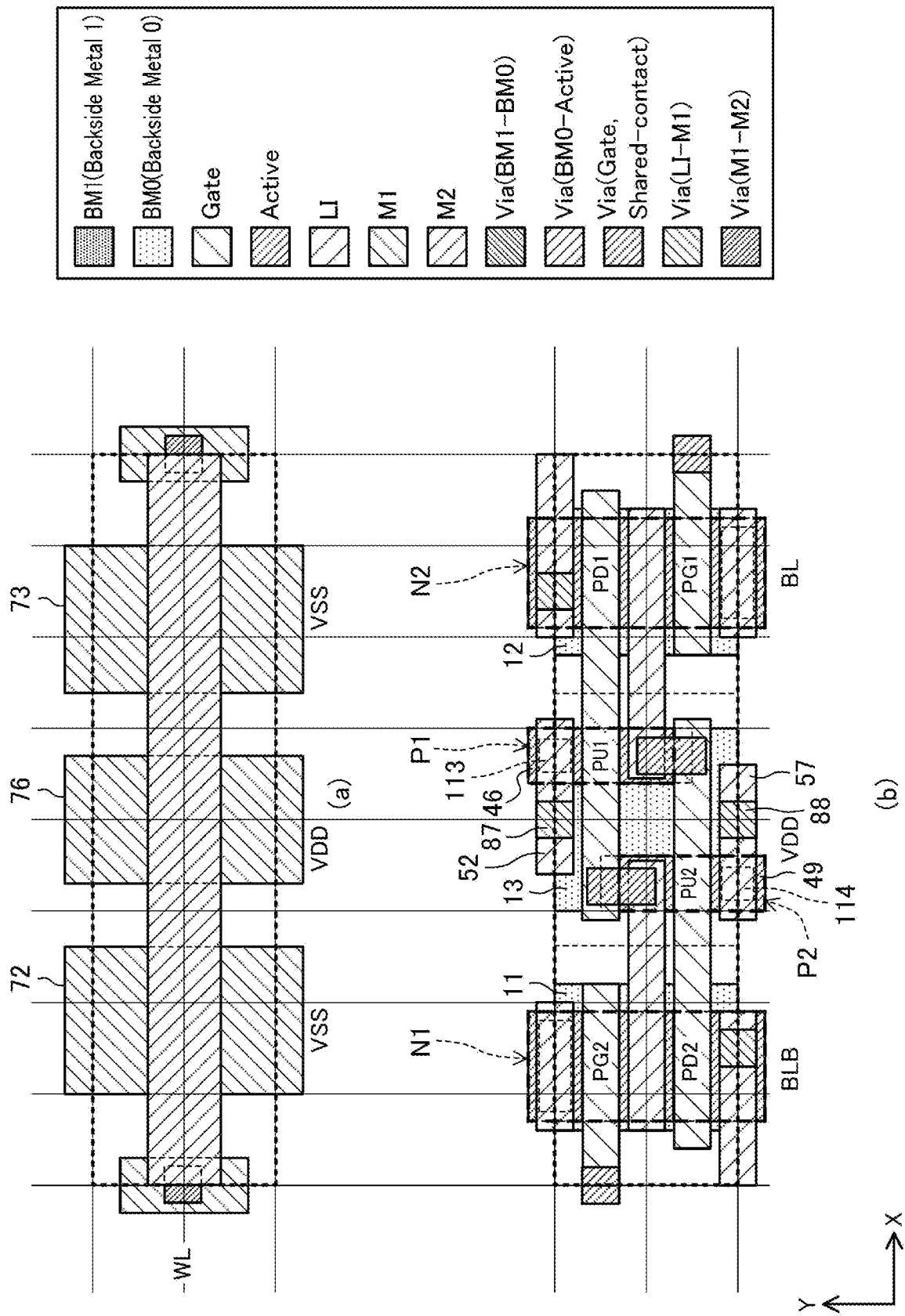
[図4]



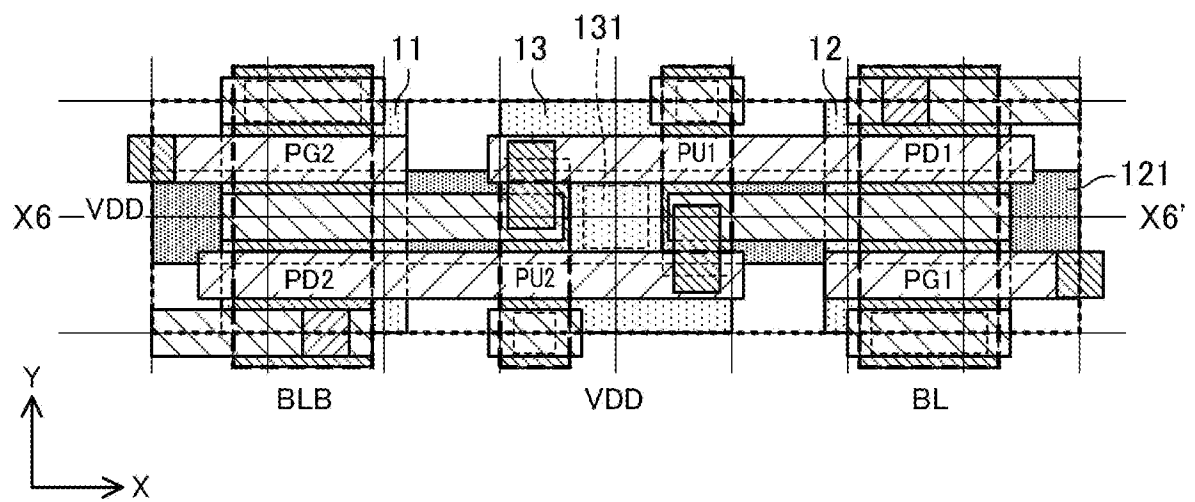
[図5]



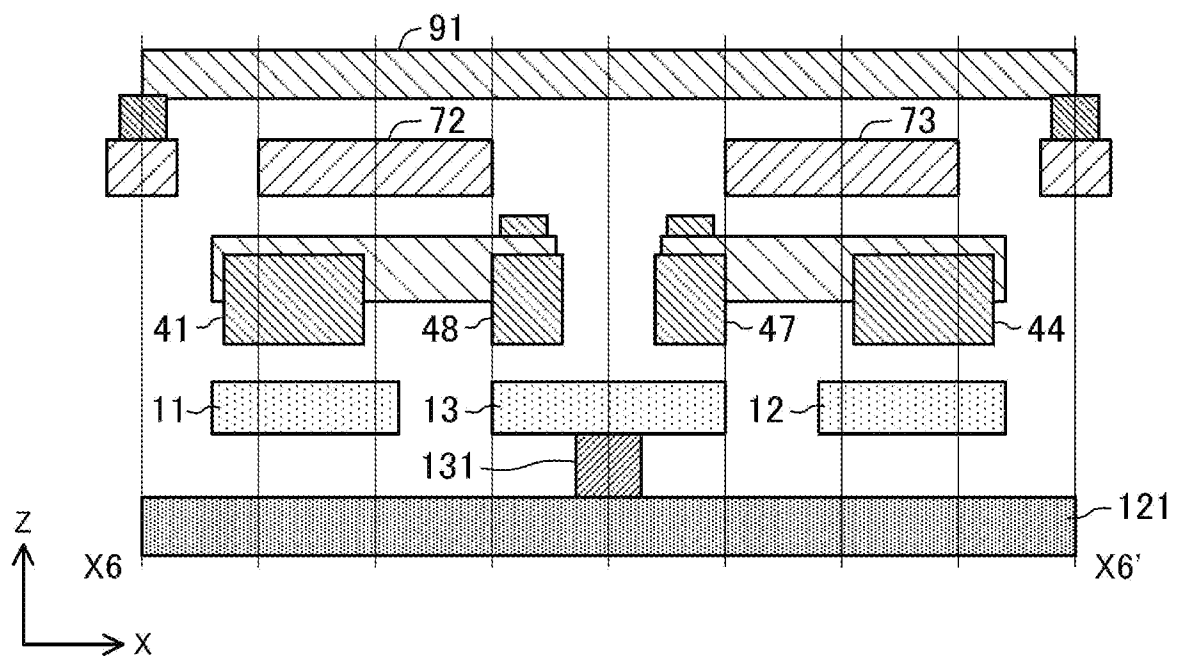
[図7]



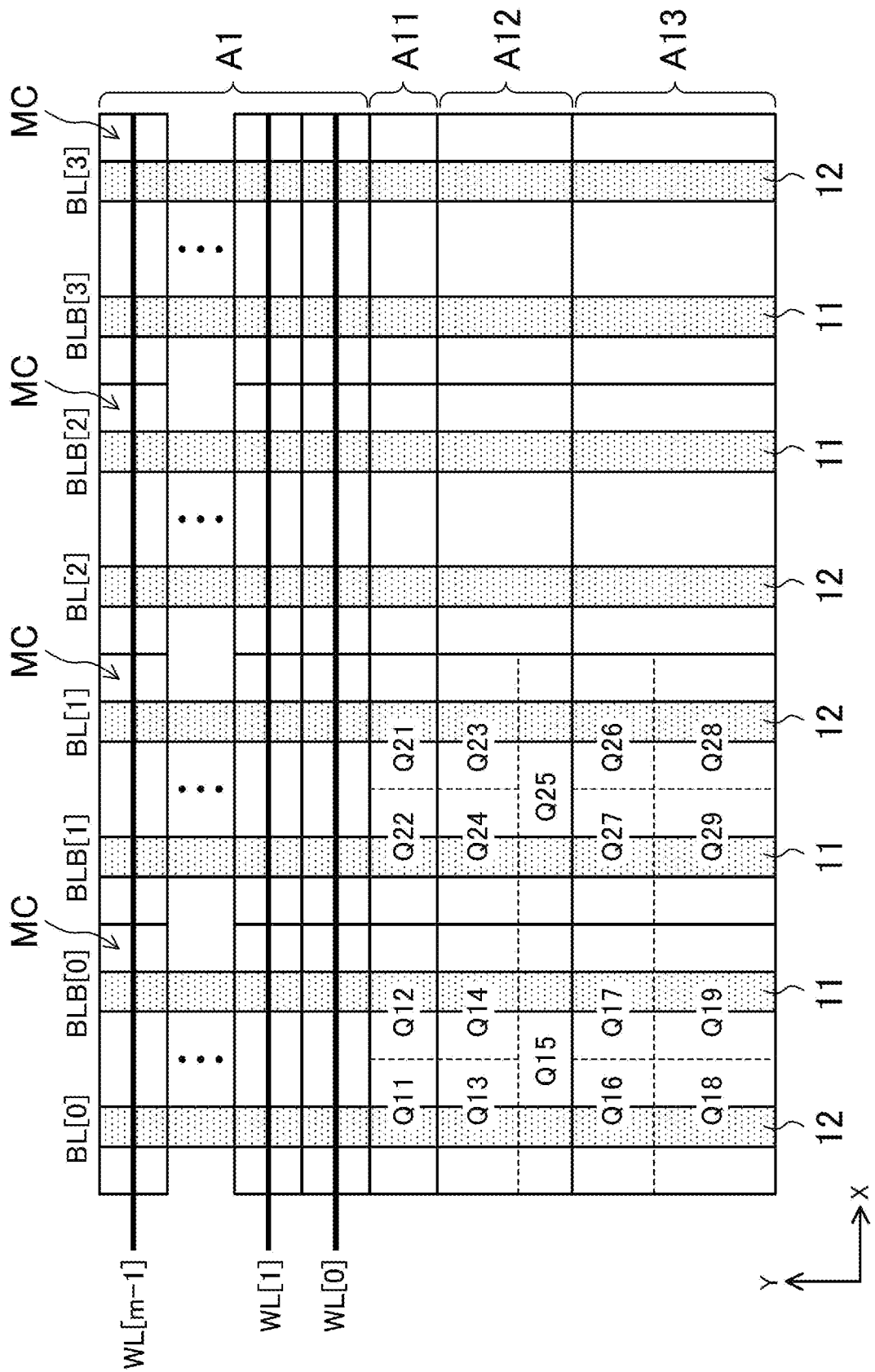
[図8]



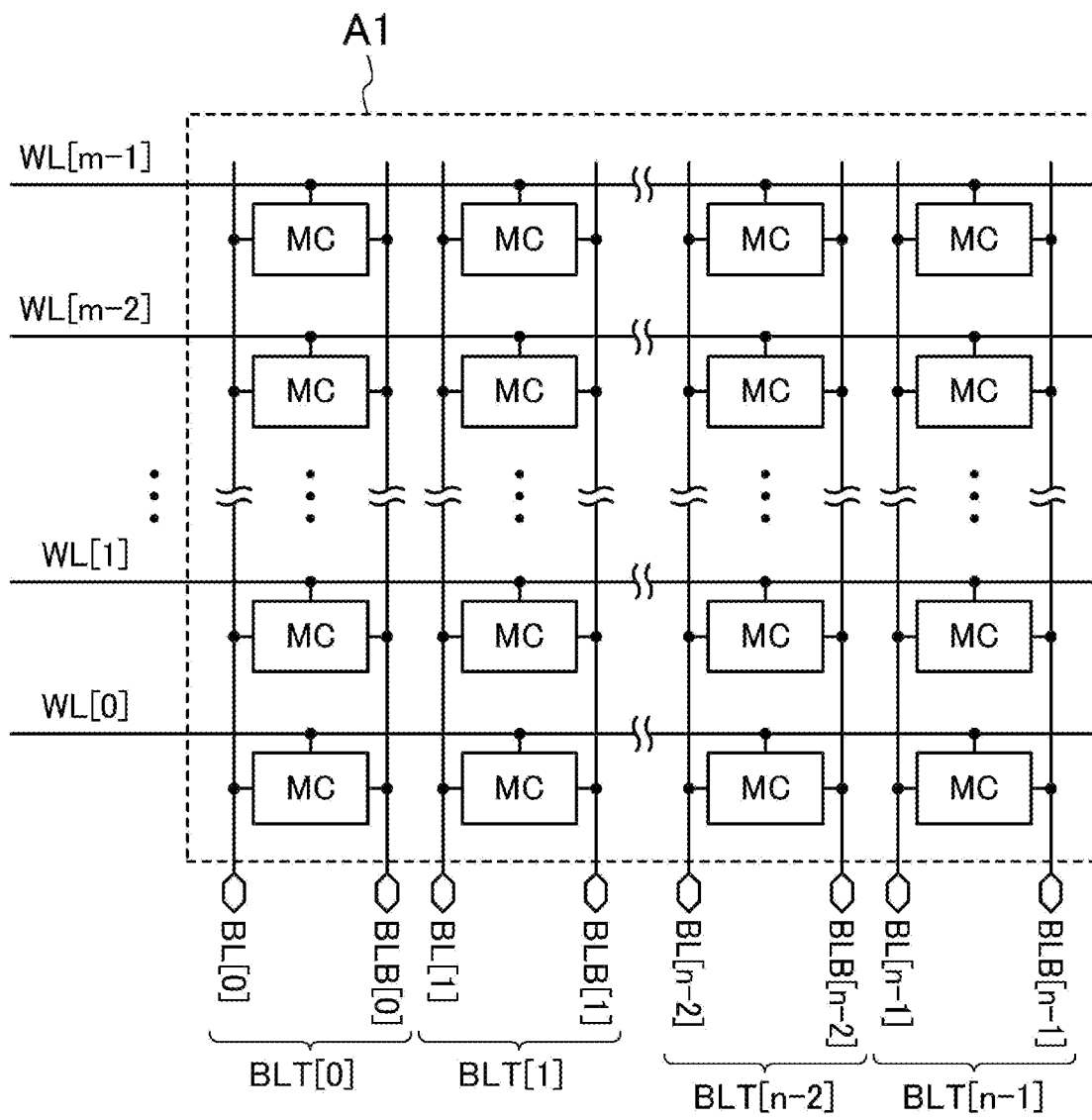
[図9]



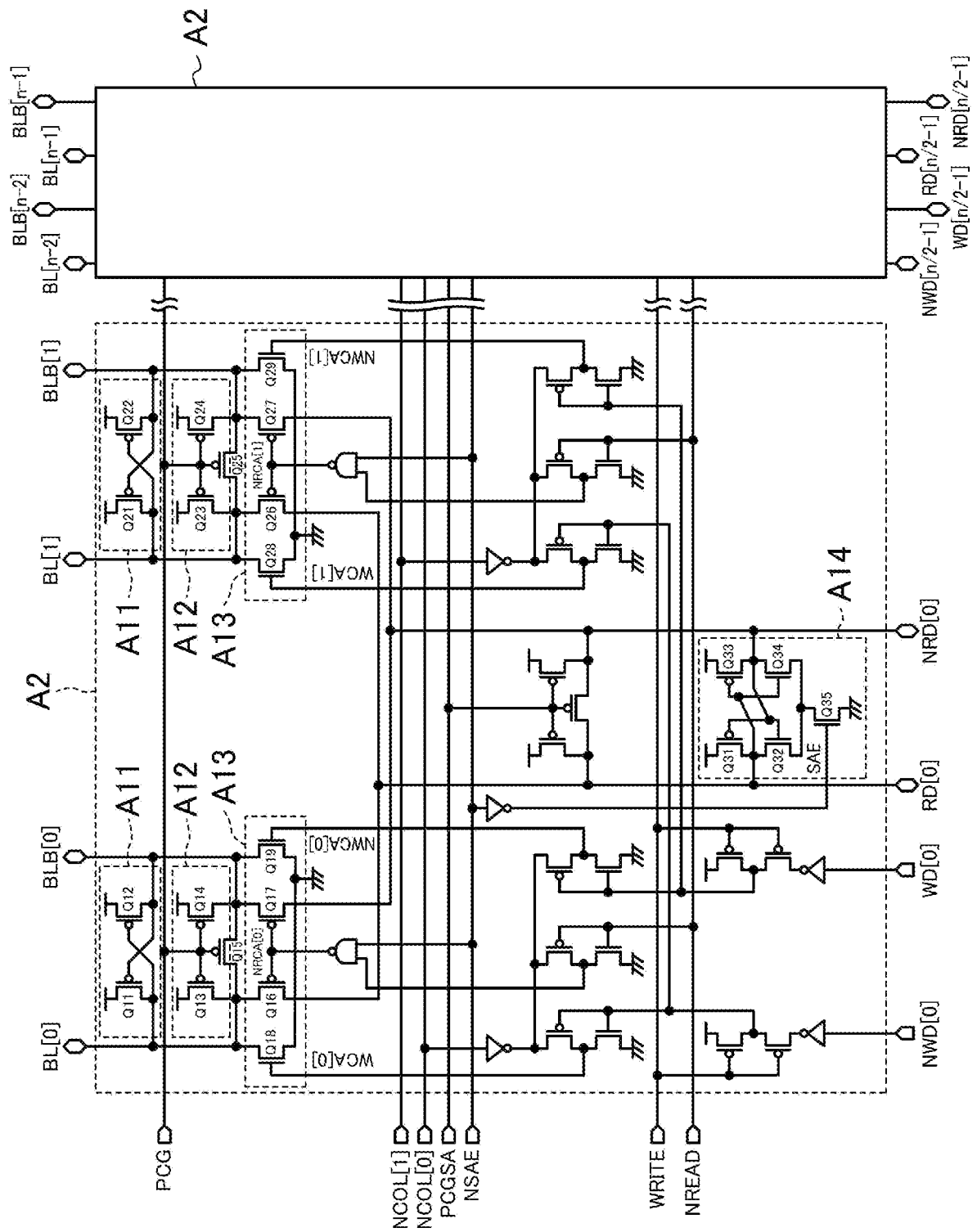
[図10]



[図12]



[図13]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2024/020653

A. CLASSIFICATION OF SUBJECT MATTER <i>H10B 10/00</i> (2023.01)i; <i>G11C 11/412</i> (2006.01)i FI: H10B10/00; G11C11/412 According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H10B10/00; G11C11/412 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2024 Registered utility model specifications of Japan 1996-2024 Published registered utility model applications of Japan 1994-2024 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 2020/255801 A1 (SOCIONEXT INC.) 24 December 2020 (2020-12-24) paragraphs [0039], [0040], [0045], [0046], [0049], [0050], [0055], [0058], [0063], [0119], fig. 1-17	1-11
Y	WO 2019/155559 A1 (SOCIONEXT INC.) 15 August 2019 (2019-08-15) paragraph [0040], fig. 1-25	1-11
Y	JP 2010-74023 A (RENESAS TECH CORP.) 02 April 2010 (2010-04-02) paragraph [0055], fig. 1-20	5
Y	US 2023/0012680 A1 (TAIWAN SEMICONDUCTOR MFG CO., LTD.) 19 January 2023 (2023-01-19) paragraph [0031], fig. 1-19	5
Y	JP 2004-241098 A (RENESAS TECH CORP.) 26 August 2004 (2004-08-26) paragraphs [0011], [0014], [0016], fig. 1-6	6-8
☒ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents: “A” document defining the general state of the art which is not considered to be of particular relevance “D” document cited by the applicant in the international application “E” earlier application or patent but published on or after the international filing date “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) “O” document referring to an oral disclosure, use, exhibition or other means “P” document published prior to the international filing date but later than the priority date claimed “T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art “&” document member of the same patent family		
Date of the actual completion of the international search 05 August 2024		Date of mailing of the international search report 13 August 2024
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2024/020653

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 2015/079608 A1 (SOCIONEXT INC.) 04 June 2015 (2015-06-04) paragraphs [0027], [0028], [0031], [0034], fig. 1-11	9-11

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2024/020653

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
WO	2020/255801	A1	24 December 2020	US 2022/0108992 A1 paragraphs [0056], [0057], [0062], [0063], [0066], [0067], [0072], [0075], [0079], [0135], fig. 1-17	
WO	2019/155559	A1	15 August 2019	US 2020/0365603 A1 paragraph [0064], fig. 1-25	
JP	2010-74023	A	02 April 2010	(Family: none)	
US	2023/0012680	A1	19 January 2023	(Family: none)	
JP	2004-241098	A	26 August 2004	(Family: none)	
WO	2015/079608	A1	04 June 2015	US 2016/0267963 A1 paragraphs [0037], [0038], [0041], [0044], fig. 1-11	

A. 発明の属する分野の分類（国際特許分類（IPC））

H10B 10/00(2023.01)i; G11C 11/412(2006.01)i

FI: H10B10/00; G11C11/412

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

H10B10/00; G11C11/412

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報

1922 - 1996年

日本国公開実用新案公報

1971 - 2024年

日本国実用新案登録公報

1996 - 2024年

日本国登録実用新案公報

1994 - 2024年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	WO 2020/255801 A1（株式会社ソシオネクスト） 24.12.2020（2020 - 12 - 24） 段落0039, 0040, 0045, 0046, 0049, 0050, 0055, 0058, 0063, 0119, 図1-17	1-11
Y	WO 2019/155559 A1（株式会社ソシオネクスト） 15.08.2019（2019 - 08 - 15） 段落0040, 図1-25	1-11
Y	JP 2010-74023 A（株式会社ルネサステクノロジ） 02.04.2010（2010 - 04 - 02） 段落0055, 図1-20	5
Y	US 2023/0012680 A1（TAIWAN SEMICONDUCTOR MANUFACTURING COMPANY, LTD.） 19.01.2023（2023 - 01 - 19） 段落0031, 図1-19	5
Y	JP 2004-241098 A（株式会社ルネサステクノロジ） 26.08.2004（2004 - 08 - 26） 段落0011, 0014, 0016, 図1-6	6-8
Y	WO 2015/079608 A1（株式会社ソシオネクスト） 04.06.2015（2015 - 06 - 04） 段落0027, 0028, 0031, 0034, 図1-11	9-11

☐ C欄の続きにも文献が列挙されている。

☒ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

“A” 特に関連のある文献ではなく、一般的技術水準を示すもの

“D” 国際出願で出願人が先行技術文献として記載した文献

“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

“O” 口頭による開示、使用、展示等に言及する文献

“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの

“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

“&” 同一パテントファミリー文献

国際調査を完了した日

05.08.2024

国際調査報告の発送日

13.08.2024

名称及びあて先

日本国特許庁(ISA/JP)

〒100-8915

日本国

東京都千代田区霞が関三丁目4番3号

権限のある職員（特許庁審査官）

小山 満 5F 9458

電話番号 03-3581-1101 内線 3514

様式 PCT/ISA/210（第2ページ）（2022年7月）

国際調査報告
パテントファミリーに関する情報

国際出願番号

PCT/JP2024/020653

引用文献			公表日	パテントファミリー文献	公表日
WO	2020/255801	A1	24.12.2020	US 2022/0108992 A1 段落0056, 0057, 0062, 0063, 0066, 0067, 0072, 0075, 0079, 0135, 図1-17	
WO	2019/155559	A1	15.08.2019	US 2020/0365603 A1 段落0064, 図1-25	
JP	2010-74023	A	02.04.2010	(ファミリーなし)	
US	2023/0012680	A1	19.01.2023	(ファミリーなし)	
JP	2004-241098	A	26.08.2004	(ファミリーなし)	
WO	2015/079608	A1	04.06.2015	US 2016/0267963 A1 段落0037, 0038, 0041, 0044, 図1-11	