



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2024-0057411
(43) 공개일자 2024년05월02일

(51) 국제특허분류(Int. Cl.)
H01L 23/538 (2006.01) H01L 21/48 (2006.01)
H01L 23/00 (2006.01) H01L 23/498 (2006.01)
H01L 25/065 (2023.01)
(52) CPC특허분류
H01L 23/5386 (2013.01)
H01L 21/4853 (2013.01)
(21) 출원번호 10-2024-7008307
(22) 출원일자(국제) 2022년08월05일
심사청구일자 없음
(85) 번역문제출일자 2024년03월12일
(86) 국제출원번호 PCT/US2022/039610
(87) 국제공개번호 WO 2023/043548
국제공개일자 2023년03월23일
(30) 우선권주장
17/479,691 2021년09월20일 미국(US)

(71) 출원인
퀄컴 인코포레이티드
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
(72) 발명자
조, 현철
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
팜, 쿤
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
(뒷면에 계속)
(74) 대리인
특허법인 남앤남

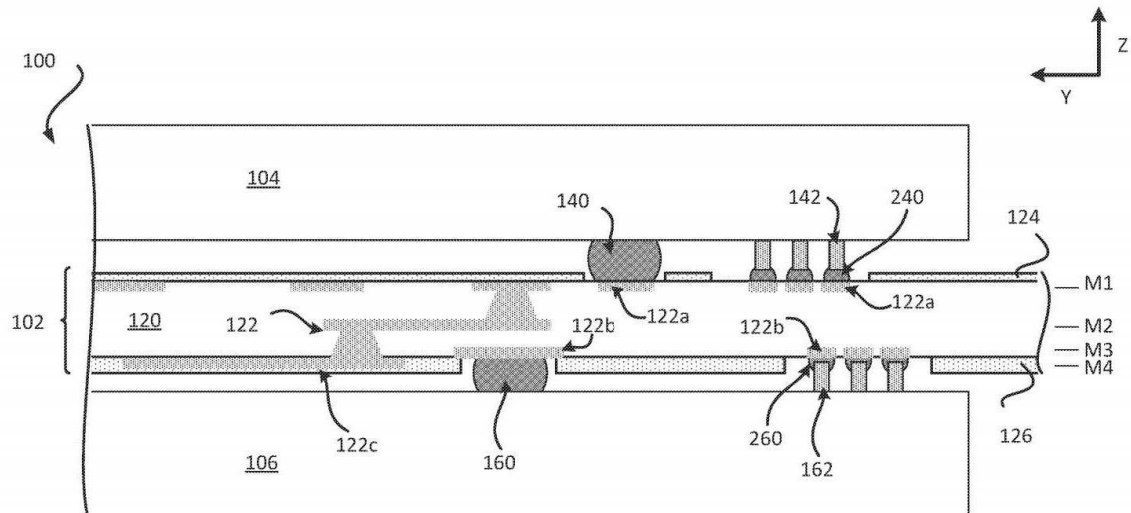
전체 청구항 수 : 총 23 항

(54) 발명의 명칭 **고밀도 상호연결부들을 갖는 기판을 포함하는 패키지**

(57) 요약

기판, 기판의 제1 표면에 결합된 제1 통합 디바이스 및 기판의 제2 표면에 결합된 제2 통합 디바이스를 포함하는 패키지가 제공된다. 기판은 적어도 하나의 유전체 층, 적어도 하나의 유전체 층에 위치되며 적어도 하나의 유전체 층의 제1 표면을 통과하는 제1 복수의 고밀도 상호연결부들; 적어도 하나의 유전체에 위치된 제2 복수의 고밀도 상호연결부들을 포함한다.

대표도



프로파일 단면도

(52) CPC특허분류

H01L 23/49811 (2013.01)

H01L 24/11 (2013.01)

H01L 24/14 (2013.01)

H01L 25/0657 (2023.08)

H01L 2224/111 (2013.01)

H01L 2224/16145 (2013.01)

H01L 2224/16227 (2013.01)

(72) 발명자

연, 재현

미국 92121-1714 캘리포니아주 샌 디에고 모어하우

스 드라이브 5775

황, 수형

미국 92121-1714 캘리포니아주 샌 디에고 모어하우

스 드라이브 5775

명세서

청구범위

청구항 1

패키지로서,

기관, 제1 통합 디바이스 및 제2 통합 디바이스를 포함하고,

상기 기관은,

적어도 하나의 유전체 층;

상기 적어도 하나의 유전체 층에 위치되며 상기 적어도 하나의 유전체 층의 제1 표면을 통과하는 제1 복수의 상호연결부들 — 상기 제1 복수의 상호연결부들은 제1 폭 및 제1 간격을 포함함 —;

상기 적어도 하나의 유전체 층에 위치되며 상기 적어도 하나의 유전체 층의 제2 표면을 통과하는 제2 복수의 상호연결부들 — 상기 제2 복수의 상호연결부들은 제2 폭 및 제2 간격을 포함함 —; 및

상기 적어도 하나의 유전체 층에 위치된 제3 복수의 상호연결부들

을 포함하며,

상기 제3 복수의 상호연결부들은 상기 제1 폭 및 상기 제2 폭보다 큰 제3 폭을 포함하고, 그리고

상기 제3 복수의 상호연결부들은 상기 제1 간격 및 상기 제2 간격보다 큰 제3 간격을 포함하고,

상기 제1 통합 디바이스는 상기 기관의 상기 제1 표면에 결합되고; 그리고

상기 제2 통합 디바이스는 상기 기관의 상기 제2 표면에 결합되는,

패키지.

청구항 2

제1 항에 있어서,

상기 제1 통합 디바이스는 상기 제1 복수의 상호연결부들에 결합되고, 그리고

상기 제2 통합 디바이스는 상기 제2 복수의 상호연결부들에 결합되는,

패키지.

청구항 3

제1 항에 있어서,

상기 제1 복수의 상호연결부들은 상기 기관의 제1 금속층 상에 위치되고, 그리고

상기 제2 복수의 상호연결부들은 상기 기관의 마지막 금속층 옆에 위치되는,

패키지.

청구항 4

제1 항에 있어서,

상기 제1 복수의 상호연결부들은 상기 적어도 하나의 유전체 층 내 제1 금속층 상에 위치되고, 그리고

상기 제2 복수의 상호연결부들은 상기 적어도 하나의 유전체 층에 매립된 마지막 금속층 상에 위치되는,

패키지.

청구항 5

제1 항에 있어서,

상기 기판은 상기 적어도 하나의 유전체 층의 상기 제1 표면 위에 위치한 제4 복수의 상호연결부들을 포함하는, 패키지.

청구항 6

제1 항에 있어서,

상기 기판은 상기 적어도 하나의 유전체 층의 상기 제2 표면 위에 위치한 제4 복수의 상호연결부들을 포함하는, 패키지.

청구항 7

제1 항에 있어서,

상기 제1 복수의 상호연결부들은 약 3-4 마이크로미터의 제1 최소 폭 및/또는 약 3-4 마이크로미터의 제1 최소 간격을 포함하고, 그리고

상기 제2 복수의 상호연결부들은 약 3-4 마이크로미터의 제2 최소 폭 및/또는 약 3-4 마이크로미터의 제2 최소 간격을 포함하는,

패키지.

청구항 8

제1 항에 있어서,

상기 제1 폭은 약 3-4 마이크로미터 이상이고, 그리고/또는 상기 제1 간격은 약 3-4 마이크로미터 이상이며, 그리고

상기 제2 폭은 약 3-4 마이크로미터 이상이고, 그리고/또는 상기 제2 간격은 약 3-4 마이크로미터 이상인, 패키지.

청구항 9

제1 항에 있어서,

상기 제1 통합 디바이스는 제1 복수의 솔더 상호연결부들 및/또는 제1 복수의 필러 상호연결부들을 통해 상기 제1 복수의 상호연결부들에 결합되는,

패키지.

청구항 10

제9 항에 있어서,

상기 제2 통합 디바이스는 제2 복수의 솔더 상호연결부들 및/또는 제2 복수의 필러 상호연결부들을 통해 상기 제2 복수의 상호연결부들에 결합되는,

패키지.

청구항 11

장치로서,

기판, 제1 통합 디바이스 및 제2 통합 디바이스를 포함하고,

상기 기판은,

적어도 하나의 유전체 층;

상기 적어도 하나의 유전체 층에 위치되며 상기 적어도 하나의 유전체 층의 제1 표면을 통과하는 제1 고밀도 상

호연결용 수단; 및

상기 적어도 하나의 유전체 층에 위치되며 상기 적어도 하나의 유전체 층의 제2 표면을 통과하는 제2 고밀도 상호연결용 수단

을 포함하고,

상기 제1 통합 디바이스는 상기 기관의 상기 제1 표면에 결합되고;

상기 제2 통합 디바이스는 상기 기관의 상기 제2 표면에 결합되는,

장치.

청구항 12

제11 항에 있어서,

상기 제1 통합 디바이스는 상기 제1 고밀도 상호연결용 수단에 결합되고, 그리고

상기 제2 통합 디바이스는 상기 제2 고밀도 상호연결용 수단에 결합되는,

장치.

청구항 13

제11 항에 있어서,

상기 제1 고밀도 상호연결용 수단은 상기 기관의 제1 금속층 상에 위치되고, 그리고

상기 제2 고밀도 상호연결용 수단은 상기 기관의 마지막 금속층 옆에 위치되는,

장치.

청구항 14

제11 항에 있어서,

상기 제1 고밀도 상호연결용 수단은 상기 적어도 하나의 유전체 층 내 제1 금속층 상에 위치되고, 그리고

상기 제2 고밀도 상호연결용 수단은 상기 적어도 하나의 유전체 층에 매립된 마지막 금속층 상에 위치되는,

장치.

청구항 15

제11 항에 있어서,

상기 기관은 상기 적어도 하나의 유전체 층의 상기 제1 표면 위에 위치한 상호연결용 수단을 포함하는,

장치.

청구항 16

제11 항에 있어서,

상기 기관은 상기 적어도 하나의 유전체 층의 상기 제2 표면 위에 위치한 상호연결용 수단을 포함하는,

장치.

청구항 17

제11 항에 있어서,

상기 제1 고밀도 상호연결용 수단은 약 3-4 마이크로미터의 제1 최소 폭 및/또는 약 3-4 마이크로미터의 제1 최소 간격을 갖는 제1 상호연결부들을 포함하고, 그리고

상기 제2 고밀도 상호연결용 수단은 약 3-4 마이크로미터의 제2 최소 폭 및/또는 약 3-4 마이크로미터의 제2 최

소 간격을 갖는 제2 상호연결부들을 포함하는,
장치.

청구항 18

제11 항에 있어서,

상기 제1 고밀도 상호연결용 수단은 약 3-4 마이크로미터 이상의 제1 폭 및/또는 약 3-4 마이크로미터 이상의 제1 간격을 갖는 제1 상호연결부들을 포함하고, 그리고

상기 제2 고밀도 상호연결용 수단은 약 3-4 마이크로미터 이상의 제2 폭 및/또는 약 3-4 마이크로미터 이상의 제2 간격을 갖는 제2 상호연결부들을 포함하는,

장치.

청구항 19

제11 항에 있어서,

상기 제1 통합 디바이스는 제1 솔더 상호연결용 수단 및/또는 제1 필러 상호연결용 수단을 통해 제1 고밀도 상호연결용 수단에 결합되고, 그리고

상기 제2 통합 디바이스는 제2 솔더 상호연결용 수단 및/또는 제2 필러 상호연결용 수단을 통해 제2 고밀도 상호연결용 수단에 결합되는,

장치.

청구항 20

제11 항에 있어서,

상기 장치는 음악 플레이어, 비디오 플레이어, 엔터테인먼트 유닛, 내비게이션 디바이스, 통신 디바이스, 모바일 디바이스, 모바일 폰, 스마트폰, 개인 디지털 어시스턴트, 고정 위치 단말기, 태블릿 컴퓨터, 컴퓨터, 웨어러블 디바이스, 랩톱 컴퓨터, 서버, 사물 인터넷(IoT) 디바이스 및 자동차 차량(automotive vehicle) 내 디바이스로 구성된 그룹으로부터 선택된 디바이스를 포함하는,

장치.

청구항 21

기판을 제조하기 위한 방법으로서,

제1 시드층을 포함하는 제1 캐리어를 제공하는 단계;

상기 제1 시드층 위에 제1 복수의 고밀도 상호연결부들을 형성하는 단계;

상기 제1 복수의 고밀도 상호연결부들 위에 제1 유전체 층을 형성하는 단계;

상기 제1 유전체 층 내 그리고/또는 위에 복수의 상호연결부들을 형성하는 단계;

제2 시드층을 포함하는 제2 캐리어를 제공하는 단계;

상기 제2 시드층 위에 제2 복수의 고밀도 상호연결부들을 형성하는 단계;

상기 제2 시드층 및 상기 제2 복수의 고밀도 상호연결부들을 포함하는 상기 제2 캐리어를, 제2 유전체 층을 통해, 상기 제1 시드층, 상기 제1 복수의 고밀도 상호연결부들, 상기 제1 유전체 층 및 상기 복수의 상호연결부들을 포함하는 상기 제1 캐리어에 결합시키는 단계;

상기 제2 캐리어와 상기 제1 캐리어를 분리하는 단계; 및

상기 제1 시드층의 일부들 및 제2 시드층의 일부들을 제거하는 단계

를 포함하는,

기판을 제조하기 위한 방법.

청구항 22

제21 항에 있어서,

상기 제2 캐리어를 분리한 후, 상기 제2 유전체 층 내 및 위에 제2 복수의 상호연결부들을 형성하는 단계를 더 포함하는,

기판을 제조하기 위한 방법.

청구항 23

제21 항에 있어서,

상기 제2 복수의 고밀도 상호연결부들 위에 솔더 레지스트 층을 형성하는 단계를 더 포함하는,

기판을 제조하기 위한 방법.

발명의 설명**기술 분야**

- [0001] [0001] 본 출원은, 2021년 9월 20일자로 미국 특허청에 출원된 정규 출원 일련 번호 제17/479,691호에 대한 우선권 및 이익을 주장하며, 위의 정규 출원의 전체 내용은 그 전체가 그리고 모든 적용 가능한 목적들을 위해 이하에 개시되어 있는 것처럼 본 명세서에 인용에 의해 포함된다.
- [0002] [0002] 다양한 특징들은 기판을 갖는 패키지들과 관련된다.

배경 기술

- [0003] [0003] 패키지는 기판 및 통합 디바이스(integrated device)들을 포함할 수 있다. 이러한 구성요소들은 다양한 전기적 기능들을 수행할 수 있는 패키지를 제공하기 위해 함께 결합(couple)된다. 더 나은 성능의 패키지들을 제공하고 패키지들의 전체 크기를 감소시켜야 할 필요성이 지속적으로 제기되고 있다.

발명의 내용

- [0004] [0004] 다양한 특징들은 기판을 갖는 패키지들과 관련된다.
- [0005] [0005] 일 예는 기판, 기판의 제1 표면에 결합된 제1 통합 디바이스 및 기판의 제2 표면에 결합된 제2 통합 디바이스를 포함하는 패키지를 제공한다. 기판은 적어도 하나의 유전체 층; 적어도 하나의 유전체 층에 위치되며 적어도 하나의 유전체 층의 제1 표면을 통과하는 제1 복수의 상호연결부들; 및 적어도 하나의 유전체 층에 위치되며 적어도 하나의 유전체 층의 제2 표면을 통과하는 제2 복수의 상호연결부들을 포함한다. 제1 복수의 상호연결부들은 제1 폭 및 제1 간격을 포함한다. 제2 복수의 상호연결부들은 제2 폭 및 제2 간격을 포함한다. 기판은 적어도 하나의 유전체 층에 위치된 제3 복수의 상호연결부들을 포함한다. 제3 복수의 상호연결부들은 제1 폭 및 제2 폭보다 큰 제3 폭을 포함한다. 제3 복수의 상호연결부들은 제1 간격 및 제2 간격보다 큰 제3 간격을 포함한다.
- [0006] [0006] 다른 예는 기판, 기판의 제1 표면에 결합된 제1 통합 디바이스 및 기판의 제2 표면에 결합된 제2 통합 디바이스를 포함하는 장치를 제공한다. 기판은 적어도 하나의 유전체 층, 적어도 하나의 유전체 층에 위치되며 적어도 하나의 유전체 층의 제1 표면을 통과하는 제1 고밀도 상호연결용 수단, 적어도 하나의 유전체 층에 위치되며 적어도 하나의 유전체 층의 제2 표면을 통과하는 제2 고밀도 상호연결용 수단을 포함한다.
- [0007] [0007] 다른 예는 기판을 제조하기 위한 방법을 제공한다. 이 방법은 제1 시드층을 포함하는 제1 캐리어를 제공한다. 이 방법은 제1 시드층 위에 제1 복수의 고밀도 상호연결부들을 형성한다. 이 방법은 제1 복수의 고밀도 상호연결부들 위에 제1 유전체 층을 형성한다. 이 방법은 제1 유전체 층 내 그리고/또는 위에 복수의 상호연결부들을 형성한다. 이 방법은 제2 시드층을 포함하는 제2 캐리어를 제공한다. 이 방법은 제2 시드층 위에 제2 복수의 고밀도 상호연결부들을 형성한다. 이 방법은 제2 시드층 및 제2 복수의 고밀도 상호연결부들을 포함하는 제2 캐리어를 제2 유전체 층을 통해 제1 시드층, 제1 복수의 고밀도 상호연결부들, 제1 유전체 층 및 복수의 상호연결부들을 포함하는 제1 캐리어에 결합한다. 이 방법은 제2 캐리어와 제1 캐리어를 분리(decouple)한다. 이 방법은 제1 시드층의 일부들 및 제2 시드층의 일부들을 제거한다.

도면의 간단한 설명

- [0008] 다양한 특징들, 성질 및 장점들은 동일한 참조 부호들이 전체적으로 대응하여 식별되는 도면들과 함께 고려될 때, 아래에 개시된 상세한 설명으로부터 명백해질 수 있다.
- [0009] 도 1은 고밀도 상호연결부들을 갖는 기판을 포함하는 패키지의 프로파일 단면도를 예시한다.
- [0010] 도 2는 고밀도 상호연결부들을 갖는 기판을 포함하는 패키지의 확대도를 예시한다.
- [0011] 도 3은 고밀도 상호연결부들을 갖는 기판을 포함하는 패키지의 확대도를 예시한다.
- [0012] 도 4a 내지 도 4c는 고밀도 상호연결부들을 갖는 기판의 제조를 위한 예시적인 시퀀스를 예시한다.
- [0013] 도 5는 고밀도 상호연결부들을 갖는 기판의 제조를 위한 예시적인 시퀀스를 예시한다.
- [0014] 도 6a 내지 도 6b는 고밀도 상호연결부들을 갖는 기판을 포함하는 패키지의 제조를 위한 예시적인 시퀀스를 예시한다.
- [0015] 도 7은 고밀도 상호연결부들을 갖는 기판을 포함하는 패키지의 제조를 위한 일 예의 시퀀스를 예시한다.
- [0016] 도 8은 본 명세서에 설명된 다이, 전자 회로, 통합 디바이스, 통합 수동 소자(IPD), 수동 구성요소, 패키지 및/또는 디바이스 패키지를 통합할 수 있는 다양한 전자 디바이스들을 예시한다.

발명을 실시하기 위한 구체적인 내용

- [0009] [0017] 이하의 설명에서는, 본 개시내용의 다양한 양태들에 대한 완전한 이해를 제공하기 위해 구체적인 세부 사항들이 주어진다. 그러나, 당업자에게는 이러한 특정 세부 사항들 없이도 양태들이 실시될 수 있다는 것이 이해될 것이다. 예를 들어, 회로들은 불필요한 세부 사항으로 양태들을 모호하게 하는 것을 회피하기 위해 블록도들로 표시될 수 있다. 다른 예들에서, 본 개시내용의 양태들을 모호하게 하지 않기 위해, 잘 알려진 회로들, 구조들 및 기술들은 상세하게 제시되지 않을 수 있다.
- [0010] [0018] 본 개시내용은 기판, 기판의 제1 표면에 결합된 제1 통합 디바이스 및 기판의 제2 표면에 결합된 제2 통합 디바이스를 포함하는 패키지를 설명한다. 기판은 적어도 하나의 유전체 층, 적어도 하나의 유전체 층에 위치되며 적어도 하나의 유전체 층의 제1 표면을 통과하는 제1 복수의 고밀도 상호연결부들, 적어도 하나의 유전체 층에 위치되며 적어도 하나의 유전체 층의 제2 표면을 통과하는 제2 복수의 고밀도 상호연결부들 및 적어도 하나의 유전체 층 위에 위치되는 솔더 레지스트 층을 포함한다. 기판의 제1 측 위에 제1 복수의 고밀도 상호연결부들을, 그리고 기판의 제2 측 위에 제2 복수의 고밀도 상호연결부들을 사용하면, 패키지의 전체 높이 및/또는 크기를 줄이면서, 통합 디바이스들을 위한 고밀도 및 고속 통신을 제공하는 데 도움이 된다.
- [0011] **고밀도 상호연결부들을 갖는 기판을 포함하는 예시적인 패키지**
- [0012] [0019] 도 1은 고밀도 상호연결부들을 갖는 기판을 포함하는 패키지(100)의 프로파일 단면도를 예시한다. 패키지(100)는 기판(102), 통합 디바이스(104), 통합 디바이스(106) 및 캡슐화 층(108)을 포함한다.
- [0013] [0020] 기판(102)은 적어도 하나의 유전체 층(120), 복수의 상호연결부들(122), 솔더 레지스트 층(124) 및 솔더 레지스트 층(126)을 포함한다. 기판(102)은 코어리스(coreless) 기판일 수 있다. 기판(102)은 제1 표면(예를 들어, 최상부 표면) 및 제2 표면(예를 들어, 저부 표면)을 포함할 수 있다. 이하에서 더 설명되는 바와 같이, 기판(102)은 기판(102)의 제1 측(예를 들어, 최상부 측)에 위치된 복수의 고밀도 상호연결부들 및 기판(102)의 제2 측(예를 들어, 저부 측)에 위치된 복수의 고밀도 상호연결부들을 포함한다. 복수의 상호연결부들(122)은 복수의 상호연결부들(122a), 복수의 상호연결부들(122b) 및 복수의 상호연결부들(122c)을 포함할 수 있다. 기판(102)의 양측들 상의 고밀도 상호연결부들의 사용은, 더 작은 공간에서 통합 디바이스들로/통합 디바이스들로부터의 더 많은 전기 연결(예를 들어, 더 조밀한 전기 라우팅)을 가능하게 하고, 고속 통신이 가능하면서 여전히 패키지의 크기를 감소시킬 수 있다.
- [0014] [0021] 복수의 상호연결부들(122a)은 복수의 고밀도 상호연결부들을 포함한다. 복수의 상호연결부들(122a)은 M1 층(예를 들어, 제1 금속층)과 같은 기판(102)의 최상부 금속층 상에 위치되는 상호연결부들을 포함할 수 있다. 복수의 상호연결부들(122a)은 적어도 하나의 유전체 층(120)에 매립될 수 있다. 복수의 상호연결부들(122a)은 적어도 하나의 유전체 층(120)에 매립된 제1 금속층에 위치될 수 있다. 복수의 상호연결부들(122a)은 약 3-4 마이크로미터의 최소 폭 및 약 3-4 마이크로미터의 최소 간격을 포함한다. 복수의 상호연결부들(122a)

은 약 3-4 마이크로미터 이상의 폭을 갖는 적어도 하나의 상호연결부를 포함할 수 있다. 복수의 상호연결부들(122a)은 약 3-4 마이크로미터 이상의 간격을 갖는 적어도 하나의 상호연결부를 포함할 수 있다.

[0015] [0022] 복수의 상호연결부들(122b)은 복수의 고밀도 상호연결부들을 포함한다. 복수의 상호연결부들(122b)은 기관(102)의 저부 금속층 옆(예를 들어, 마지막 금속층, M3 층 옆)에 위치되는 상호연결부들을 포함할 수 있다. 복수의 상호연결부들(122b)은 적어도 하나의 유전체 층(120)에 매립될 수 있다. 복수의 상호연결부들(122b)은 적어도 하나의 유전체 층(120)에 매립된 마지막 금속층에 위치될 수 있다. 복수의 상호연결부들(122b)은 약 3-4 마이크로미터의 최소 폭 및 약 3-4 마이크로미터의 최소 간격을 포함한다. 복수의 상호연결부들(122b)은 약 3-4 마이크로미터 이상의 폭을 갖는 적어도 하나의 상호연결부를 포함할 수 있다. 복수의 상호연결부들(122b)은 약 3-4 마이크로미터 이상의 간격을 갖는 적어도 하나의 상호연결부를 포함할 수 있다.

[0016] [0023] 복수의 상호연결부들(122c)은 적어도 하나의 유전체 층(120)에 위치될 수 있다. 복수의 상호연결부들(122c)은 적어도 하나의 유전체 층(120)의 저부 표면 위에 위치될 수 있다. 복수의 상호연결부들(122c)은 솔더 레지스트 층(126)에 의해 둘러싸여 있을 수 있다. 복수의 상호연결부들(122c)은 약 8 마이크로미터의 최소 폭 및 약 8 마이크로미터의 최소 간격을 포함한다. 복수의 상호연결부들(122c)은 약 8 마이크로미터 이상의 폭을 갖는 적어도 하나의 상호연결부를 포함할 수 있다. 복수의 상호연결부들(122c)은 약 8 마이크로미터 이상의 간격을 갖는 적어도 하나의 상호연결부를 포함할 수 있다.

[0017] [0024] 도 2 및 도 3은 기관에 대한 고밀도 상호연결부들의 다양한 예들을 보다 상세하게 예시하고 설명한다.

[0018] [0025] 도 1에 도시된 바와 같이, 통합 디바이스(104)는 기관(102)의 제1 표면(예를 들어, 최상부 표면)에 결합된다. 예를 들어, 통합 디바이스(104)는 복수의 솔더 상호연결부들(140)(예를 들어, 제1 복수의 솔더 상호연결부들, 제1 솔더 상호연결용 수단) 및/또는 복수의 필러 상호연결부들(142)(예를 들어, 제1 복수의 필러 상호연결부들, 제1 필러 상호연결용 수단)을 통해 기관(102)의 복수의 상호연결부들(122a)에 결합된다. 캡슐화 층(108)은 기관(102) 및 통합 디바이스(104)에 결합된다. 캡슐화 층(108)은 기관(102)의 제1 표면 위에 위치된다. 캡슐화 층(108)은 통합 디바이스(104)를 캡슐화한다. 캡슐화 층(108)은 통합 디바이스(104) 위에, 그리고/또는 주변에 위치될 수 있다. 캡슐화 층(108)은 캡슐화를 위한 수단일 수 있다.

[0019] [0026] 통합 디바이스(106)는 기관(102)의 제2 표면(예를 들어, 저부 표면)에 결합된다. 예를 들어, 통합 디바이스(106)는 복수의 솔더 상호연결부들(160)(예를 들어, 제2 복수의 솔더 상호연결부들, 제2 솔더 상호연결용 수단) 및/또는 복수의 필러 상호연결부들(162)(예를 들어, 제2 복수의 필러 상호연결부들, 제2 필러 상호연결용 수단)을 통해 기관(102)의 복수의 상호연결부들(122b)에 결합된다.

[0020] [0027] 복수의 솔더 상호연결부들(130)은 기관(102)에 결합될 수 있다. 예를 들어, 복수의 솔더 상호연결부들(130)은 복수의 상호연결부들(122c)에 결합될 수 있다. 복수의 솔더 상호연결부들(130)은 기관(102)의 마지막 메타 층(예를 들어, M4 층)으로부터의 상호연결부들에 결합될 수 있다.

[0021] [0028] 도 2는 패키지(100)의 확대도를 예시한다. 도 2에 도시된 바와 같이, 패키지(100)는 기관(102), 통합 디바이스(104) 및 통합 디바이스(106)를 포함한다. 기관(102)은 복수의 상호연결부들(122)을 포함한다. 복수의 상호연결부들(122)은 복수의 상호연결부들(122a), 복수의 상호연결부들(122b) 및 복수의 상호연결부들(122c)을 포함한다.

[0022] [0029] 통합 디바이스(104)는 복수의 솔더 상호연결부들(140)을 통해 복수의 상호연결부들(122a)에 결합된다. 통합 디바이스(104)는 복수의 필러 상호연결부들(142) 및/또는 복수의 솔더 상호연결부들(240)(예를 들어, 제1 복수의 솔더 상호연결부들, 제1 솔더 상호연결용 수단)을 통해 복수의 상호연결부들(122a)에 결합된다. 복수의 솔더 상호연결부들(140) 및 복수의 솔더 상호연결부들(240)은 크기들 및/또는 부피가 서로 다르더라도, 동일한 그룹의 솔더 상호연결부들의 일부로 간주될 수 있음에 유의해야 한다. 복수의 상호연결부들(122a)은 복수의 고밀도 상호연결부들을 포함한다. 복수의 상호연결부들(122a)은 M1 층(예를 들어, 제1 금속층)과 같은 기관(102)의 최상부 금속층 상에 위치되는 상호연결부들을 포함할 수 있다. 복수의 상호연결부들(122a)은 적어도 하나의 유전체 층(120)에 위치(예를 들어, 매립)될 수 있다. 복수의 상호연결부들(122a)은 적어도 하나의 유전체 층(120)의 제1 표면을 통해 위치될 수 있다. 예를 들어, 복수의 상호연결부들(122a)은, 적어도 하나의 유전체 층(120)에 위치(예를 들어, 매립)되고 적어도 하나의 유전체 층(120)의 제1 표면을 통과하는 상호연결부들을 포함할 수 있다. 복수의 상호연결부들(122a)로부터의 상호연결부들 중 적어도 일부는 적어도 하나의 유전체 층(120)의 제1 표면(예를 들어, 최상부 표면)과 평면을 이루는 상호연결부 표면을 가질 수 있다. 복수의 상호연결부들(122a)은 약 3-4 마이크로미터의 최소 폭 및 약 3-4 마이크로미터의 최소 간격을 포함한다. 복수의 상호

연결부들(122a)은 약 3-4 마이크로미터 이상의 폭을 갖는 적어도 하나의 상호연결부를 포함할 수 있다. 복수의 상호연결부들(122a)은 약 3-4 마이크로미터 이상의 간격을 갖는 적어도 하나의 상호연결부를 포함할 수 있다.

[0023] [0030] 통합 디바이스(106)는 복수의 솔더 상호연결부들(160)을 통해 복수의 상호연결부들(122b)에 결합된다. 통합 디바이스(106)는 복수의 필러 상호연결부들(162) 및/또는 복수의 솔더 상호연결부들(260)(예를 들어, 제2 복수의 솔더 상호연결부들, 제2 솔더 상호연결부들)을 통해 복수의 상호연결부들(122b)에 결합된다. 복수의 솔더 상호연결부들(160) 및 복수의 솔더 상호연결부들(260)은 크기들 및/또는 부피가 서로 다르더라도, 동일한 솔더 상호연결부들의 그룹의 일부로 간주될 수 있다는 점에 유의해야 한다. 통합 디바이스(106)는 기관(102)의 M3 층으로부터 상호연결부들에 결합된다. 복수의 상호연결부들(122b)은 복수의 고밀도 상호연결부들을 포함한다. 복수의 상호연결부들(122b)은 적어도 하나의 유전체 층(120)에 위치(예를 들어, 매립)될 수 있다. 복수의 상호연결부들(122b)은 적어도 하나의 유전체 층(120)의 제2 표면을 통해 위치될 수 있다. 예를 들어, 복수의 상호연결부들(122b)은 적어도 하나의 유전체 층(120)의 제2 표면을 통해 적어도 하나의 유전체 층(120)에 매립되는 상호연결부들을 포함할 수 있다. 복수의 상호연결부들(122b)로부터의 상호연결부들 중 적어도 일부는 적어도 하나의 유전체 층(120)의 제2 표면(예를 들어, 저부 표면)과 평면을 이루는 상호연결부 표면을 가질 수 있다. 복수의 상호연결부들(122b)은 기관(102)의 마지막 금속층 옆(예를 들어, 저부 금속층, M3층 옆)에 위치한 상호연결부들을 포함할 수 있다. 복수의 상호연결부들(122b)은 적어도 하나의 유전체 층(120)에 매립된 마지막 금속층 상에 위치한 상호연결부들을 포함할 수 있다. 복수의 상호연결부들(122b)은 약 3-4 마이크로미터의 최소 폭 및 약 3-4 마이크로미터의 최소 간격을 포함한다. 복수의 상호연결부들(122b)은 약 3-4 마이크로미터 이상의 폭을 갖는 적어도 하나의 상호연결부를 포함할 수 있다. 복수의 상호연결부들(122b)은 약 3-4 마이크로미터 이상의 간격을 갖는 적어도 하나의 상호연결부를 포함할 수 있다.

[0024] [0031] 일부 구현들에서, 복수의 상호연결부들(122c)로부터의 적어도 일부 상호연결부들은 적어도 하나의 유전체 층(120)에 위치될 수 있다. 일부 구현들에서, 복수의 상호연결부들(122c)의 적어도 일부 상호연결부들은 적어도 하나의 유전체 층(120)의 제2 표면(예를 들어, 저부 표면) 위에 위치될 수 있다. 복수의 상호연결부들(122c)은 솔더 레지스트 층(126)에 둘러싸여 있을 수 있다. 복수의 상호연결부들(122c)은 상호연결부들(122c)은 상호연결부들(122c)은 기관(102)의 마지막 금속층(예를 들어, 저부 금속층, M4 층) 상에 위치한 상호연결부들을 포함할 수 있다. 복수의 상호연결부들(122c)은 M2 층과 같은 다른 금속층들 상에 위치한 상호연결부들을 포함할 수 있음에 유의해야 한다. 적어도 하나의 유전체 층(120)의 제2 표면 위에 위치되는 복수의 상호연결부들(122c)로부터의 적어도 일부 상호연결부들은 적어도 하나의 유전체 층(120)의 제2 표면과 평면을 이루는 상호연결부 표면 및/또는 적어도 하나의 유전체 층(120)의 제2 표면을 통과하여 위치되는 복수의 상호연결부들(122b)로부터의 적어도 하나의 상호연결부의 다른 상호연결부 표면을 가질 수 있다. 예를 들어, 복수의 상호연결부들(122b)로부터의 상호연결부(예를 들어, 고밀도 상호연결부, 고밀도 트레이스 상호연결부, 고밀도 패드 상호연결부)는, 적어도 하나의 유전체 층(120)으로부터 멀어지는 방향을 향하는 상호연결부 표면을 가질 수 있고, 상호연결부 표면은 적어도 하나의 유전체 층(120)을 향하는 복수의 상호연결부들(122c)로부터의 상호연결부(예를 들어, 트레이스 상호연결부, 패드 상호연결부)의 다른 상호연결부 표면과 평면을 이루고, 복수의 상호연결부들(122c)로부터의 상호연결부(예를 들어, 트레이스 상호연결부, 패드 상호연결부)는 적어도 하나의 유전체 층(120)의 제2 표면 위에 위치된다. 복수의 상호연결부들(122c)은 약 8 마이크로미터의 최소 폭 및 약 8 마이크로미터의 최소 간격을 포함한다. 복수의 상호연결부들(122c)은 약 8 마이크로미터 이상의 폭을 갖는 적어도 하나의 상호연결부를 포함할 수 있다. 복수의 상호연결부들(122c)은 약 8 마이크로미터 이상의 간격을 갖는 적어도 하나의 상호연결부를 포함할 수 있다.

[0025] [0032] 도 3은 패키지(300)의 확대도를 예시한다. 패키지(300)는 패키지(100)와 유사하며, 패키지(100)와 유사하거나, 그리고/또는 유사한 방식으로 구성되는 구성요소들을 포함한다. 도 3에 도시된 바와 같이, 패키지(300)는 기관(102), 통합 디바이스(104) 및 통합 디바이스(106)를 포함한다. 기관(102)은 복수의 상호연결부들(122)을 포함한다. 복수의 상호연결부들(122)은 복수의 상호연결부들(122a), 복수의 상호연결부들(122b) 및 복수의 상호연결부들(122c)을 포함한다.

[0026] [0033] 통합 디바이스(106)는 복수의 솔더 상호연결부들(160)을 통해 복수의 상호연결부들(122c)에 결합된다. 통합 디바이스(106)는 복수의 필러 상호연결부들(162) 및/또는 복수의 솔더 상호연결부들(260)을 통해 복수의 상호연결부들(122b)에 결합된다. 통합 디바이스(106)는 기관(102)의 M3 층 및 M4 층으로부터의 상호연결부들에 결합된다. 복수의 상호연결부들(122b)은 복수의 고밀도 상호연결부들을 포함한다. 복수의 상호연결부들(122b)은 적어도 하나의 유전체 층(120)에 매립될 수 있다. 복수의 상호연결부들(122c)은 적어도 하나의 유전체 층(120)에, 그리고 적어도 하나의 유전체 층(120)의 제2 표면(예를 들어, 저부 표면) 위에 위치될 수 있다. 도 3

은 통합 디바이스(106)가 적어도 하나의 유전체 층(120) 내 결합된 상호연결부들 및 적어도 하나의 유전체 층(120)의 제2 표면 위에 위치한 상호연결부들일 수 있음을 예시한다.

[0027] [0034] 도 1 내지 도 3은 기관의 양측들 및/또는 표면들 상에 고밀도 상호연결부들이 어떻게 위치될 수 있는지를 예시하고 설명한다. 이를 통해, 기관의 양측들 상에 위치한 통합 디바이스들에 고속 통신이 제공될 수 있다. 기관의 양측들 및/또는 표면들 상에 위치한 고밀도 상호연결부들은 비 고밀도 상호연결부들을 통해 함께 결합되도록 구성될 수 있다. 예를 들어, 복수의 상호연결부들(122a)(예를 들어, 제1 복수의 고밀도 상호연결부들) 및 복수의 상호연결부들(122b)(예를 들어, 제2 복수의 고밀도 상호연결부들)은 복수의 상호연결부들(122)로부터의 다른 상호연결부들(예를 들어, 비 고밀도 상호연결부들)을 통해 함께 결합되도록 구성될 수 있다. 추가로 설명되는 바와 같이, 고밀도 상호연결부들(예를 들어, 122a, 122b)은 매립형 트레이스 기관(ETS) 공정(process)을 사용하여 제조될 수 있다. 기관(102)에 도시된 금속층들의 수는 예시적인 것이다. 기관의 서로 다른 구현들은 서로 다른 수의 금속층들을 가질 수 있다. 예를 들어, 기관은 7 개의 금속층들(예를 들어, M1 내지 M7 층들)을 포함할 수 있다. 이러한 예에서, 복수의 상호연결부들(122a)은 M1 금속층(예를 들어, 제1 금속층) 상에 위치한 상호연결부들을 포함할 수 있고, 복수의 상호연결부들(122b)은 M6 금속층(예를 들어, 마지막 금속층 옆, 저부 금속층 옆) 상에 위치한 상호연결부들을 포함할 수 있고, 복수의 상호연결부들(122c)은 M7 금속층(예를 들어, 마지막 금속층, 저부 금속층) 상의 상호연결부들을 포함할 수 있다. 금속층들에 대한 번호 매기기는 기관의 최상부로부터 저부로 진행한다는 점에 유의해야 한다. 그러나 금속층들의 번호 매기기는 기관의 저부로부터 최상부로 진행할 수 있다. 트레이스 상호연결부들 및/또는 패드 상호연결부들은 기관의 하나 이상의 금속층들 상에 위치될 수 있다. 비아 상호연결부들은 기관의 금속층들 사이에 위치될 수 있다. 본 개시내용에 설명된 바와 같이 저부 표면 및/또는 최상부 표면은 임의로 정의될 수 있음에 유의해야 한다. 일부 구현들에서, 제1 표면이 저부 표면일 수 있고, 제2 표면이 최상부 표면일 수 있다. 일부 구현들에서, 제2 표면이 저부 표면일 수 있고, 제1 표면이 최상부 표면일 수 있다.

[0028] [0035] 도 2 및 도 3은, M3 층으로부터의 상호연결부들과 M4 층으로부터의 상호연결부들 사이의 수직 간격이, M3 층으로부터의 상호연결부들과 M2 층으로부터의 상호연결부들 사이의 수직 간격보다 작다는(예를 들어, 더 가깝다는) 것을 예시한다. 이 구성은 동일한 수의 금속층들을 가진 다른 기관들보다 더 얇은 기관을 제공하는 데 도움이 될 수 있다. 다양한 상호연결부들에 대해 언급된 폭, 간격, 최소 폭 및/또는 최소 간격은 예시적인 것임에 유의해야 한다. 일부 구현들에서, 상호 연결부들의 폭, 간격, 최소 폭 및/또는 최소 간격은 다를 수 있다. 일부 구현들에서, 상호연결부들의 폭, 간격, 최소 폭 및/또는 최소 간격의 서로 다른 조합들이 기관에 대해 사용될 수 있다. 사용되는 상호연결부들의 폭, 간격, 최소 폭 및/또는 최소 간격의 조합들은 통합 디바이스(들) 및 기관을 포함하는 패키지의 설계 및/또는 요구 사항들에 따라 달라질 수 있다. 예를 들어, 일부 구현들에서, 기관(102)은 (i) 약 6 마이크로미터의 최소 폭 및/또는 약 8 마이크로미터의 최소 간격을 포함하는 상호연결부들을 갖는 복수의 상호연결부들(122a) 및/또는 복수의 상호연결부들(122b), 및 (ii) 약 10 마이크로미터의 최소 폭 및/또는 약 15 마이크로미터의 최소 간격을 갖는 상호연결부들을 갖는 복수의 상호연결부들(122c)을 포함할 수 있다. 일부 구현들에서, 기관(102)은 (i) 약 6 마이크로미터 이상의 폭 및/또는 약 8 마이크로미터 이상의 간격을 포함하는 상호연결부들을 갖는 복수의 상호연결부들(122a) 및/또는 복수의 상호연결부들(122b), 및 (ii) 약 10 마이크로미터 이상의 폭 및/또는 약 15 마이크로미터 이상의 최소 간격을 포함하는 상호연결부들을 갖는 복수의 상호연결부들(122c)을 포함할 수 있다.

[0029] [0036] 본 개시내용에 사용된 바와 같이, 고밀도 상호연결부들은 기관의 다른 상호연결부들보다 작은 최소 폭 및/또는 최소 간격을 갖는 상호연결부들일 수 있다. 본 개시내용에 사용된 바와 같이, 고밀도 상호연결부들은 기관의 다른 상호연결부들보다 작은 폭 및/또는 간격을 갖는 상호연결부들일 수 있다. 일부 구현들에서, 기관의 고밀도 상호연결부들은 기관의 제1 복수의 상호연결부들일 수 있고, 기관의 다른 상호연결부들(예를 들어, 비 고밀도 상호연결부들)은 기관의 제2 복수의 상호연결부들 및/또는 제3 복수의 상호연결부들일 수 있다. 일부 구현들에서, 기관의 고밀도 상호연결부들은 고밀도 상호연결부들이 폭 및/또는 간격을 개선하여 기관에서 더 고밀도의 라우팅을 허용한다는 점을 제외하면, 기관의 상호연결부들(예를 들어, 비 고밀도 상호연결부들)과 유사할 수 있다. 특정 폭 및/또는 특정 간격을 포함하는 복수의 상호연결부들은 복수의 상호연결부들로부터의 상호연결부들 중 하나 이상의 상호연결부가 각각 특정 폭 및/또는 특정 간격을 포함한다는 것을 의미할 수 있다. 특정 최소 폭 및/또는 특정 최소 간격을 포함하는 복수의 상호연결부들은 복수의 상호연결부들로부터의 상호연결부들 중 하나 이상의 상호연결부가 각각 특정 최소 폭 및/또는 특정 최소 간격을 포함한다는 것을 의미할 수 있다.

[0030] [0037] 통합 디바이스(예를 들어, 104, 106)는 다이(예를 들어, 반도체 베어 다이(semiconductor bare di

e))를 포함할 수 있다. 통합 디바이스는 집적 회로들을 포함할 수 있다. 통합 디바이스는 전력 관리 집적 회로(PMIC)를 포함할 수 있다. 통합 디바이스는 애플리케이션 프로세서를 포함할 수 있다. 통합 디바이스는 모뎀을 포함할 수 있다. 통합 디바이스는 무선 주파수(RF) 디바이스, 수동 디바이스, 필터, 커패시터, 인덕터, 안테나, 송신기, 수신기, 갈륨비소(GaAs) 기반 통합 디바이스, 표면 음향파(SAW) 필터, 벌크 음향파(BAW) 필터, 발광 다이오드(LED) 통합 디바이스, 실리콘(Si) 기반 통합 디바이스, 실리콘 카바이드(SiC) 기반 통합 디바이스, 메모리, 전력 관리 프로세서 및/또는 이들의 조합들을 포함할 수 있다. 통합 디바이스(예를 들어, 104, 106)는 적어도 하나의 전자 회로(예를 들어, 제1 전자 회로, 제2 전자 회로 등...)를 포함할 수 있다. 통합 디바이스는 전기 구성요소 및/또는 전기 디바이스의 일 예일 수 있다.

[0031] [0038] 패키지(예를 들어, 100, 300)는 무선 주파수(RF) 패키지로 구현될 수 있다. RF 패키지는 무선 주파수 프런트 엔드 패키지(RFFE)일 수 있다. 패키지(예를 들어, 100, 300)는 무선 충실도(WiFi) 통신 및/또는 셀룰러 통신(예를 들어, 2G, 3G, 4G, 5G)을 제공하도록 구성될 수 있다. 패키지들(예를 들어, 100, 300)은 모바일용 글로벌 시스템 통신들(GSM), 범용 모바일 통신 시스템(UMTS) 및/또는 롱텀에볼루션(LTE)을 지원하도록 구성될 수 있다. 패키지들(예를 들어, 100, 300)은 서로 다른 주파수들 및/또는 통신 프로토콜들을 갖는 신호들을 송신 및 수신하도록 구성될 수 있다.

[0032] [0039] 기판을 갖는 다양한 패키지들을 설명하였으며, 이제 기판을 제조하기 위한 몇 가지 방법들을 이하에서 설명한다.

[0033] 기판 제조를 위한 예시적인 시퀀스

[0034] 일부 구현들에서, 기판 제조는 여러 공정들을 포함한다. 도 4a 내지 도 4c는 기판의 제공 또는 제조를 위한 예시적인 시퀀스를 예시한다. 도 4a 내지 도 4c는 코어리스 기판을 제공하거나 제조하는 데 사용될 수 있다. 일부 구현들에서, 도 4a 내지 도 4c의 시퀀스는 기판(102)을 제공하거나 제조하기 위해 사용될 수 있다. 그러나, 도 4a 내지 도 4c의 공정은 본 개시내용에 설명된 기판들 중 임의의 기판을 제조하는 데 사용될 수 있다.

[0035] [0041] 도 4a 내지 도 4c의 시퀀스는 기판을 제공하거나 제조하기 위한 시퀀스를 단순화 및/또는 명확화하기 위해 하나 이상의 스테이지들을 결합할 수 있음에 유의해야 한다. 일부 구현들에서, 공정들의 순서는 변경되거나 수정될 수 있다. 일부 구현들에서, 공정들 중 하나 이상은 본 개시내용의 범위를 벗어나지 않고 교체되거나 대체될 수 있다.

[0036] [0042] 도 4a에 도시된 바와 같이, 스테이지 1은 제1 캐리어(400)가 제공된 이후의 상태를 예시한다. 제1 시드층(401) 및 상호연결부들(402)은 제1 캐리어(400) 위에 위치될 수 있다. 상호연결부들(402)은 제1 시드층(401) 위에 위치될 수 있다. 도금 공정 및 에칭 공정이 상호연결부들(402)을 형성하는 데 사용될 수 있다. 일부 구현들에서, 제1 캐리어(400)에는 제1 시드층(401) 및 상호연결부들(402)을 형성하도록 패터닝되는 금속층이 제공될 수 있다. 상호연결부들(402)은 고밀도 상호연결부들을 포함할 수 있다. 예를 들어, 상호연결부들(402)은 복수의 상호연결부들(122a)로부터의 고밀도 상호연결부들 중 적어도 일부를 나타낼 수 있다.

[0037] [0043] 스테이지 2는 유전체 층(420)이 제1 캐리어(400), 제1 시드층(401) 및 상호연결부들(402) 위에 형성된 후의 상태를 예시한다. 유전체 층(420)을 형성하기 위해 증착 및/또는 적층 공정이 사용될 수 있다. 유전체 층(420)은 폴리이미드를 포함할 수 있다. 그러나, 서로 다른 구현들은 유전체 층을 위해 서로 다른 재료들을 사용할 수 있다.

[0038] [0044] 스테이지 3은 유전체 층(420)에 복수의 캐비티들(410)이 형성된 후의 상태를 예시한다. 복수의 캐비티들(410)은 에칭 공정(예를 들어, 포토 에칭 공정) 또는 레이저 공정을 사용하여 형성될 수 있다.

[0039] [0045] 스테이지 4는 복수의 캐비티들(410) 내 및 위를 포함하여, 유전체 층(420) 내 및 위에 상호연결부들(412)이 형성된 후의 상태를 예시한다. 예를 들어, 비아, 패드 및/또는 트레이스들이 형성될 수 있다. 도금 공정이 상호연결부들을 형성하는 데 사용될 수 있다. 스테이지 2 내지 스테이지 4는 추가의 유전체 층들 및 추가의 상호연결부들을 형성하기 위해 되풀이하여 반복될 수 있음에 유의해야 한다.

[0040] [0046] 도 4b에 도시된 바와 같이, 스테이지 5는 제2 캐리어(406)가 제공된 이후의 상태를 예시한다. 제2 시드층(407) 및 상호연결부들(408)은 제2 캐리어(406) 위에 위치될 수 있다. 상호연결부들(408)은 제2 시드층(407) 위에 위치될 수 있다. 도금 공정 및 에칭 공정이 상호연결부들(408)을 형성하는 데 사용될 수 있다. 일부 구현들에서, 제2 캐리어(406)에는 제2 시드층(407) 및 상호연결부들(408)을 형성하도록 패터닝되는 금속층이 제공될 수 있다. 상호연결부들(408)은 고밀도 상호연결부들을 포함할 수 있다. 예를 들어, 상호연결부들(408)은

복수의 상호연결부들(122b)로부터의 고밀도 상호연결들 중 적어도 일부를 나타낼 수 있다.

- [0041] [0047] 스테이지 6은 제2 캐리어(406), 제2 시드층(407), 상호연결부들(408) 및 유전체 층(422)을 유전체 층(420) 및 상호연결부들(412)에 결합하는 공정을 예시한다. 유전체 층(422)은 프리프레그를 포함할 수 있다.
- [0042] [0048] 스테이지 7은 제2 캐리어(406), 제2 시드층(407), 상호 연결부들(408) 및 유전체 층(422)이 유전체 층(420), 상호 연결부들(412), 상호연결부들(402), 제1 시드층(401) 및 제1 캐리어(400)에 결합된 이후의 상태를 예시한다. 적층 공정은 제2 캐리어(406), 제2 시드층(407), 상호연결부들(408) 및 유전체 층(422)을 유전체 층(420), 상호연결부들(412), 상호연결부들(402), 제1 시드층(401) 및 제1 캐리어(400)에 결합시키는 데 사용될 수 있다.
- [0043] [0049] 스테이지 8은 제2 캐리어(406)가 제2 시드층(407)으로부터 분리(예를 들어, 탈리, 제거)된 후의 상태를 도시한다.
- [0044] [0050] 도 4c에 도시된 바와 같이, 스테이지 9는 유전체 층(422)에 복수의 캐비티들(430)이 형성된 후의 상태를 예시한다. 에칭 공정 또는 레이저 공정이 캐비티들(430)을 형성하는 데 사용될 수 있다.
- [0045] [0051] 스테이지 10은 복수의 캐비티들(430) 내 및 위를 포함하여, 유전체 층(422) 내 및 위에 상호연결부들(414)이 형성된 후의 상태를 예시한다. 예를 들어, 비아, 패드 및/또는 트레이스가 형성될 수 있다. 도금 공정이 상호연결부들을 형성하는 데 사용될 수 있다.
- [0046] [0052] 상호연결부들(402, 408, 412, 및/또는 414)의 일부 또는 전부는 기관(102)의 복수의 상호연결부들(122)을 규정할 수 있다. 예를 들어, 상호연결부들(402)은 복수의 상호연결부들(122a)로 표시될 수 있고, 상호연결부들(408)은 복수의 상호연결부들(122b)로 표시될 수 있으며, 상호연결부들(412 및 414)은 복수의 상호연결부들(122c)로 표시될 수 있다. 유전체 층들(420 및 422)은 적어도 하나의 유전체 층(120)에 의해 표현될 수 있다. 유전체 층들(420 및/또는 422)은 프리프레그를 포함할 수 있다. 일부 구현들에서, 유전체 층(420)은 아지노모토 빌드업 필름(ABF) 및/또는 폴리이미드를 포함할 수 있다. 일부 구현들에서, 적어도 하나의 유전체 층(120)은 적어도 하나의 프리프레그 층 및 적어도 하나의 ABF 층을 포함할 수 있다. 일부 구현들에서, 적어도 하나의 유전체 층(120)은 적어도 하나의 프리프레그 층 및 적어도 하나의 폴리이미드 층을 포함할 수 있다.
- [0047] [0053] 스테이지 11은 제1 캐리어(400)가 적어도 하나의 유전체 층(120) 및 제1 시드층(401)으로부터 분리(예를 들어, 탈리, 제거, 연마)되고, 제1 시드층(401)의 일부들이 제거(예를 들어, 에칭)되고, 제2 시드층(407)의 일부들이 제거(예를 들어, 에칭)된 후, 적어도 하나의 유전체 층(120) 및 복수의 상호연결부들(122)을 포함하는 기관(102)이 남은 상태를 예시하고 있다. 복수의 상호연결부들(122)은 복수의 상호연결부들(122a), 복수의 상호연결부들(122b) 및 복수의 상호연결부들(122c)을 포함한다. 기관(102)은 코어리스 기관일 수 있다.
- [0048] [0054] 스테이지 12는 솔더 레지스트 층(124) 및 솔더 레지스트 층(126)이 기관(102) 위에 형성된 후의 상태를 예시한다. 증착 공정이 솔더 레지스트 층(124) 및 솔더 레지스트 층(126)을 형성하는 데 사용될 수 있다. 일부 구현들에서, 어떠한 솔더 레지스트 층도 적어도 하나의 유전체 층(120) 위에 형성되지 않거나 또는 하나의 솔더 레지스트 층만이 적어도 하나의 유전체 층(120) 위에 형성될 수 있다.
- [0049] [0055] 서로 다른 구현들은 금속층(들)을 형성하기 위해 서로 다른 공정들을 사용할 수 있다. 일부 구현들에서, 금속층(들)을 형성하기 위한 화학 기상 증착(CVD) 공정 및/또는 물리적 기상 증착(PVD) 공정이 사용된다. 예를 들어, 스퍼터링 공정, 스프레이 코팅 공정 및/또는 도금 공정이 금속층(들)을 형성하는 데 사용될 수 있다.
- [0050] **기관을 제조하기 위한 방법의 예시적인 흐름도**
- [0051] [0056] 일부 구현들에서, 기관의 제조는 여러 공정들을 포함한다. 도 5는 기관을 제공하거나 제조하기 위한 방법(500)의 예시적인 흐름도를 예시한다. 일부 구현들에서, 도 5의 방법(500)은 도 1 내지 도 3의 기관(들)을 제공하거나 제조하는 데 사용될 수 있다. 예를 들어, 도 5의 방법은 기관(102)을 제조하는 데 사용될 수 있다.
- [0052] [0057] 도 5의 방법(500)은 기관을 제공하거나 제조하기 위한 방법을 단순화 및/또는 명확화하기 위해 하나 이상의 공정들을 결합할 수 있음에 유의해야 한다. 일부 구현들에서, 공정들의 순서는 변경되거나 수정될 수 있다.
- [0053] [0058] 방법은 (505에서) 제1 캐리어(예를 들어, 400)를 제공한다. 서로 다른 구현들은 제1 캐리어(400)에 대해 서로 다른 재료들을 사용할 수 있다. 제1 캐리어(400)는 제1 시드층(예를 들어, 401)을 포함할 수 있

다. 제1 시드층(401)은 금속(예를 들어, 구리)을 포함할 수 있다. 제1 캐리어는 기판, 유리, 석영 및/또는 캐리어 테이프를 포함할 수 있다. 도 4a의 스테이지 1은 제공된 제1 시드층을 갖는 제1 캐리어의 일 예를 예시하고 설명한다.

[0054] [0059] 방법은 (510에서) 제1 캐리어(400) 및 제1 시드층(401) 위에 상호연결부들을 형성 및 패터닝한다. 금속층은 상호연결부들을 형성하기 위해 패터닝될 수 있다. 도금 공정은 금속층 및 상호연결부들을 형성하는 데 사용될 수 있다. 일부 구현들에서, 캐리어 및 시드층은 금속층을 포함할 수 있다. 금속층은 시드층 위에 위치되며, 금속층은 상호연결부들(예를 들어, 402)을 형성하도록 패터닝될 수 있다. 도 4a의 스테이지 1은 시드층 및 캐리어 위의 상호연결부들의 일 예를 예시하고 설명한다.

[0055] [0060] 방법은 (515에서) 제1 시드층(401), 제1 캐리어(400) 및 상호연결부들(402) 위에 유전체 층(420)을 형성한다. 유전체 층(420)을 형성하기 위해 증착 및/또는 적층 공정이 사용될 수 있다. 유전체 층(420)은 폴리이미드를 포함할 수 있다. 유전체 층을 형성하는 것은 또한, 유전체 층(420) 내에 복수의 캐비티들(예를 들어, 410)을 형성하는 것을 포함할 수 있다. 복수의 캐비티들은 에칭 공정(예를 들어, 포토 에칭) 또는 레이저 공정을 사용하여 형성될 수 있다. 도 4a의 스테이지 2 및 스테이지 3은 유전체 층 및 유전체 층 내 캐비티들을 형성하는 일 예를 예시하고 설명한다.

[0056] [0061] 방법은 (520에서) 유전체 층 내 및 위에 상호연결부들을 형성한다. 예를 들어, 상호연결부들(412)은 유전체 층(420) 내 및 위에 형성될 수 있다. 도금 공정이 상호연결부들을 형성하는 데 사용될 수 있다. 상호연결부들을 형성하는 것은 유전체 층 위 및/또는 내에 패터닝된 금속층을 제공하는 것을 포함할 수 있다. 상호연결부들을 형성하는 것은 유전체 층의 캐비티들 내 상호연결부들을 형성하는 것을 더 포함할 수 있다. 도 4a의 스테이지 4는 유전체 층 내 및 위에 상호연결부들을 형성하는 일 예를 예시하고 설명한다. 일부 방법들은 515 및 520에서 설명된 바와 같이 추가의 상호연결부들 및 추가의 유전체 층들을 반복적으로 제공 및/또는 형성할 수 있음에 유의해야 한다.

[0057] [0062] 방법은 (525에서) 제2 캐리어(예를 들어, 406)를 제공한다. 서로 다른 구현들은 제2 캐리어(406)에 대해 서로 다른 재료들을 사용할 수 있다. 제2 캐리어는 제2 시드층(예를 들어, 407)을 포함할 수 있다. 제2 시드층(407)은 금속(예를 들어, 구리)을 포함할 수 있다. 제2 캐리어는 기판, 유리, 석영 및/또는 캐리어 테이프를 포함할 수 있다. 이 방법은 또한 (525에서) 제2 캐리어(406) 및 제2 시드층(407) 위에 상호연결부들(408)을 형성 및 패터닝할 수도 있다. 금속층은 상호연결부들을 형성하기 위해 패터닝될 수 있다. 도금 공정이 금속층 및 상호연결부들을 형성하는 데 사용될 수 있다. 도 4b의 스테이지 5는 제2 시드층 및 상호연결부들을 갖는 제2 캐리어의 일 예를 예시하고 설명한다.

[0058] [0063] 이 방법은 (530에서) 제2 캐리어(406), 제2 시드층(407), 상호연결부들(408), 유전체 층(422)을 제1 캐리어(400), 제1 시드층(401), 상호연결부들(402) 및 유전체 층(420)에 결합한다. 적층 공정이 제2 캐리어(406), 제2 시드층(407), 상호연결부들(408), 유전체 층(422)을 제1 캐리어(400), 제1 시드층(401), 상호연결부들(402) 및 유전체 층(420)에 결합하는 데 사용될 수 있다. 도 4b의 스테이지 6 및 스테이지 7은 하나의 캐리어로부터의 상호연결부들을 다른 캐리어로부터의 상호연결부들에 결합하는 일 예를 예시하고 설명한다.

[0059] [0064] 이 방법은 (535에서) 제2 캐리어(예를 들어, 406)를 제2 시드층(예를 들어, 407)으로부터 분리한다. 제2 캐리어(406)는 분리 및/또는 연마(ground out)될 수 있다. 도 4b의 스테이지 8은 캐리어 분리의 일 예를 예시하고 설명한다.

[0060] [0065] 이 방법은 (540에서) 유전체 층 내 그리고/또는 위에 상호연결부들을 형성한다. 예를 들어, 상호연결부들(414)은 유전체 층(422) 내 그리고/또는 위에 형성될 수 있다. 도금 공정이 상호연결부들을 형성하는 데 사용될 수 있다. 상호연결부들을 형성하는 것은 유전체 층 위 및 내에 패터닝된 금속층을 제공하는 것을 포함할 수 있다. 상호연결부들을 형성하는 것은 유전체 층의 캐비티들 내 상호연결부들을 형성하는 것도 포함할 수 있다. 도 4c의 스테이지 9 및 스테이지 10은 유전체 층 내 및 위에 상호연결부들을 형성하는 일 예를 예시하고 설명한다.

[0061] [0066] 이 방법은 (545에서) 제1 캐리어(예를 들어, 400)를 제1 시드층(예를 들어, 401)으로부터 분리한다. 제1 캐리어(400)는 분리 및/또는 연마될 수 있다. 이 방법은 또한 (545에서) 제1 시드층(예를 들어, 401)의 일부들 및 제2 시드층(예를 들어, 407)의 일부들을 제거할 수도 있다. 에칭 공정이 제1 시드층(401)의 일부들 및 제2 시드층(407)의 일부들을 제거하기 위해 사용될 수 있다. 도 4c의 스테이지 11은 캐리어 분리 및 시드층 제거의 일 예를 예시하고 설명한다.

- [0062] [0067] 일부 구현들에서, 캐리어(들) 및 시드층(들) 제거 후에, 이 방법은 기판 위에 솔더 레지스트 층들(예를 들어, 124, 126)을 형성할 수 있다. 도 4c의 스테이지 12는 솔더 레지스트 층들을 형성하는 일 예를 예시하고 설명한다.
- [0063] [0068] 서로 다른 구현들은 금속층(들)을 형성하기 위해 서로 다른 공정들을 사용할 수 있다. 일부 구현들에서, 금속층(들)을 형성하기 위한 화학 기상 증착(CVD) 공정 및/또는 물리적 기상 증착(PVD) 공정이 사용된다. 예를 들어, 스퍼터링 공정, 스프레이 코팅 공정 및/또는 도금 공정이 금속층(들)을 형성하는 데 사용될 수 있다.
- [0064] **고밀도 상호연결부들을 갖는 기판을 포함하는 패키지를 제조하기 위한 예시적인 시퀀스**
- [0065] [0069] 일부 구현들에서, 패키지를 제조하는 것은 여러 공정들을 포함한다. 도 6a 내지 도 6b는 고밀도 상호연결부들을 갖는 기판을 포함하는 패키지를 제공하거나 제조하기 위한 예시적인 시퀀스를 예시한다. 일부 구현들에서, 도 6a 내지 도 6b의 시퀀스는 패키지(100)를 제공하거나 제조하는 데 사용될 수 있다. 그러나, 도 6a 내지 도 6b의 공정은 본 개시내용에 설명된 패키지들(예를 들어, 300) 중 임의의 패키지를 제조하는 데 사용될 수 있다.
- [0066] [0070] 도 6a 내지 도 6b의 시퀀스는 패키지의 제공 또는 제조를 위한 시퀀스를 단순화 및/또는 명확화하기 위해 하나 이상의 스테이지들을 결합할 수 있음에 유의해야 한다. 일부 구현들에서, 공정들의 순서는 변경되거나 수정될 수 있다. 일부 구현들에서, 공정들 중 하나 이상은 본 개시내용의 범위를 벗어나지 않고 교체되거나 대체될 수 있다.
- [0067] [0071] 도 6a에 도시된 바와 같이, 스테이지 1은 기판(102)이 제공된 이후의 상태를 예시한다. 기판(102)은 적어도 하나의 유전체 층(120), 복수의 상호연결부들(122), 솔더 레지스트 층(124) 및 솔더 레지스트 층(126)을 포함한다. 복수의 상호연결부들(122)은 복수의 상호연결부들(122a), 복수의 상호연결부들(122b) 및 복수의 상호연결부들(122c)을 포함할 수 있다. 상호연결부들 중 일부는 고밀도 상호연결부들을 포함할 수 있다. 예를 들어, 도 1 내지 도 3에 설명된 바와 같이, 제1 복수의 고밀도 상호연결부들은 기판의 제1 측에 위치될 수 있고, 제2 복수의 고밀도 상호연결부들은 기판의 제2 측에 위치될 수 있다. 서로 다른 구현들은 서로 다른 수의 금속층들을 갖는 서로 다른 기판들을 사용할 수 있다. 기판(102)은 도 4a 내지 도 4c에 설명된 것과 같은 방법을 사용하여 제조될 수 있다.
- [0068] [0072] 스테이지 2는 복수의 솔더 상호연결부들(160), 복수의 필러 상호연결부들(162) 및/또는 복수의 솔더 상호연결부들(260)을 통해 통합 디바이스(106)가 기판(102)에 결합된 이후의 상태를 예시한다. 솔더 리플로우 공정이 통합 디바이스(106)를 기판(102)에 결합하기 위해 사용될 수 있다. 통합 디바이스(106)는 기판(102)의 제2 표면(예를 들어, 저부 표면)에 결합될 수 있다. 도 2는 통합 디바이스(106)가 기판(102)에 결합될 수 있는 방법의 일 예를 예시한다. 서로 다른 구현들은 서로 다른 구성요소들 및/또는 디바이스들을 기판(102)에 결합시킬 수 있다.
- [0069] [0073] 스테이지 3은 복수의 솔더 상호연결부들(140), 복수의 필러 상호연결부들(142) 및/또는 복수의 솔더 상호연결부들(240)을 통해 통합 디바이스(104)가 기판(102)에 결합된 후의 상태를 예시한다. 솔더 리플로우 공정이 통합 디바이스(104)를 기판(102)에 결합하기 위해 사용될 수 있다. 통합 디바이스(104)는 기판(102)의 제1 표면(예를 들어, 최상부 표면)에 결합될 수 있다. 도 2는 통합 디바이스(104)가 기판(102)에 결합될 수 있는 방법의 일 예를 예시한다. 서로 다른 구현들은 서로 다른 구성요소들 및/또는 디바이스들을 기판(102)에 결합시킬 수 있다.
- [0070] [0074] 도 6b에 도시된 바와 같이, 스테이지 4는 캡슐화 층(108)이 기판(102)의 제1 표면 상에 제공(예를 들어, 형성)된 후의 상태를 예시한다. 캡슐화 층(108)은 통합 디바이스(104)를 캡슐화할 수 있다. 캡슐화 층(108)은 몰드, 수지 및/또는 에폭시를 포함할 수 있다. 압축 성형 공정, 트랜스퍼 성형 공정 또는 액체 성형 공정이 캡슐화 층(108)을 형성하는 데 사용될 수 있다. 캡슐화 층(108)은 포토 에칭이 가능할 수 있다. 캡슐화 층(108)은 캡슐화를 위한 수단일 수 있다.
- [0071] [0075] 스테이지 5는 복수의 솔더 상호연결부들(130)이 기판(102)에 결합된 후의 상태를 예시한다. 솔더 리플로우 공정이 복수의 솔더 상호연결부들(130)을 기판(102)에 결합시키는 데 사용될 수 있다. 복수의 솔더 상호연결부들(130)은 복수의 상호연결부들(122)에 결합될 수 있다.
- [0072] [0076] 본 개시내용에 설명된 패키지들(예를 들어, 100, 300)은 한 번에 하나씩 제조될 수 있거나, 하나 이상의

웨이퍼들의 일부로서 함께 제조된 다음 개별 패키지들로 단일화될 수도 있다.

[0073] 고밀도 상호연결부들을 갖는 기판을 포함하는 패키지를 제조하기 위한 방법의 예시적인 흐름도

[0074] [0077] 일부 구현들에서, 패키지를 제조하는 것은 여러 공정들을 포함한다. 도 7은 고밀도 상호연결부들을 갖는 기판을 포함하는 패키지를 제공하거나 제조하기 위한 방법(700)의 예시적인 흐름도를 도시한다. 일부 구현들에서, 도 7의 방법(700)은 본 개시내용에 설명된 패키지(100)를 제공하거나 제조하는 데 사용될 수 있다. 그러나, 방법(700)은 본 개시내용에 설명된 패키지들(예를 들어, 300) 중 임의의 패키지를 제공하거나 제조하는 데 사용될 수 있다.

[0075] [0078] 도 7의 방법은 패키지를 제공하거나 제조하기 위한 방법을 단순화 및/또는 명확화하기 위해 하나 이상의 공정들을 결합할 수 있음에 유의해야 한다. 일부 구현들에서, 공정들의 순서는 변경되거나 수정될 수 있다.

[0076] [0079] 이 방법은 (705에서) 기관(예를 들어, 102)을 제공한다. 기관(102)은 공급자에 의해 제공되거나 제조될 수 있다. 기관(102)은 적어도 하나의 유전체 층(120), 복수의 상호연결부들(122), 솔더 레지스트 층(124) 및 솔더 레지스트 층(126)을 포함한다. 복수의 상호연결부들(122)은 복수의 상호연결부들(122a), 복수의 상호연결부들(122b) 및 복수의 상호연결부들(122c)을 포함할 수 있다. 상호연결부들 중 일부는 고밀도 상호연결부들을 포함할 수 있다. 예를 들어, 도 1 내지 도 3에 설명된 바와 같이, 제1 복수의 고밀도 상호연결부들은 기관의 제1 측 상에 위치될 수 있고, 제2 복수의 고밀도 상호연결부들은 기관의 제2 측 상에 위치될 수 있다. 서로 다른 구현들은 기관(102)을 제조하기 위해 서로 다른 공정들을 사용할 수 있다. 도 4a 내지 도 4c는 고밀도 상호연결부들을 갖는 기판을 제조하는 일 예를 예시하고 설명한다. 도 6a의 스테이지 1은 고밀도 상호연결부들을 갖는 기판을 제공하는 일 예를 예시하고 설명한다.

[0077] [0080] 이 방법은 (710에서) 통합 디바이스(예를 들어, 106)를 기관(102)에 결합한다. 예를 들어, 통합 디바이스(106)는 기관(102)의 제2 표면(예를 들어, 저부 표면)에 결합된다. 통합 디바이스(106)는 복수의 솔더 상호연결부들(160), 복수의 필러 상호연결부들(162) 및/또는 복수의 솔더 상호연결부들(260)을 통해 기관(102)에 결합된다. 솔더 리플로우 공정이 통합 디바이스(106)를 기관(102)에 결합하기 위해 사용될 수 있다. 도 6a의 스테이지 2는 통합 디바이스를 기관에 결합하는 일 예를 예시하고 설명한다.

[0078] [0081] 이 방법은 (710에서) 통합 디바이스(예를 들어, 104)를 기관(102)에 결합한다. 예를 들어, 통합 디바이스(104)는 기관(102)의 제1 표면(예를 들어, 최상부 표면)에 결합된다. 통합 디바이스(104)는 복수의 솔더 상호연결부들(140), 복수의 필러 상호연결부들(142) 및/또는 복수의 솔더 상호연결부들(240)을 통해 기관(102)에 결합된다. 솔더 리플로우 공정이 통합 디바이스(104)를 기관(102)에 결합하기 위해 사용될 수 있다. 도 6a의 스테이지 3은 통합 디바이스를 기관에 결합하는 일 예를 예시하고 설명한다.

[0079] [0082] 이 방법은 (715에서) 기관(예를 들어, 102)의 제1 표면 위에 캡슐화 층(예를 들어, 108)을 형성한다. 캡슐화 층(108)은 기관(102) 및 통합 디바이스(104) 위 및/또는 주위에 제공되고 형성될 수 있다. 캡슐화 층(108)은 몰드, 수지 및/또는 에폭시를 포함할 수 있다. 압축 성형 공정, 트랜스퍼 성형 공정, 또는 액체 성형 공정이 캡슐화 층(108)을 형성하는 데 사용될 수 있다. 캡슐화 층(108)은 포토 에칭이 가능할 수 있다. 캡슐화 층(108)은 캡슐화를 위한 수단일 수 있다. 도 6b의 스테이지 4는 캡슐화 층을 형성하는 일 예를 예시하고 설명한다.

[0080] [0083] 이 방법은 (720에서) 복수의 솔더 상호연결부들(예를 들어, 130)을 기관(102)에 결합한다. 솔더 리플로우 공정이 복수의 솔더 상호연결부들(130)을 기관(102)에 결합시키는 데 사용될 수 있다. 도 6b의 스테이지 5는 솔더 상호연결부들을 기관에 결합하는 일 예를 예시하고 설명한다.

[0081] [0084] 본 개시내용에 설명된 패키지들(예를 들어, 100, 300)은 한 번에 하나씩 제조될 수 있거나, 또는 하나 이상의 웨이퍼들의 일부로서 함께 제조된 다음 개별 패키지들로 단일화될 수 있다.

[0082] 예시적인 전자 디바이스들

[0083] [0085] 도 8은 전술한 디바이스, 통합 디바이스, 집적 회로(IC) 패키지, 집적 회로(IC) 디바이스, 반도체 디바이스, 집적 회로, 다이, 인터포저, 패키지, 패키지-온-패키지(PoP), 시스템 인 패키지(SiP) 또는 시스템 온 칩(SoC) 중 어느 하나와 통합될 수 있는 다양한 전자 디바이스들을 예시한다. 예를 들어, 모바일 폰 디바이스(802), 랩톱 컴퓨터 디바이스(804), 고정 위치 단말 디바이스(806), 웨어러블 디바이스(808) 또는 자동차 차량(810)은 본 명세서에 설명된 바와 같은 디바이스(800)를 포함할 수 있다. 디바이스(800)는 예를 들어, 본 명세서에 설명된 디바이스들 및/또는 집적 회로(IC) 패키지들 중 임의의 것일 수 있다. 도 8에 예시된 디바이스들

(802, 804, 806 및 808) 및 차량(810)은 단지 예시적인 것일 뿐이다. 다른 전자 디바이스들은 또한 모바일 디바이스들, 핸드-헬드 개인 통신 시스템(PCS) 유닛들, 개인 디지털 어시스턴트들과 같은 휴대용 데이터 유닛들, 위성 위치 확인 시스템(GPS) 가능 디바이스들, 내비게이션 디바이스들, 셋톱 박스들, 음악 플레이어들, 비디오 플레이어들, 엔터테인먼트 유닛들, 검침 장비와 같은 고정 위치 데이터 유닛들, 통신 디바이스들, 스마트폰들, 태블릿 컴퓨터들, 컴퓨터들, 웨어러블 디바이스들(예를 들어, 시계들, 안경들), 사물 인터넷(IoT) 디바이스들, 서버들, 라우터들, 자동차 차량들(예를 들어, 자율주행 차량들)에 구현된 전자 디바이스들, 또는 데이터 또는 컴퓨터 명령들을 저장 또는 검색하는 임의의 다른 디바이스, 또는 이들의 임의의 조합을 포함하는 디바이스들(예를 들어, 전자 디바이스들)의 그룹을 포함하는(그러나, 이에 제한되지 않음) 디바이스(800)를 특징으로 할 수 있다.

[0084] [0086] 도 1 내지 도 3, 도 4a 내지 도 4c, 도 5, 도 6a 내지 도 6b 및/또는 도 7 및 도 8에 예시된 구성요소들, 공정들, 특징들 및/또는 기능들 중 하나 이상이 재배열 및/또는 단일 구성요소, 공정, 특징 또는 기능으로 결합되거나 다수의 구성요소들, 공정들 또는 기능들로 구현될 수 있다. 또한, 추가적인 요소들, 구성요소들, 공정들 및/또는 기능들이 본 개시내용의 범위를 벗어나지 않고 추가될 수 있다. 또한, 도 1 내지 도 3, 도 4a 내지 도 4c, 도 5, 도 6a 내지 도 6b 및/또는 도 7 내지 도 8 및 본 개시내용에서의 해당 설명은 다이들 및/또는 IC들에 제한되지 않는다는 점에 유의해야 한다. 일부 구현들에서, 도 1 내지 도 3, 도 4a 내지 도 4c, 도 5, 도 6a 내지 도 6b 및/또는 도 7 내지 도 8 및 그 대응하는 설명은 디바이스들 및/또는 통합 디바이스들을 제조, 생성, 제공 및/또는 생산하기 위해 사용될 수 있다. 일부 구현들에서, 디바이스는 다이, 통합 디바이스, 통합 수동 디바이스(IPD), 다이 패키지, 집적 회로(IC) 디바이스, 디바이스 패키지, 집적 회로(IC) 패키지, 웨이퍼, 반도체 디바이스, 패키지-온-패키지(PoP) 디바이스, 방열 디바이스 및/또는 인터포저를 포함할 수 있다.

[0085] [0087] 본 개시내용의 도면들은 다양한 부품들, 구성요소들, 물체들, 디바이스들, 패키지들, 통합 디바이스들, 집적 회로들 및/또는 트랜지스터들의 실제 표현들 및/또는 개념적 표현들을 나타낼 수 있음에 유의해야 한다. 일부의 경우들에서, 도면들은 실적이 아닐 수 있다. 일부 경우들에 있어서, 명확성을 위해 모든 구성요소들 및/또는 부품들이 도시되지 않은 경우도 있다. 일부 경우들에서, 도면들 내 다양한 부품들 및/또는 구성요소들의 포지션, 위치, 크기들 및/또는 형상들은 예시적인 것일 수 있다. 일부 구현들에서, 도면들 내의 다양한 구성요소들 및/또는 부품들은 선택적일 수 있다.

[0086] [0088] "예시적"이라는 단어는 본 명세서에서 "일 예, 실례 또는 예시로서의 역할"을 의미하는 것으로 사용된다. 본 명세서에서 "예시적"으로 설명된 임의의 구현 또는 양태는 반드시 본 개시내용의 다른 양태들보다 선호되거나 유리한 것으로 해석되어야 하는 것은 아니다. 마찬가지로, "양태들"이라는 용어는 본 개시내용의 모든 양태들이 논의된 특징, 이점 또는 작동 모드를 포함할 것을 요구하지 않는다. 본 명세서에서 "결합된"이라는 용어는 두 물체들 사이의 직접적 또는 간접적 결합(예를 들어, 기계적 결합)을 지칭하기 위해 사용된다. 예를 들어, 물체 A가 물체 B에 물리적으로 닿아 있고 물체 B가 물체 C에 닿아 있는 경우, 물체 A와 물체 C는 서로 직접 물리적으로 닿지 않더라도 서로 결합된 것으로 여전히 간주될 수 있다. 물체 B에 결합된 물체 A는 물체 B의 적어도 일부에 결합될 수 있다. "전기적으로 결합된"이라는 용어는 두 물체들이 전류(예를 들어, 신호, 전력, 접지)가 두 물체들 사이를 이동할 수 있도록 직접 또는 간접적으로 함께 결합되어 있음을 의미할 수 있다. 전기적으로 결합된 두 물체들 사이에는 전류가 흐르거나 흐르지 않을 수 있다. "제1", "제2", "제3" 및 "제4"(및/또는 제4를 초과하는 모든 것)라는 용어들의 사용은 임의적이다. 설명된 구성요소들은 제1 구성요소, 제2 구성요소, 제3 구성요소 또는 제4 구성요소일 수 있다. 예를 들어, 제2 구성요소로 지칭되는 구성요소는 제1 구성요소, 제2 구성요소, 제3 구성요소 또는 제4 구성요소일 수 있다. "캡슐화하다", "캡슐화하는" 및/또는 임의의 파생어는 물체가 다른 물체를 부분적으로 캡슐화하거나 완전히 캡슐화할 수 있음을 의미한다. "최상부" 및 "저부"라는 용어들은 임의적이다. 최상부에 위치한 구성요소는 저부에 위치한 구성요소 위에 위치될 수 있다. 최상부 구성요소는 저부 구성요소로 간주될 수 있으며, 그 반대의 경우도 마찬가지이다. 본 개시내용에 설명된 바와 같이, 제2 구성요소의 "위에" 위치한 제1 구성요소는 저부 또는 최상부가 임의로 정의되는 방식에 따라 제1 구성요소가 제2 구성요소의 위 또는 아래에 위치된다는 것을 의미할 수 있다. 다른 예에서, 제1 구성요소는 제2 구성요소의 제1 표면 위에(예를 들어, 상에) 위치될 수 있고, 제3 구성요소는 제2 구성요소의 제2 표면 위에(예를 들어, 아래에) 위치될 수 있으며, 여기서 제2 표면은 제1 표면의 반대편에 위치된다. 또한, 본 출원에서 다른 구성요소 위에 위치한 하나의 구성요소의 문맥에서 사용되는 바와 같은 "위에"라는 용어는 다른 구성요소 상에, 그리고/또는 다른 구성요소 내에 있는(예를 들어, 구성요소의 표면 상에 또는 구성요소에 매립된) 구성요소를 의미하는 것으로 사용될 수 있음에 유의할 필요가 있다. 따라서, 예를 들어 제2 구성요소 위에 있는 제1 구성요소는 (1) 제1 구성요소가 제2 구성요소 위에 있지만 제2 구성요소에 직접 닿지 않고, (2) 제1 구성요소가 제2 구성요소 상에(예를 들어, 제2 구성요소의 표면 상에) 있고, 그리고/또는 (3) 제1 구

성요소가 제2 구성요소 내에 있음(예를 들어, 내장되어 있음)을 의미할 수 있다. 제2 구성요소 "내에" 위치된 제1 구성요소는 제2 구성요소 내에 부분적으로 위치되거나 제2 구성요소 내에 완전히 위치될 수 있다. 약 X 내지 XX인 값은 X와 XX를 포함하여 X와 XX 사이에 있는 값을 의미할 수 있다. X와 XX 사이의 값(들)은 불연속적이거나 연속적일 수 있다. 본 개시내용에서 사용된 바와 같은 "약 'X 값'" 또는 "대략 X 값"이라는 용어는 'X 값'의 10 % 이내를 의미한다. 예를 들어, 약 1 또는 대략 1의 값은 0.9 내지 1.1의 범위의 값을 의미한다.

[0087] [0089] 일부 구현들에서, 상호연결부는 두 지점들, 요소들 및/또는 구성요소들 사이의 전기적 연결을 허용하거나 용이하게 하는 디바이스 또는 패키지의 요소 또는 구성요소이다. 일부 구현들에서, 상호연결부는 트레이스(예를 들어, 트레이스 상호연결부), 비아(예를 들어, 비아 상호연결부), 패드(예를 들어, 패드 상호연결부), 필러, 금속화 층, 재분배 층 및/또는 언더 범프 금속화(UBM) 층/상호연결부를 포함할 수 있다. 일부 구현들에서, 상호연결부는 신호(예를 들어, 데이터 신호), 접지 및/또는 전력에 대한 전기 경로를 제공하도록 구성될 수 있는 전기 전도성 물질을 포함할 수 있다. 상호 연결부는 둘 이상의 요소 또는 구성요소를 포함할 수 있다. 상호연결부는 하나 이상의 상호연결부들로 정의될 수 있다. 상호연결부들 간에는 하나 이상의 인터페이스들이 있을 수도 있고 없을 수도 있다. 상호연결부는 하나 이상의 금속층들을 포함할 수 있다. 상호연결부는 회로의 일부일 수 있다. 서로 다른 구현들은 상호연결부들을 형성하기 위해 서로 다른 공정들 및/또는 시퀀스들을 사용할 수 있다. 일부 구현들에서, 화학 기상 증착(CVD) 공정, 물리적 기상 증착(PVD) 공정, 스퍼터링 공정, 스프레이 코팅 및/또는 도금 공정이 상호연결부들을 형성하는 데 사용될 수 있다. 하나 이상의 상호연결부들을 형성하는 공정은 박리, 마스킹, 마스크 제거, 및/또는 에칭을 포함할 수 있다.

[0088] [0090] 또한, 본 명세서에 포함되는 다양한 개시내용들은 순서도, 흐름도, 구조도, 또는 블록도로서 묘사된 공정으로서 설명될 수 있음에 유의해야 한다. 순서도는 동작들을 순차적인 공정으로서 설명할 수 있지만, 많은 작업들은 병렬적으로 또는 동시에 수행될 수 있다. 부가하여, 동작들의 순서는 재배열될 수 있다. 공정은 그 동작들이 완료되면 종료된다.

[0089] [0091] 이하에서는, 본 발명의 이해를 돕기 위해 추가의 예들을 설명한다.

[0090] [0092] 양태 1: 패키지로써, 기관, 기관의 제1 표면에 결합된 제1 통합 디바이스 및 기관의 제2 표면에 결합된 제2 통합 디바이스를 포함한다. 기관은 적어도 하나의 유전체 층; 적어도 하나의 유전체 층에 위치되며 적어도 하나의 유전체 층의 제1 표면을 통과하는 제1 복수의 상호연결부들; 및 적어도 하나의 유전체 층에 위치되며 적어도 하나의 유전체 층의 제2 표면을 통과하는 제2 복수의 상호연결부들을 포함한다. 제1 복수의 상호연결부들은 제1 폭 및 제1 간격을 포함한다. 제2 복수의 상호연결부들은 제2 폭 및 제2 간격을 포함한다. 기관은 적어도 하나의 유전체 층에 위치된 제3 복수의 상호연결부들을 포함한다. 제3 복수의 상호연결부들은 제1 폭 및 제2 폭보다 큰 제3 폭을 포함한다. 제3 복수의 상호연결부들은 제1 간격 및 제2 간격보다 큰 제3 간격을 포함한다.

[0091] [0093] 양태 2: 양태 1의 패키지에 있어서, 제1 통합 디바이스는 제1 복수의 상호연결부들에 결합되고, 제2 통합 디바이스는 제2 복수의 상호연결부들에 결합된다.

[0092] [0094] 양태 3: 양태 1 또는 양태 2의 패키지에 있어서, 제1 복수의 상호연결부들은 기관의 제1 금속층 상에 위치되며, 제2 복수의 상호연결부들은 기관의 마지막 금속층 옆에 위치된다.

[0093] [0095] 양태 4: 양태 1 또는 양태 2의 패키지에 있어서, 제1 복수의 상호연결부들은 적어도 하나의 유전체 층 내 제1 금속층 상에 위치되며, 제2 복수의 상호연결부들은 적어도 하나의 유전체 층에 매립된 마지막 금속층 상에 위치된다.

[0094] [0096] 양태 5: 양태 1 내지 양태 4의 패키지에 있어서, 기관은 적어도 하나의 유전체 층의 제1 표면 위에 위치되는 제4 복수의 상호연결부들을 포함한다. 일부 구현들에서, 복수의 상호연결부들로부터의 고밀도 상호연결부는, 적어도 하나의 유전체 층으로부터 멀어지는 방향을 향하는 상호연결부 표면을 가질 수 있고, 상호연결부 표면은 적어도 하나의 유전체 층을 향하는 복수의 상호연결부들로부터의 상호연결부의 다른 상호연결부 표면과 평면을 이루고, 그리고 상호연결부가 적어도 하나의 유전체 층의 제1 표면 위에 위치된다.

[0095] [0097] 양태 6: 양태 1 내지 양태 4의 패키지에 있어서, 기관은 적어도 하나의 유전체 층의 제2 표면 위에 위치되는 제4 복수의 상호연결부들을 포함한다. 일부 구현들에서, 복수의 상호연결부들로부터의 고밀도 상호연결부는, 적어도 하나의 유전체 층으로부터 멀어지는 방향을 향하는 상호연결부 표면을 가질 수 있고, 상호연결부 표면은 적어도 하나의 유전체 층을 향하는 복수의 상호연결부들로부터의 상호연결부의 다른 상호연결부 표면과 평면을 이루고, 그리고 상호연결부가 적어도 하나의 유전체 층의 제2 표면 위에 위치된다.

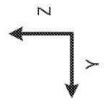
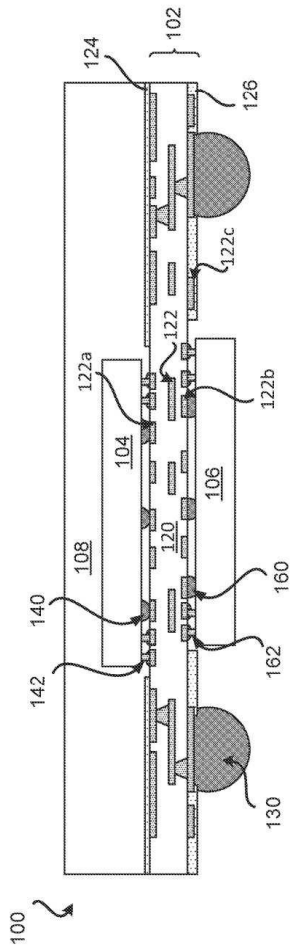
- [0096] [0098] 양태 7: 양태 1 내지 양태 6의 패키지에 있어서, 제1 복수의 상호연결부들은 약 3-4 마이크로미터의 제1 최소 폭 및/또는 약 3-4 마이크로미터의 제1 최소 간격을 포함하고, 제2 복수의 상호연결부들은 약 3-4 마이크로미터의 제2 최소 폭 및/또는 약 3-4 마이크로미터의 제2 최소 간격을 포함한다.
- [0097] [0099] 양태 8: 양태 1 내지 양태 7의 패키지에 있어서, 제1 폭이 약 3-4 마이크로미터 이상이고, 그리고/또는 제1 간격이 약 3-4 마이크로미터 이상이며, 그리고 제2 폭이 약 3-4 마이크로미터 이상이고, 그리고/또는 제2 간격이 약 3-4 마이크로미터 이상이다.
- [0098] [0100] 양태 9: 양태 1 내지 양태 8의 패키지에 있어서, 제1 통합 디바이스는 제1 복수의 솔더 상호연결부들 및/또는 제1 복수의 필러 상호연결부들을 통해 제1 복수의 상호연결부들에 결합된다.
- [0099] [0101] 양태 10: 양태 9의 패키지에 있어서, 제2 통합 디바이스는 제2 복수의 솔더 상호연결부들 및/또는 제2 복수의 필러 상호연결부들을 통해 제2 복수의 상호연결부들에 결합된다.
- [0100] [0102] 양태 11: 장치로서, 기관, 기관의 제1 표면에 결합되는 제1 통합 디바이스 및 기관의 제2 표면에 결합되는 제2 통합 디바이스를 포함한다. 기관은 적어도 하나의 유전체 층; 적어도 하나의 유전체 층에 위치되며 적어도 하나의 유전체 층의 제1 표면을 통과하는 제1 고밀도 상호연결용 수단; 및 적어도 하나의 유전체 층에 위치되며 적어도 하나의 유전체 층의 제2 표면을 통과하는 제2 고밀도 상호연결용 수단을 포함한다.
- [0101] [0103] 양태 12: 양태 11의 장치에 있어서, 제1 통합 디바이스가 제1 고밀도 상호연결용 수단에 결합되고, 그리고 제2 통합 디바이스가 제2 고밀도 상호연결용 수단에 결합된다.
- [0102] [0104] 양태 13: 양태 11 또는 양태 12의 장치에 있어서, 제1 고밀도 상호연결용 수단이 기관의 제1 금속층 상에 위치되며, 그리고 제2 고밀도 상호연결용 수단이 기관의 마지막 금속층 옆에 위치된다.
- [0103] [0105] 양태 14: 양태 11 또는 양태 12의 장치에 있어서, 제1 고밀도 상호연결용 수단이 적어도 하나의 유전체 층 내 제1 금속층 상에 위치되며, 그리고 제2 고밀도 상호연결용 수단이 적어도 하나의 유전체 층에 매립된 마지막 금속층 상에 위치된다.
- [0104] [0106] 양태 15: 양태 11 내지 양태 14의 장치에 있어서, 기관은 적어도 하나의 유전체 층의 제1 표면 위에 위치한 상호연결용 수단을 포함한다.
- [0105] [0107] 양태 16: 양태 11 내지 양태 14의 장치에 있어서, 기관은 적어도 하나의 유전체 층의 제2 표면 위에 위치되는 상호연결용 수단을 포함한다.
- [0106] [0108] 양태 17: 양태 11 내지 양태 16의 장치에 있어서, 제1 고밀도 상호연결용 수단은 약 3-4 마이크로미터의 제1 최소 폭 및/또는 약 3-4 마이크로미터의 제1 최소 간격을 갖는 상호연결부들을 포함하고, 그리고 제2 고밀도 상호연결용 수단은 약 3-4 마이크로미터의 제2 최소 폭 및/또는 약 3-4 마이크로미터의 제2 최소 간격을 갖는 상호연결부들을 포함한다.
- [0107] [0109] 양태 18: 양태 11 내지 양태 17의 장치에 있어서, 제1 고밀도 상호연결용 수단은 약 3-4 마이크로미터 이상의 제1 폭 및/또는 약 3-4 마이크로미터 이상의 제1 간격을 갖는 상호연결부들을 포함하며, 그리고 제2 고밀도 상호연결용 수단은 약 3-4 마이크로미터 이상의 제2 폭 및/또는 약 3-4 마이크로미터 이상의 제2 간격을 갖는 상호연결부들을 포함한다.
- [0108] [0110] 양태 19: 양태 11 내지 양태 18의 장치에 있어서, 제1 통합 디바이스는 제1 솔더 상호연결용 수단 및/또는 제1 필러 상호연결용 수단을 통해 제1 고밀도 상호연결용 수단에 결합되고, 그리고 제2 통합 디바이스는 제2 솔더 상호연결용 수단 및/또는 제2 필러 상호연결용 수단을 통해 제2 고밀도 상호연결용 수단에 결합된다.
- [0109] [0111] 양태 20: 양태 11 내지 양태 19의 장치에 있어서, 장치는 음악 플레이어, 비디오 플레이어, 엔터테인먼트 유닛, 내비게이션 디바이스, 통신 디바이스, 모바일 디바이스, 모바일 폰, 스마트폰, 개인 디지털 어시스턴트, 고정 위치 단말기, 태블릿 컴퓨터, 컴퓨터, 웨어러블 디바이스, 랩톱 컴퓨터, 서버, 사물 인터넷(IoT) 디바이스 및 자동차 차량 내 디바이스로 구성된 그룹으로부터 선택된 디바이스를 포함한다.
- [0110] [0112] 양태 21: 기관을 제조하기 위한 방법. 이 방법은 제1 시드층을 포함하는 제1 캐리어를 제공한다. 이 방법은 제1 시드층 위에 제1 복수의 고밀도 상호연결부들을 형성한다. 이 방법은 제1 복수의 고밀도 상호연결부들 위에 제1 유전체 층을 형성한다. 이 방법은 제1 유전체 층 내 그리고/또는 위에 복수의 상호연결부들을 형성한다. 이 방법은 제2 시드층을 포함하는 제2 캐리어를 제공한다. 이 방법은 제2 시드층 위에 제2 복수의 고밀도 상호연결부들을 형성한다. 이 방법은 제2 복수의 고밀도 상호연결부들 및 제2 시드층을 포함하는 제2

캐리어를 제2 유전체 층을 통해 제1 시드층, 제1 복수의 고밀도 상호연결부들, 제1 유전체 층 및 복수의 상호연결부들을 포함하는 제1 캐리어에 결합한다. 이 방법은 제2 캐리어와 제1 캐리어를 분리한다. 이 방법은 제1 시드층의 일부들 및 제2 시드층의 일부들을 제거한다.

- [0111] [0113] 양태 22: 양태 21의 방법에 있어서, 방법은, 제2 캐리어를 분리한 후, 제2 유전체 층 내 및 위에 제2 복수의 상호연결부들을 형성한다.
- [0112] [0114] 양태 23: 양태 21 또는 양태 22의 방법은, 제2 복수의 상호연결부들 위에 솔더 레지스트 층을 형성하는 단계를 더 포함한다.
- [0113] [0115] 양태 24: 기관 및 기관의 제1 표면에 결합되는 제1 통합 디바이스를 포함하는 패키지. 기관은 (i) 적어도 하나의 유전체 층; (ii) 적어도 하나의 유전체 층에 위치된 제1 복수의 상호연결부들 - 제1 복수의 상호연결부들은 적어도 하나의 유전체 층의 제1 표면을 통과하여 위치되며, 제1 복수의 상호연결부들은 적어도 하나의 유전체 층의 제1 표면을 통과하여 위치된 제1 상호연결부를 포함하고, 제1 상호연결부는 제1 상호연결부 표면을 포함함 -, 및 (iii) 적어도 하나의 유전체 층의 제1 표면 위에 위치되는 제2 복수의 상호연결부들 - 제2 복수의 상호연결부들은 적어도 하나의 유전체 층의 제1 표면 위에 위치되는 제2 상호연결부를 포함하고, 제2 상호연결부는 제1 상호연결부 표면과 평면인 제2 상호연결부 표면을 포함함 -을 포함한다.
- [0114] [0116] 양태 25: 양태 24의 패키지에 있어서, 제1 복수의 상호연결부들은 제1 복수의 고밀도 상호연결부들을 포함하고, 제1 상호연결부는 제1 고밀도 상호연결부를 포함하며, 제1 고밀도 상호연결부는 제2 상호연결부의 제2 폭보다 작은 제1 폭을 가지며, 그리고 제1 고밀도 상호연결부는 제2 상호연결부의 제2 간격보다 작은 제1 간격을 가지는, 패키지.
- [0115] [0117] 양태 26: 양태 24 또는 양태 25의 패키지에 있어서, 기관은 적어도 하나의 유전체 층에 위치되는 제3 복수의 상호연결부들을 포함하고, 그리고 제3 복수의 상호연결부들은 적어도 하나의 유전체 층의 제2 표면을 통과하여 위치되는, 패키지.
- [0116] [0118] 양태 27: 양태 26의 패키지는, 기관의 제2 표면에 결합되는 제2 통합 디바이스를 더 포함한다.
- [0117] [0119] 양태 28: 양태 26 또는 양태 27의 패키지에 있어서, 제3 복수의 상호연결부들은 제3 복수의 고밀도 상호연결부들을 포함하고, 제3 복수의 고밀도 상호연결부들은 제3 고밀도 상호연결부를 포함하며, 제3 고밀도 상호연결부는 제2 상호연결부의 제2 폭보다 작은 제3 폭을 가지며, 그리고 제3 고밀도 상호연결부는 제2 상호연결부의 제2 간격보다 작은 제3 간격을 갖는다.
- [0118] [0120] 양태 29: 양태 26 내지 양태 28의 패키지에 있어서, 제1 표면이 최상부 표면이고, 제2 표면이 저부 표면이다.
- [0119] [0121] 양태 30: 양태 26 내지 양태 28의 패키지에 있어서, 제1 표면이 저부 표면이고, 제2 표면이 최상부 표면이다.
- [0120] [0122] 본 명세서에 설명된 본 개시내용의 다양한 특징들은 본 개시내용으로부터 벗어남이 없이 서로 다른 시스템들에서 구현될 수 있다. 전술한 본 개시내용의 양태들은 단지 예들일 뿐이며, 본 개시내용을 제한하는 것으로 해석되어서는 안 된다는 점에 유의해야 한다. 본 개시내용의 양태들에 대한 설명은 예시적인 것이며, 청구항들의 범위를 제한하기 위한 것이 아니다. 따라서, 본 개시내용들은 다른 유형들의 장치들에 쉽게 적용될 수 있으며, 당업자들에게는 많은 대안들, 수정들 및 변형들이 명백할 것이다.

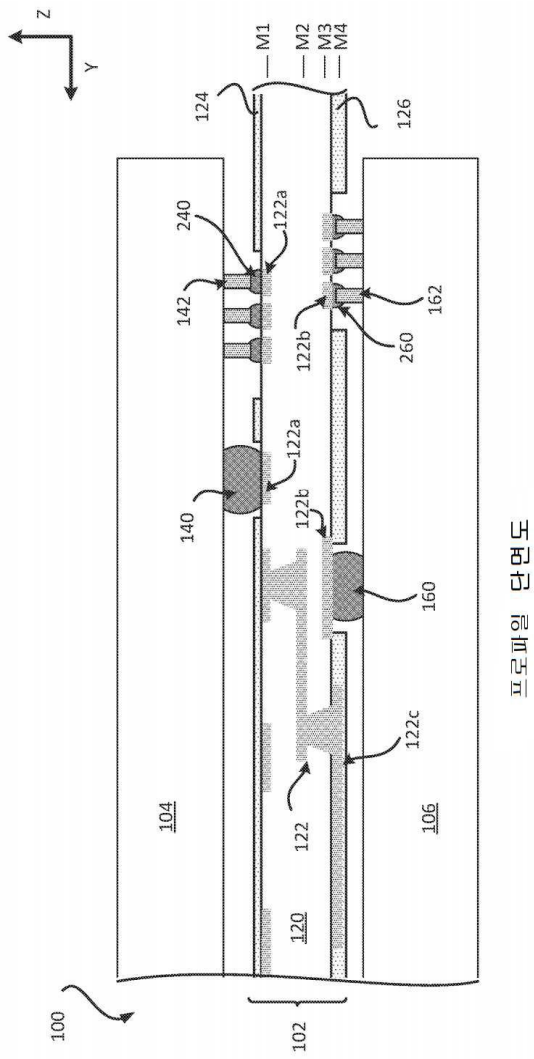
도면

도면1

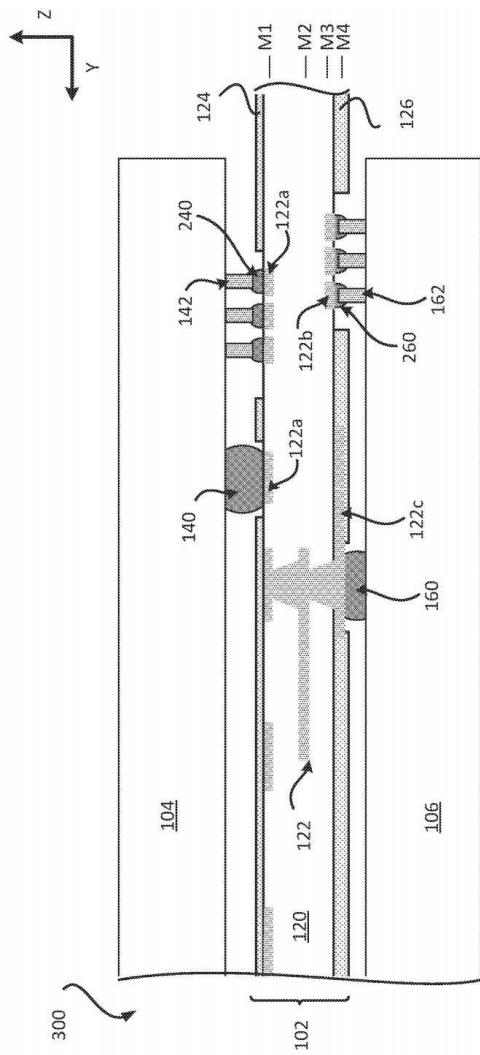


프로파일 단면도

도면2

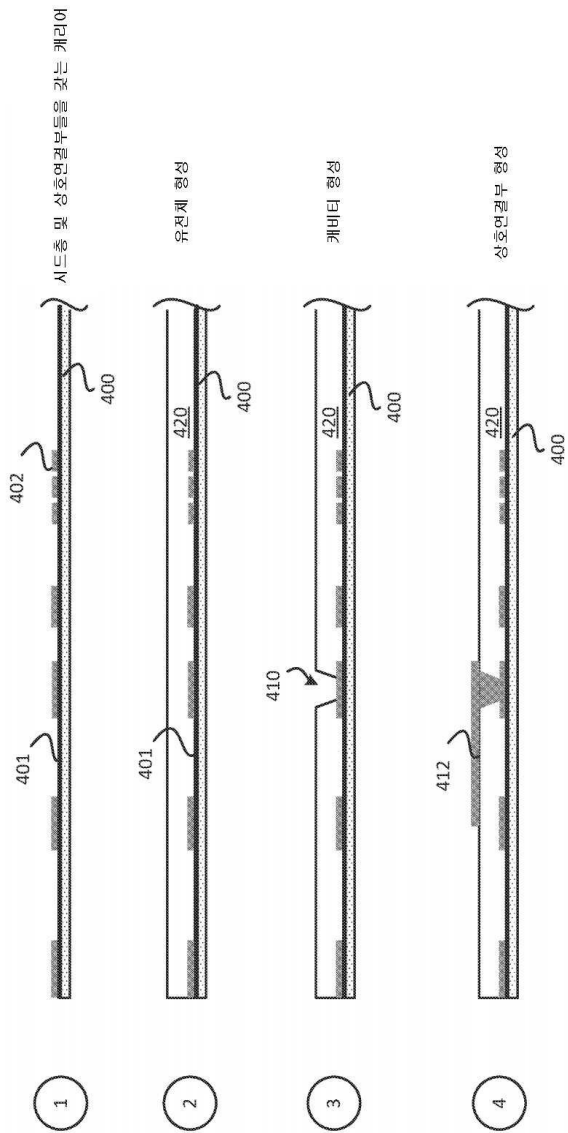


도면3

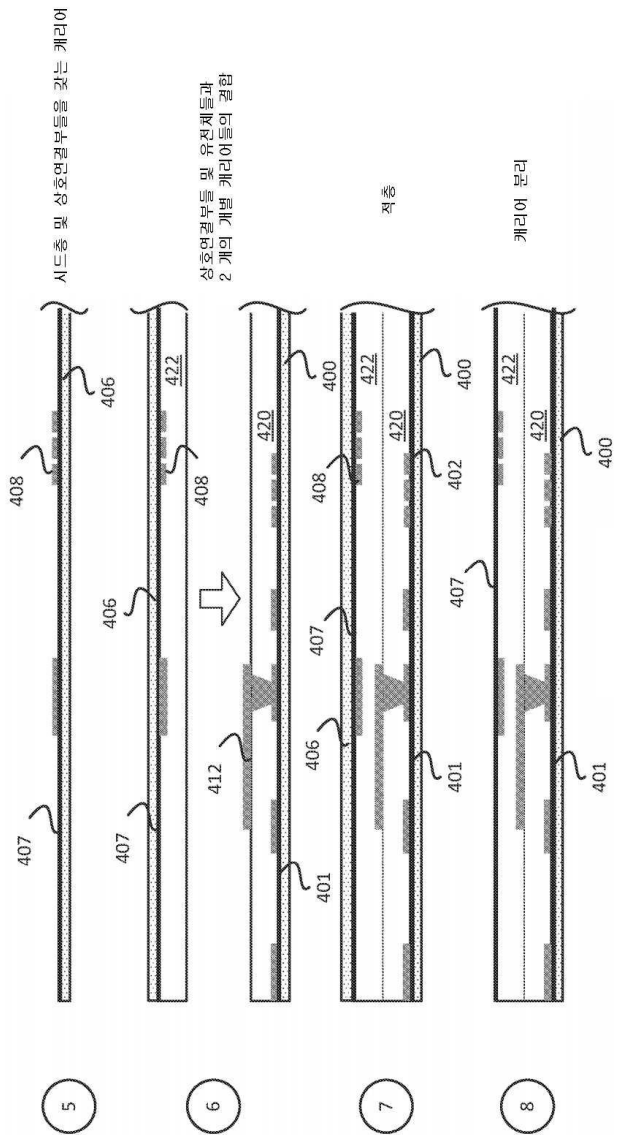


노무현 대통령

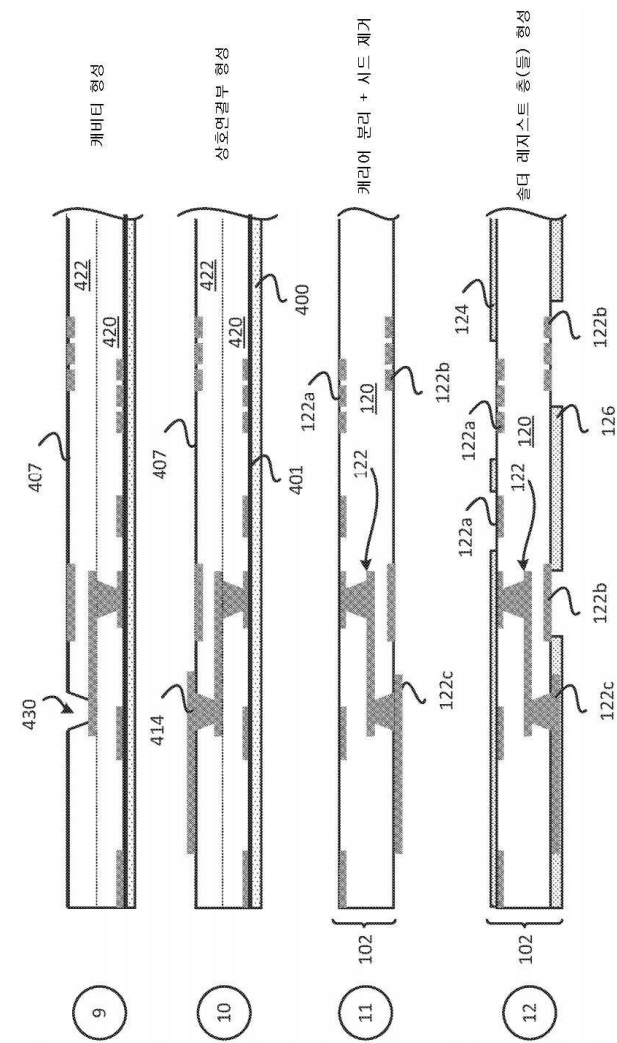
도면4a



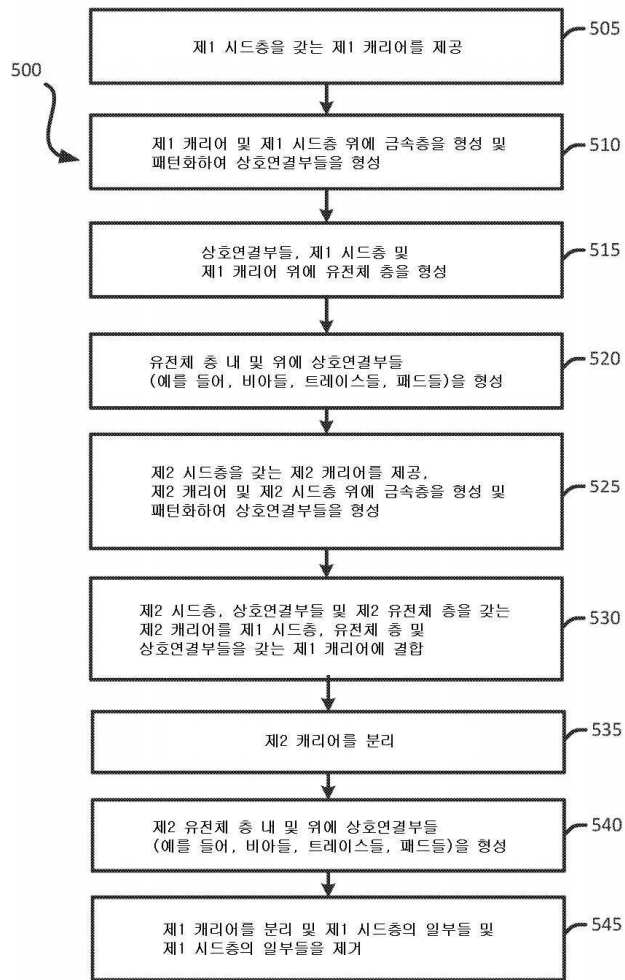
도면4b



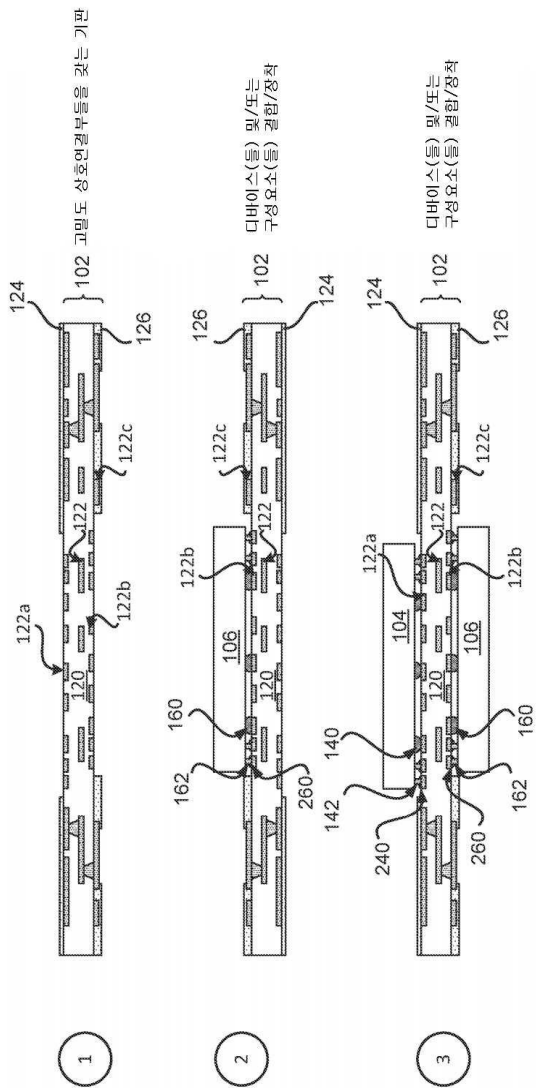
도면4c



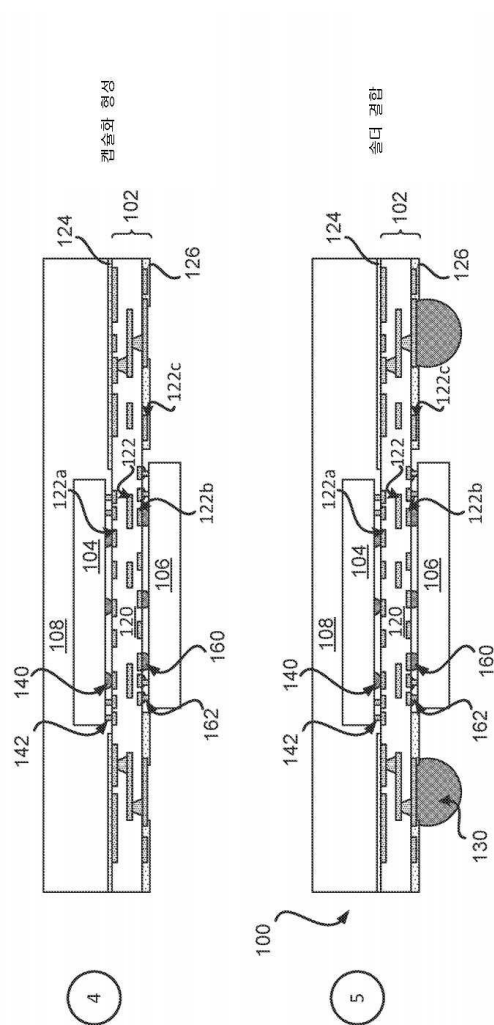
도면5



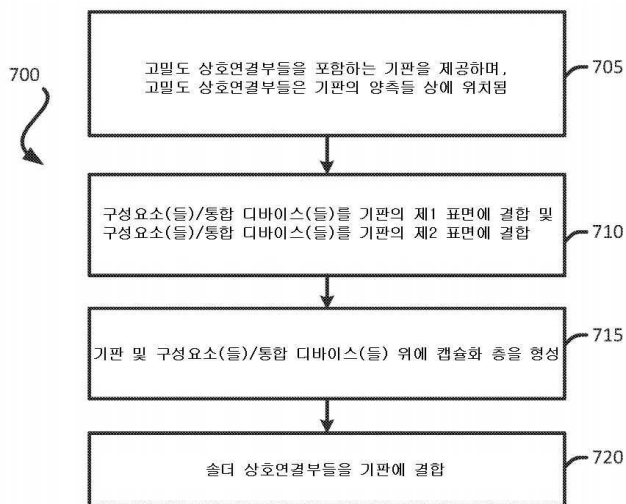
도면6a



도면6b



도면7



도면8

