[19] 中华人民共和国国家知识产权局

[51] Int. Cl.
G06F 13/12 (2006.01)

[12] 发明专利说明书

专利号 ZL 01805262.2

[45] 授权公告日 2006 年 1 月 18 日

[11] 授权公告号 CN 1237458C

[22] 申请日 2001.1.15 [21] 申请号 01805262.2

[30] 优先权

[32] 2000.1.13 [33] JP [31] 4878/00

[32] 2001.1.10 [33] JP [31] 2697/01

[86] 国际申请 PCT/JP2001/000185 2001.1.15

[87] 国际公布 WO2001/052073 日 2001.7.19

[85] 进入国家阶段日期 2002.8.19

[71] 专利权人 索尼计算机娱乐公司

地址 日本东京都

[72] 发明人 猪俣雄一 山本靖之

审查员 解 欣

[74] 专利代理机构 北京市柳沈律师事务所

代理人 黄小临 王志森

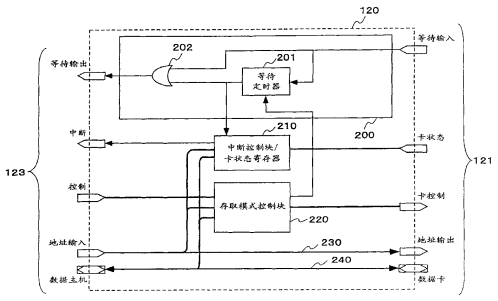
权利要求书 1 页 说明书 5 页 附图 3 页

[54] 发明名称

接口设备及包含该设备的信息处理系统

[57] 摘要

一种接口设备，其中防止系统总线被占据，并且甚至当从 PC 卡输出的等待信号被保持输出时，防止系统冻结。当从 PC 卡输出的等待信号被输出时，定时器部分(201)被启动。当它检测到等待信号被保持输出一段特定的时间或以上时，定时器部分(201)输出等待屏蔽信号。当等待屏蔽信号被输出时，即使来自 PC 卡的等待信号被输出，屏蔽部分(202)屏蔽来自 PC 卡的等待信号，以取反 CPU 的等待信号。当定时器部分(201)输出等待屏蔽信号时，中断控制块/卡状态寄存器(210)输出对于 CPU 的中断信号。



1. 一种接口设备，用于建立 CPU 和外部单元之间的接口，包括：定时器部分、屏蔽部分和中断控制部分，其中：

当检测到从所述外部单元输出的等待信号被保持输出的时间长于预定时间周期时，所述定时器部分输出屏蔽信号，

所述屏蔽部分屏蔽所述等待信号，并且当所述屏蔽信号被输出时，将反等待信号输出给所述 CPU；以及

当所述屏蔽信号被输出时，所述中断部分发出中断信号给所述 CPU。

2. 一种信息处理系统，包括 CPU 和用于在所述 CPU 和外部单元之间建立接口的接口设备，其中

当所述接口设备检测到从所述外部单元输出的等待信号已经被保持输出长于预定的时间周期时，所述接口设备屏蔽用于输出给所述CPU的等待信号，并发出中断信号给所述 CPU。

3. 根据权利要求 2 所述的信息处理系统，其中所述接口设备包括定时器部分、屏蔽部分和中断控制部分，其中

当从所述外部单元输出的等待信号被输出时，激活所述定时器部分，然后当所述等待信号被保持输出长于预定时间周期时，所述定时器部分输出屏蔽信号；

当所述屏蔽信号被输出时，所述屏蔽部分屏蔽用于输出给所述 CPU 的所述等待信号；并且

当所述屏蔽信号被输出时，所述中断控制部分发出中断信号给所述 CPU。

4. 根据权利要求 3 所述的信息处理系统，其中所述 CPU 检测所述中断信号，由此以恢复所述外部单元。

5. 根据权利要求 2 所述信息处理系统，其中所述 CPU 检测所述中断信号，由此以恢复所述外部单元。

接口设备及包含该设备的信息处理系统

技术领域

本发明涉及一种接口设备及与其提供的信息处理系统。接口设备在CPU和例如PC卡的外部单元之间建立接口。

背景技术

作为一种计算机外部设备，已知一种PCMCIA（个人计算机存储卡国际标准协会）标准卡（在下文中称作PC卡）。作为PC卡的例子，给出一包括存储器的内存卡和多种用作输入/输出接口的I/O卡。这种I/O卡的另外的例子包括调制解调器卡和SCSI卡。

作为从这种PC卡输出的多种信号的一种，存在一等待信号（WAIT）。当CPU等存取该等待信号时，在通过延迟存取周期的终止而期望扩大总线周期的情况下，PC卡行使输出这种等待信号的功能。

然而，通常当PC卡输出（assert）等待信号时，在输出期间，PC卡占据系统总线。因此，在由于故障或其他原因，PC卡继续输出等待信号的情况下，系统总线一直由PC卡占据。结果系统被冻结。

发明内容

本发明的目的是当保持输出等待信号时，阻止由系统总线占据而引起的信息处理系统的冻结。

根据本发明的接口设备是一种在CPU和例如PC卡的外部单元之间建立接口的设备。

根据本发明的接口设备配有定时器部分、屏蔽部分（mask portion）和中断生成部分。计时部分当它检测来自外部单元的等待信号被保持输出长于预定的时间周期时，它输出一屏蔽信号。屏蔽部分用于当屏蔽（MASK）信号被输出时，它屏蔽等待信号（WAIT）并将反等待信号输出给CPU。此外，当屏蔽信号被输出时，中断部分向CPU发出中断信号。

此外，根据本发明的信息处理系统配有CPU和用于在CPU和外部单元

之间建立接口的接口设备。此外，接口设备当它检测到来自外部单元的等待信号已经被输出长于预定的时间周期时，它向 CPU 输出反（negated）等待信号，同时它向 CPU 发出中断信号。

在上述情况下，构造中断设备以使它配有定时器部分、屏蔽部分和中断控制部分。当来自外部单元的等待信号被输出时，激活定时器部分，并且当等待信号继续被输出（assert）长于预定的时间周期时，输出一屏蔽信号；当该屏蔽信号被输出时，屏蔽部分屏蔽等待信号并向 CPU 输出该屏蔽信号；以及如此形成中断部分以便当屏蔽信号被输出时，它向 CPU 发出中断信号。

此外，可如此形成 CPU 以便当它检测到中断信号时，执行外部单元的恢复过程。

附图说明

图 1 是显示根据本发明的信息处理系统的结构图；

图 2 是显示 PC 卡接口部分 120 的内部结构的图；以及

图 3 是说明 PC 卡接口部分和 PC 之间连接的图。

具体实施方式

通过参考附图在下文中将详细描述本发明的优选实施例。

图 1 显示了本发明被应用的信息处理系统的结构。信息处理系统，例如用作娱乐设备，用于执行计算机游戏等。

如图 1 所示，信息处理系统 10 包括 CPU 100、存储器 110 和 PC 卡接口部分 120，上述中的每一个与总线 140 相连。此外，PC 卡接口部分 120 与 PC 卡 130 相连。图 1 显示了一状态，其中 PC 卡 130 连接到 PC 卡接口部分 120 上。PC 卡 130 到 PC 卡接口部分 120 的连接是可移除的，如图 3 所示。

此外，如图 3 所示，PC 卡 130 以卡的形式被构造。它配有连接器部分 131，以连接到 PC 卡接口部分 120 的一端。在 PC 卡中，适合上文中所述每个卡的应用的电路元件被包括在其中。例如，在 PC 卡中包括以下电路元件，如存储器、输入/输出接口电路、磁记录设备、有线通信设备、无线通信设备、例如无线电设备的接收器和包括词典等内容的存储设备。

CPU 100 通过执行存储在存储器 110 中的程序，全面地控制信息处理系统 10。此外，如果必要，CPU 100 通过 PC 卡接口部分 120 访问 PC 卡 130。

PC 卡接口部分 120 是一电路，用于建立接口以便允许 CPU100 访问例如 PC 卡 130 进行读或写。如图 2 所示，PC 卡接口部分 120 包括：电路部分，用于执行信号处理和信号传输；连接器部分 121，用于建立到 PC 卡 130 的连接；以及连接部分 123，用于建立到总线 140 的连接。电路部分以半导体集成电路的形式实现，更具体地，以 LSI（大规模集成电路）形式实现。

其次，将参考图 2 和图 3 更为详细地描述 PC 卡接口部分 120。

图 2 是显示 PC 卡接口部分 120 的内部结构的图。如图 2 所示，作为上述的电路部分，PC 卡接口部分 120 配有等待信号控制块 200、中断控制块/卡状态寄存器 210 和存取模式控制块 220。此外，提供信号线 230 和 240，分别用于总线 140 和 PC 卡 130 之间的地址和数据的传输。

此外，PC 卡接口部分 120 配有连接器部分 121，以连接到 PC 卡 130 的连接器部分 131（参考图 3）；以及连接部分 123，以连接到总线 140（参考图 1）。如图 3 所示，连接器部分 121 具有多个插脚 1211。插脚 1211 被分别分配给来自 PC 卡 130 的 PC 卡状态信号（CARD STATUS），PC 卡控制信号（CARD CONTROL），等待信号（WAIT IN），地址信号（ADDRESS OUT）和数据信号（DATA CARD）。此外，连接器部分 121 安排在卡槽 122 的底部，用于接纳 PC 卡 130。

此外，连接部分 123 配有多个端子，它们也被分配给等待信号（WAIT OUT），中断信号（INT），来自总线 140 的 PC 卡控制信号（CONTROL），来自信息处理系统的地址信号（ADDRESS IN）以及在连接部分 123 和总线 140 之间传输的数据主机信号（DATA HOST）。

中断控制块/卡状态寄存器 210 控制对 CPU 100 的中断，并且还指示 PC 卡 130 的状态。换言之，寄存器 210 起中断－控制部分的功能。该寄存器 210 被输入来自 PC 卡 130 的 PC 卡状态信号（CARD STATUS）。PC 卡状态信号（CARD STATUS）是指示 PC 卡 130 状态的信号。其例子包括中断请求信号（INTR#）和卡检测信号（CD1#, CD2#）。值得注意加到每个信号名末端的标记“#”指示有关信号是低态有效。

存取模式控制块 220 控制从 CPU 100 到 PC 卡 130 的存取。该块 220 输出 PC 卡控制信号（CARD CONTROL），用于控制到 PC 卡 130 的存取。PC 卡控制信号的例子包括卡使能信号（CE1#, CE2#）,写使能信号（WE#），输出使能信号（OE#），I/O 读信号（IORD#），I/O 写信号（IOWR#）和复位信

号（RESET）。

等待信号控制块 200 包括定时器部分 201 和屏蔽部分 202，其中，如果必要，块 200 屏蔽来自 PC 卡 130 的等待信号（WAIT IN）并将其输出给 CPU 100。

向定时器部分 201 输入来自 PC 卡 130 的等待信号（WAIT#）。此外，定时器部分 201 将等待屏蔽信号输出给屏蔽部分 202。值得注意，等待信号是低态有效信号，并且等待屏蔽信号是高态有效信号。

当等待信号被输出时，定时器部分 201 启动其时间测量操作，并且在等待信号继续被输出的情况下，甚至超过预定的时间周期之后，它输出等待屏蔽信号。在这种情况下，当预定时间周期流逝前等待信号被取反时，定时器部分 201 停止其时间测量操作。然后，当等待信号再次被输出时，定时器部分 201 从一开始就启动其时间测量操作。用于调节输出等待屏蔽信号的定时的预定时间周期根据系统的安装条件被选择为一合适值。注意，例如，当 CPU 100 存取预定的寄存器时，输出的等待屏蔽信号可以被取反。此外，当 CPU 100 存取预定的寄存器时，定时器部分 201 的操作还可以被“激活/禁用”。

根据从定时器部分 201 输出的屏蔽信号，屏蔽部分 202 屏蔽从 PC 卡 130 输出的等待信号（WAIT#），并且将其输出到 CPU 100。在这种情况下，屏蔽部分 202 由具有 2 个输入端子的“或（OR）”电路形成，以使来自 PC 卡 130 的等待信号被输入到该“或”电路的 2 个输入端子之一，并且来自定时器部分 201 的等待屏蔽信号被输入到“或”电路的另一个输入端子。即当等待屏蔽信号转到高电平（“1”）时，高电平等待信号（反等待信号）输出给 CPU 100 而不顾从 PC 卡 130 输出的等待信号。

从定时器部分 201 输出的等待屏蔽信号还被输入到中断控制块/卡状态寄存器 210。当等待屏蔽信号被输出时，中断控制块/卡状态寄存器 210 输出一中断信号给 CPU 100。

接着，将描述具有上述结构的 PC 卡接口部分 120 的操作。在这种情况下应该注意 PC 卡 130 连接到 PC 卡接口部分 120。

首先，当 CPU 100 通过 PC 卡接口部分 120 存取 PC 卡 130 时，PC 卡 130 根据需要输出等待信号。

因而，当等待信号被输出时，定时器部分 201 被激活，以启动其时间测量操作。然后，当预定的时间周期已经流逝而等待信号被保持输出时，定时

器部分 201 输出等待屏蔽信号。在这种情况下，在预定的时间周期流逝前等待信号被取反的地方，定时器部分 201 停止其时间测量操作，并且一旦再次输出等待信号，它从开始启动其时间测量操作。

当预定的时间周期已经流逝而等待信号被保持输出时，则定时器部分 201 输出等待屏蔽，来自 PC 卡 130 的等待信号在屏蔽部分 202 被屏蔽，并且甚至当来自 PC 卡 130 的等待信号被保持输出时，给 CPU 100 的等待信号被取反。

此外，当定时器部分 201 输出等待屏蔽信号时，中断控制块/卡状态寄存器 210 向 CPU 100 输出中断信号。

一旦接收到中断控制块/卡状态寄存器 210 发出的中断信号，CPU 100 执行中断处理。在该中断处理中，CPU 100 确定中断的原因。然后，如果它判断中断是因为来自 PC 卡 130 的等待信号已经被保持输出超过预定的时间周期这一事实，CPU 100 执行必要的恢复处理。例如，在复位 PC 卡 130 之后，它重新执行 I/O 处理。然而，如果甚至在执行该恢复处理之后也不能恢复，则通过显示错误消息，将 PC 卡 130 的错误通知用户。

如上的详细描述，根据本发明来阻止系统冻结是可能的，该系统冻结是由于甚至当等待信号被保持输出时系统总线总是被占据造成的，例如，由于 PC 卡故障。

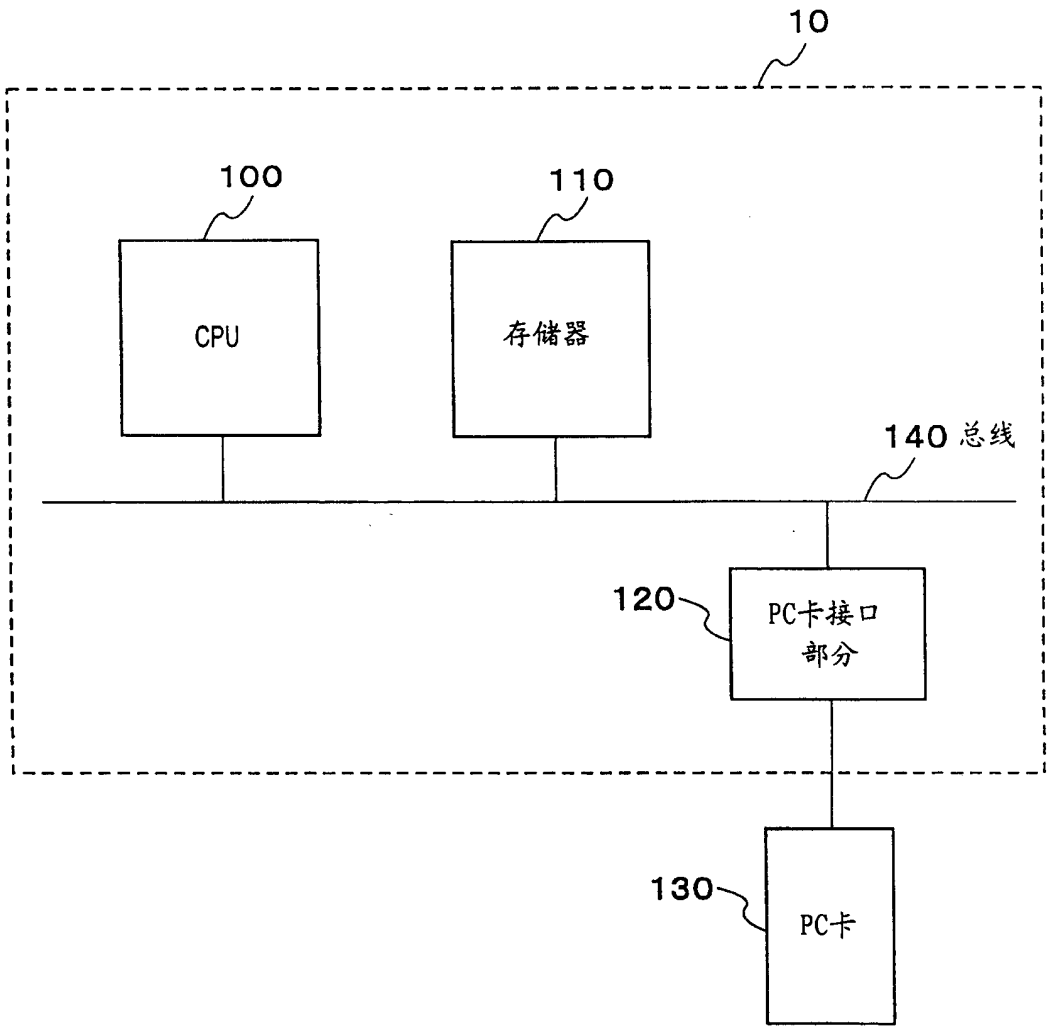


图 1

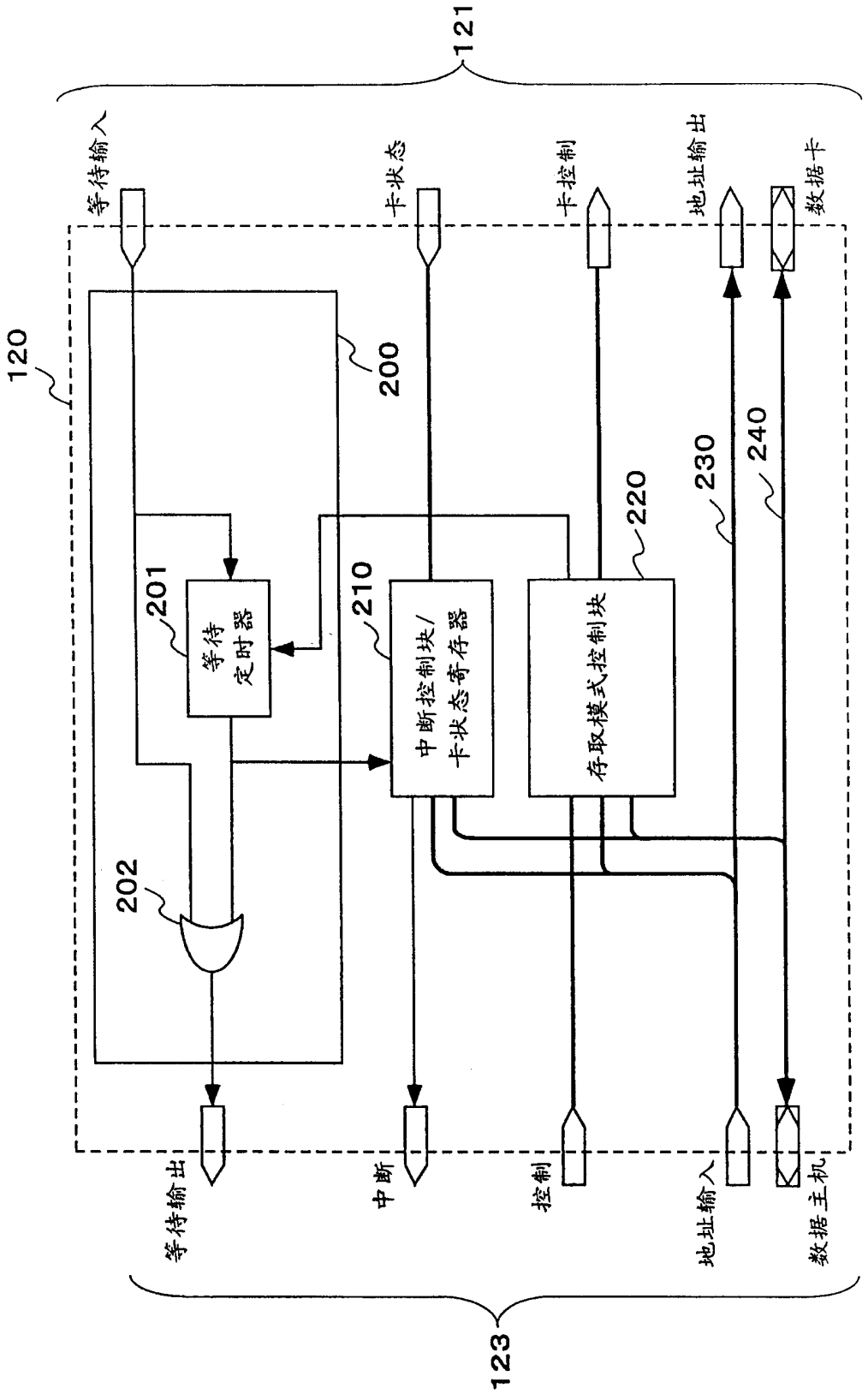

121
等待输入
卡状态
卡控制
地址输出
数据卡
120
200
201
等待
定时器
210
中断控制块/
卡状态寄存器
220
存取模式控制块
230
240
202
等待输出
中断
控制
地址输入
数据主机
123

图 2

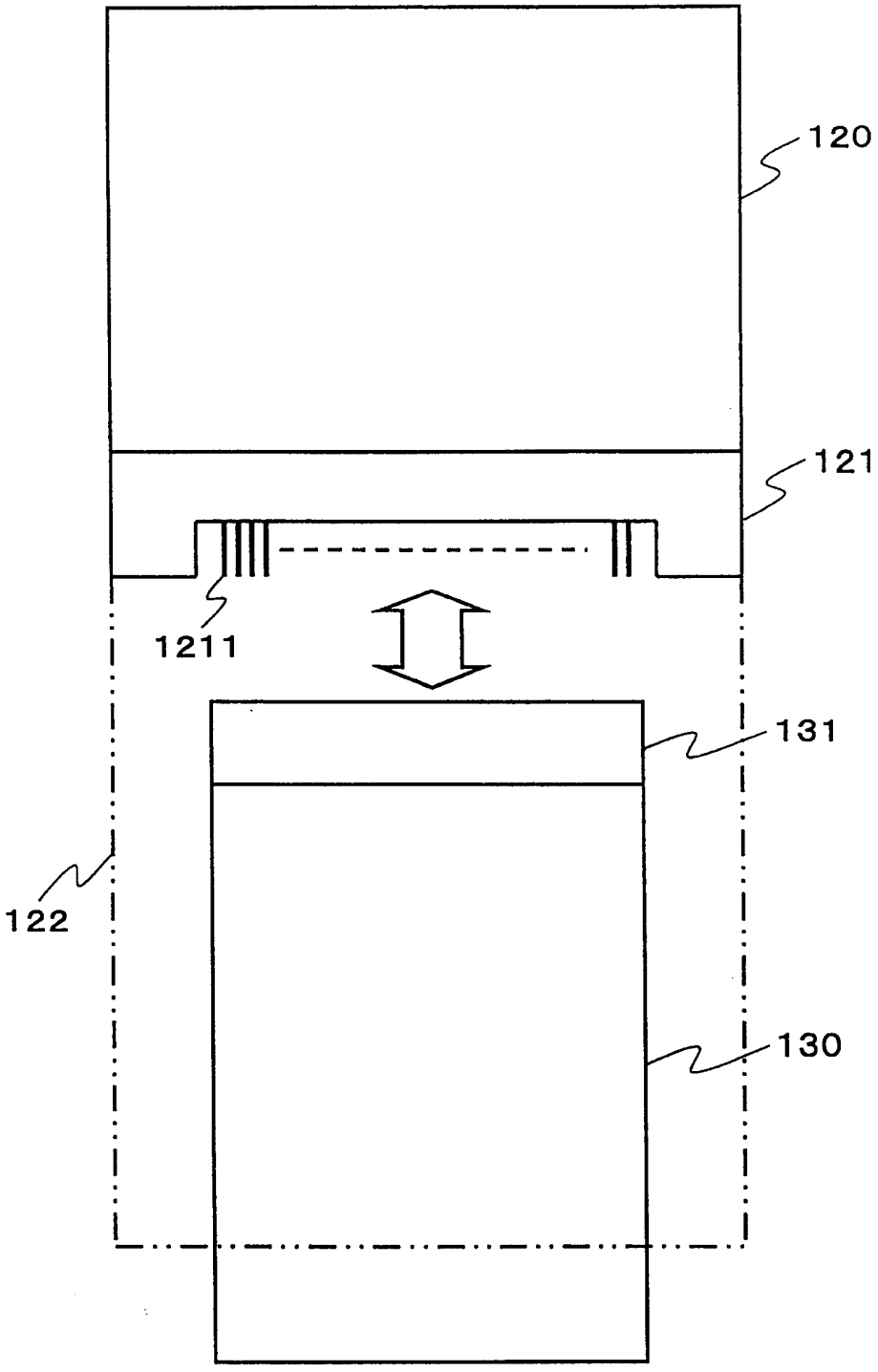


图 3