

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2013-190662
(P2013-190662A)

(43) 公開日 平成25年9月26日(2013.9.26)

(51) Int.Cl.	F I	テーマコード (参考)
GO2F 1/1343 (2006.01)	GO2F 1/1343	2H092
GO2F 1/1368 (2006.01)	GO2F 1/1368	2H191
GO2F 1/1335 (2006.01)	GO2F 1/1335 510	

審査請求 未請求 請求項の数 6 O L (全 18 頁)

(21) 出願番号	特願2012-57482 (P2012-57482)	(71) 出願人	502356528 株式会社ジャパンディスプレイ 東京都港区西新橋三丁目7番1号
(22) 出願日	平成24年3月14日 (2012.3.14)	(74) 代理人	110001737 特許業務法人スズエ国際特許事務所
		(74) 代理人	100108855 弁理士 蔵田 昌俊
		(74) 代理人	100159651 弁理士 高倉 成男
		(74) 代理人	100091351 弁理士 河野 哲
		(74) 代理人	100088683 弁理士 中村 誠
		(74) 代理人	100109830 弁理士 福原 淑弘

最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】表示品位の劣化を抑制することが可能な液晶表示装置を提供する。

【解決手段】第1方向に延出した帯状の副画素電極及び前記副画素電極に接続され第2方向に延出した帯状のn本の主画素電極を備えた画素電極と(但しnは正の整数である)、前記画素電極を覆う第1配向膜と、を備えた第1基板と、n本の前記主画素電極に平行であって第2方向に延出した主共通電極を備えた共通電極と、前記共通電極を覆う第2配向膜と、を備えた第2基板と、前記第1配向膜と前記第2配向膜との間に保持された液晶分子を含む液晶層と、を備え、前記液晶層の誘電率異方性は、前記主画素電極と前記主共通電極との第1方向に沿った水平電極間距離に依存する精細度に対して、

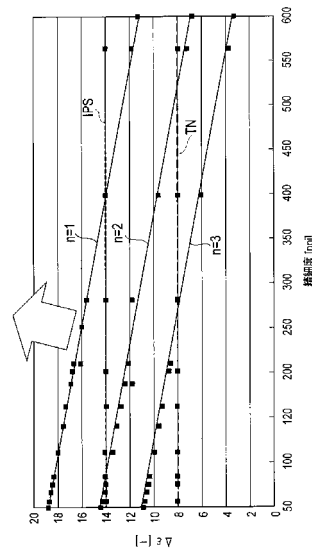
$$-0.014 \times (\text{精細度}) + \{19.7 - 4$$

(n - 1) }

の関係を満たすことを特徴とする液晶表示装置。

【選択図】 図5

図5



【特許請求の範囲】

【請求項 1】

第 1 方向にそれぞれ延出したゲート配線及び補助容量線と、第 1 方向に交差する第 2 方向に延出したソース配線と、前記ゲート配線及び前記ソース配線と電気的に接続されたスイッチング素子と、前記スイッチング素子と電気的に接続され第 1 方向に延出した帯状の副画素電極及び前記副画素電極に接続され第 2 方向に延出した帯状の n 本の主画素電極を備えた画素電極と（但し n は正の整数である）、前記画素電極を覆う第 1 配向膜と、を備えた第 1 基板と、

n 本の前記主画素電極に平行であって第 2 方向に延出した主共通電極を備えた共通電極と、前記共通電極を覆う第 2 配向膜と、を備えた第 2 基板と、

前記第 1 配向膜と前記第 2 配向膜との間に保持された液晶分子を含む液晶層と、を備え、

前記液晶層の誘電率異方性は、前記主画素電極と前記主共通電極との第 1 方向に沿った水平電極間距離に依存する精細度に対して、

$$- 0.014 \times (\text{精細度}) + \{ 19.7 - 4(n - 1) \}$$

の関係を満たすことを特徴とする液晶表示装置。

【請求項 2】

前記副画素電極は、前記補助容量線の上方に位置することを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 3】

前記画素電極と前記共通電極との間に電界が形成されていない状態での前記液晶分子の初期配向方向は第 2 方向と略平行であり、前記液晶分子は前記第 1 基板と前記第 2 基板との間においてスプレイ配向またはホモジニアス配向していることを特徴とする請求項 1 または 2 に記載の液晶表示装置。

【請求項 4】

さらに、前記第 1 基板の外面に配置され第 1 偏光軸を備えた第 1 偏光板と、第 2 基板の外面に配置され第 1 偏光軸とクロスニコルの位置関係にある第 2 偏光軸を備えた第 2 偏光板を備え、前記第 1 偏光板の第 1 偏光軸が前記液晶分子の初期配向方向と直交する或いは平行であることを特徴とする請求項 3 に記載の液晶表示装置。

【請求項 5】

n = 1 のとき、前記主共通電極は、それぞれ前記ソース配線の上方に位置することを特徴とする請求項 4 に記載の液晶表示装置。

【請求項 6】

n = 2 のとき、前記主画素電極間に位置する前記主共通電極は、前記副画素電極と交差する位置関係にあることを特徴とする請求項 4 に記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は、液晶表示装置に関する。

【背景技術】

【0002】

近年、平面表示装置が盛んに開発されており、中でも液晶表示装置は、軽量、薄型、低消費電力等の利点から特に注目を集めている。特に、各画素にスイッチング素子を組み込んだアクティブマトリクス型液晶表示装置においては、IPS (In-Plane Switching) モードや FFS (Fringe Field Switching) モードなどの横電界（フリンジ電界も含む）を利用した構造が注目されている。このような横電界モードの液晶表示装置は、アレイ基板に形成された画素電極と対向電極とを備え、アレイ基板の主面に対してほぼ平行な横電界で液晶分子をスイッチングする。

【0003】

一方で、アレイ基板に形成された画素電極と、対向基板に形成された対向電極との間に

10

20

30

40

50

、横電界あるいは斜め電界を形成し、液晶分子をスイッチングする技術も提案されている。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2009-192822号公報

【特許文献2】特開平09-160041号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

本実施形態の目的は、表示品位の劣化を抑制することが可能な液晶表示装置を提供することにある。

【課題を解決するための手段】

【0006】

本実施形態によれば、

第1方向にそれぞれ延出したゲート配線及び補助容量線と、第1方向に交差する第2方向に延出したソース配線と、前記ゲート配線及び前記ソース配線と電氣的に接続されたスイッチング素子と、前記スイッチング素子と電氣的に接続され第1方向に延出した帯状の副画素電極及び前記副画素電極に接続され第2方向に延出した帯状のn本の主画素電極を備えた画素電極と(但しnは正の整数である)、前記画素電極を覆う第1配向膜と、を備えた第1基板と、n本の前記主画素電極に平行であって第2方向に延出した主共通電極を備えた共通電極と、前記共通電極を覆う第2配向膜と、を備えた第2基板と、前記第1配向膜と前記第2配向膜との間に保持された液晶分子を含む液晶層と、を備え、前記液晶層の誘電率異方性は、前記主画素電極と前記主共通電極との第1方向に沿った水平電極間距離に依存する精細度に対して、

$$-0.014 \times (\text{精細度}) + \{19.7 - 4(n - 1)\}$$

の関係を満たすことを特徴とする液晶表示装置が提供される。

【図面の簡単な説明】

【0007】

【図1】図1は、本実施形態における液晶表示装置の構成及び等価回路を概略的に示す図である。

【図2】図2は、図1に示した液晶表示パネルを対向基板側から見たときの一画素の構造例を概略的に示す平面図である。

【図3】図3は、図2に示した液晶表示パネルをA-A線で切断したときの断面構造を概略的に示す断面図である。

【図4】図4は、図2に示した液晶表示パネルにおける画素電極と共通電極との間に形成される電界、及び、この電界による液晶分子のダイレクタと透過率との関係を説明するための図である。

【図5】図5は、精細度に対する誘電率異方性の相関関係を示す図である。

【図6】図6は、本実施形態の単位画素の構成を概略的に示す平面図である。

【図7】図7は、本実施形態の他の単位画素の構成を概略的に示す平面図である。

【図8】図8は、本実施形態の他の単位画素の構成を概略的に示す平面図である。

【発明を実施するための形態】

【0008】

以下、本実施形態について、図面を参照しながら詳細に説明する。なお、各図において、同一又は類似した機能を発揮する構成要素には同一の参照符号を付し、重複する説明は省略する。

【0009】

図1は、本実施形態における液晶表示装置の構成及び等価回路を概略的に示す図である。

10

20

30

40

50

【 0 0 1 0 】

すなわち、液晶表示装置は、アクティブマトリクスタイプの液晶表示パネル L P N を備えている。液晶表示パネル L P N は、第 1 基板であるアレイ基板 A R と、アレイ基板 A R に対向して配置された第 2 基板である対向基板 C T と、これらのアレイ基板 A R と対向基板 C T との間に保持された液晶層 L Q と、を備えている。このような液晶表示パネル L P N は、画像を表示するアクティブエリア A C T を備えている。このアクティブエリア A C T は、 $m \times n$ 個のマトリクス状に配置された複数の画素 P X によって構成されている（但し、 m 及び n は正の整数である）。

【 0 0 1 1 】

液晶表示パネル L P N は、アクティブエリア A C T において、 n 本のゲート配線 G (G 1 ~ G n)、 n 本の補助容量線 C (C 1 ~ C n)、 m 本のソース配線 S (S 1 ~ S m) などを備えている。ゲート配線 G 及び補助容量線 C は、例えば、第 1 方向 X に沿って略直線的に延出している。これらのゲート配線 G 及び補助容量線 C は、第 1 方向 X に交差する第 2 方向 Y に沿って間隔をおいて隣接し、交互に並列配置されている。ここでは、第 1 方向 X と第 2 方向 Y とは互いに直交している。ソース配線 S は、ゲート配線 G 及び補助容量線 C と交差している。ソース配線 S は、第 2 方向 Y に沿って略直線的に延出している。なお、ゲート配線 G、補助容量線 C、及び、ソース配線 S は、必ずしも直線的に延出していなくても良く、それらの一部が屈曲していてもよい。

【 0 0 1 2 】

各ゲート配線 G は、アクティブエリア A C T の外側に引き出され、ゲートドライバ G D に接続されている。各ソース配線 S は、アクティブエリア A C T の外側に引き出され、ソースドライバ S D に接続されている。これらのゲートドライバ G D 及びソースドライバ S D の少なくとも一部は、例えば、アレイ基板 A R に形成され、コントローラを内蔵した駆動 I C チップ 2 と接続されている。

【 0 0 1 3 】

各画素 P X は、スイッチング素子 S W、画素電極 P E、共通電極 C E などを備えている。保持容量 C s は、例えば補助容量線 C と画素電極 P E との間に形成される。補助容量線 C は、補助容量電圧が印加される電圧印加部 V C S と電氣的に接続されている。

【 0 0 1 4 】

なお、本実施形態においては、液晶表示パネル L P N は、画素電極 P E がアレイ基板 A R に形成される一方で共通電極 C E の少なくとも一部が対向基板 C T に形成された構成であり、これらの画素電極 P E と共通電極 C E との間に形成される電界を主に利用して液晶層 L Q の液晶分子をスイッチングする。画素電極 P E と共通電極 C E との間に形成される電界は、第 1 方向 X と第 2 方向 Y とで規定される X - Y 平面あるいはアレイ基板 A R の基板主面あるいは対向基板 C T の基板主面に対してわずかに傾いた斜め電界（あるいは、基板主面にほぼ平行な横電界）である。

【 0 0 1 5 】

スイッチング素子 S W は、例えば、 n チャネル薄膜トランジスタ (T F T) によって構成されている。このスイッチング素子 S W は、ゲート配線 G 及びソース配線 S と電氣的に接続されている。このようなスイッチング素子 S W は、トップゲート型あるいはボトムゲート型のいずれであっても良い。また、スイッチング素子 S W の半導体層は、例えば、ポリシリコンによって形成されているが、アモルファスシリコンによって形成されていても良い。

【 0 0 1 6 】

画素電極 P E は、各画素 P X に配置され、スイッチング素子 S W に電氣的に接続されている。共通電極 C E は、例えばコモン電位であり、液晶層 L Q を介して複数の画素 P X の画素電極 P E に対して共通に配置されている。このような画素電極 P E 及び共通電極 C E は、例えば、インジウム・ティン・オキサイド (I T O) やインジウム・ジंक・オキサイド (I Z O) などの光透過性を有する導電材料によって形成されているが、アルミニウムなどの他の金属材料によって形成されても良い。

10

20

30

40

50

【 0 0 1 7 】

アレイ基板 A R は、共通電極 C E に電圧を印加するための給電部 V S を備えている。この給電部 V S は、例えば、アクティブエリア A C T の外側に形成されている。共通電極 C E は、アクティブエリア A C T の外側に引き出され、図示しない導電部材を介して、給電部 V S と電氣的に接続されている。

【 0 0 1 8 】

図 2 は、図 1 に示した液晶表示パネル L P N を対向基板側から見たときの一画素 P X の構造例を概略的に示す平面図である。ここでは、X - Y 平面における平面図を示している。

【 0 0 1 9 】

ゲート配線 G 1、ゲート配線 G 2、及び、補助容量線 C 1 は、それぞれ第 1 方向 X に沿って延出している。ソース配線 S 1 及びソース配線 S 2 は、それぞれ第 2 方向 Y に沿って延出している。補助容量線 C 1 は、ゲート配線 G 1 とゲート配線 G 2 とのほぼ中間に位置している。つまり、ゲート配線 G 1 と補助容量線 C 1 との第 2 方向 Y に沿った間隔は、ゲート配線 G 2 と補助容量線 C 1 との第 2 方向 Y に沿った間隔と略同等である。

【 0 0 2 0 】

図示した例では、画素 P X は、図中の破線で示したように、ゲート配線 G 1 及びゲート配線 G 2 とソース配線 S 1 及びソース配線 S 2 とが成すマス目の領域に相当し、第 1 方向 X に沿った長さよりも第 2 方向 Y に沿った長さの方が長い長方形形状である。画素 P X の第 1 方向 X に沿った長さはソース配線 S 1 とソース配線 S 2 との第 1 方向 X に沿ったピッチに相当し、画素 P X の第 2 方向 Y に沿った長さはゲート配線 G 1 とゲート配線 G 2 との第 2 方向 Y に沿ったピッチに相当する。画素電極 P E は、隣接するソース配線 S 1 とソース配線 S 2 との間に配置されている。また、この画素電極 P E は、ゲート配線 G 1 とゲート配線 G 2 との間に位置している。

【 0 0 2 1 】

図示した例では、画素 P X において、ソース配線 S 1 は左側端部に配置され、ソース配線 S 2 は右側端部に配置され、ゲート配線 G 1 は上側端部に配置され、ゲート配線 G 2 は下側端部に配置されている。厳密には、ソース配線 S 1 は当該画素 P X とその左側に隣接する画素との境界に跨って配置され、ソース配線 S 2 は当該画素 P X とその右側に隣接する画素との境界に跨って配置され、ゲート配線 G 1 は当該画素 P X とその上側に隣接する画素との境界に跨って配置され、ゲート配線 G 2 は当該画素 P X とその下側に隣接する画素との境界に跨って配置されている。補助容量線 C 1 は、画素 P X の略中央部に配置されている。

【 0 0 2 2 】

図示した例のスイッチング素子 S W は、ゲート配線 G 1 及びソース配線 S 1 に電氣的に接続されている。このスイッチング素子 S W は、ゲート配線 G 1 とソース配線 S 1 の交点に設けられ、そのドレイン配線はソース配線 S 1 及び補助容量線 C 1 に沿って延長され、補助容量線 C 1 と重なる領域に形成されたコンタクトホール C H を介して画素電極 P E と電氣的に接続されている。このようなスイッチング素子 S W は、ソース配線 S 1 及び補助容量線 C 1 と重なる領域に設けられ、ソース配線 S 1 及び補助容量線 C 1 と重なる領域からほとんどはみ出すことはなく、表示に寄与する開口部の面積の低減を抑制している。

【 0 0 2 3 】

画素電極 P E は、n 本の主画素電極 P A 及び副画素電極 P B を備えている。但し、n は正の整数である。図示した例では、画素電極 P E は 1 本の主画素電極 P A を備えている。これらの主画素電極 P A 及び副画素電極 P B は、一体的あるいは連続的に形成されており、互いに電氣的に接続されている。なお、図示した例では、一画素 P X に配置された画素電極 P E のみが図示されているが、図示を省略した他の画素についても同一形状の画素電極が配置されている。

【 0 0 2 4 】

主画素電極 P A は、第 2 方向 Y に沿って延出し、第 1 方向 X に沿って略一定の幅を有す

10

20

30

40

50

る帯状に形成されている。この主画素電極 P A は、ソース配線 S 1 とソース配線 S 2 との略中間に位置している。つまり、ソース配線 S 1 と主画素電極 P A との第 1 方向 X に沿った間隔は、ソース配線 S 2 と主画素電極 P A との第 1 方向 X に沿った間隔と略同等である。

【 0 0 2 5 】

副画素電極 P B は、第 1 方向 X に沿って延出した帯状に形成されている。図示した例では、副画素電極 P B は、主画素電極 P A の第 2 方向 Y に沿った中間部で交差している。このような副画素電極 P B は、主画素電極 P A との交差部からソース配線 S 1 及びソース配線 S 2 に向かってそれぞれ直線的に延出している。つまり、ここに示した画素電極 P E は、十字状に形成されている。

10

【 0 0 2 6 】

また、図示した例では、副画素電極 P B は、補助容量線 C 1 の上方に位置している。つまり、副画素電極 P B は、その全体が補助容量線 C 1 と重なる領域に位置している。このような副画素電極 P B は、コンタクトホール C H を介してスイッチング素子 S W と電氣的に接続されている。

【 0 0 2 7 】

共通電極 C E は、主共通電極 C A を備えている。この主共通電極 C A は、X - Y 平面内において、主画素電極 P A を挟んだ両側で主画素電極 P A と平行な第 2 方向 Y に沿って直線的に延出している。このような主共通電極 C A は、第 1 方向 X に沿って略同一の幅を有する帯状に形成されている。

20

【 0 0 2 8 】

図示した例では、主共通電極 C A は、第 1 方向 X に間隔をおいて 2 本平行に並んでおり、画素 P X の左側端部に配置された主共通電極 C A L と、画素 P X の右側端部に配置された主共通電極 C A R と、を備えている。厳密には、主共通電極 C A L は当該画素 P X とその左側に隣接する画素との境界に跨って配置され、主共通電極 C A R は当該画素 P X とその右側に隣接する画素との境界に跨って配置されている。主共通電極 C A L はソース配線 S 1 と対向し、主共通電極 C A R はソース配線 S 2 と対向している。これらの主共通電極 C A L 及び主共通電極 C A R は、アクティブエリア内あるいはアクティブエリア外において互いに電氣的に接続されている。

30

【 0 0 2 9 】

画素電極 P E と共通電極 C E との X - Y 平面内での位置関係に着目すると、主画素電極 P A と主共通電極 C A とは、第 1 方向 X に沿って交互に配置されている。隣接する主共通電極 C A L 及び主共通電極 C A R の間には、1 本の主画素電極 P A が位置している。主画素電極 P A は、主共通電極 C A L と主共通電極 C A R との略中間に位置している。つまり、主共通電極 C A L と主画素電極 P A との第 1 方向 X に沿った間隔は、主共通電極 C A R と主画素電極 P A との第 1 方向 X に沿った間隔と略同等である。

【 0 0 3 0 】

図 3 は、図 2 に示した液晶表示パネル L P N を A - A 線で切断したときの断面構造を概略的に示す断面図である。なお、ここでは、説明に必要な箇所のみを図示している。

40

【 0 0 3 1 】

液晶表示パネル L P N を構成するアレイ基板 A R の背面側には、バックライト 4 が配置されている。バックライト 4 としては、種々の形態が適用可能であり、また、光源として発光ダイオード (L E D) を利用したものや冷陰極管 (C C F L) を利用したものなどのいずれでも適用可能であり、詳細な構造については説明を省略する。

【 0 0 3 2 】

アレイ基板 A R は、光透過性を有する第 1 絶縁基板 1 0 を用いて形成されている。ソース配線 S は、第 1 絶縁膜 1 1 の上に形成され、第 2 絶縁膜 1 2 によって覆われている。なお、図示しないゲート配線や補助容量線は、例えば、第 1 絶縁基板 1 0 と第 1 絶縁膜 1 1 との間に配置されている。画素電極 P E は、第 2 絶縁膜 1 2 の上に形成されている。この画素電極 P E は、隣接するソース配線 S のそれぞれの直上の位置よりもそれらの内側に位

50

置している。第1配向膜AL1は、アレイ基板ARの対向基板CTと対向する面に配置され、アクティブエリアACTの略全体に亘って延在している。この第1配向膜AL1は、画素電極PEなどを覆っており、第2絶縁膜12の上にも配置されている。このような第1配向膜AL1は、水平配向性を示す材料によって形成されている。なお、アレイ基板ARは、さらに、共通電極CEの一部を備えていても良い。

【0033】

対向基板CTは、光透過性を有する第2絶縁基板20を用いて形成されている。この対向基板CTは、ブラックマトリクスBM、カラーフィルタCF、オーバーコート層OC、共通電極CE、第2配向膜AL2などを備えている。

【0034】

ブラックマトリクスBMは、各画素PXを区画し、画素電極PEと対向する開口部APを形成する。すなわち、ブラックマトリクスBMは、ソース配線S、ゲート配線、補助容量線、スイッチング素子などの配線部に対向するように配置されている。ここでは、ブラックマトリクスBMは、第2方向Yに沿って延出した部分のみが図示されているが、第1方向Xに沿って延出した部分を備えていても良い。このブラックマトリクスBMは、第2絶縁基板20のアレイ基板ARに対向する内面20Aに配置されている。

【0035】

カラーフィルタCFは、各画素PXに対応して配置されている。すなわち、カラーフィルタCFは、第2絶縁基板20の内面20Aにおける開口部APに配置されるとともに、その一部がブラックマトリクスBMに乗り上げている。第1方向Xに隣接する画素PXにそれぞれ配置されたカラーフィルタCFは、互いに色が異なる。例えば、カラーフィルタCFは、赤色、青色、緑色といった3原色にそれぞれ着色された樹脂材料によって形成されている。赤色に着色された樹脂材料からなる赤色カラーフィルタCFRは、赤色画素に対応して配置されている。青色に着色された樹脂材料からなる青色カラーフィルタCFBは、青色画素に対応して配置されている。緑色に着色された樹脂材料からなる緑色カラーフィルタCFGは、緑色画素に対応して配置されている。これらのカラーフィルタCF同士の境界は、ブラックマトリクスBMと重なる位置にある。オーバーコート層OCは、カラーフィルタCFを覆っている。このオーバーコート層OCは、カラーフィルタCFの表面の凹凸の影響を緩和する。このようなオーバーコート層OCは、例えば、透明な樹脂材料によって形成されている。

【0036】

共通電極CEは、オーバーコート層OCのアレイ基板ARと対向する側に形成されている。主共通電極CAは、ソース配線Sの上方に位置している。第2配向膜AL2は、対向基板CTのアレイ基板ARと対向する面に配置され、アクティブエリアACTの略全体に亘って延在している。この第2配向膜AL2は、共通電極CE及びオーバーコート層OCなどを覆っている。このような第2配向膜AL2は、水平配向性を示す材料によって形成されている。

【0037】

これらの第1配向膜AL1及び第2配向膜AL2には、液晶層LQの液晶分子を初期配向させるための配向処理（例えば、ラビング処理や光配向処理）がなされている。第1配向膜AL1が液晶分子を初期配向させる第1配向処理方向PD1は、第2配向膜AL2が液晶分子を初期配向させる第2配向処理方向PD2と平行である。図2の(A)で示した例では、第1配向処理方向PD1と第2配向処理方向PD2とがともに第2方向Yに平行であって、互いに同じ向きである。図2の(B)で示した例では、第1配向処理方向PD1と第2配向処理方向PD2とがともに第2方向Yに平行であって、互いに逆向きである。

【0038】

上述したようなアレイ基板ARと対向基板CTとは、それぞれの第1配向膜AL1及び第2配向膜AL2が対向するように配置されている。このとき、アレイ基板ARの第1配向膜AL1と対向基板CTの第2配向膜AL2との間には、例えば、樹脂材料によって一

10

20

30

40

50

方の基板に一体的に形成された柱状スペーサが配置され、これにより、所定のセルギャップ、例えば2～7 μm のセルギャップが形成される。アレイ基板ARと対向基板CTとは、所定のセルギャップが形成された状態で、アクティブエリアACTの外側のシール材SBによって貼り合わせられている。

【0039】

液晶層LQは、アレイ基板ARと対向基板CTとの間に形成されたセルギャップに保持され、第1配向膜AL1と第2配向膜AL2との間に配置されている。液晶層LQは、液晶分子LMを含んでいる。このような液晶層LQは、例えば、誘電率異方性が正（ポジ型）の液晶材料によって構成されている。

【0040】

アレイ基板ARの外表面、つまり、アレイ基板ARを構成する第1絶縁基板10の外表面10Bには、第1光学素子OD1が接着剤などにより貼付されている。この第1光学素子OD1は、液晶表示パネルLPNのバックライト4と対向する側に位置しており、バックライト4から液晶表示パネルLPNに入射する入射光の偏光状態を制御する。この第1光学素子OD1は、第1偏光軸（あるいは第1吸収軸）AX1を有する第1偏光板PL1を含んでいる。なお、第1偏光板PL1と第1絶縁基板10との間に位相差板などの他の光学素子が配置されても良い。

【0041】

対向基板CTの外表面、つまり、対向基板CTを構成する第2絶縁基板20の外表面20Bには、第2光学素子OD2が接着剤などにより貼付されている。この第2光学素子OD2は、液晶表示パネルLPNの表示面側に位置しており、液晶表示パネルLPNから出射した出射光の偏光状態を制御する。この第2光学素子OD2は、第2偏光軸（あるいは第2吸収軸）AX2を有する第2偏光板PL2を含んでいる。なお、第2偏光板PL2と第2絶縁基板20との間に位相差板などの他の光学素子が配置されていても良い。

【0042】

第1偏光板PL1の第1偏光軸AX1と、第2偏光板PL2の第2偏光軸AX2とは、クロスニコルの位置関係にある。このとき、一方の偏光板は、例えば、その偏光軸が液晶分子LMの初期配向方向と平行または直交するように配置されている。図2において、(a)で示した例では、第1偏光板PL1はその第1偏光軸AX1が液晶分子LMの初期配向方向である第2方向Yに対して直交するように配置され、第2偏光板PL2はその第2偏光軸AX2が第2方向Yに対して平行となるように配置されている。図2において、(b)で示した例では、第2偏光板PL2はその第2偏光軸AX2が第2方向Yに対して直交するように配置され、第1偏光板PL1はその第1偏光軸AX1が第2方向Yに対して平行となるように配置されている。

【0043】

次に、上記構成の液晶表示パネルLPNの動作について、図2乃至図4を参照しながら説明する。

【0044】

すなわち、液晶層LQに電圧が印加されていない状態、つまり、画素電極PEと共通電極CEとの間に電界が形成されていない状態（OFF時）には、液晶層LQの液晶分子LMは、その長軸が第1配向膜AL1の第1配向処理方向PD1及び第2配向膜AL2の第2配向処理方向PD2を向くように配向している。このようなOFF時が初期配向状態に相当し、OFF時の液晶分子LMの配向方向が初期配向方向に相当する。

【0045】

なお、厳密には、液晶分子LMは、X-Y平面に平行に配向しているとは限らず、プレチルトしている場合が多い。このため、ここでの液晶分子LMの初期配向方向とは、OFF時の液晶分子LMの長軸をX-Y平面に正射影した方向である。以下では、説明を簡略にするために、液晶分子LMは、X-Y平面に平行に配向しているものとし、X-Y平面と平行な面内で回転するものとして説明する。

【0046】

ここでは、第1配向処理方向PD1及び第2配向処理方向PD2は、ともに第2方向Yと略平行な方向である。OFF時においては、液晶分子LMは、図2に破線で示したように、その長軸が第2方向Yと略平行な方向に初期配向する。つまり、液晶分子LMの初期配向方向は、第2方向Yと平行（あるいは、第2方向Yに対して0°）である。

【0047】

図示した例のように、第1配向処理方向PD1及び第2配向処理方向PD2が平行且つ同じ向きである場合、液晶層LQの断面において、液晶分子LMは、液晶層LQの中間部付近で略水平（プレチルト角が略ゼロ）に配向し、ここを境界として第1配向膜AL1の近傍及び第2配向膜AL2の近傍において対称となるようなプレチルト角を持って配向する（スプレイ配向）。このように液晶分子LMがスプレイ配向している状態では、基板の法線方向から傾いた方向においても第1配向膜AL1の近傍の液晶分子LMと第2配向膜AL2の近傍の液晶分子LMとにより光学的に補償される。したがって、第1配向処理方向PD1及び第2配向処理方向PD2が互いに平行、且つ、同じ向きである場合には、黒表示の場合に光漏れが少なく、高コントラスト比を実現することができ、表示品位を向上することが可能となる。

10

【0048】

なお、第1配向処理方向PD1及び第2配向処理方向PD2が互いに平行且つ逆向きである場合、液晶層LQの断面において、液晶分子LMは、第1配向膜AL1の近傍、第2配向膜AL2の近傍、及び、液晶層LQの中間部において略均一なプレチルト角を持って配向する（ホモジニアス配向）。

20

【0049】

バックライト4からのバックライト光の一部は、第1偏光板PL1を透過し、液晶表示パネルLPNに入射する。液晶表示パネルLPNに入射した光は、第1偏光板PL1の第1偏光軸AX1と直交する直線偏光である。このような直線偏光の偏光状態は、OFF時の液晶表示パネルLPNを通過した際にほとんど変化しない。このため、液晶表示パネルLPNを透過した直線偏光は、第1偏光板PL1に対してクロスニコルの位置関係にある第2偏光板PL2によって吸収される（黒表示）。

【0050】

一方、液晶層LQに電圧が印加された状態、つまり、画素電極PEと共通電極CEとの間に電位差が形成された状態（ON時）では、画素電極PEと共通電極CEとの間に基板と略平行な横電界（あるいは斜め電界）が形成される。液晶分子LMは、電界の影響を受け、その長軸が図中の実線で示したようにX-Y平面と略平行な平面内で回転する。

30

【0051】

図2に示した例では、画素電極PEと主共通電極CALとの間の領域のうち、下側半分の領域内の液晶分子LMは、第2方向Yに対して時計回りに回転し図中の左下を向くように配向し、また、上側半分の領域内の液晶分子LMは、第2方向Yに対して反時計回りに回転し図中の左上を向くように配向する。画素電極PEと主共通電極CARとの間の領域のうち、下側半分の領域内の液晶分子LMは、第2方向Yに対して反時計回りに回転し図中の右下を向くように配向し、上側半分の領域内の液晶分子LMは、第2方向Yに対して時計回りに回転し図中の右上を向くように配向する。

40

【0052】

このように、各画素PXにおいて、画素電極PEと共通電極CEとの間に電界が形成された状態では、液晶分子LMの配向方向は、画素電極PEと重なる位置を境界として複数の方向に分かれ、それぞれの配向方向でドメインを形成する。つまり、一画素PXには、複数のドメインが形成される。

【0053】

このようなON時には、第1偏光板PL1の第1偏光軸AX1と直交する直線偏光は、液晶表示パネルLPNに入射し、その偏光状態は、液晶層LQを通過する際に液晶分子LMの配向状態に応じて変化する。このようなON時においては、液晶層LQを通過した少なくとも一部の光は、第2偏光板PL2を透過する（白表示）。

50

【0054】

図4は、図2に示した液晶表示パネルLPNにおける画素電極PEと共通電極CEとの間に形成される電界、及び、この電界による液晶分子LMのダイレクタと透過率との関係を説明するための図である。

【0055】

OFF状態では、液晶分子LMは、第2方向Yに略平行な方向に初期配向している。画素電極PEと共通電極CEとの間に電位差が形成されたON状態では、液晶分子LMのダイレクタ（あるいは液晶分子LMの長軸方向）が、X-Y平面内で、第1偏光板PL1の第1偏光軸AX1及び第2偏光板PL2の第2偏光軸AX2に対して概ね45°ずれた状態となったときに、液晶層LQの光学的な変調率が最も高くなる（つまり、開口部での透過率が最大となる）。

10

【0056】

図示した例では、ON状態となり、画素電極PEと共通電極CEとの間の電界により、主共通電極CALと画素電極PEとの間の液晶分子LMのダイレクタがX-Y平面内で45°-225°の方位と略平行となり、主共通電極CARと画素電極PEとの間の液晶分子LMのダイレクタがX-Y平面内で135°-315°の方位と略平行となったときに、ピーク透過率が得られる。なお、液晶分子LMのダイレクタがX-Y平面内で0°-180°の方位と略平行となる場合、あるいは、X-Y平面内で90°-270°の方位と略平行となる場合には、開口部での透過率は最小となる。

【0057】

20

つまり、液晶分子LMのX-Y平面内での回転角が45°のときに最大の透過率が得られ、回転角が45°よりも小さい場合であっても回転角が45°よりも大きい場合であっても透過率は低下することになる。したがって、液晶分子LMの回転角が45°となるような駆動電圧（白電圧）を印加したときに画素PXで最大輝度を得られ、白電圧よりも小さい駆動電圧や白電圧よりも大きい駆動電圧を印加したときには画素PXの輝度は最大輝度を下回る。

【0058】

ON状態において、一画素あたりの透過率分布に着目すると、画素電極PE上及び共通電極CE上においては液晶分子LMが初期配向方向からほとんど回転しない。つまり、液晶分子LMのダイレクタが90°-270°の方位と略平行となる。このため、透過率が最低（略ゼロ）となる一方で、画素電極PEと共通電極CEとの間の電極間隙では、略全域に亘って高い透過率が得られる。

30

【0059】

なお、ソース配線S1の直上に位置する主共通電極CAL及びソース配線S2の直上に位置する主共通電極CARは、それぞれブラックマトリクスBMと対向しているが、これらの主共通電極CAL及び主共通電極CARは、ともにブラックマトリクスBMの第1方向Xに沿った幅と同等以下の幅を有しており、ブラックマトリクスBMと重なる位置よりも画素電極PEの側に延在していない。このため、一画素あたり、表示に寄与する開口部は、ブラックマトリクスBMの間またはソース配線S1とソース配線S2との間の領域のうち、画素電極PEと主共通電極CAL及び主共通電極CARとの間の領域に相当する。

40

【0060】

このような本実施形態によれば、画素電極PEと共通電極CEとの間の電極間隙において高い透過率が得られるため、一画素あたりの透過率を十分に高くするためには、主画素電極と主共通電極との間の電極間距離を拡大することで対応することが可能となる。また、画素ピッチが異なる製品仕様に対しては、電極間距離を変更する（つまり、画素PXの略中央に配置された主画素電極に対して主共通電極の配置位置を変更する）ことで、図4に示したような透過率分布のピーク条件を利用することが可能となる。つまり、本実施形態の表示モードにおいては、比較的画素ピッチが大きな低解像度の製品仕様から比較的画素ピッチが小さい高解像度の製品仕様まで、微細な電極加工を必ずしも必要とせず、電極間距離の設定により種々の画素ピッチの製品を提供することが可能となる。したがって、

50

高透過率且つ高解像度の要求を容易に実現することが可能となる。

【0061】

また、本実施形態によれば、図4に示したように、ブラックマトリクスBMと重なる領域での透過率分布に着目すると、透過率が十分に低下している。これは、共通電極CEの位置よりも当該画素の外側に電界の漏れが発生せず、また、ブラックマトリクスBMを挟んで隣接する画素間で不所望な横電界が生じないため、ブラックマトリクスBMと重なる領域の液晶分子がOFF時（あるいは黒表示時）と同様に初期配向状態を保っているためである。したがって、隣接する画素間でカラーフィルタの色が異なる場合であっても、混色の発生を抑制することが可能となり、色再現性の低下やコントラスト比の低下を抑制することが可能となる。

10

【0062】

また、アレイ基板ARと対向基板CTとの合わせずれが生じた際に、画素電極PEを挟んだ両側の共通電極CEとの第1方向Xに沿った水平電極間距離に差が生じることがある。しかしながら、このような合わせずれは、全ての画素PXに共通に生じるため、画素PX間での電界分布に相違はなく、画像の表示に及ぼす影響はきわめて小さい。また、例えばアレイ基板ARと対向基板CTとの間で合わせズレが生じたとしても、隣接する画素への不所望な電界の漏れを抑制することが可能となる。このため、隣接する画素間でカラーフィルタの色が異なる場合であっても、混色の発生を抑制することが可能となり、色再現性の低下やコントラスト比の低下を抑制することが可能となる。

20

【0063】

また、本実施形態によれば、主共通電極CAは、それぞれソース配線Sと対向している。特に、主共通電極CAL及び主共通電極CARがそれぞれソース配線S1及びソース配線S2の直上に配置されている場合には、主共通電極CAL及び主共通電極CARがソース配線S1及びソース配線S2よりも画素電極PE側に配置された場合と比較して、開口部APを拡大することができ、画素PXの透過率を向上することが可能となる。

【0064】

また、主共通電極CAL及び主共通電極CARをそれぞれソース配線S1及びソース配線S2の直上に配置することによって、画素電極PEと主共通電極CAL及び主共通電極CARとの間の電極間距離を拡大することが可能となり、より水平に近い横電界を形成することが可能となる。このため、従来の構成であるIPSモード等の利点である広視野角化も維持することが可能となる。

30

【0065】

また、本実施形態によれば、一画素内に複数のドメインを形成することが可能となる。このため、複数の方向で視野角を光学的に補償することができ、広視野角化が可能となる。

【0066】

なお、上記の例では、液晶分子LMの初期配向方向が第2方向Yと平行である場合について説明したが、液晶分子LMの初期配向方向Dは、図2に示したように、第2方向Yを斜めに交差する斜め方向であっても良い。ここで、第2方向Yに対する初期配向方向Dのなす角度 θ_1 は、 0° 以上 45° 以下の角度である。なお、このなす角度 θ_1 については、 $5^\circ \sim 30^\circ$ 程度、より望ましくは 20° 以下とすることが液晶分子LMの配向制御の観点で極めて有効である。つまり、液晶分子LMの初期配向方向は、第2方向Yに対して 0° 乃至 20° の範囲内の方向と略平行であることが望ましい。

40

【0067】

また、上記の例では、液晶層LQが正（ポジ型）の誘電率異方性を有する液晶材料によって構成された場合について説明したが、液晶層LQは、誘電率異方性が負（ネガ型）の液晶材料によって構成されていても良い。但し、詳しい説明は省略するが、誘電率異方性が正負逆となる関係上、ネガ型液晶材料の場合、上記したなす角度 θ_1 が $45^\circ \sim 90^\circ$ 、望ましくは 70° 以上 90° 以下とすることが好ましい。

【0068】

50

なお、ON時においても、画素電極PE上あるいは共通電極CE上では、横電界がほとんど形成されない（あるいは、液晶分子LMを駆動するのに十分な電界が形成されない）ため、液晶分子LMは、OFF時と同様に初期配向方向からほとんど動かない。このため、画素電極PE及び共通電極CEがITOなどの光透過性の導電材料によって形成されていても、これらの領域ではバックライト光がほとんど透過せず、ON時において表示にほとんど寄与しない。したがって、画素電極PE及び共通電極CEは、必ずしも透明な導電材料によって形成される必要はなく、アルミニウムや銀、銅などの不透明な配線材料を用いて形成しても良い。

【0069】

このような本実施形態において、発明者は、液晶層LQの誘電率異方性とアクティブエリアの精細度との間の相関関係を見出した。これについて、以下に説明する。

【0070】

ここでの精細度(ppi)とは、第1方向Xに沿った長さ1インチ(2.54cm)当たりに配置される画素数である。但し、カラー表示を行う構成のアクティブエリアの最小単位は、赤色画素PX_R、緑色画素PX_G、及び、青色画素PX_Bといった3つのサブピクセルによって構成された単位画素であり、3つのサブピクセルは第1方向Xに並んでいる。したがって、本実施形態での精細度とは、長さ1インチ当たりに配置される単位画素の数とする。なお、単位画素は略正方形であり、第1方向Xに沿った長さは第2方向Yに沿った長さと同様である。サブピクセルはいずれも同等の形状である。つまり、1個のサブピクセルは、第2方向Yに延びた長方形であり、第2方向Yに沿った長さは第1方向Xに沿った長さの約3倍である。

【0071】

精細度が高くなるほど、単位画素の第1方向Xの長さは小さくなり、また、サブピクセルの第1方向Xの長さも小さくなる。逆に、精細度が低くなるほど、単位画素の第1方向Xの長さは大きくなり、また、サブピクセルの第1方向Xの長さも大きくなる。1本の主画素電極PAを備えた画素電極PEを適用する場合(n=1)、精細度が低くなるつまりサブピクセルの第1方向Xの長さが拡大することは、主画素電極PAと主共通電極CAとの第1方向Xに沿った水平電極間距離Hが拡大することを意味する。

【0072】

本実施形態は、画素電極PEと共通電極CEとの間の電界を利用して液晶分子LMの配向を制御するものであり、主画素電極PAと主共通電極CAとの第1方向Xに沿った水平電極間距離Hが大きい場合には、液晶分子LMを駆動するのに必要な電界を形成するために、画素電極PEと共通電極CEとの間に大きな駆動電圧を印加する必要がある。

【0073】

そこで、発明者は、液晶層LQの誘電率異方性に着目した。液晶層LQの誘電率異方性は、以下のように定義される。

【0074】

$$= (\text{液晶分子長軸方向の誘電率}) - (\text{液晶分子短軸方向の誘電率})$$

この誘電率異方性は、液晶層LQの電界に対する感度とみなすことができ、誘電率異方性が高いほど、小さな電界で液晶分子LMを駆動することができる。つまり、誘電率異方性が高い液晶層LQに対しては、水平電極間距離Hが大きい場合(つまり、低精細度の場合)であっても、比較的小さな駆動電圧で液晶分子LMを駆動することが可能である。

【0075】

そして、発明者は、精細度に対する誘電率異方性の相関を得るために、以下のシミュレーションを行った。すなわち、画素電極PEと共通電極CEとの間に印加する白電圧を一定とし、主画素電極PAと主共通電極CAとの第1方向Xに沿った水平電極間距離Hに依存する精細度(ppi)に対して、一定の輝度を得るのに必要な誘電率異方性を算出した。

【0076】

図5は、精細度に対する誘電率異方性の相関関係を示す図である。

10

20

30

40

50

【0077】

図中の横軸は精細度であり、縦軸は誘電率異方性である。なお、図5には、参考として、IPSモード及びTNモードにおける精細度に対する誘電率異方性の関係をそれぞれ図示している。IPSモード及びTNモードでは、精細度に関わらず、液晶層LQに求められる誘電率異方性は一定である。

【0078】

一方、本実施形態において、1個の画素電極PEが1本の主画素電極PAを備えた場合 ($n = 1$) について、シミュレーションを行ったところ、精細度に対する誘電率異方性は、図示したような一次関数で近似できることが見出された。すなわち、 $n = 1$ の場合の近似式は以下の通りである。

【0079】

$$= -0.014 \times (\text{精細度}) + 19.7$$

同一の精細度において、近似式で得られる誘電率異方性の液晶層LQを適用した場合には一定の白電圧を印加することで必要な輝度が得られるが、近似式の誘電率異方性よりも高い誘電率異方性の液晶層LQを適用した場合には、より小さい白電圧を印加することで必要な輝度が得られ、低消費電力化が可能となる。つまり、 $n = 1$ の場合に許容される誘電率異方性の範囲は、以下の通りである。

【0080】

$$-0.014 \times (\text{精細度}) + 19.7$$

上記した本実施形態の画素構成では、画素電極PEが1本の主画素電極PAを備えた場合について説明したが ($n = 1$)、画素電極PEは複数本の主画素電極PAを備えていても良い。

【0081】

図6乃至図8は、本実施形態の単位画素の構成を概略的に示す平面図である。

【0082】

図6で示した例は、 $n = 1$ の場合に相当する。すなわち、主共通電極CA1と主共通電極CA2との間の赤色画素PXR、主共通電極CA2と主共通電極CA3との間の緑色画素PXG、及び、主共通電極CA3と主共通電極CA4との間の青色画素PXBは、それぞれ1本の主画素電極PAを有する画素電極PEを備えている。主共通電極CA1乃至CA4は、それぞれソース配線S1乃至S4の上方に位置している。

【0083】

図7で示した例は、 $n = 2$ の場合に相当する。すなわち、主共通電極CA1と主共通電極CA3との間の赤色画素PXR、主共通電極CA3と主共通電極CA5との間の緑色画素PXG、及び、主共通電極CA5と主共通電極CA7との間の青色画素PXBは、それぞれ2本の主画素電極PA1及びPA2を有する画素電極PEを備えている。2本の主画素電極PA1及びPA2は、副画素電極PBと繋がっている。主共通電極CA2は、赤色画素PXRの主画素電極PA1と主画素電極PA2との間に位置し、X-Y平面内において副画素電極PBと交差する位置関係にある。緑色画素PXGにおいても同様に主共通電極CA4は副画素電極PBと交差する位置関係にあり、青色画素PXBにおいても同様に主共通電極CA6は副画素電極PBと交差する位置関係にある。各サブピクセルの境界に位置する主共通電極CA1、CA3、CA5、及び、CA7は、それぞれソース配線S1乃至S4の上方に位置している。

【0084】

図8で示した例は、 $n = 3$ の場合に相当する。すなわち、主共通電極CA1と主共通電極CA4との間の赤色画素PXR、主共通電極CA4と主共通電極CA7との間の緑色画素PXG、及び、主共通電極CA7と主共通電極CA10との間の青色画素PXBは、それぞれ3本の主画素電極PA1乃至PA3を有する画素電極PEを備えている。3本の主画素電極PA1乃至PA3は、副画素電極PBと繋がっている。主共通電極CA2は赤色画素PXRの主画素電極PA1と主画素電極PA2との間に位置し、主共通電極CA3は赤色画素PXRの主画素電極PA2と主画素電極PA3との間に位置し、いずれもX-Y

10

20

30

40

50

平面内において副画素電極 P B と交差する位置関係にある。緑色画素 P X G においても同様に主共通電極 C A 5 及び C A 6 は副画素電極 P B と交差する位置関係にあり、青色画素 P X B においても同様に主共通電極 C A 8 及び C A 9 は副画素電極 P B と交差する位置関係にある。各サブピクセルの境界に位置する主共通電極 C A 1、C A 4、C A 7、及び、C A 10 は、それぞれソース配線 S 1 乃至 S 4 の上方に位置している。

【0085】

同様に、 $n = 4$ となるような画素構成も適用可能であることは言うまでもない。

【0086】

$n = 2$ の場合、及び、 $n = 3$ の場合についても同様のシミュレーションを行ったところ、図 5 に示したように、 $n = 1$ の場合と傾きが同一であって、切片の値が n の増加に伴って一定の割合で低下する一次関数で近似できることが分かった。すなわち、画素電極 P E が有する主画素電極 P A の本数を n とした場合に、許容される誘電率異方性の範囲は、以下の通りである。

10

【0087】

$$-0.014 \times (\text{精細度}) + \{19.7 - 4(n - 1)\}$$

このような関係式を見出したことにより、要求される精細度に対して、必要な誘電率異方性の値を容易に導き出すことが可能となる。つまり、要求される精細度に対して、上記の関係式を満足する誘電率異方性を有する材料を適用することにより、所望の表示性能を安定して得ることが可能となるとともに、選択する材料によっては消費電力の増大を抑制することも可能となる。

20

【0088】

また、全ての値の誘電率異方性が用意できるとは限らないため、要求される精細度に対して $n = 1$ の場合に必要な誘電率異方性の値を有する材料を用意できなければ、 $n = 2$ の画素構成を適用することで必要な誘電率異方性の値が低下し、材料を用意しやすくなる場合もあり得る。例えば、精細度が 400 ppi の場合、 $n = 1$ の画素構成では誘電率異方性が 1.4 以上の材料を用意する必要があるが、このような材料の用意が困難である一方で誘電率異方性が 1.0 程度の材料の用意が可能である場合、 $n = 2$ の画素構成に変更すれば、必要な表示性能（輝度）を得ることが可能となる。つまり、上記の関係式を用いることにより、代用材料の選択や画素構成の変更を容易に行うことが可能となる。

30

【0089】

以下に、本実施形態のバリエーションについて説明する。

【0090】

例えば、対向基板 C T は、さらに、共通電極 C E を構成する副共通電極を備えていても良い。この副共通電極は、主共通電極 C A と一体的あるいは連続的に形成され、第 1 方向 X に沿って延出し、ゲート配線 G の上方に位置するように形成される。主共通電極及び副共通電極を有する共通電極 C E を備えた対向基板 C T を適用する場合、画素電極 P E は、X - Y 平面内において、格子状の共通電極 C E によって囲まれた内側に位置する。

【0091】

また、アレイ基板 A R は、さらに、第 1 シールド電極を備えていても良い。この第 1 シールド電極は、主共通電極 C A と同電位であり、第 1 方向 X に沿って延出し、ゲート配線 G の各々と対向するように形成される。このような第 1 シールド電極を設けることにより、ゲート配線 G からの不所望な電界をシールドすることが可能である。このため、更なる表示品位の劣化を抑制することが可能となる。

40

【0092】

また、アレイ基板 A R は、さらに、第 2 シールド電極を備えていても良い。この第 2 シールド電極は、主共通電極 C A と同電位であり、第 2 方向 Y に沿って延出し、ソース配線 S の各々と対向するように形成される。このような第 2 シールド電極を設けることにより、ソース配線 S からの不所望な電界をシールドすることが可能である。このため、更なる表示品位の劣化を抑制することが可能となる。この第 2 シールド電極は、第 1 シールド電極と組み合わせることができる。第 1 シールド電極及び第 2 シールド電極を備えたアレイ

50

基板 AR を適用する場合には、画素電極 PE は、第 1 シールド電極及び第 2 シールド電極によって囲まれた内側に位置する。

【 0 0 9 3 】

また、上記実施形態における画素電極 PE と共通電極 CE との配置を互いに置き換えても良い。すなわち、第 2 方向に延出する n 本の共通電極 CE とこの n 本の共通電極の各々を挟んだ両側で第 2 方向に延出した画素電極を備えている。この場合には、一画素の両端に画素電極が配置され、共通電極 CE と画素電極 PE は交互に配置される。

【 0 0 9 4 】

以上説明したように、本実施形態によれば、表示品位の劣化を抑制することが可能な液晶表示装置を提供することが可能となる。

【 0 0 9 5 】

なお、本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これらの新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これらの実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

【 符号の説明 】

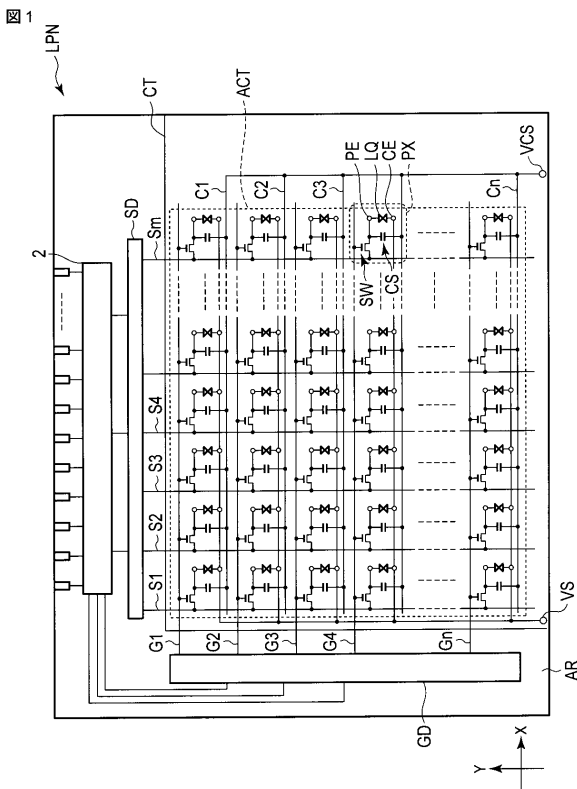
【 0 0 9 6 】

- LPN ... 液晶表示パネル
- AR ... アレイ基板 CT ... 対向基板 LQ ... 液晶層
- PE ... 画素電極 PA ... 主画素電極 PB ... 副画素電極
- CE ... 共通電極 CA ... 主共通電極

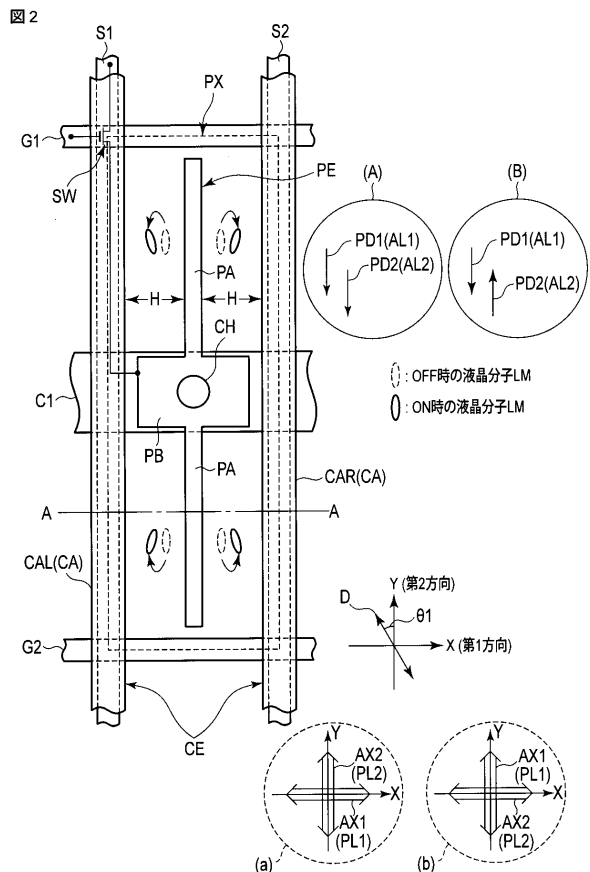
10

20

【 図 1 】

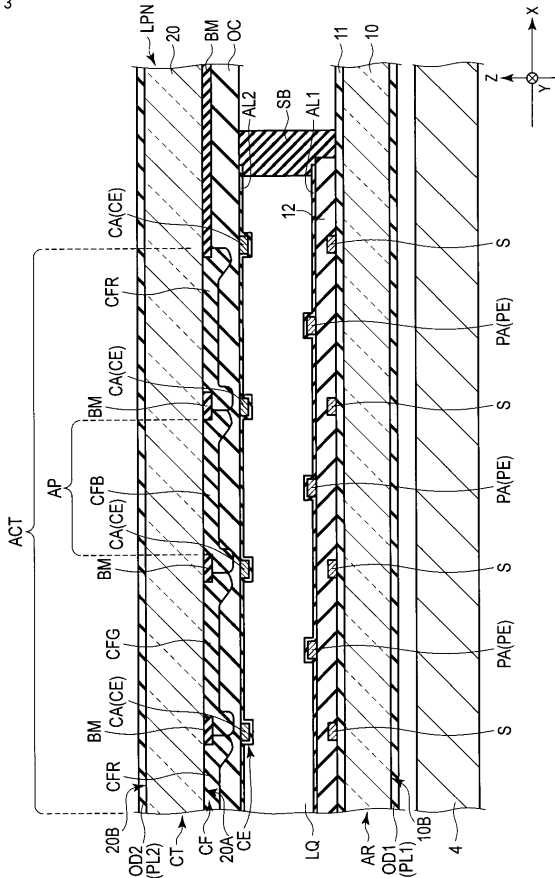


【 図 2 】



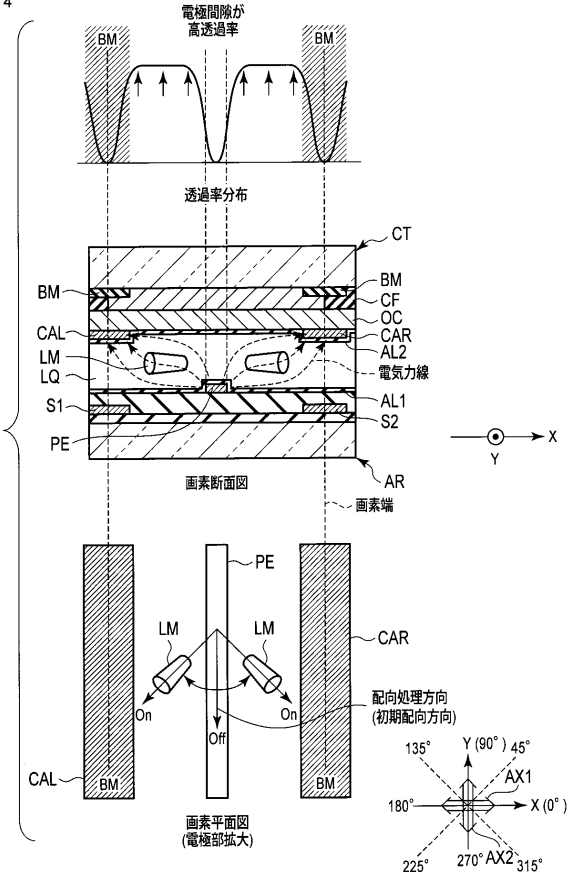
【 図 3 】

図 3



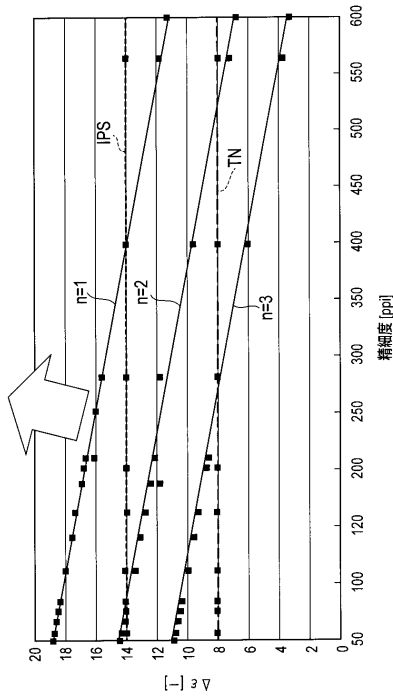
【 図 4 】

図 4



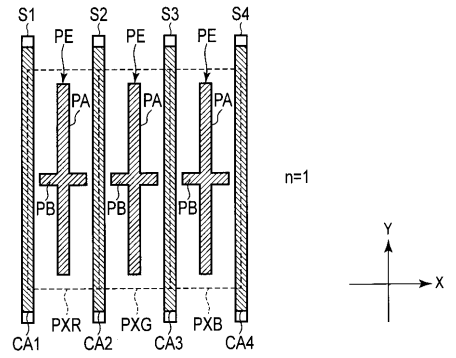
【 図 5 】

図 5



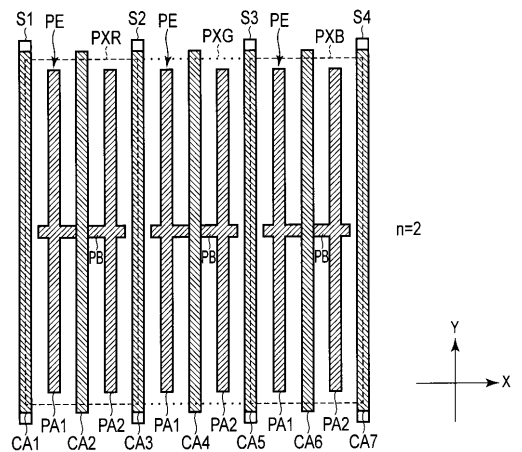
【 図 6 】

図 6

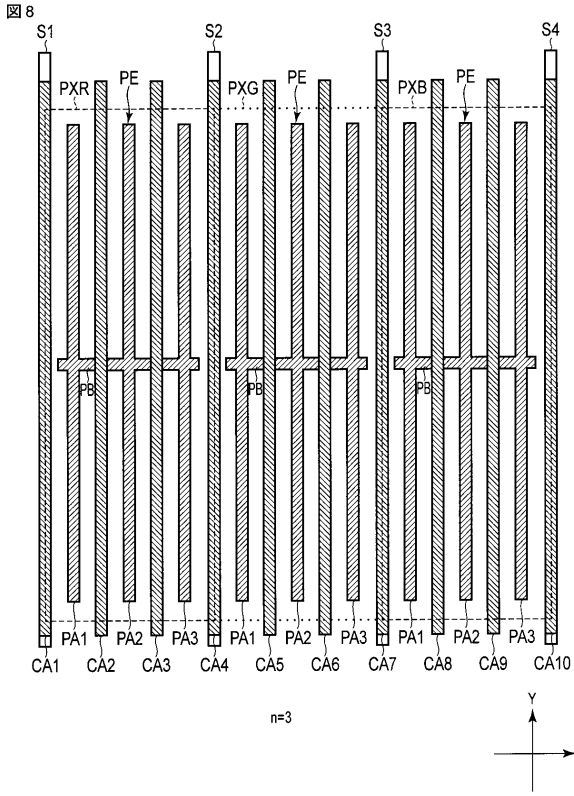


【 図 7 】

図 7



【 図 8 】



フロントページの続き

- (74)代理人 100075672
弁理士 峰 隆司
- (74)代理人 100095441
弁理士 白根 俊郎
- (74)代理人 100084618
弁理士 村松 貞男
- (74)代理人 100103034
弁理士 野河 信久
- (74)代理人 100119976
弁理士 幸長 保次郎
- (74)代理人 100153051
弁理士 河野 直樹
- (74)代理人 100140176
弁理士 砂川 克
- (74)代理人 100158805
弁理士 井関 守三
- (74)代理人 100172580
弁理士 赤穂 隆雄
- (74)代理人 100179062
弁理士 井上 正
- (74)代理人 100124394
弁理士 佐藤 立志
- (74)代理人 100112807
弁理士 岡田 貴志
- (74)代理人 100111073
弁理士 堀内 美保子
- (74)代理人 100134290
弁理士 竹内 将訓
- (72)発明者 森田 祐介
埼玉県深谷市幡羅町一丁目9番地2 東芝モバイルディスプレイ株式会社内
- (72)発明者 廣澤 仁
埼玉県深谷市幡羅町一丁目9番地2 東芝モバイルディスプレイ株式会社内
- (72)発明者 長谷川 ひとみ
埼玉県深谷市幡羅町一丁目9番地2 東芝モバイルディスプレイ株式会社内
- F ターム(参考) 2H092 GA14 HA03 JA24 JB69 PA02 PA08 PA09 PA11 PA13 QA09
2H191 FA02Y FA14Y FA22X FA22Z FA82Z FA85Z FA94Y FD09 GA19 GA22
HA12 HA15 HA34 HA38 KA05 KA10 LA22 LA25