(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2024-0129478
(43) 공개일자 2024년08월27일

(51) 국제특허분류(Int. Cl.)
G01K 7/01 (2006.01) *H01L 27/088* (2006.01)
(52) CPC특허분류
G01K 7/015 (2013.01)
H01L 27/088 (2013.01)
(21) 출원번호 10-2023-0022341
(22) 출원일자 2023년02월20일
심사청구일자 2023년02월20일

(71) 출원인
국립한밭대학교 산학협력단
대전광역시 유성구 동서대로 125 (덕명동)
(72) 발명자
남재원
서울특별시 노원구 동일로227길 26 (상계동, 상계주공15단지아파트) 1507동 911호
유현영
서울특별시 노원구 공릉로 191-4 (공릉동) 503호
김주성
대전광역시 유성구 상대복용로29번길 51 (상대동, 대전아이파크시티 2단지) 207동 703호
(74) 대리인
특허법인 플러스

전체 청구항 수 : 총 14 항

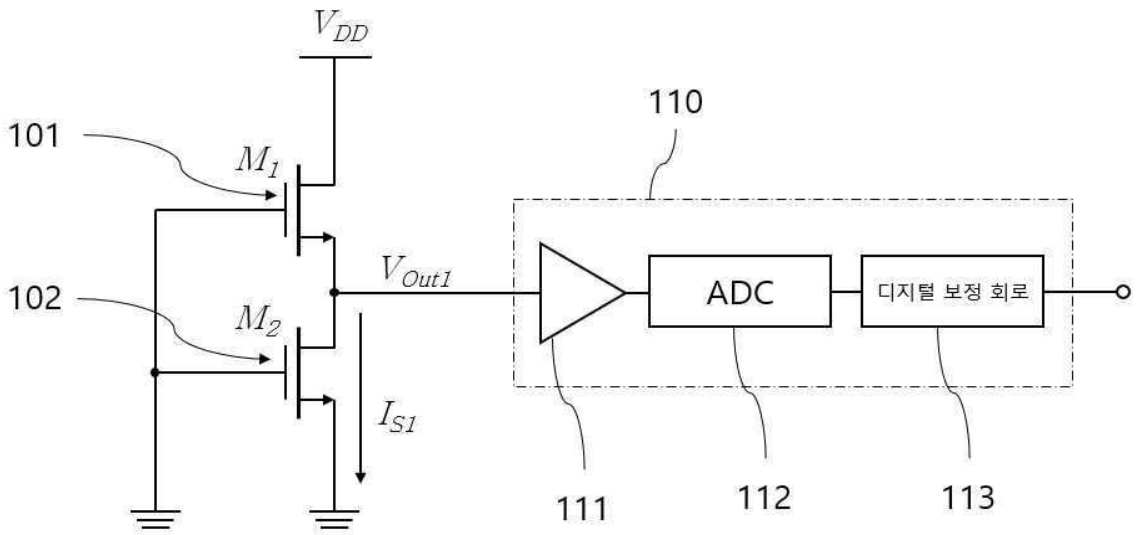
(54) 발명의 명칭 **온도 센서**

(57) 요 약

본 발명은 스택 구조를 갖는 N-MOS 및 P-MOS 트랜지스터에서 출력되는 전압으로 온도를 측정하는 온도 센서에 관한 것이다. 본 발명의 목적은 동일한 타입의 MOS 트랜지스터를 스택 구조로 구성하여 온도에 선형적인 전압을 출력하고, 온도에 비례하는 N-MOS 트랜지스터에서 출력된 전압과 온도에 반비례하는 P-MOS 트랜지스터에서 출력된

(뒷면에 계속)

대 표 도 - 도1



전압 간 차이를 연산하여 출력 전압의 범위를 보다 넓게 하는 것이다. 본 발명의 일 측면에 따르면, 일단이 전원에 연결된 제1 MOS 트랜지스터, 일단이 상기 제1 MOS 트랜지스터의 타단과 연결되고, 타단이 그라운드와 연결된 제2 MOS 트랜지스터, 및 상기 제1 MOS 트랜지스터의 타단과 제2 MOS 트랜지스터의 일단이 연결된 노드의 전압에 기초하여 온도 정보를 제공하는 온도 검출부를 포함하되, 상기 제1 및 제2 MOS 트랜지스터는 N-MOS 트랜지스터 또는 P-MOS 트랜지스터이되, 동일한 타입이고, 상기 제1 및 제2 MOS 트랜지스터의 게이트는 공통으로 연결된 것을 특징으로 하는 온도 센서가 개시된다. 본 발명에 따르면, 동일한 타입의 제1 MOS 트랜지스터와 제2 MOS 트랜지스터가 스택구조로 연결되고 제1 MOS 트랜지스터와 제2 MOS 트랜지스터의 게이트가 공통으로 연결되어 제1 MOS 트랜지스터 및 제2 MOS 트랜지스터가 OFF 상태여도 온도 변화에 따른 출력 전압이 발생할 수 있다.

이 발명을 지원한 국가연구개발사업

과제고유번호	1711172900
과제번호	2022R1A4A3029433
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	집단연구지원
연구과제명	확장성, 신뢰성 갖춘 양자컴퓨터 실현을 위한 극저온 CMOS Interconnect Electronics 개발
기 여 율	1/1
과제수행기관명	한밭대학교
연구기간	2022.06.01 ~ 2025.02.28

명 세 서

청구범위

청구항 1

일단이 전원에 연결된 제1 MOS 트랜지스터;

일단이 상기 제1 MOS 트랜지스터의 타단과 연결되고, 타단이 그라운드와 연결된 제2 MOS 트랜지스터; 및

상기 제1 MOS 트랜지스터의 타단과 제2 MOS 트랜지스터의 일단이 연결된 노드의 전압에 기초하여 온도 정보를 제공하는 온도 검출부;를 포함하되,

상기 제1 및 제2 MOS 트랜지스터는 N-MOS 트랜지스터 또는 P-MOS 트랜지스터이되, 동일한 타입이고, 상기 제1 및 제2 MOS 트랜지스터의 게이트는 공통으로 연결된 것을 특징으로 하는 온도 센서.

청구항 2

제1항에 있어서,

상기 제1 MOS 트랜지스터는, 상기 제2 MOS 트랜지스터와 트랜지스터의 게이트 산화 용량(Gate oxide capacitance per unit area) 내지 채널 폭(Transistor width) 중 적어도 하나가 서로 상이한 것을 특징으로 하는 온도 센서.

청구항 3

제2항에 있어서,

상기 제1 MOS 트랜지스터의 게이트 산화 용량(Gate oxide capacitance per unit area)은 상기 제2 MOS 트랜지스터의 게이트 산화 용량(Gate oxide capacitance per unit area) 보다 큰 것을 특징으로 하는 온도 센서.

청구항 4

제2항에 있어서,

상기 제1 MOS 트랜지스터의 채널 폭(Transistor width)은 상기 제2 MOS 트랜지스터의 채널 폭(Transistor width) 보다 큰 것을 특징으로 하는 온도 센서.

청구항 5

제1항에 있어서,

상기 제1 및 제2 MOS 트랜지스터는,

N-MOS 트랜지스터이고, 상기 게이트가 공통으로 상기 그라운드에 연결된 것을 특징으로 하는 온도 센서.

청구항 6

제1항에 있어서,

상기 제1 및 제2 MOS 트랜지스터는,

P-MOS 트랜지스터이고, 상기 게이트가 공통으로 상기 전원에 연결된 것을 특징으로 하는 온도 센서.

청구항 7

제1항에 있어서,

상기 온도 검출부는,

상기 제1 MOS 트랜지스터의 타단과 제2 MOS 트랜지스터의 일단이 연결된 노드에서 출력된 전압을 증폭하는 증폭기;

상기 증폭기에서 출력된 전압을 디지털 신호로 변환하여 출력하는 ADC; 및

상기 디지털 신호를 선형화하여 출력하는 디지털 보정 회로;를 포함하는 것을 특징으로 하는 온도 센서.

청구항 8

제7항에 있어서,

상기 온도 검출부는,

상기 디지털 신호에 기초하여 온도 정보를 제공하는 것을 특징으로 하는 온도 센서.

청구항 9

일단이 전원에 연결된 제1 MOS 트랜지스터;

일단이 상기 제1 MOS 트랜지스터의 타단과 연결되고, 타단이 그라운드와 연결된 제2 MOS 트랜지스터;

일단이 상기 전원에 연결된 제3 MOS 트랜지스터;

일단이 상기 제3 MOS 트랜지스터의 타단과 연결되고, 타단이 상기 그라운드와 연결된 제4 MOS 트랜지스터; 및

상기 제1 MOS 트랜지스터의 타단과 제2 MOS 트랜지스터의 일단이 연결된 노드의 전압과 상기 제3 MOS 트랜지스터의 타단과 제4 MOS 트랜지스터의 일단이 연결된 노드의 전압 간의 전압차에 기초하여 온도 정보를 제공하는 온도 검출부;를 포함하되,

상기 제1 및 제2 MOS 트랜지스터는 N-MOS 트랜지스터이고,

상기 제3 및 제4 MOS 트랜지스터는 P-MOS 트랜지스터이며,

상기 제1 및 제2 MOS 트랜지스터의 게이트는 공통으로 상기 그라운드에 연결되고,

상기 제3 및 제4 MOS 트랜지스터의 게이트는 공통으로 상기 전원에 연결된 것을 특징으로 하는 온도 센서.

청구항 10

제9항에 있어서,

상기 제1 MOS 트랜지스터는, 상기 제2 MOS 트랜지스터와 트랜지스터의 게이트 산화 용량(Gate oxide capacitance per unit area) 내지 채널 폭(Transistor width) 중 적어도 하나가 서로 상이하고,

상기 제3 MOS 트랜지스터는, 상기 제4 MOS 트랜지스터와 트랜지스터의 게이트 산화 용량(Gate oxide capacitance per unit area) 내지 채널 폭(Transistor width) 중 적어도 하나가 서로 상이한 것을 특징으로 하는 온도 센서.

청구항 11

제10항에 있어서,

상기 제1 MOS 트랜지스터의 게이트 산화 용량(Gate oxide capacitance per unit area)은 상기 제2 MOS 트랜지스터의 게이트 산화 용량(Gate oxide capacitance per unit area) 보다 크고,

상기 제3 MOS 트랜지스터의 게이트 산화 용량(Gate oxide capacitance per unit area)은 상기 제4 MOS 트랜지스터의 게이트 산화 용량(Gate oxide capacitance per unit area) 보다 큰 것을 특징으로 하는 온도 센서.

청구항 12

제10항에 있어서,

상기 제1 MOS 트랜지스터의 채널 폭(Transistor width)은 상기 제2 MOS 트랜지스터의 채널 폭(Transistor width) 보다 크고,

상기 제3 MOS 트랜지스터의 채널 폭(Transistor width)은 상기 제4 MOS 트랜지스터의 채널 폭(Transistor width) 보다 큰 것을 특징으로 하는 온도 센서.

청구항 13

제9항에 있어서,

상기 온도 검출부는,

상기 제1 MOS 트랜지스터의 타단과 제2 MOS 트랜지스터의 일단이 연결된 노드의 전압과 상기 제3 MOS 트랜지스터의 타단과 제4 MOS 트랜지스터의 일단이 연결된 노드의 전압 간의 차이를 증폭하여 출력하는 차동증폭기;

상기 증폭기에서 출력된 전압을 디지털 신호로 변환하여 출력하는 ADC; 및

상기 디지털 신호를 선형화하여 출력하는 디지털 보정 회로;를 포함하는 것을 특징으로 하는 온도 센서.

청구항 14

제13항에 있어서,

상기 온도 검출부는,

상기 디지털 신호에 기초하여 온도 정보를 제공하는 것을 특징으로 하는 온도 센서.

발명의 설명

기 술 분 야

[0001] 본 발명은 온도 센서에 관한 것으로, 보다 상세하게는 스택 구조를 갖는 N-MOS 및 P-MOS 트랜지스터에서 출력되는 전압으로 온도를 측정하는 온도 센서에 관한 것이다.

배 경 기 술

[0002] 일반적으로 온도센서로 사용되는 소자로는 써미스터가 대표적이지만 이것은 적용되는 칩을 단일화하고자 하는 경우 공정상 제약을 갖게되므로 단일칩에는 적합하지 않다. 그리고 바이폴라 트랜지스터와 같은 경우에는 IC회로의 설계가 가능하지만 근래에 널리 적용되는 디지털과 아날로그의 회로들이 혼재된 형태의 혼합 IC에는 MOS(Metal Oxide Silicon) 트랜지스터 공정을 주로 사용하므로 바이폴라 트랜지스터의 사용에도 한계가 있다. 특히 디지털온도보상발진기(DTCXO)와 같이 EPROM이 내장된 IC를 설계하고자 할 경우 MOS 트랜지스터 공정을 반

드시 사용해야하므로 MOS 트랜지스터 소자를 사용한 온도센서 회로가 절대적으로 필요하다.

[0003] MOS 트랜지스터를 이용한 온도센서는 온도에 따라 변화하여 출력되는 전압 또는 전류를 측정하는 것으로 온도를 감지한다. 그러나, 기존의 MOS 트랜지스터를 이용한 온도 센서의 경우 전압 또는 전류의 출력이 온도에 비례하기는 하나 지수함수와 같이 일정 구간에서 급격하게 변화하는 특성을 갖게 된다. 온도 센서에서 출력된 신호는 선형적일수록 디지털 신호로 변화하는 것이 용이하기 때문에 기존 MOS 트랜지스터를 이용한 온도 센서는 디지털 신호로 변환하기 위해 역함수를 취하는 후처리 등이 필요하다. 따라서, 기존 MOS 트랜지스터를 이용한 온도 센서는 후처리 비용이 발생하는 문제 등이 있다.

[0004] 또한, 기존 MOS 트랜지스터를 이용한 온도 센서는 출력 전압의 범위가 굉장히 낮다. 온도 변화에 따른 MOS 트랜지스터의 출력 전압 범위는 온도를 감지하는 감도와 직결되고 출력 전압의 범위가 낮을수록 온도 감지가 예민해져 오차가 발생하기 쉽다. 따라서 온도 변화에 따른 MOS 트랜지스터의 출력 전압 범위를 높일 필요가 있고 기존에는 증폭기 등을 이용하여 출력된 전압을 증폭시키는 등의 후처리 작업을 진행하고 있다. 이러한 후처리 작업은 추가 비용 및 시간이 소요될 뿐만 아니라, 증폭기 성능에 따라 노이즈가 발생할 수 있는 문제점이 있다.

발명의 내용

해결하려는 과제

[0005] 본 발명은 상기한 바와 같은 문제점을 해결하기 위한 것으로, 본 발명의 목적은 동일한 타입의 MOS 트랜지스터를 스택 구조로 구성하여 온도에 선형적인 전압을 출력하고, 온도에 비례하는 N-MOS 트랜지스터에서 출력된 전압과 온도에 반비례하는 P-MOS 트랜지스터에서 출력된 전압 간 차이를 연산하여 출력 전압의 범위를 보다 넓게 하는 것이다.

[0006]

과제의 해결 수단

[0007] 본 발명의 일 측면에 따르면, 일단이 전원에 연결된 제1 MOS 트랜지스터, 일단이 상기 제1 MOS 트랜지스터의 타단과 연결되고, 타단이 그라운드와 연결된 제2 MOS 트랜지스터, 및 상기 제1 MOS 트랜지스터의 타단과 제2 MOS 트랜지스터의 일단이 연결된 노드의 전압에 기초하여 온도 정보를 제공하는 온도 검출부를 포함하되, 상기 제1 및 제2 MOS 트랜지스터는 N-MOS 트랜지스터 또는 P-MOS 트랜지스터이되, 동일한 타입이고, 상기 제1 및 제2 MOS 트랜지스터의 게이트는 공통으로 연결된 것을 특징으로 하는 온도 센서가 개시된다.

[0008] 실시예에 따라서, 상기 제1 MOS 트랜지스터는, 상기 제2 MOS 트랜지스터와 트랜지스터의 게이트 산화 용량(Gate oxide capacitance per unit area) 내지 채널 폭(Transistor width) 중 적어도 하나가 서로 상이한 것을 특징으로 하는 온도 센서가 개시된다.

[0009] 실시예에 따라서, 상기 제1 MOS 트랜지스터의 게이트 산화 용량(Gate oxide capacitance per unit area)은 상기 제2 MOS 트랜지스터의 게이트 산화 용량(Gate oxide capacitance per unit area) 보다 큰 것을 특징으로 하는 온도 센서가 개시된다.

[0010] 실시예에 따라서, 상기 제1 MOS 트랜지스터의 채널 폭(Transistor width)은 상기 제2 MOS 트랜지스터의 채널 폭(Transistor width) 보다 큰 것

[0011] 을 특징으로 하는 온도 센서가 개시된다.

[0012] 실시예에 따라서, 상기 제1 및 제2 MOS 트랜지스터는, N-MOS 트랜지스터이고, 상기 게이트가 공통으로 상기 그라운드에 연결된 것을 특징으로 하는 온도 센서가 개시된다.

[0013] 실시예에 따라서, 상기 제1 및 제2 MOS 트랜지스터는, P-MOS 트랜지스터이고, 상기 게이트가 공통으로 상기 전원에 연결된 것을 특징으로 하는 온도 센서가 개시된다.

[0014] 실시예에 따라서, 상기 온도 검출부는, 상기 제1 MOS 트랜지스터의 타단과 제2 MOS 트랜지스터의 일단이 연결된 노드에서 출력된 전압을 증폭하는 증폭기, 상기 증폭기에서 출력된 전압을 디지털 신호로 변환하여 출력하는 ADC 및 상기 디지털 신호를 선형화하여 출력하는 디지털 보정 회로를 포함하는 것을 특징으로 하는 온도 센서가 개시된다.

[0015] 실시예에 따라서, 상기 온도 검출부는, 상기 디지털 신호에 기초하여 온도 정보를 제공하는 것을 특징으로 하는

온도 센서가 개시된다.

[0016] 본 발명의 다른 측면에 따르면, 일단이 전원에 연결된 제1 MOS 트랜지스터, 일단이 상기 제1 MOS 트랜지스터의 타단과 연결되고, 타단이 그라운드와 연결된 제2 MOS 트랜지스터, 일단이 전원에 연결된 제3 MOS 트랜지스터, 일단이 상기 제3 MOS 트랜지스터의 타단과 연결되고, 타단이 그라운드와 연결된 제4 MOS 트랜지스터 및 상기 제1 MOS 트랜지스터의 타단과 제2 MOS 트랜지스터의 일단이 연결된 노드의 전압과 상기 제3 MOS 트랜지스터의 타단과 제4 MOS 트랜지스터의 일단이 연결된 노드의 전압 간의 전압차에 기초하여 온도 정보를 제공하는 온도 검출부를 포함하되, 상기 제1 및 제2 MOS 트랜지스터는 N-MOS 트랜지스터이고, 상기 제3 및 제4 MOS 트랜지스터는 P-MOS 트랜지스터이며, 상기 제1 및 제2 MOS 트랜지스터의 게이트는 공통으로 그라운드에 연결되고, 상기 제3 및 제4 MOS 트랜지스터의 게이트는 공통으로 전원에 연결된 것을 특징으로 하는 온도 센서가 개시된다.

[0017] 실시예에 따라서, 상기 제1 MOS 트랜지스터는, 상기 제2 MOS 트랜지스터와 트랜지스터의 게이트 산화 용량(Gate oxide capacitance per unit area) 내지 채널 폭(Transistor width) 중 적어도 하나가 서로 상이하고, 상기 제3 MOS 트랜지스터는, 상기 제4 MOS 트랜지스터와 트랜지스터의 게이트 산화 용량(Gate oxide capacitance per unit area) 내지 채널 폭(Transistor width) 중 적어도 하나가 서로 상이한 것을 특징으로 하는 온도 센서가 개시된다.

[0018] 실시예에 따라서, 상기 제1 MOS 트랜지스터의 게이트 산화 용량(Gate oxide capacitance per unit area)은 상기 제2 MOS 트랜지스터의 게이트 산화 용량(Gate oxide capacitance per unit area) 보다 크고, 상기 제3 MOS 트랜지스터의 게이트 산화 용량(Gate oxide capacitance per unit area)은 상기 제4 MOS 트랜지스터의 게이트 산화 용량(Gate oxide capacitance per unit area) 보다 큰 것을 특징으로 하는 온도 센서가 개시된다.

[0019] 실시예에 따라서, 상기 제1 MOS 트랜지스터의 채널 폭(Transistor width)은 상기 제2 MOS 트랜지스터의 채널 폭(Transistor width) 보다 크고, 상기 제3 MOS 트랜지스터의 채널 폭(Transistor width)은 상기 제4 MOS 트랜지스터의 채널 폭(Transistor width) 보다 큰 것을 특징으로 하는 온도 센서가 개시된다.

[0020] 실시예에 따라서, 상기 온도 검출부는, 상기 제1 MOS 트랜지스터의 타단과 제2 MOS 트랜지스터의 일단이 연결된 노드의 전압과 상기 제3 MOS 트랜지스터의 타단과 제4 MOS 트랜지스터의 일단이 연결된 노드의 전압 간의 차이를 증폭하여 출력하는 차동증폭기, 상기 증폭기에서 출력된 전압을 디지털 신호로 변환하여 출력하는 ADC 및 상기 디지털 신호를 선형화하여 출력하는 디지털 보정 회로를 포함하는 것을 특징으로 하는 온도 센서가 개시된다.

[0021] 실시예에 따라서, 상기 온도 검출부는, 상기 디지털 신호에 기초하여 온도 정보를 제공하는 것을 특징으로 하는 온도 센서가 개시된다.

발명의 효과

[0022] 본 발명에 따르면, 동일한 타입의 제1 MOS 트랜지스터와 제2 MOS 트랜지스터가 스택구조로 연결되고 제1 MOS 트랜지스터와 제2 MOS 트랜지스터의 게이트가 공통으로 연결되어 제1 MOS 트랜지스터 및 제2 MOS 트랜지스터가 OFF 상태여도 온도 변화에 따른 출력 전압이 발생할 수 있다.

[0023] 또한, 본 발명에 따르면, 제2 MOS 트랜지스터에서 발생한 누설전류에 의해 제1 MOS 트랜지스터의 타단과 제2 MOS 트랜지스터의 일단이 연결된 노드에서 온도에 따라 변화하는 전압이 발생할 수 있다.

[0024] 또한, 본 발명에 따르면, 제1 MOS 트랜지스터의 타단과 제2 MOS 트랜지스터의 일단이 연결된 노드에서 온도에 따라 변화하는 전압에 기초하여 온도 정보를 제공할 수 있다.

[0025] 또한, 본 발명에 따르면, 스택구조로 구성되는 복수의 N-MOS 트랜지스터를 통해 온도에 비례하고 선형적인 전압을 출력할 수 있다.

[0026] 또한, 본 발명에 따르면, 제1 MOS 트랜지스터의 타단과 제2 MOS 트랜지스터의 일단이 연결된 노드의 전압이 선형적이므로 후처리 비용을 절약할 수 있다.

[0027] 또한, 본 발명에 따르면, 제1 MOS 트랜지스터의 게이트 산화 용량(Gate oxide capacitance per unit area) 내지 채널 폭(Transistor width) 중 적어도 하나를 제2 MOS 트랜지스터 보다 크게 하여 출력 전압의 범위를 넓힐 수 있다.

[0028] 또한, 본 발명에 따르면, 제1 MOS 트랜지스터의 게이트 산화 용량(Gate oxide capacitance per unit area) 내지 채널 폭(Transistor width) 중 적어도 하나를 제2 MOS 트랜지스터 보다 크게 하여 보다 선형적인 전압을 출

력할 수 있다.

[0029] 또한, 본 발명에 따르면, 스택구조로 구성되는 복수의 P-MOS 트랜지스터를 통해 온도에 반비례하고 선형적인 전압을 출력할 수 있다.

[0030] 또한, 본 발명에 따르면, 제1 MOS 트랜지스터의 타단과 제2 MOS 트랜지스터의 일단이 연결된 노드의 전압과 제3 MOS 트랜지스터의 타단과 제4 MOS 트랜지스터의 일단이 연결된 노드의 전압 간의 전압 차에 기초하여 온도 정보를 제공할 수 있다.

[0031] 또한, 본 발명에 따르면, 제1 MOS 트랜지스터의 타단과 제2 MOS 트랜지스터의 일단이 연결된 노드의 전압과 제3 MOS 트랜지스터의 타단과 제4 MOS 트랜지스터의 일단이 연결된 노드의 전압 간의 차이를 이용하여 온도에 따른 출력 전압의 범위를 넓힐 수 있다.

[0032] 또한, 본 발명에 따르면, 온도 검출부는 온도 변화에 따른 출력 전압을 디지털 신호로 변환하여 가공된 온도 정보를 제공할 수 있다.

도면의 간단한 설명

[0033] 도 1은 본 발명의 실시예에 따라 N-MOS 트랜지스터로 구성되는 온도 센서의 회로도.

도 2는 본 발명의 실시예에 따라 P-MOS 트랜지스터로 구성되는 온도 센서의 회로도.

도 3은 본 발명의 실시예에 따라 N-MOS 트랜지스터 및 P-MOS 트랜지스터를 병합하여 구성되는 온도 센서의 회로도.

도 4는 본 발명의 실시예에 따라 N-MOS 트랜지스터로 구성되는 온도 센서에 있어서 측정 전압을 나타내는 그래프.

도 5는 본 발명의 실시예에 따라 P-MOS 트랜지스터로 구성되는 온도 센서에 있어서 측정 전압을 나타내는 그래프.

도 6은 본 발명의 일 실시예에 따라 제1 MOS 트랜지스터(N-MOS)의 물적 특성이 증가함에 따른 측정 전압을 나타내는 그래프.

도 7은 본 발명의 일 실시예에 따라 제1 MOS 트랜지스터(P-MOS)의 물적 특성이 증가함에 따른 측정 전압을 나타내는 그래프.

발명을 실시하기 위한 구체적인 내용

[0034] 상술한 본 발명의 목적, 특징 및 장점은 첨부된 도면과 관련한 다음의 실시예를 통하여 보다 분명해질 것이다. 이하의 특정한 구조 내지 기능적 설명들은 단지 본 발명의 개념에 다른 실시예를 설명하기 위한 목적으로 예시된 것으로, 본 발명의 개념에 따른 실시예들은 다양한 형태로 실시될 수 있으며 본 명세서 또는 출원에 설명된 실시예들에 한정되는 것으로 해석되어서는 아니 된다. 본 발명의 개념에 따른 실시예는 다양한 변경을 가할 수 있고 여러 가지 형태를 가질 수 있으므로 특정 실시예들은 도면에 예시하고 본 명세서 또는 출원에 상세하게 설명하고자 한다. 그러나 이는 본 발명의 개념에 따른 실시예들을 특정한 개시 형태에 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다. 제1 및 /또는 제2 등의 용어는 다양한 구성 요소들을 설명하는데 사용될 수 있지만, 상기 구성 요소들은 상기 용어들에 한정되지는 않는다. 상기 용어들은 하나의 구성 요소를 다른 구성 요소들로부터 구별하는 목적으로만, 예컨대 본 발명의 개념에 따른 권리 범위로부터 이탈되지 않은 채, 제1 구성 요소는 제2 구성 요소로 명명될 수 있고, 유사하게 제2 구성 요소는 제1 구성 요소로도 명명될 수 있다. 어떠한 구성 요소가 다른 구성 요소에 연결되어 있다거나 접속되어 있다고 언급된 때에는, 그 다른 구성 요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성 요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면에, 어떠한 구성 요소가 다른 구성 요소에 직접 연결되어 있다거나 또는 직접 접속되어 있다고 언급된 때에는, 중간에 다른 구성 요소가 존재하지 않는 것으로 이해되어야 할 것이다. 구성요소들 간의 관계를 설명하기 위한 다른 표현들, 즉 ~사이에와 바로 ~사이에 또는 ~에 인접하는과 ~에 직접 인접하는 등의 표현도 마찬가지로 해석되어야 한다. 본 명세서에서 사용하는 용어는 단지 특정한 실시예를 설명하기 위해 사용된 것으로서, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 명세서에서 포함하다 또는 가지다 등의 용어는 설시된 특징, 숫자, 단계, 동작, 구성 요소, 부분품 또는 이들을 조합

한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성 요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다. 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가지고 있다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥상 가지는 의미와 일치하는 의미를 갖는 것으로 해석되어야 하며, 본 명세서에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다. 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써 본 발명을 상세히 설명하도록 한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.

[0035] 도 1은 본 발명의 실시예에 따라 N-MOS 트랜지스터(101, 102)로 구성되는 온도 센서의 회로도이다.

[0036] 본 발명의 일 실시예에 따른 온도 센서는 제1 MOS 트랜지스터(M1), 제2 MOS 트랜지스터(M2) 및 온도 검출부(110)를 포함할 수 있다. 본 발명의 실시예에 따라 제1 MOS 트랜지스터(M1) 및 제2 MOS 트랜지스터(M2)는 N-MOS 트랜지스터 및 P-MOS 트랜지스터 중 적어도 하나로 구성되되, 서로 동일한 타입으로 구성된다. 먼저 도 1을 참조하여, 제1 MOS 트랜지스터(M1) 및 제2 MOS 트랜지스터(M2)가 N-MOS 트랜지스터(101, 102)인 경우를 설명한다.

[0037] 제1 MOS 트랜지스터(M1)에 대응되는 N-MOS 트랜지스터(이하, 제1 N-MOS 트랜지스터)(101)는 일단이 전원(V_{DD})과 연결될 수 있다. 제1 N-MOS 트랜지스터(101)의 일단은 제1 N-MOS 트랜지스터(101)의 드레인(Drain)단 일 수 있다.

[0038] 제2 MOS 트랜지스터(M2)에 대응되는 N-MOS 트랜지스터(이하, 제2 N-MOS 트랜지스터)(102)는 일단이 제1 N-MOS 트랜지스터(101)의 타단과 연결될 수 있다. 제2 N-MOS 트랜지스터(102)의 일단은 제2 N-MOS 트랜지스터(102)의 드레인(Drain)단 일 수 있고, 제1 N-MOS 트랜지스터(101)의 타단은 제1 N-MOS 트랜지스터(101)의 소스(Source)단 일 수 있다.

[0039] 제2 N-MOS 트랜지스터(102)의 타단은 그라운드에 연결되며, 제2 N-MOS 트랜지스터(102)의 타단은 소스(Source)단 일 수 있다.

[0040] 또한, 제1 N-MOS 트랜지스터(101) 및 제2 N-MOS 트랜지스터(102)의 게이트는 공통으로 그라운드에 연결될 수 있다.

[0041] 이러한 스택 구조를 갖는 제1 N-MOS 트랜지스터(101) 및 제2 N-MOS 트랜지스터(102)에 의하여 각 트랜지스터가 OFF 상태일 때, 제2 N-MOS 트랜지스터(102)에서 누설전류(I_s)가 발생할 수 있다. 누설전류(I_s)는 다음 [수학식 1]로 정의된다.

[0042] [수학식 1]

[0043] $$I_s = A \times \exp\left[\frac{-q}{nkT}(V_{TH0} - \eta V_{OUT1})\right] \times \left[1 - \exp\left(\frac{-qV_{OUT1}}{kT}\right)\right]$$

[0044] A는 트랜지스터의 물적 특성에 따라 결정되는 파라미터, q는 전하량, n은 하위 임계값 기울기 계수(Subthreshold slope coefficient), k는 볼쯔만 상수(Boltzmann constant), T는 절대온도(Absolute Temperature), V_{TH0}는 문턱전압, η는 DIBL(Drain-Induced Barrier Lowering) 계수이다.

[0045] 여기서, 트랜지스터의 물적 특성에 따라 결정되는 파라미터(A)는 $A = \mu_0 C_{ox} \frac{W_{eff}}{L_{eff}} \left(\frac{kT}{q}\right)^2 e^{1.8}$ 로 정의된다. (μ_0는 전자의 이동도(zero-bias mobility), C_{ox}는 게이트 산화 용량(gate oxide capacitance per unit area), W_{eff}는 트랜지스터 채널 폭(transistor width), L_{eff}는 트랜지스터 채널 깊이(transistor length), q는 전하량, k는 볼쯔만 상수, T는 절대온도)

[0046] 위와 같은 제2 N-MOS 트랜지스터(102)에서 발생된 누설전류(I_s)에 의해 제1 N-MOS 트랜지스터(101)의 타단과 제2 N-MOS 트랜지스터(102)의 일단이 연결된 노드에서 출력 전압(V_{OUT1})이 발생할 수 있다. 상기 누설전류(I_s)에 대한 [수학식 1]을 출력 전압(V_{OUT1})에 대한 식으로 정리하면 다음 [수학식 2]로 나타낼 수 있다.

[0047] [수학식 2]

[0048] $$V_{OUT} \propto \frac{\ln(\frac{A_1}{A_2}) \cdot nkT}{q(1+2\eta)} + \frac{\eta V_{DD}}{1+2\eta}$$

[0049] A_1은 제1 N-MOS 트랜지스터(101)의 물적 특성에 의한 파라미터, A_2는 제2 N-MOS 트랜지스터(102)의 물적 특성에 의한 파라미터, V_{DD}는 입력전압이다.

[0050] [수학식 2]에서 $\frac{\ln(\frac{A_1}{A_2}) \cdot nk}{q(1+2\eta)}$ 는 양의 상수 값(C1)을 갖고, $\frac{\eta V_{DD}}{1+2\eta}$ 는 양의 상수 값(C2)을 갖기 때문에 $V_{OUT1} \propto C_1 T + C_2$으로 정리할 수 있다. 즉, 제1 N-MOS 트랜지스터(101)의 타단과 제2 N-MOS 트랜지스터(102)의 일단이 연결된 노드에서 출력되는 전압(V_{OUT1})은 온도(T)에 선형적으로 비례하는 결과를 얻을 수 있다. 이후에, 도 4를 참조하여 출력전압(V_{OUT1})과 온도(T)의 관계를 실제 측정 결과와 함께 상세히 설명한다.

[0051] 또한, [수학식 2]에서 출력전압(V_{OUT1})과 온도(T)의 관계는 제1 N-MOS 트랜지스터(101)의 물적 특성(A_1) 및 제2 N-MOS 트랜지스터(102)의 물적 특성(A_2)과 관계가 있음을 알 수 있다. 온도(T)에 따른 출력 전압(V_{OUT1})의 변화량 $\frac{\triangle V_{OUT1}}{\triangle T}$ 는 다음 [수학식 3]으로 정의된다.

[0052] [수학식 3]

[0053] $$\frac{\triangle V_{OUT1}}{\triangle T} \approx \frac{\ln(\frac{A_1}{A_2}) \cdot nk}{q(1+2\eta+\gamma')}$$ (γ'는 선형화된 바디효과 계수(linearized body effect coefficient))

[0054] 즉, 제1 N-MOS 트랜지스터(101)의 물적 특성(A_1)이 제2 N-MOS 트랜지스터(102)의 물적 특성(A_2)보다 클수록 온도(T)에 따른 출력 전압(V_{OUT1})의 변화량이 증가하고 이는 출력 전압(V_{OUT1})의 범위가 증가하며 보다 선형적으로 출력되는 효과가 있다. 여기서, 물적 특성(A)는 $A = \mu_0 C_{ox} \frac{W_{eff}}{L_{eff}} (\frac{kT}{q})^2 e^{1.8}$ 로 정의됨에 따라 본 발명에 따른 온도 센서는 제1 N-MOS 트랜지스터(101)와 제2 N-MOS 트랜지스터(102)의 게이트 산화 용량(gate oxide capacitance per unit area, C_{ox}) 내지 트랜지스터 채널 폭(transistor width, W_{eff}) 중 적어도 하나를 상이하게 설정할 수 있다. 또한, 제1 N-MOS 트랜지스터(101)의 게이트 산화 용량(gate oxide capacitance per unit area, C_{ox}) 내지 트랜지스터 채널 폭(transistor width, W_{eff}) 중 적어도 하나는 제2 N-MOS 트랜지스터(102)보다 크게 설정될 수 있다.

[0055] 또한, 본 발명에 따른 온도 센서는 온도 검출부(110)를 포함할 수 있다. 온도 검출부(110)는 제1 N-MOS 트랜지스터(101)의 타단과 제2 N-MOS 트랜지스터(102)의 일단이 연결된 노드의 전압(V_{OUT1})에 기초하여 온도 정보를 제공할 수 있다.

[0056] 또한, 온도 검출부(110)는 제1 N-MOS 트랜지스터(101)의 타단과 제2 N-MOS 트랜지스터(102)의 일단이 연결된 노드에서 출력된 전압(V_{OUT1})을 증폭하는 증폭기(111), 증폭기(111)에서 출력된 전압을 디지털 신호로 변환하여 출력하는 ADC(112) 및 디지털 신호를 선형화하여 출력하는 디지털 보정 회로(113)를 포함할 수 있다. 온도 검출부(110)는 디지털 보정 회로(113)에서 출력된 디지털 신호에 기초하여 온도 정보를 제공할 수 있다.

[0057] 도 2는 본 발명의 실시예에 따라 P-MOS 트랜지스터(103, 104)로 구성되는 온도 센서의 회로도이다.

[0058] 본 발명의 실시예에 따라 제1 MOS 트랜지스터(M1) 및 제2 MOS 트랜지스터(M2)는 N-MOS 트랜지스터 및 P-MOS 트랜지스터 중 적어도 하나로 구성되되, 서로 동일한 타입으로 구성된다. 도 2에서는, 제1 MOS 트랜지스터(M1) 및 제2 MOS 트랜지스터(M2)가 P-MOS 트랜지스터(103, 104)인 경우를 설명한다.

[0059] 제1 MOS 트랜지스터(M1)에 대응되는 P-MOS 트랜지스터(이하, 제1 P-MOS 트랜지스터)(103)는 일단이 전원(V_{DD})과 연결될 수 있다. 제1 P-MOS 트랜지스터(103)의 일단은 제1 P-MOS 트랜지스터(103)의 소스(Source)단 일 수 있다.

[0060] 제2 MOS 트랜지스터(M2)에 대응되는 P-MOS 트랜지스터(이하, 제2 P-MOS 트랜지스터)(104)는 일단이 제1 P-MOS 트랜지스터(103)의 타단과 연결될 수 있다. 제2 P-MOS 트랜지스터(104)의 일단은 제2 P-MOS 트랜지스터(104)의 소스(Source)단 일 수 있고, 제1 P-MOS 트랜지스터(103)의 타단은 제1 P-MOS 트랜지스터(103)의 드레인(Drain)단 일 수 있다.

[0061] 제2 P-MOS 트랜지스터(104)의 타단은 그라운드에 연결되며, 제2 P-MOS 트랜지스터(104)의 타단은 드레인(Drain)단 일 수 있다.

[0062] 또한, 제1 P-MOS 트랜지스터(103) 및 제2 P-MOS 트랜지스터(104)의 게이트는 공통으로 전원(V_{DD})에 연결될 수 있다.

[0063] 이러한 스택 구조를 갖는 제1 P-MOS 트랜지스터(103) 및 제2 P-MOS 트랜지스터(104)에 의하여 각 트랜지스터가 OFF 상태일 때, 제2 P-MOS 트랜지스터(104)에서 누설전류(I_s)가 발생할 수 있다. 도 1을 참조하여 설명한 N-MOS 트랜지스터의 구성과 마찬가지로 누설전류(I_s)는 상기 [수학식 1]로 정의된다.

[0064] 제2 P-MOS 트랜지스터(104)에 의해 발생된 누설전류(I_s)에 의해 제1 P-MOS 트랜지스터(103)의 타단과 제2 P-MOS 트랜지스터(104)의 일단이 연결된 노드에서 출력 전압(V_{OUT2})이 발생할 수 있다. 출력 전압(V_{OUT2})은 [수학식 2]로 정의된다. 다만, N-MOS 트랜지스터의 구조와 달리 P-MOS 트랜지스터 구조에서는 [수학식 2]의 $\frac{\ln(\frac{A_1}{A_2})\cdot nk}{q(1+2\eta)}$ 값이 음의 상수 값(-C3)을 갖는다. $\frac{\eta V_{DD}}{1+2\eta}$ 는 양의 상수 값(C4)로 정의하면 출력 전압(V_{OUT2})은 $V_{OUT2} \propto -C_3T+C_4$ 로 정리할 수 있다. 즉, 제1 P-MOS 트랜지스터(103)의 타단과 제2 P-MOS 트랜지스터(104)의 일단이 연결된 노드에서 출력되는 전압(V_{OUT2})은 온도(T)에 선형적으로 반비례하는 결과를 얻을 수 있다. 이후에, 도 5를 참조하여 출력전압(V_{OUT2})과 온도(T)의 관계를 실제 측정 결과와 함께 상세히 설명한다.

[0065] 또한, [수학식 2]에 따라 출력전압(V_{OUT2})과 온도(T)의 관계는 제1 P-MOS 트랜지스터(103)의 물적 특성(A_1) 및 제2 P-MOS 트랜지스터(104)의 물적 특성(A_2)과 관계가 있음을 알 수 있다. 온도(T)에 따른 출력 전압(V_{OUT2})의 변화량 $\frac{\triangle V_{OUT2}}{\triangle T}$ 는 다음 [수학식 4]로 정의된다.

[0066] [수학식 4]

[0067] $$\frac{\triangle V_{OUT2}}{\triangle T} \approx \frac{\ln(\frac{A_1}{A_2})\cdot nk}{q(1+2\eta+\gamma')}$$ (γ'는 선형화된 바디효과 계수(linearized body effect coefficient)

[0068] 즉, 제1 P-MOS 트랜지스터(103)의 물적 특성(A_1)이 제2 P-MOS 트랜지스터(104)의 물적 특성(A_2)보다 클수록 온도(T)에 따른 출력 전압(V_{OUT2})의 변화량이 증가하고 이는 출력 전압(V_{OUT2})의 범위가 증가하며 보다 선형적으로 출력되는 효과가 있다. 여기서, 물적 특성(A)는 $A=\mu_0 C_{ox}\frac{W_{eff}}{L_{eff}}(\frac{kT}{q})^2 e^{1.8}$ 로 정의됨에 따라 본 발명에 따른 온도 센서는 제1 P-MOS 트랜지스터(103)와 제2 P-MOS 트랜지스터(104)의 게이트 산화 용량(gate oxide capacitance per unit area, C_{ox}) 내지 트랜지스터 채널 폭(transistor width, W_{eff}) 중 적어도 하나를 상이하게 설정할 수 있다. 또한, 제1 P-MOS 트랜지스터(103)의 게이트 산화 용량(gate oxide capacitance per unit area, C_{ox}) 내지 트랜지스터 채널 폭(transistor width, W_{eff}) 중 적어도 하나는 제2 P-MOS 트랜지스터(102)보다 크게 설정될 수 있다.

[0069] 또한, 본 발명에 따른 온도 센서는 온도 검출부(110)를 포함할 수 있다. 온도 검출부(110)는 제1 P-MOS 트랜지스터(103)의 타단과 제2 P-MOS 트랜지스터(104)의 일단이 연결된 노드의 전압(V_{OUT2})에 기초하여 온도 정보를 제공할 수 있다.

[0070] 또한, 온도 검출부(110)는 제1 P-MOS 트랜지스터(103)의 타단과 제2 P-MOS 트랜지스터(104)의 일단이 연결된 노드에서 출력된 전압(V_{OUT2})을 증폭하는 증폭기(111), 증폭기(111)에서 출력된 전압을 디지털 신호로 변환하여 출

력하는 ADC(112) 및 디지털 신호를 선형화하여 출력하는 디지털 보정 회로(113)를 포함할 수 있다. 온도 검출부(110)는 디지털 보정 회로(113)에서 출력된 디지털 신호에 기초하여 온도 정보를 제공할 수 있다.

[0071] 도 3은 본 발명의 실시예에 따라 N-MOS 트랜지스터(201, 202) 및 P-MOS 트랜지스터(203, 204)를 병합하여 구성되는 온도 센서의 회로도이다.

[0072] 도 3을 참조하면, 본 발명의 온도 센서는 N-MOS 트랜지스터인 제1 MOS 트랜지스터(MN1) 및 제2 MOS 트랜지스터(MN2), P-MOS 트랜지스터인 제3 MOS 트랜지스터(MP3) 및 제4 MOS 트랜지스터(MP4) 및 온도 검출부(210)를 포함할 수 있다.

[0073] N-MOS 트랜지스터(201, 202)의 구조는 도 1을 참조하여 설명한 내용과 동일하고, P-MOS 트랜지스터(203, 204)의 구조는 도 2를 참조하여 설명한 내용과 동일하다.

[0074] 온도 검출부(210)는 제1 MOS 트랜지스터(MN1)의 타단과 제2 MOS 트랜지스터(MN2)의 일단이 연결된 노드의 전압(이하, 제1 출력 전압(V_{OUT1}))과 제3 MOS 트랜지스터(MP3)의 타단과 제4 MOS 트랜지스터(MP4)의 일단이 연결된 노드의 전압(이하, 제2 출력 전압(V_{OUT2})) 간의 전압차에 기초하여 온도 정보를 제공할 수 있다. 도 1 및 도 2를 참조하여 설명한 바와 같이, 제1 출력 전압(V_{OUT1})은 온도(T)에 선형적으로 비례하고 제2 출력 전압(V_{OUT2})은 온도(T)에 선형적으로 반비례하기 때문에 서로 상보적이다. 따라서, 온도 검출부(210)는 제1 출력 전압(V_{OUT1})과 제2 출력 전압(V_{OUT2}) 간의 차이를 이용해 온도(T)에 따른 출력 전압의 범위를 보다 넓힐 수 있다.

[0075] 또한, 온도 검출부(210)는 차동증폭기(211), ADC(212) 및 디지털 보정 회로(213)를 포함할 수 있다. 차동증폭기(211)는 제1 출력 전압(V_{OUT1})과 제2 출력 전압(V_{OUT2}) 간의 차이를 연산하고 그 차이를 증폭하여 출력할 수 있다. ADC(212)는 차동증폭기(211)에서 출력된 전압을 디지털 신호로 변환하여 출력할 수 있다. 디지털 보정 회로(213)는 ADC(212)에서 출력된 디지털 신호를 선형화하여 출력할 수 있다. 온도 검출부(210)는 디지털 보정 회로(213)에서 출력된 디지털 신호에 기초하여 온도 정보를 제공할 수 있다.

[0076] 도 4는 본 발명의 실시예에 따라 N-MOS 트랜지스터로 구성되는 온도 센서에 있어서 측정 전압을 나타내는 그래프이다.

[0077] 도 4를 참조하면, N-MOS 트랜지스터의 문턱전압(V_{TH})에 따른 출력 전압 값이 개시된다. 문턱전압(V_{TH})의 크기에 따라 각각 n-lvt(낮은 문턱전압, Low Voltage Transistor), n-rvt(기준 문턱전압, Regular Voltage Transistor), n-hvt(높은 문턱전압, High Voltage Transistor)로 구분될 수 있다. 먼저 n-lvt의 온도(T)에 따른 출력 전압(V_{OUT1})은 도 4에 도시된 바와 같이 연두색 그래프(GN1)에 해당한다. 온도(T)가 -40℃에서 120℃까지 변화할 때, n-lvt의 출력 전압(V_{OUT1})은 약145mV에서 245mV까지 변화한다.

[0078] 또한, n-rvt의 온도(T)에 따른 출력 전압(V_{OUT1})은 도 4에 도시된 바와 같이 파랑색 그래프(GN2)에 해당한다. 온도(T)가 -40℃에서 120℃까지 변화할 때, n-rvt의 출력 전압(V_{OUT1})은 약130mV에서 255mV까지 변화한다.

[0079] 또한, n-hvt의 온도(T)에 따른 출력 전압(V_{OUT1})은 도 4에 도시된 바와 같이 자주색 그래프(GN3)에 해당한다. 온도(T)가 -40℃에서 120℃까지 변화할 때, n-hvt의 출력 전압(V_{OUT1})은 약90mV에서 240mV까지 변화한다.

[0080] 결과적으로 N-MOS 트랜지스터의 문턱전압(V_{TH})이 높을수록 온도(T)에 따른 출력 전압(V_{OUT1})의 범위가 넓고 보다 선형적인 것을 알 수 있다.

[0081] 도 5를 참조하면, P-MOS 트랜지스터의 문턱전압(V_{TH})에 따른 출력 전압 값이 개시된다. 문턱전압(V_{TH})의 크기에 따라 각각 p-lvt(낮은 문턱전압, Low Voltage Transistor), p-rvt(기준 문턱전압, Regular Voltage Transistor), p-hvt(높은 문턱전압, High Voltage Transistor)로 구분될 수 있다. 또한, P-MOS 트랜지스터의 경우 N-MOS 트랜지스터와 달리 바디전압과 소스전압이 같은 경우가 추가되어 도시 된다(GP1, GP3, GP5에 해당). 먼저 p-lvt의 온도(T)에 따른 출력 전압(V_{OUT2})은 도 5에 도시된 바와 같이 빨간색 그래프(GP2)에 해당한다. 온도(T)가 -40℃에서 120℃까지 변화할 때, p-lvt의 출력 전압(V_{OUT2})은 약1000mV에서 860mV까지 변화한다.

[0082] 또한, p-rvt의 온도(T)에 따른 출력 전압(V_{OUT2})은 도 5에 도시된 바와 같이 연두색 그래프(GP4)에 해당한다. 온

도(T)가 -40℃에서 120℃까지 변화할 때, p-rvt의 출력 전압(V_{OUT2})은 약1060mV에서 900mV까지 변화한다.

[0083] 또한, p-hvt의 온도(T)에 따른 출력 전압(V_{OUT2})은 도 4에 도시된 바와 같이 파란색 그래프(GP6)에 해당한다. 온도(T)가 -40℃에서 120℃까지 변화할 때, p-hvt의 출력 전압(V_{OUT2})은 약1120mV에서 950mV까지 변화한다.

[0084] 결과적으로 P-MOS 트랜지스터의 문턱전압(V_{TH})이 높을수록 온도(T)에 따른 출력 전압(V_{OUT2})의 범위가 넓고 보다 선형적인 것을 알 수 있다.

[0085] 도 6은 본 발명의 일 실시예에 따라 제1 MOS 트랜지스터(N-MOS)의 물적 특성이 증가함에 따른 측정 전압(V_{OUT1})을 나타내는 그래프이다.

[0086] 도 1 및 도 6을 참조하면, 제1 N-MOS 트랜지스터(101)의 물적 특성(A1)만 변화 시켰을 때 각각의 출력 전압(V_{OUT1})이 도시된다. 물적 특성(A1)은 도 1을 참조하여 설명한 바와 같이 $A=\mu_0 C_{ox}\frac{W_{eff}}{L_{eff}}(\frac{kT}{q})^2 e^{1.8}$ 로 정의된다. 도 6은 물적 특성(A1) 중 트랜지스터의 채널 폭(transistor width, W_{eff})을 변화시켰을 때의 출력 전압(V_{OUT1})의 특성을 나타낸다. 하늘색 그래프(NW4)는 제1 N-MOS 트랜지스터(101)의 채널 폭(W1)이 가장 큰 경우, 빨간색 그래프(NW1)는 제1 N-MOS 트랜지스터(101)의 채널 폭(W1)이 가장 작은 경우에 해당한다. 제1 N-MOS 트랜지스터(101)의 채널 폭(W1)이 클수록 온도(T) 변화에 따른 출력 전압(V_{OUT1})의 범위가 넓고 보다 선형적으로 도시되는 것을 확인할 수 있다.

[0087] 도 7은 본 발명의 일 실시예에 따라 제1 MOS 트랜지스터(P-MOS)의 물적 특성이 증가함에 따른 측정 전압(V_{OUT2})을 나타내는 그래프이다.

[0088] 도 1 및 도 7을 참조하면, 제1 P-MOS 트랜지스터(103)의 물적 특성(A1)만 변화 시켰을 때 각각의 출력 전압(V_{OUT2})이 도시된다. 물적 특성(A1)은 도 1을 참조하여 설명한 바와 같이 $A=\mu_0 C_{ox}\frac{W_{eff}}{L_{eff}}(\frac{kT}{q})^2 e^{1.8}$ 로 정의된다. 도 7은 물적 특성(A1) 중 트랜지스터의 채널 폭(transistor width, W_{eff})을 변화시켰을 때의 출력 전압(V_{OUT2})의 특성을 나타낸다. 파란색 그래프(PW8)는 제1 P-MOS 트랜지스터(103)의 채널 폭(W1)이 가장 큰 경우, 빨간색 그래프(PW1)는 제1 P-MOS 트랜지스터(103)의 채널 폭(W1)이 가장 작은 경우에 해당한다. 제1 P-MOS 트랜지스터(103)의 채널 폭(W1)이 클수록 온도(T) 변화에 따른 출력 전압(V_{OUT2})의 범위가 넓고 보다 선형적으로 도시되는 것을 확인할 수 있다.

[0089] 이상에서 본 발명의 바람직한 실시예에 대하여 설명하였으나, 본 발명에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것일 뿐이다. 따라서, 본 발명의 기술 사상은 개시된 각각의 실시예 뿐 아니라, 개시된 실시예들의 조합을 포함하고, 나아가, 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 또한, 본 발명이 속하는 기술분야에서 통상의 지식을 가지는 자라면 첨부된 특허청구범위의 사상 및 범주를 일탈함이 없이 본 발명에 대한 다수의 변경 및 수정이 가능하며, 그러한 모든 적절한 변경 및 수정은 균등물로서 본 발명의 범위에 속하는 것으로 간주되어야 할 것이다.

부호의 설명

[0090] 101, 102, 201, 202 : N-MOS 트랜지스터

103, 104, 203, 204 : P-MOS 트랜지스터

110, 210 : 온도 검출부

111 : 증폭기

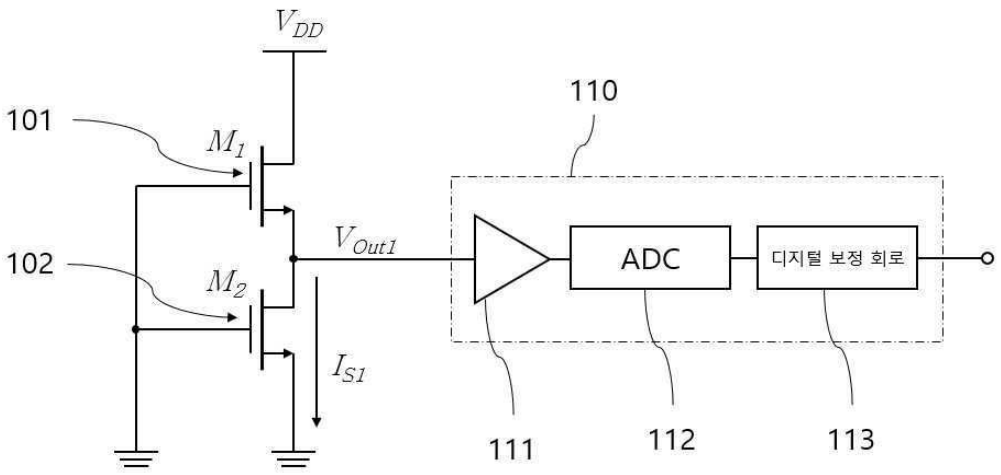
112, 212 : ADC

113, 213 : 디지털 보정 회로

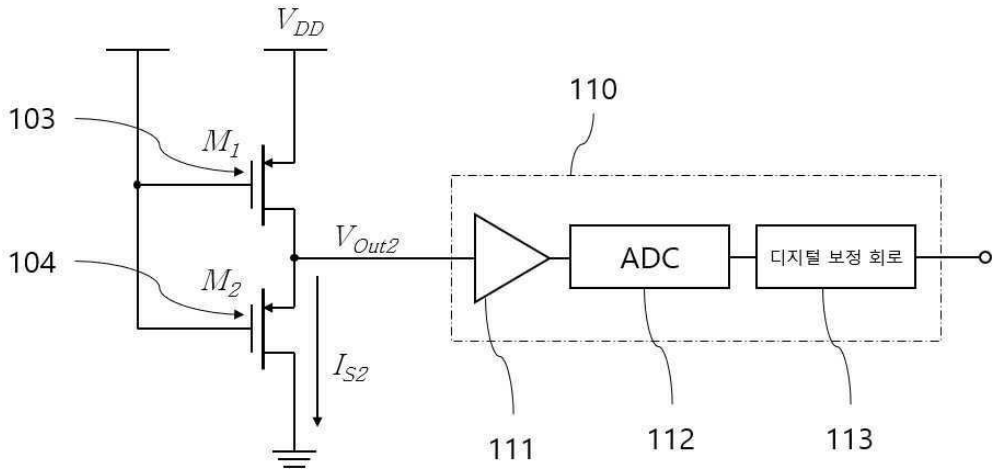
211 : 차동증폭기

도면

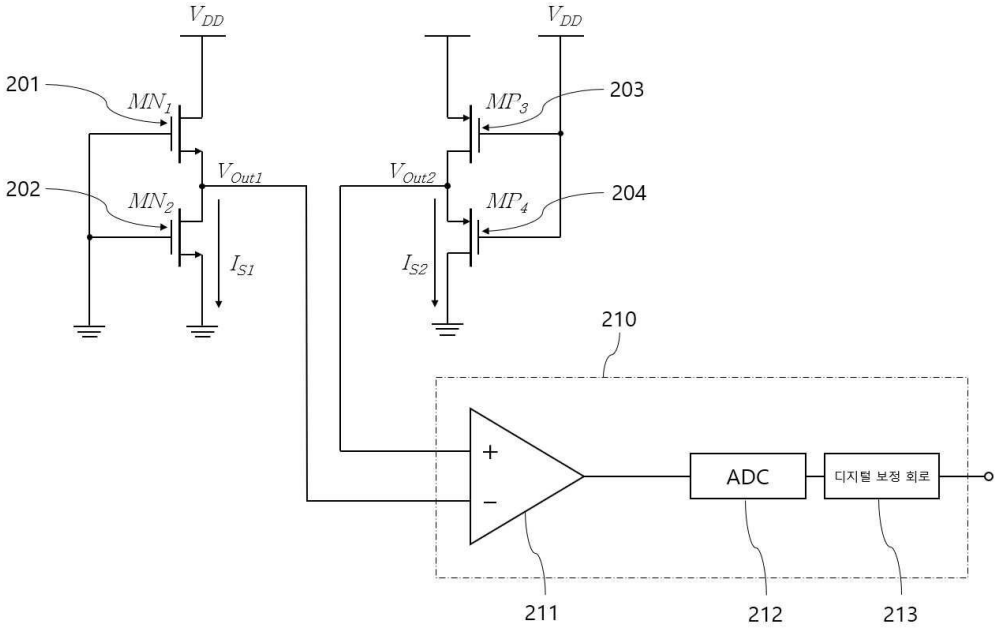
도면1


V_{DD}
101
M_1
110
102
M_2
V_{Out1}
ADC
디지털 보정 회로
I_{S1}
111
112
113

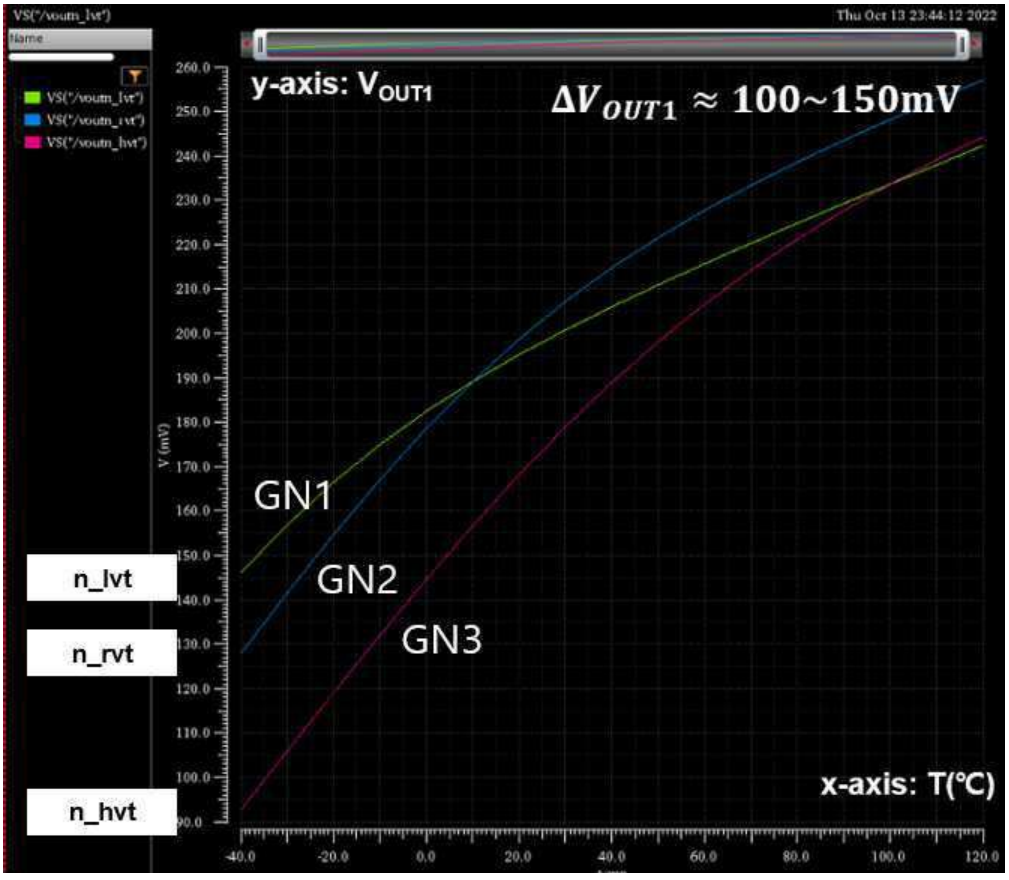
도면2


V_{DD}
110
103
M_1
104
M_2
V_{Out2}
ADC
디지털 보정 회로
I_{S2}
111
112
113

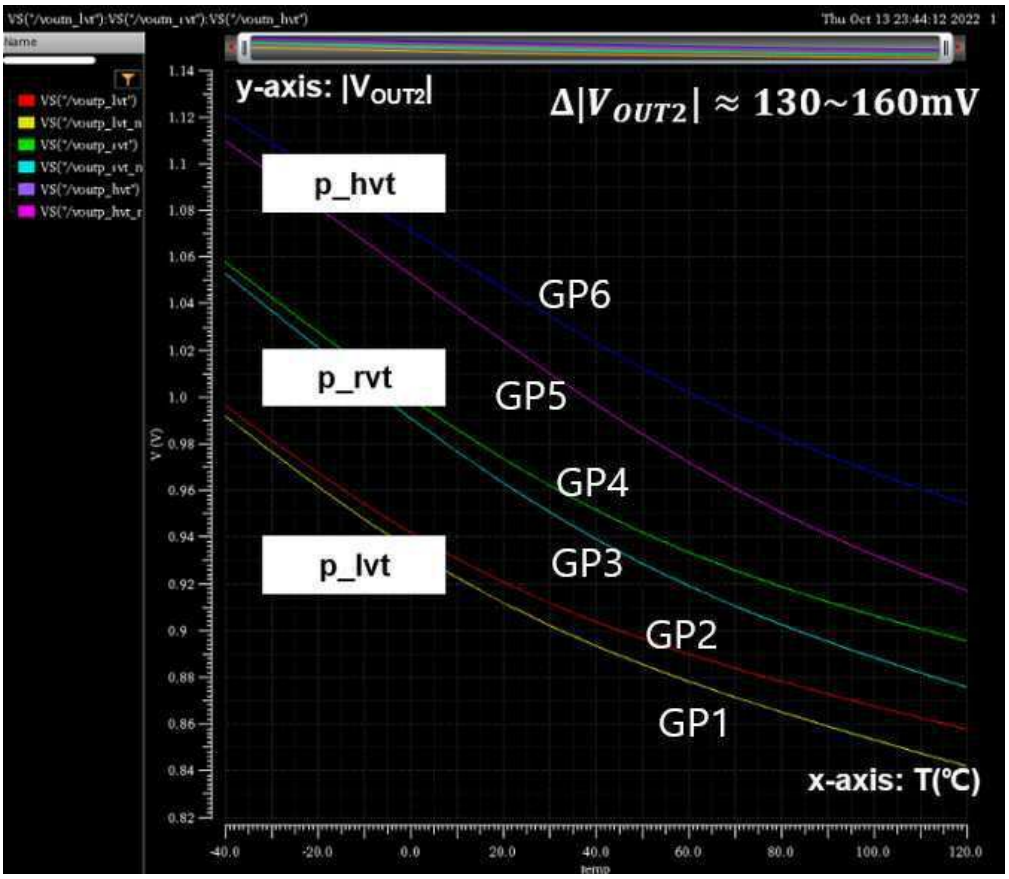
도면3


V_{DD}
V_{DD}
201
MN_1
MP_3
203
V_{Out1}
V_{Out2}
202
MN_2
MP_4
204
I_{S1}
I_{S2}
210
+
−
ADC
디지털 보정 회로
211
212
213

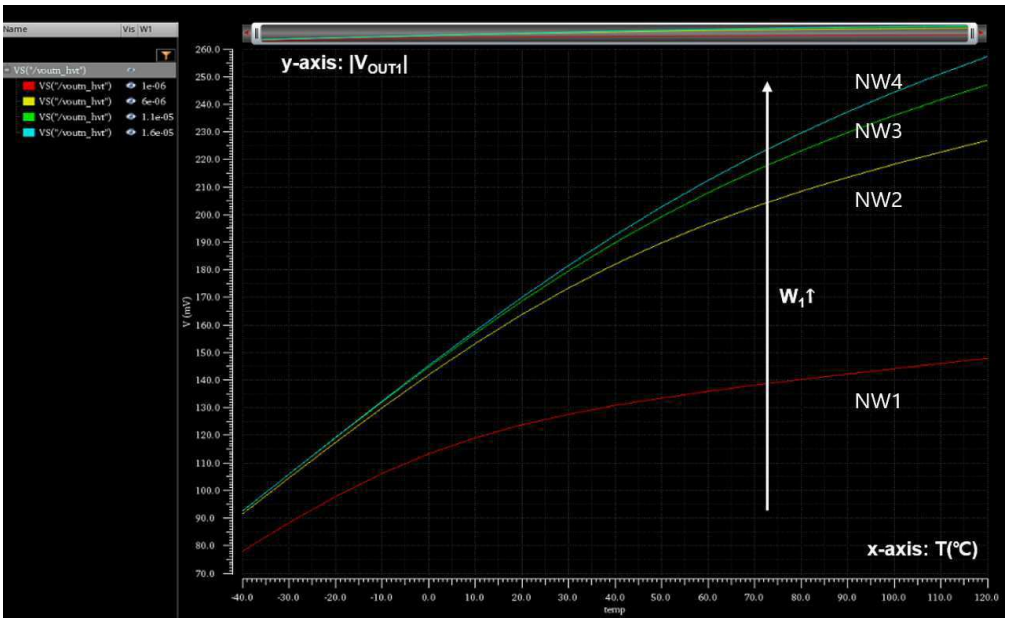
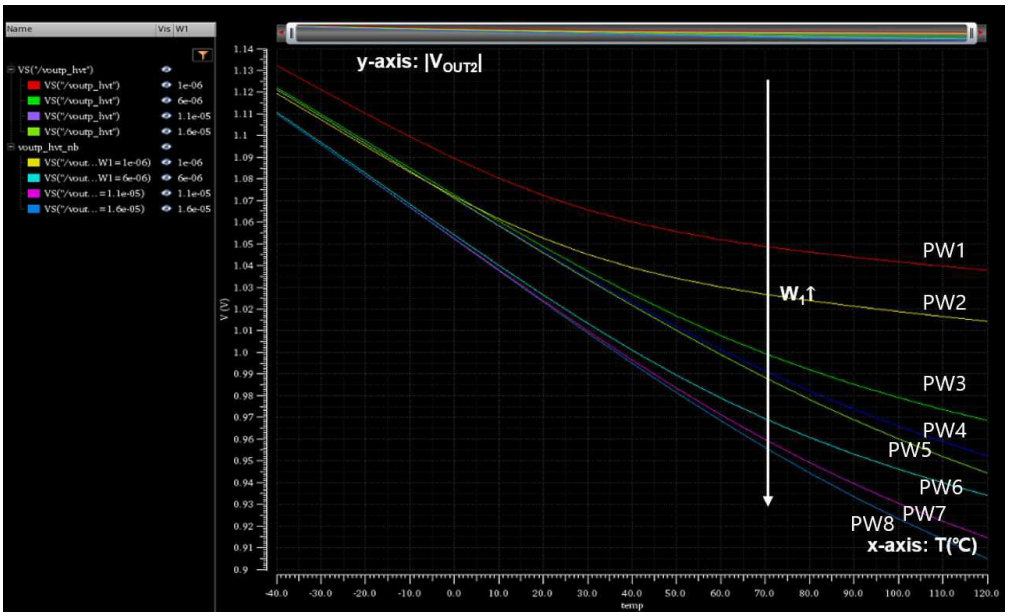
도면4


y-axis: V_{OUT1}
$\Delta V_{OUT1} \approx 100\sim150mV$
GN1
GN2
GN3
n_lvt
n_rvt
n_hvt
x-axis: T(℃)

도면5


y-axis: |VOUT2|
Δ|VOUT2| ≈ 130~160mV
p_hvt
p_rvt
p_lvt
GP6
GP5
GP4
GP3
GP2
GP1
x-axis: T(℃)

도면6


y-axis: |VOUT1|
NW4
NW3
NW2
W1↑
NW1
x-axis: T(℃)

도면7