

201803

申請日期	87-2-1
案號	81100800
類別	H05K13/04

A4
C4

(以上各欄由本局填註)

發明專利說明書

(請先閱讀背面之注意事項再填寫本頁各欄)

一、發明名稱	中文	微電子元件之封裝
	英文	MICROELECTRONICS PACKAGE
二、發明人	姓名	(1) 約瑟夫 M · 歐曼 (2) 保羅 M · 羅吉斯
	籍貫 (國籍)	美國
	住、居所	(1) 美國天普市東克利斯塔大道 1971 號 (2) 美國太陽湖東福林洛克大道 10906 號
三、申請人	姓名 (名稱)	美商 · 碳化矽有限公司
	籍貫 (國籍)	美國
	住、居所 (事務所)	美國俄亥俄州 · 克利夫蘭 · 公共廣場 200 號
	代表人 姓名	傑森蒲 G · 卡若特羅

裝

訂

線

五、發明說明 (1)

本發明係有關於一種適於供自動處理用的微電子封裝結構。本發明尤其有關於種適於供一些功率電晶體微電子封裝之自動處理用的微電子封裝結構。

供功率電晶體用的微電子封裝包括一個鋁陶瓷基體，基體上方表面放置有一諸如銅之金屬熱槽，熱槽上再附接模，然後附接有導線的兩個金屬接墊再與該模相接合。一金屬熱槽，一樣諸如銅，被放置在該陶瓷基體之底表面。所完成之組合被使用在含有一些電路板的電子裝置中，該電路板通常具有一些供容納該功率電晶體封裝的凹穴，而該底部熱槽則與一位於該電路板之凹穴底部的熱槽呈端接觸。

雖然該等金屬熱槽對於將熱導離該功率電晶體裝置在操作時所產生的熱有所用處，然而在該功率裝置與該頂金屬熱槽間之材質熱膨脹係數的不相匹配，以及在該陶瓷與兩金屬熱槽間的材質熱膨脹係數的不相匹配都會造成這些元件在操作的熱循環期間的接合失敗；金屬熱槽所遭遇的相同問題亦發生在習知以鍍作為基體材質者上。

此外，習知技術的封裝由於封裝元件的不對稱性分佈之故必須將該組合定向於一特定位置，這個縮小了以自動化設備來容易地組合該封裝的可能性，而且需要複雜的設備來將該基體定位以供處理。

因此，本發明的一個目的在於提供一種不會在該等封裝元件間產生重大之熱膨脹係數不相匹配的微電子封裝。

本發明的另一目的在於提供一種可以很容易為自動處

(請先閱讀背面之注意事項再填寫本)

裝
訂
線

五、發明說明(2)

理所組合的微電子封裝。

在此所述本發明的這些與其它目的和優點皆可由下述說明書與申請專利範圍所述之本發明達成。

本發明提供一種微電子封裝基體組合，其包含：

一具有一頂表面與一底表面的高級陶瓷基體；

一在該頂表面上的第一金屬化配接平面以及一在該底表面上的第二金屬化配接平面；

一介於該第一與第二配接平面之間的電連接；

至少兩個位於該頂表面上但與該第一配接平面相電隔離的金屬化接墊，其中該等金屬化接墊被安排成大致上對稱於一橫過該基體之縱長平面中點的平面。

本發明提供一種微電子基體組合，其包含：

一具有一頂表面與一底面的高級陶瓷基體；

一在該頂表面上的第一金屬化配接平面以及一在該底表面上的第二金屬化配接平面；

一介於該第一與第二配接平面之間的電連接；

至少一個位於該頂表面上但與該第一配接平面相電隔離的金屬化接墊，以及至少一個位於該底表面但與該第二配接平面相電隔離的金屬化接墊，其中該等配接平面與該等金屬化接墊被安排成大致上對稱於一介於該頂與底表面之間而且與其相平行的平面。

本發明還提供一種用以製造微電子封裝基體組合的方法，其包含：

備置一具有許多穿過其間之孔的高級陶瓷片材；

五、發明說明 (3)

將金屬化糊狀物導入該等孔中；

燃燒該糊狀金屬化片材；

在該高級陶瓷片的頂表面與底表面金屬化一與該燒過糊狀物相電接的配接平面；以及

金屬化至少一與該高級陶瓷片之頂表面與底表面配接平面相電隔離的接墊。

第1圖是一具有裹繞金屬化之配接平面的微電子封裝基體組合的正視圖。

第2圖為第1圖所示微電子封裝基體組合頂表面的平面圖。

第3圖為一微電子封裝基體組合之底表面的平面圖，其中此基體組合具有裹繞金屬化的配接平面以及相對稱配置的金屬化接墊。

第4圖為一具有一些配接通路(via)之微電子封裝基體組合的正視圖。

第5圖為第4圖所示微電子封裝基體組合的平面圖。

第6圖為一具有配接通路之微電子封裝基體組合底表面的平面圖。

第7圖為一具有vias之基體片的部份平面圖。

第8圖為一金屬化之基體片的部份平面圖。

第9圖為一導線框架的部份平面圖。

現今已能夠藉由使用一種高級陶瓷基體而省略結合至微電子封裝的一些金屬熱槽，以及與鍍陶瓷基體一起使用的金屬熱槽，而無損於將熱導離該電子裝置的需求。此外

五、發明說明 (4)

，該高級陶瓷基體的使用也可克服該電子裝置與金屬熱槽或鍍基體之間或者是該熱槽與該鋁陶瓷基體之間的材質熱膨脹係數不相匹配。

在此所用之所謂“高級陶瓷基體”包括其中所含之陶瓷實質上係氮化鋁及/或碳化矽，或是所含的陶瓷以氮化鋁或碳化矽為主要成分再加上其它對於所需的熱傳導率與熱膨脹係數沒有反向影響的成分者。

氮化鋁具有一與半導體晶片相容的熱膨脹係數，大約是 $4.3 \times 10^{-6}/^{\circ}\text{C}$ ，而且具有一非常高的熱傳導率，大約 $140-220 \text{ W/mK}$ 。碳化矽亦有一非常相容的熱膨脹係數，為 $3.7 \times 10^{-6}/^{\circ}\text{C}$ ，以及一大約 270 W/mK 的優秀熱傳導率。

備置該根據本發明之微電子封裝的方法，以及各封裝元件的排列使得該封裝可以被自動化處理地形成該封裝基體組合，並完成該含有電子裝置之電子封裝的製造。

第1與第2圖顯示微電子封裝基體組合11，其包含一具有金屬化配接平面22且該平面上裝設有一諸如電晶體（未顯示）之電子裝置的高級陶瓷基體21。配接平面與金屬化面23相電接，而該金屬化面則由一在基體21中的栓槽孔（castellation hole）所形成。一些金屬化接墊24設置在該基體21的頂表面，而且與配接平面22相電隔離。可在各接墊24上電接一些導線25，之後該電子裝置（未顯示）可以線接至該等導線25上，以出入外部環境。該配接平面可用以提供接地，或是承載交流電流、直流電流、信號，或是施加電壓。

（請先閱讀背面之注意事項再填寫本）

裝
訂
線

五、發明說明 (5)

第2圖顯示該微電子封裝基體組合11的頂表面，在該表面上附接有一些導線25。各接墊24被排列成大致上對稱於一橫過基體21之縱長平面的平面。

第3圖顯示該高級陶瓷基體21的底表面，在該表面上金屬化有一底配接平面26。該底配接平面26與該栓槽孔之面23相電接，因而與頂表面之配接平面相電接。可見各導線25自該頂表面突出，底配接平面26可作為該電路板熱槽附接金屬化，以將一含有微電子封裝基體組合的電子裝置結合至一電路板上。

第3圖亦顯示該底部配接平面26，此平面與兩金屬化底接墊28相電隔離。該微電子封裝基體組合11的頂部與底部表面(分別如第2與第3圖所示)因而呈對稱性地配置，而使得各導線25(如第3圖所示之自頂表面突出者)可以等效果地附接於微電子封裝基體組合11的頂部或底部表面。另外，可利用一些非光學辨識裝置的拾取與放置機械來加強自動化的撐握以及進一步之處理，而不需要複雜的裝置來對該組合加以定向。

該微電子封裝基體組合的或擇實施例顯示於第4與第5圖。在高級陶瓷基體21上金屬化有配接平面22，此平面與基體21中的一些通路31相電接，這些金屬充填而成的通路31與第6圖所示之底配接平面26相通並與其相電接，雖然一個通路即足以提供配接平面22與底配接平面26之間的電接，然而在該組合中結合有許多個通路則可提供充分的重複性以及增強的可靠性，以補償在製造期間充填該等通

五、發明說明 (6)

路所可能產生的任何缺陷。

參考第4、5與第6圖，各接墊24如上所述般與配接平面22相電絕緣且相對稱配置地被金屬化至高級陶瓷基體21的頂表面上。當各通路31取代各面23而成為第3圖之該等配接平面間的電連接，而且各底接墊28被金屬化至基體21的底表面時，對稱性仍要被維持。各導線25可以被附接於接墊24上，或著因為在附著模具之前要達成對稱性而被附接於各底接墊28上。

根據本發明之各微電子封裝基體組合可以如第7圖所示般藉由在一高級陶瓷片材40上形成許多個組合而被大量製造。片材40可以在一生的或被燒結的狀況下，藉由帶鑄或擠製、衝孔以及最後之燃燒；或是藉由壓出孔洞然後燃燒；或是藉由對一已燒結之片材鑽孔而提供一些通路孔41。

各通路孔41可以利用厚或薄膜技術加以金屬化。一種適當之薄膜技術敘述於美國專利第4942076號中，其併於此供參考。在厚膜技術中，一習知之錫糊狀物可以藉由掠過(screening)而被導入各通路孔41中，而且亦可應用一由錫製成的圖案來藉由掠印法(screen printing)形成一些電路(各配接平面與接墊)。在一生的片材上施以金屬化的地方，可以對該片材進行刻劃，以與各分開之組合隔離，而且該生的片材與錫可以一起被燃燒而形成一已金屬化、燒結的片材。

第8圖顯示一片材40的頂表面(或對稱的底表面)，此

(請先閱讀背面之注意事項再填寫本)

裝
訂
線

五、發明說明 (7)

片材含有一些與各通路相接觸的配接平面 22 (或底配接平面)。各金屬化的接墊 24 與該等配接平面相結合，但與之相電隔離。

該完成金屬化的片材可以被分離，以形成一些分離的基體，這些基體再為進一步的金屬化所進一步處理，諸如以鍍筒鍍 (barrel plating) 之後再沉積金。各導線被燒焊至該等接墊上，其中最好是以一鈹/銀焊料或低溫的金合金來進行，這個可以防止鍍擴散至金上面，以藉由重流法 (reflowing) 或熱洗法維持一供模子附接的金質表面。在另一實施例中，該金質層可以被省略，而且該模子可以透過一共晶焊料裝設在該鍍材上。

上述厚膜法可用以製造一些具有一捲繞式金屬化的基體組合，在此例子中，各個通路孔為各個栓槽孔所取代，且各個基體組合被分開，以將該金屬化的孔放在側表面上。

其它習知添加與減少的金屬化方法可以應用在本發明上，例如，各通路孔可以藉由掠過一鎢糊中、點火、將該孔充填銅接著點火等而被金屬化。該片材可以在噴鍍完銅之後，一併噴鍍薄膜鈦/鎢而被電路化。首先施加一阻擋物，然後藉無電極或電解質架式電鍍法 (rack plating) 技術施加鍍金屬以及金。之後，取掉該阻擋物，即獲得一個蝕刻而得的圖案，再將各基體分開，並將導線燒焊至該接墊上。

各導線框架可以被燒焊至各分開的基體組合上，不過

五、發明說明 (8)

本發明的一項優點是可以在多數基體被分成各個組合之前在一導線框架載體中處理該等多數個基體。如第9圖所示，導線框架41可以與各個排正孔43相對齊地被燒焊至各個各別基體上，以使各導線44連接至各接墊(未顯示)上。完成附接之後，各導線44藉由切削而與該框架42分離，而且各具有獨立導線的基體組合也可被分離，或是維持成具有很多個組合在該導線框架載體上，以便進行後續的處理，諸如模具附接以及接線的接合。

本發明之各基體組合特別適用於封裝電晶體，諸如低至高功率的場效電晶體，不管是矽基或鎵砷基，而且可以與音頻裝置一起使用。各種具有小於三條導線的裝置，諸如電感器或電容器等亦可以被封裝，諸如該封裝的其中一條或多條導線互連在一起。

一個附接有模具的基體組合可以被裝設至一電路板中，諸如一PC板。該導線框架被焊接至該已完成電路化的板子，而且該底配接平面(與底部被絕緣的各接墊)被接合至該電路板的熱槽上，而使該基體組合與該板子相熱接觸，以將熱導離該模具。

因此，本發明之微電子封裝基體組合可以完成上述諸目的，可以避免使用一些必須具有與半導體材質相匹配之劣等熱膨脹係數的金屬熱槽與陶瓷，諸如鍍。可以獲得一個簡化的設計，其可以獲得高容積、自動化的生產，進而產生較高的可靠度與較少的成本。設計的對稱性可以使用在自動化程序中，而在較佳實施例中則不需要對該封裝基

(請先閱讀背面之注意事項再填寫本)

裝
訂
線

五、發明說明 (9)

體組合由頂部至底部地重新定向，該封裝之導線側至導線側相對於其它方向可以作得較短些或較長些，以便可以自動化操作，以方便定向以及校正模具的放置。

因此，本發明的各個目的可以為本發明所達成，然而本發明並不限於上述特定實施例，而是包括後述申請專利範圍所界定的各種變化、修改以及等效實施。

(請先閱讀背面之注意事項再填寫)

裝
訂
線

四、中文發明摘要(發明之名稱： 微電子元件之封裝)

一種微電子基體組合，其包含：一具有一頂表面與一底表面的高級陶瓷基體；在該頂表面上的第一金屬化分配面，以及在該底表面上的第二金屬化分配面；一介於該第一與第二配接平面之間的電連接；至少一個位於該頂表面上與該第一配接平面電絕緣的金屬化接墊，以及至少一個位於該底表面上與該第二配接平面電絕緣的金屬化接墊；其中該等配接平面與該等金屬化接墊排列成大致上對稱於一位於該頂表面與該底表面之間而且與之平行的平面。

(請先閱讀請背面之注意事項再填寫本頁各欄)

裝

訂

線

英文發明摘要(發明之名稱：)

附註：本案已向 美 國(地區) 申請專利，申請日期： 1990.11.19 案號： 615,206

六、申請專利範圍

1. 一種微電子基體組合，包含：

一具有一頂表面與一底表面的高級陶瓷基體；

在該頂表面上的第一金屬化配接平面，以及在該底表面上的第二金屬化配接平面；

一在該第一與第二配接平面之間的電連接；

至少兩個位於該頂表面上與該第一配接平面電絕緣的金屬化接墊；其中該等金屬化接墊排列成大致上對稱於一橫切該基體之縱長面中點的平面。

2. 如申請專利範圍第1項所述之微電子封裝基體組合，其中有一導線附接至該等金屬化接墊之至少其中之一。

3. 如申請專利範圍第1項所述之微電子封裝基體組合，其還包含至少兩個位於該底表面上與該第二配接平面電絕緣的底金屬化接墊，其中該等底金屬化接墊被排列成大致上對稱於一橫切該基體之縱長平面中點的平面。

4. 一種微電子封裝基體組合，包含：

一具有一頂表面與一底表面的高級陶瓷基體；

在該頂表面上的第一金屬化配接平面，以及在該底表面上的第二金屬化配接平面；

一介於該第一與第二配接平面之間的電連接；

至少一個位於該頂表面上與該第一配接平面電絕緣的金屬化接墊，以及至少一個位於該底表面上與該第二配接平面電絕緣的金屬化接墊；其中該等配接平面與該等金屬化接墊排列成大致上對稱於一位於該頂表面與該底表面之間而且與之平行的平面。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

5. 如申請專利範圍第1或第4項所述的微電子封裝基體組合，其中該電連接包含許多個金屬化通路。
6. 如申請專利範圍第1或第4項所述的微電子封裝基體組合，其中該電連接包含一至少是一栓槽孔之周緣的金屬化表面。
7. 如申請專利範圍第4項所述之微電子封裝基體組合，在該頂表面與該底表面上至少具有兩個該等金屬化的接墊。
8. 如申請專利範圍第4項所述之微電子封裝基體組合，其中有一導線附接至在該頂表面與該底表面其中之一上的至少一金屬化接墊。
9. 如申請專利範圍第2或第8項所述的微電子封裝基體組合，包括一個裝設在該第一金屬化配接平面並且與該導線電接在一起的電子裝置。
10. 如申請專利範圍第9項所述的微電子封裝基體組合，其中有一些導線附接在位於頂表面上的至少兩金屬化接墊，且該電子裝置是一與該等導線電接在一起的電晶體。
11. 一種用以製造微電子封裝基體組合的方法，包含：
 - 備置一個具有一頂表面與一底表面的高級陶瓷片材，該片材並具有許多個穿過其間而延伸的孔；
 - 將一金屬化的糊狀物導入該等孔中；
 - 燃燒該糊狀金屬化片材；
 - 在該高級陶瓷片材的頂表面與底表面上金屬化一

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

與該燒過糊狀物相電接的配接平面；以及

在該高級陶瓷片材之頂表面與底表面上金屬化至少一個與該配接平面電絕緣的接墊。

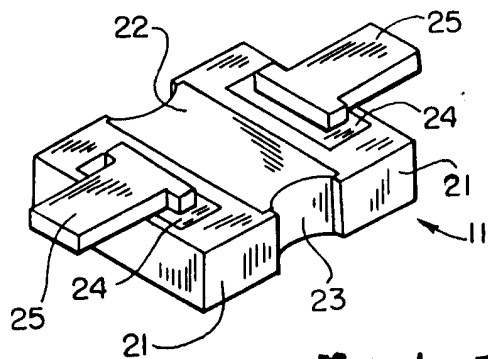
12. 如申請專利範圍第11項所述之方法，包括在該高級陶瓷片材上形成許多個配接平面/接墊組合。
13. 如申請專利範圍第12項所述之方法，包括將一具有至少一個該配接平面/接墊組合的基體切離該高級陶瓷片材。
14. 如申請專利範圍第13項所述之方法，其中該基體被切成恰好至少一金屬化孔的一部份形成該基體的一邊緣面。
15. 如申請專利範圍第13項所述之方法，其中該基體被切成恰好至少有一金屬化孔穿過該基體，而形成一通路。
16. 如申請專利範圍第13項所述之方法，包括將一導線附接至位於該已切過基體之其中一表面上的每一接墊。
17. 如申請專利範圍第11項所述之方法，包括將一導線附接至位於該等表面其中之一上的接墊。

(請先閱讀背面之注意事項再填寫本頁)

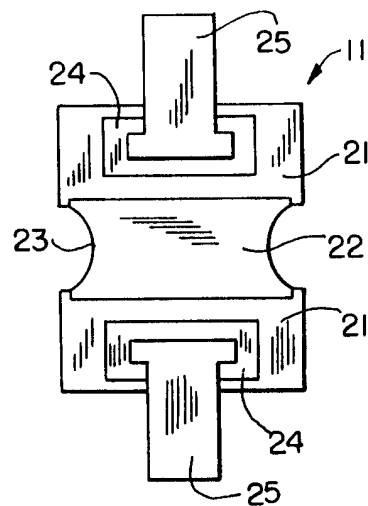
裝

訂

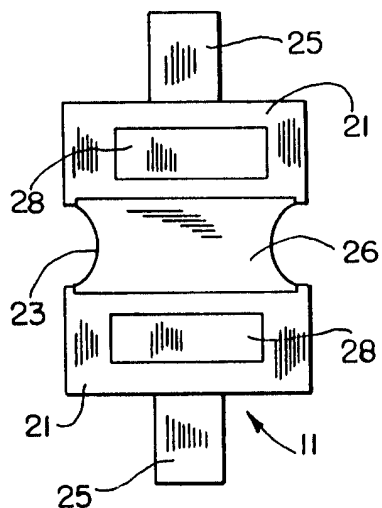
線



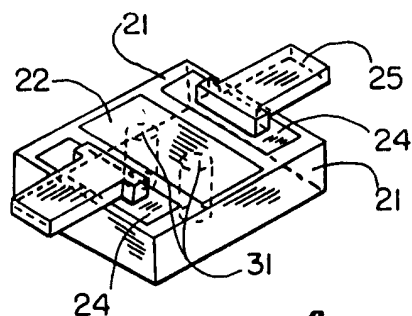
第 1 圖



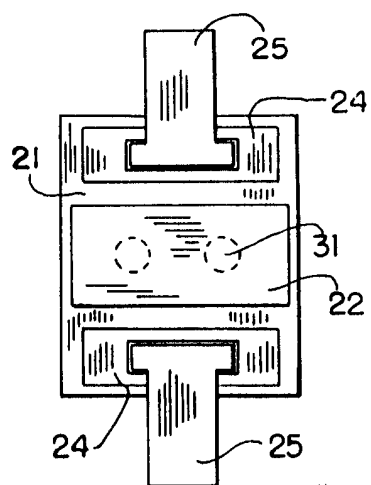
第 2 圖



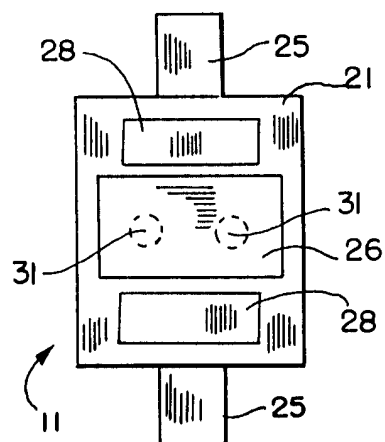
第 3 圖



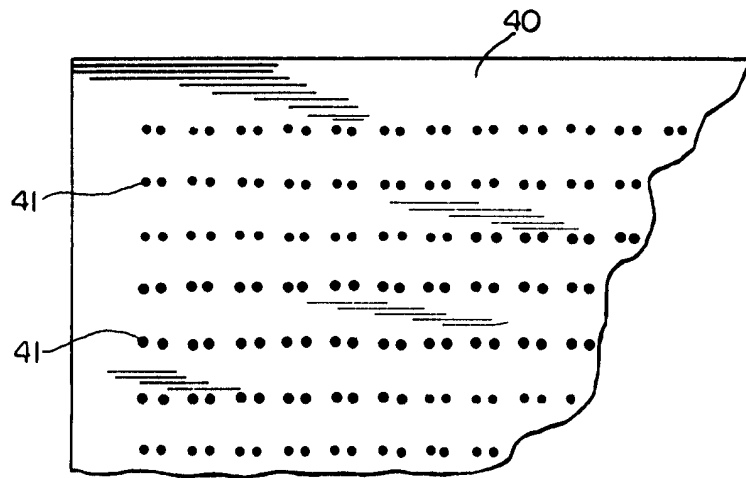
第 4 圖



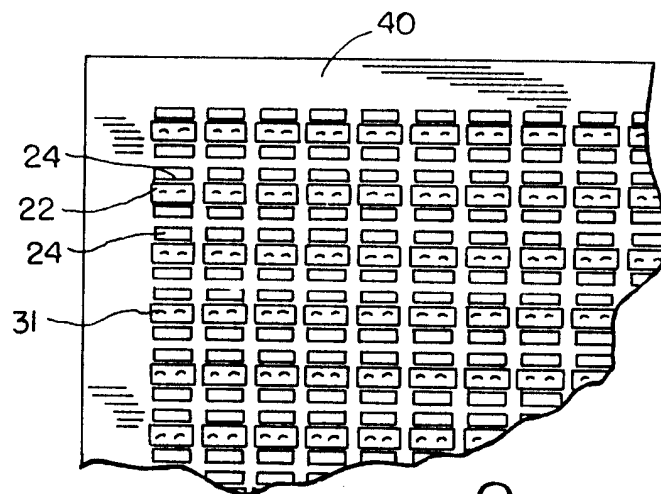
第 5 圖



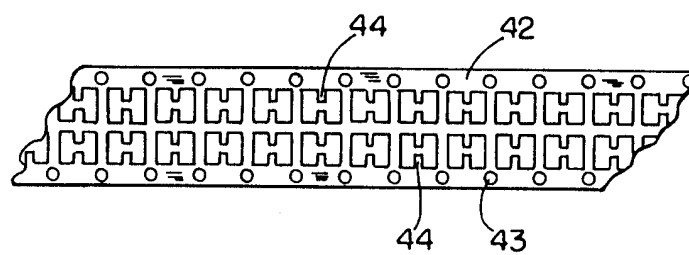
第 6 圖



第 7 圖



第 8 圖



第 9 圖