

99年10月15日修正替換頁

公告本

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：96117978

※ 申請日期：96.5.21

※IPC 分類：H03K 5/003 (2006.01)

## 一、發明名稱：(中文/英文)

用於頻率轉換之三態截波電路/ TRI-STATE CHOPPER FOR  
FREQUENCY CONVERSION

## 二、申請人：(共 1 人)

姓名或名稱：(中文/英文) (簽章)

瑞昱半導體股份有限公司 / REALTEK SEMICONDUCTOR CORP.

 指定為應受送達人

代表人：(中文/英文) (簽章) 葉南宏 / Yeh, Nan-Horng

住居所或營業所地址：(中文/英文)

300新竹科學園區創新二路二號/ NO. 2, INNOVATION RD. II, SCIENCE-BASED  
INDUSTRIAL PARK, HSINCHU 300, TAIWAN, ROC

國籍：(中文/英文) 中華民國/ TAIWAN(R. O. C.)

電話/傳真/手機：

E-MAIL：

## 三、發明人：(共 1 人)

姓名：(中文/英文)

林嘉亮/ CHIA-LIANG LIN

國籍：(中文/英文)

美國/USA

#### 四、聲明事項：

主張專利法第二十二條第二項  第一款或  第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

美國、2006/5/21、11/419,507。

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

## 五、中文發明摘要：

本發明係揭露一種三態截波電路及其方法。此截波電路係接收一輸入信號與一三態控制信號且產生一輸出信號，其中當三態控制信號在一第一狀態時，輸出信號追蹤輸入信號之幅度及符號；當三態控制信號在一第二狀態時，輸出信號追蹤輸入信號之幅度，但輸出信號具有一相反符號(opposite sign)；以及當三態控制信號在一第三狀態時，輸出信號係設為零。

## 六、英文發明摘要：

A tri-state chopper (TSC) circuit and method is disclosed. The tri-state chopper (TSC) circuit receives an input signal and a ternary signal and generates an output signal, wherein: the output signal tracks the input signal in both magnitude and sign when the ternary signal is in a first state; the output signal tracks the input signal in magnitude but has an opposite sign when the ternary signal is in a second state; and the output signal is set to zero when the ternary signal is in a third state.

## 七、指定代表圖：

(一)、本案指定代表圖為：第(3)圖。

(二)、本案代表圖之元件符號簡單說明：

300:TSC 電路；

310, 320, 330, 340, 350, 360, 370, 380:開關(SW)。

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：  
無。

## 九、發明說明：

### 【發明所屬之技術領域】

本發明有關於一種頻率轉換，特別是關於一種可抑制諧波混合之頻率轉換之技術領域。

### 【先前技術】

直接轉換接收機(direct conversion receiver)係為一眾所皆知的技藝。請參閱第 1 圖，其顯示一習知之直接轉換接收機 100 之功能方塊圖。直接轉換接收機 100 包含一前置濾波器(pre-filter)110、一低雜訊放大(low-noise amplifier, LNA)120、一同相(In-phase)路徑 I 包含一第一混合器 130\_I、一第一低通濾波器(low pass filter, LPF) 140\_I、一第一類比數位轉換器(analog-digital converter, ADC) 150\_I;以及一正交(quadrature)路徑 Q 包含一第二混合器 130\_Q、一

第二低通濾波器 140\_Q 以及一第二 ADC 150\_Q。前置濾波器 110 對一無線射頻輸入信號 RF\_IN 進行初步地濾波並傳送一輸出信號至 LNA 120，其中 LNA 120 係對前置濾波器 110 所輸出的輸出信號進行一低雜訊放大，以產生一無線射頻信號 122 以作為一同相路徑(I)及一正交路徑(Q)之一輸入信號。此同相路徑接收無線射頻信號 122，並轉換為一第一數位基頻信號 BB\_I，其中轉換流程為：藉由使用混合器 130\_I 對無線射頻信號 122 及一同相時脈 LO\_I 進行混合，使用低通濾波器 140\_I 對混合器 130\_I 之輸出信號進行濾波並使用第一類比至數位轉換器(ADC) 150\_I 將低通濾波器 140\_I 之輸出信號轉換為第一數位基頻信號 BB\_I。正交路徑接收無線射頻信號 122，並將其轉換為一第二數位基頻信號 BB\_Q，其中轉換流程為：使用混合器 130\_Q 對無線射頻信號 122 及一正交時脈 LO\_Q 進行混合，使用低通濾波器 140\_Q 對混合器 130\_Q 之輸出信號進行濾波，並使用第二類比至數位轉換器 150\_Q 將低通濾波器 140\_Q 之輸出信號轉換為第二數位基頻信號 BB\_Q。一般而言，輸入信號 RF\_IN 為一種包含許多頻譜成分(spectral)之寬頻信號，其中僅窄頻成分會被選出的。為了滿足直接轉換之條件，同相時脈 LO\_I 與正交時脈 LO\_Q 必須有相同的頻率，其為欲得之窄頻成分之頻率，且同相時脈 LO\_I 與正交時脈 LO\_Q 間的相位差必須為 90 度。

雖然直接轉換接收機之工作原理已是為人所熟知，但由於兩混合器(130\_I 及 130\_Q)進行信號混合所產生的“諧波混合”問題，使得將直接轉換接收機運用至一電視調諧器(tuner)有一定的困難度。特別地，混合器在輸入射頻信號及本地振盪(LO)之奇數級諧波(Odd order harmonics)中容易產生偽(spurious)混合產物。舉例來

說，一調諧器被調整以從排列於 47 MHz 至 862 MHz 間的複數個頻道中選擇一頻道。假使使用直接轉換架構使調諧器被調整至 100 MHz，兩個本地振盪時脈(LO\_I 及 LO\_Q)也必需在 100 MHz 的頻率。當成功地轉換欲得頻道(100 MHz)至兩基頻信號後，在 300MHz 頻道中不欲得之信號也會被轉換成為兩基頻信號之一部分，因為在 300MHz 的不欲得的信號也將與這些本地振盪信號之第三諧波混合。混合器能以一 ”相乘式混合器(multiplying mixer)” 或一 ”切換式混合器”(switching mixer)來實現，但兩者皆無法避免上述 ”諧波混合” 的問題。

所以，一種可避免諧波混合問題的頻率轉換方法是目前迫切需要的。

#### 【發明內容】

本發明係揭露一種具有三種狀態的截波(tri-state chopper)電路。此截波電路係接收一輸入信號與一三態控制信號且產生一輸出信號，其中當三態控制信號在一第一狀態時，輸出信號追蹤輸入信號之幅度及符號;當三態控制信號在一第二狀態時，輸出信號追蹤輸入信號之幅度，但輸出信號具有一相反(opposite)符號;以及當三態控制信號在一第三狀態時，輸出信號係設為零。

此外，在本發明之一實施例中，其揭露一種頻率轉換器，此頻率轉換器係接收一輸入信號與一周期性控制信號且產生一輸出信號，其中當周期性三態控制信號在一第一狀態時，輸出信號追蹤輸入信號之幅度及符號;當周期性三態控制信號在一第二狀態時，輸出信號追蹤輸入信號之幅度，但此輸出信號具有一相反符號;以及當周期性三態控制信號在一第三狀態時，輸出信號係設為零。

再者，在本發明之另一實施例中，其揭露一種頻率轉換器，此頻率轉換器包含複數個頻率轉換路徑，此些頻率轉換路徑用以接收一共通輸入信號及複數個周期性控制信號，且分別地產生複數個轉換信號，及一加總電路，用於將所有轉換信號進行加總以產生一輸出信號。其中，至少一頻率轉換路徑包含一用以接收一三態信號及產生一轉換信號之三態截波(tri-state chopper, TSC)電路。其中，當此三態信號為一第一狀態時，轉換信號與共通輸入信號呈比例關係，當此三態信號為一第二狀態時，轉換信號與共通輸入信號之一反轉呈比例關係，當此三態信號為一第三狀態時，此轉換信號係設為零。

再者，在本發明之另一實施例中，其揭露一種正交頻率轉換器，此正交頻率轉換器包含一第一頻率轉換器，其包含：一第一並聯轉換路徑群，係用於接收一輸入信號及一第一周期性三態信號群，且將輸入信號轉換為一第一轉換信號群；及一第一加總電路，係加總此第一轉換信號群以產生一第一輸出信號，一第二頻率轉換器，其包含：一第二並聯轉換路徑群，係用於接收輸入信號及一第二周期性三態信號群，且將輸入信號轉換為一第二轉換信號群；及一第二加總電路，係加總第二轉換信號群以產生一第二輸出信號。

再者，在本發明之另一實施例中，其揭露一種實現頻率轉換方法，此方法包含：接收一輸入信號及一周期性三態信號；以及產生一輸出信號以回應輸入信號及周期性三態信號之一狀態。

再者，在本發明之另一實施例中，其揭露一種實現頻率轉換方法，此方法包含：接收一輸入信號及相同頻率但不同時序之複數個周期性三態信號；產生複數個轉換信號以回應輸入信號及周期性

三態信號之多個狀態;以及加總所有的轉換信號以產生一輸出信號。

### 【實施方式】

本發明係有關於一種三態截波電路及其在諧波拒斥混合頻率轉換之應用。以下詳細地討論目前較佳的實施例。然而應被理解的是，本發明提供許多可適用的發明觀念，而這些觀念能被體現於很寬廣多樣的特定具體背景中。所討論的特定具體的實施例僅是說明使用本發明的特定結構，而且不會限制本發明的範圍。

三態截波器(tri-state chopper, TSC)係接收一輸入信號及一三態控制信號且產生一輸出信號。一三態控制信號具有三種狀態，分別為-1、1及0。在一第一狀態("1")中，輸出信號追蹤輸入信號之幅度及符號;在一第二狀態("-1")中，輸出信號追蹤輸入信號之幅度，但輸出信號具有一相反(opposite)符號;在一第三狀態("0")中，忽略輸入信號而輸出信號係為0。一三態控制信號能由兩個或更多二進制控制信號所表示。在一較佳實施例中，兩個二進制邏輯信號 SN(表示為"sign")及信號 ZR(表示為"zero")可用來表示為一三態信號。如第 2(A)圖所示，一 TSC 電路 200 接收一輸入信號 IN 及由兩個控制信號 SN 及 ZR 所表示的一三態信號，且產生一輸出信號 OUT。信號 SN 及信號 ZR 皆為邏輯信號，且每一信號具有兩種邏輯狀態:分別為高(H)及低(L)。當信號 SN 為高但信號 ZR 為低時，此三態信號為第一狀態("1")，在此一實施例中，輸出信號 OUT 跟隨輸入信號 IN 之幅度及符號，如輸出信號 OUT 與輸入信號 IN 呈比例關係。當信號 SN 與信號 ZR 皆為低時，此三態信號為第二狀態("-1")，在此一實施例中，輸出信號 OUT 跟

隨輸入信號 IN 之幅度，但輸入信號 IN 具有一相反(opposite)符號，如輸出信號 OUT 與輸入信號 IN 之一反轉信號呈比例關係。當信號 ZR 為高時，此三態信號為第三狀態(“0”)，則忽略輸入信號而輸出信號 OUT 為零。

請參閱第 2 圖，其繪示一 TSC 之一實施時序圖。圖中，於時間間隔 210、230、250 及 270 間，信號 ZR 為高，所以此三態控制信號為第三狀態(“0”)，因而輸出信號 OUT 為零。於時間間隔 220 及 260 間，信號 ZR 為低但信號 SN 為高，所以此三態控制信號為第一狀態(“1”)，因此輸出信號 OUT 跟隨輸入信號 IN 之幅度及符號。於時間間隔 240 及 280 間，信號 ZR 與信號 SN 皆為低，所以此三態控制信號為第二狀態(“-1”)，因此輸出信號跟隨輸入信號 IN 之幅度，但輸出信號具有一相反符號。

透過上述說明可知，兩控制信號 SN(表示為“sign”)及信號 ZR(表示為“zero”)及上述編碼流程可用來表示一控制一 TSC 電路之三態控制信號。然而，熟知此技藝人士所知悉，一三態控制信號可藉由多種可選擇的編碼流程而被表示。特別地，兩個二進制控制信號能表示四個狀態，但一三態控制信號只能具有三個狀態。因此，設計者能自由地選擇任一機制將兩個二進位控制信號所表示的四個不同的狀態對應到三個不同的狀態。

在一實施例中，設計者可選擇使用三個二進制信號  $C_1$ 、 $C_{-1}$  及  $C_0$  表示一三態控制信號。在任一時間片刻中，此三個二進制信號之其一必定為高，且其餘兩個必定為低。當  $C_1$  為高及  $C_{-1}$  與  $C_0$  皆為低時，此三態控制信號為一第一狀態；當  $C_{-1}$  為高及  $C_1$  與  $C_0$  皆為低時，此三態控制信號為一第二狀態；及當  $C_0$  為高及  $C_1$  與  $C_{-1}$  為低時，此三態控制信號為一第三狀態。

如第 3 圖所示，其繪示一包含複數個開關 SW 之一 TSC 電路 300 之實施例之電路圖。圖中，此實施例係使用一差動電路，其中輸入信號係以一差動信號 IN +/- 表示，輸出信號係以一差動信號 OUT +/- 表示，第一控制信號 SN 係以 SN+ 及 SN+ 的邏輯性反轉信號 SN- 來實現，而第二控制信號 ZR 以 ZR+ 及 ZR+ 的邏輯性反轉 ZR- 來實現。每一開關(310-380)具有兩種狀態：關閉“(closed)”及打開“(open)”，其係由一邏輯信號所控制；當此控制邏輯性信號為高時，則此開關為關閉狀態，相反地，當控制邏輯性信號為低時，則此開關為打開狀態。在第一狀態時，即信號 ZR 為低(如，ZR+ 為邏輯性低，且 ZR- 為邏輯性高)及信號 SN 為高(如，SN+ 為邏輯性高，且 SN- 為邏輯性低)，則差動信號 IN+ 透過開關 SW 310 及開關 SW 360 與差動信號 OUT+ 耦接，同時，差動信號 IN- 透過開關 SW 340 及開關 SW 370 與差動信號 OUT- 耦接。在第一狀態內，輸出信號可在無極性翻轉(polarity flip)的情況下跟隨輸入信號。在第二狀態時，即信號 ZR 為低(如，ZR+ 為邏輯性低，且 ZR- 為邏輯性高)及信號 SN 也為低(如，SN+ 為邏輯性低，且 SN- 為邏輯性高)，則差動信號 IN+ 透過開關 SW 320 及開關 SW 370 與差動信號 OUT- 耦接，同時，差動信號 IN- 透過開關 SW 330 及開關 SW 360 與差動信號 OUT+ 耦接。在第二狀態內，輸出信號跟隨輸入信號，但此輸出信號具有一極性翻轉。在第三狀態內，即信號 ZR 為高(如，ZR+ 為邏輯性高，且 ZR- 為邏輯性低)，差動輸入信號 IN+/- 及差動輸出信號 OUT+/- 互相耦接，差動信號 IN+ 透過開關 SW 350 與差動信號 IN- 耦接，且差動信號 OUT+ 透過開關 SW 380 與差動信號 OUT- 耦接。在此第三狀態內，差動輸出信號係為零。開關電路可以使用一電晶體(例如是：MOSFET)來實現，且實

施方式此已是為人所熟知的技術，故在此不在贅述。

### 以三態截波器為基礎之頻轉換接收器

當 TSC 之三態信號係為周期性信號時，例如控制信號 SN 及控制信號 ZR 在一較佳的編碼流程中皆為周期性，則此 TSC 電路亦可用來實現一頻率轉換。當 TSC 電路被用作實現頻率轉換裝置時，此 TSC 電路比一習知的混合器有一較佳的諧波抑制。習知混合器係類似於一具兩狀態之截波電路，其接收一輸入信號及一本地振盪(local oscillator)信號並產生一輸出信號，而輸出信號係跟隨輸入信號，除非本地振盪信號為高否則輸出信號將會條件地被翻轉(依據信號極性)。

在混合器中，此輸出信號等同於輸入信號乘上一方波，其中此方波之頻率與本地振盪信號之頻率相同。在數學上可由下列傅立葉級數(Fourier series)來表示 50%工作周期之周期 T 之一方波：

$$SQ(t) = \frac{4}{\pi} \left( \sin(\omega t) + \frac{1}{3} \sin(3\omega t) + \frac{1}{5} \sin(5\omega t) + \frac{1}{7} \sin(7\omega t) + \frac{1}{9} \sin(9\omega t) + \frac{1}{11} \sin(11\omega t) + \dots \right)$$

其中， $\omega=2\pi/T$ 。因此，此方波具有較強的第 3 級及第 5 級諧波。另一方面，TSC 電路具有額外自由度，讓一使用者藉由使用兩控制信號 SN 及 ZR(相對於在習知混合器僅使用一控制信號 LO)來操作諧波混合之相對強度。特別地，當信號 SN 為一週期 T 之方波且信號 ZR 為一 T/2 週期的矩形波時，此輸出信號 OUT 等同於輸入信號 IN 乘上一週期 T 之多層傳送-3(multi-level 3-transmit, MLT-3)波。如第 4 圖所示，其繪示一 MLT-3 波之一實際波形圖，此 MLT-3 波為相應信號 SN 為一周期 T 之方波及信號 ZR 為一 T/2 週期的矩形波。圖中，MLT-3 波具有三個的級別:分別是:"1"(當信

號 SN=1 且信號 ZR=0), "-1" (當信號 SN=0 且信號 ZR=0)及"0"(當信號 ZR=1)。此 MLT-3 波顯示一周期性圖樣(pattern):0、1、0、-1、0、1、0 及 -1 等。MLT-3 波停留在三個的級別"1"、"0"及"-1"且分別為  $T_1$ 、 $T_0$  及  $T_{-1}$ 。為了具有偶數級(even-order)諧波抑制，設計者必須使  $T_1=T_{-1}$ 。在基本頻率(Fundamental Frequency)(如  $1/T$ )之重要的任一特定奇數級諧波之相對強度可藉由在  $T_1$  及  $T$  之間選出一較恰當的比例而被抑制。在一實施例中，當  $T_1/T=1/3$ (且同樣地， $T_{-1}/T=1/3$  及  $T_0/T=1/6$ )時，MLT-3 波可由下列傅立葉級數來表示：

$$MLT3(t) = \frac{2\sqrt{3}}{\pi} \left( \sin(\alpha t) - \frac{1}{5} \cdot \sin(5\alpha t) - \frac{1}{7} \cdot \sin(7\alpha t) + \frac{1}{11} \cdot \sin(11\alpha t) + \frac{1}{13} \cdot \sin(13\alpha t) + \Lambda \right)$$

至此，在第 3 級及第 9 級及在一般任一  $3K$  級(其中  $K$  為一整數)諧波皆為零。因此，TSC 電路可提供一諧波拒斥(harmonic rejection)之選擇彈性，這在一習知混合器內不可能存在。

選擇  $T_1/T=1/3$ (且同樣地， $T_{-1}/T=1/3$  及  $T_0/T=1/6$ )時可導致任一  $3K$  級諧波之完美拒斥(perfect rejection)，所以此比例係為最佳的選擇。在許多的應用層面來說，第 5 級及第 7 級係最被期望可完整地拒斥，及/或某些其它的奇數級諧波亦是如此。使用許多並聯的 TSC 電路，且每一 TSC 電路執行一特定的 MLT-3 乘法運算時，可實現完美拒斥之目的。

### 以三態截波器基礎之諧波拒斥頻率轉換

在第 5A 圖之一實施例中，一諧波拒斥頻率轉換器 500A 包含複數個 TSC 基頻轉換路徑及一加總電路，此些轉換路徑係以並聯方式建構，其將一輸入信號 RF 轉換為複數個轉換信號，而一加總電路係將加總此些信號以產出一輸出信號 IF。每一轉換路徑包含

一增益元件及一 TSC 電路，此增益元件係藉由一增益因素對輸入信號 RF 進行縮放，而 TSC 電路係接收已縮放之 RF 信號並使用兩控制信號進行一 MLT-3 乘法運算以將已縮放 RF 信號轉換為一中頻輸出信號。例如，在第一轉換路徑中，增益元件 510\_1 以增益因素 G1 對輸入信號 RF 進行縮放以產生已縮放之 RF 信號 RF\_1，接著 TSC 電路 520\_1 根據兩控制信號 SN\_1 及 ZR\_1 進行一 MLT-3 乘法運算以將已縮放 RF 信號轉換為一輸出信號 IF\_1。所有 TSC 電路之輸入訊號由加總電路 530 進行加總，以產生最後輸出訊號 IF。可藉由選擇適當的增益參數(G1、G2 等等)及所有控制訊號(SN\_1、ZR\_1、SN\_2、ZR\_2 等等)之時序來達到諧坡拒斥之功效。在第 5B 圖所示之另一實施例中，每一轉換路徑之增益元件之位置係與 TSC 電路之位置交換。例如，第一增益元件 510\_1 之位置與 TSC 電路之位置交換。明顯地，第 5B 圖所示之頻率轉換器 500B 之功能與第 5A 圖所示之頻率轉換器 500A 之功能相同。

在一特定的實施例中，設計者使用三個 TSC 電路(例如在第 5A 圖及第 5B 圖中 N=3)，所有 TSC 電路可對具有 T1/T 值為 1/3(T=1/T=1/3 且 T0/T=1/6)的 MLT-3 波進行相乘。此些 MLT-3 波具有相同的頻率(1/T)但是相異的相位。第一 MLT-3 波(對應第一 TSC 電路 520\_1)之時序比第二 MLT-3 波(對應第二 TSC 電路 520\_2)早，同樣地，第二 MLT-3 波(對應第二 TSC 電路 520\_2)之時序比第三 MLT-3 波(對應第三 TSC 電路 520\_3)早。這三個 MLT-3 波可以下列數學式來表示：

$$M_1(t) = \frac{2\sqrt{3}}{\pi} \left( \sin(\omega t + \omega\tau) - \frac{1}{5} \cdot \sin(5\omega t + 5\omega\tau) - \frac{1}{7} \cdot \sin(7\omega t + 7\omega\tau) + \dots \right)$$

$$M_2(t) = \frac{2\sqrt{3}}{\pi} \left( \sin(\omega t) - \frac{1}{5} \cdot \sin(5\omega t) - \frac{1}{7} \cdot \sin(7\omega t) + \dots \right)$$

$$M_3(t) = \frac{2\sqrt{3}}{\pi} \left( \sin(\omega t - \omega\tau) - \frac{1}{5} \cdot \sin(5\omega t - 5\omega\tau) - \frac{1}{7} \cdot \sin(7\omega t - 7\omega\tau) + \dots \right)$$

其中  $\tau = 2/T$ 。當選擇  $\tau = T/12$  例如  $\tau = T/12$ 、 $G_2 = -2\cos(5\tau/6) \cdot G_1$  及  $G_3 = G_1$  時，透過疊加三個 MLT-3 波可獲得一合成波，如下列數學式所示：

$$\begin{aligned}
 M(t) &= G_1 M_1(t) + G_2 M_2(t) + G_3 M_3(t) \\
 &= \frac{2\sqrt{3}G_1}{\pi} \left( \sin\left(\omega t + \frac{\pi}{6}\right) - \frac{1}{5} \cdot \sin\left(5\omega t + \frac{5\pi}{6}\right) - \frac{1}{7} \cdot \sin\left(7\omega t + \frac{7\pi}{6}\right) + \dots \right) \\
 &\quad - \frac{4\sqrt{3}G_1 \cos\left(\frac{5\pi}{6}\right)}{\pi} \left( \sin(\omega t) - \frac{1}{5} \cdot \sin(5\omega t) - \frac{1}{7} \cdot \sin(7\omega t) + \dots \right) \\
 &\quad + \frac{2\sqrt{3}G_1}{\pi} \left( \sin\left(\omega t - \frac{\pi}{6}\right) - \frac{1}{5} \cdot \sin\left(5\omega t - \frac{5\pi}{6}\right) - \frac{1}{7} \cdot \sin\left(7\omega t - \frac{7\pi}{6}\right) + \dots \right) \\
 &= \frac{12G_1}{\pi} \sin(\omega t) + (11\text{th and higher order harmonics})
 \end{aligned}$$

如此，可消除第 5 級及第 7 級諧波，且在此合成波中直到第 11 級諧波都無偽波(spurious free)。

請參閱第 6(A)圖，其繪示此三個 TSC 電路及相對應 MLT-3 波之時序圖。所有三個”sign”控制訊號(SN\_1、SN\_2 及 SN\_3)皆為週期 T 而工作週期 50%之方波(square wave)，且此些訊號之時序係分別間隔 T/12，例如，信號 SN\_2 較信號 SN\_1 延遲 T/12，而信號 SN\_3 較信號 SN\_2 延遲 T/12。所有三個”zero”控制訊號(ZR\_1、ZR\_2 及 ZR\_3)皆為週期 T/2 而工作週期 1/3(例如每一週期包含一高期間 T/6 及一低期間 T/3)之矩形波(rectangular wave)，且此些訊號之時序係分別間隔 T/12，例如，信號 ZR\_2 較信號 ZR\_1 延遲 T/12，而信號 ZR\_3 較信號 ZR\_2 延遲 T/12。在第 6(A)圖中，此些分別對應三個 TSC 電路之 MLT-3 波形係標示為 M1、M2 及 M3。透過以個別的增益對 MLT-3 信號進行縮放並加總此些已縮放之信號，可得到一近似理想正弦波之合成波，如第 6(B)圖所示。相較於一方波或一 MLT-3 波，由於此合成波近似理想正弦波，因此其諧波被大大地抑制。請注意，在此係以每一 TSC 電路中的增益元

件來進行縮放，並使用一加總電路來進行加總。

請參閱第 7 圖，其繪示一產生用於第 6(A)圖所示之三個 MLT-3 波之控制信號之實施例。相位鎖定電路(PLL)提供一週期  $T/12$  之第一時脈 CLK。而除 2 計數器 710 根據第一時脈 CLK 產生一週期  $T/6$  之第二時脈 CLK2。而除 3 計數器 720 根據第二時脈 CLK2 產生一週期  $T/2$  之第三時脈 CLK3。由於時脈 CLK6 由除 3 計數器所產生，因此其工作週期為  $1/3$ ，其原因已為大家所熟知，在此不再贅述。週期  $T$  之第四時脈 CLK12 係由第二除 2 計數器 730 從第三時脈 CLK6 產生，且第四時脈 CLK12 之工作週期為  $1/2$ 。第一暫存器陣列包含資料正反器(data flip flop, DFF)741、742 及 743，係用作於此第三 CLK6 於第一時脈 CLK 之一上緣部時進行取樣，以產生三個"zero"信號，分別為 ZR\_1、ZR\_2 及 ZR\_3。此一結果，此三個"zero"信號具有相同的  $T/2$  周期及相同的  $1/3$  工作周期，但時序之間隔為一  $T/12$ 。第二暫存器陣列包含資料正反器(data flip flop, DFF)751、752、753 及 754 係用於此第四 CLK12 於第一時脈 CLK 之一上緣部時進行取樣，以產生三個"sign"信號，分別為 SN\_1、SN\_2 及 SN\_3。因此，此三個 sign 信號具有相同的  $T$  周期及相同的  $1/2$  工作周期，但彼此的時序間隔為  $T/12$ 。請注意，有一個 DFF(751)設置在第二暫存器陣列內，因而，相較於前述三個"zero"信號，此三個"sign"信號具有額外延遲  $T/12$ 。資料正反器、除 2 計數器及除 3 計數器之詳細電路實施例已為熟知此技藝人士所知悉，故在此不在贅述。

綜合上述說明，一諧波抑制頻率轉換可使用複數個並聯 TSC 電路來實現，每一 TSC 電路係以兩個控制信號所控制，以實現複數個 MLT-3 相乘以及對乘法結果進行加權加總。實際上，

$T_1=T-1=T/3$  且  $T_0=T/6$  之 MLT-3 波形具有零第 3 級諧波的特性，並可透過對三個並聯 MLT-3 相乘並對相乘結果做加權加總，來達到直到第 9 級諧波皆諧波拒斥之功效。一般而言，一設計者可選擇適當地 MLT-3 波形、並聯 TSC 電路及對每一並聯相乘結果進行加權加總，便可獲得具有一欲得諧波拒斥之欲得合成波。

### 以三態截波器為基礎之直接轉換接收器

在一直接轉換接收器內，一正交頻率轉換器必須包含一同相(I)轉換路徑及一正交(Q)轉換路徑。上述提及的以 TSC 為基礎之轉換原理可延續至正交頻率轉換。於第 8 圖所示，一正交頻率轉換器係使用複數個 TSC 電路。一輸入訊號 RF 分別透過一同相轉換路徑及一正交轉換路徑轉換為一同相信號 I 及一正交輸出信號 Q。此同相轉換路徑包含一第一群增益元件(810\_1I、810\_2I 等)、使用一第一群控制信號(SN\_1I、ZR\_1I、SN\_2I、ZR\_2I 等)之一第一群 TSC 電路 (820\_1I、820\_2I 等)及一第一加總元件 830I。而正交轉換路徑包含一第二群增益元件(810\_1Q、810\_2Q 等)、使用一第二群控制信號(SN\_1Q、ZR\_1Q、SN\_2Q、ZR\_2Q 等)之一第二群 TSC 電路(820\_1Q、820\_2Q 等)及一第二加總元件 830Q。所有”sign”信號(SN\_1I、SN\_1Q、SN\_2I、SN\_2Q 等)必為相同周期 T，而所有”zero”信號(ZR\_1I、ZR\_1Q、ZR\_2I、ZR\_2Q 等)必為相同周期 T/2。正交轉換路徑大致上與同相轉換路徑相同。同樣地，用於正交轉換路徑之控制信號(如 SN\_1Q、ZR\_1Q、SN\_2Q、ZR\_2Q 等)之各自波形大致上與用於同相轉換路徑之控制信號(如 SN\_1I、ZR\_1I、SN\_2I、ZR\_2I 等)類似，然而此些波形相對於在同相轉換路徑內則有近似一固定的時序偏移量 T/4。舉例來說，SN\_1Q 與 SN\_1I 具

有相同波形，但 SN<sub>1Q</sub> 相對於 SN<sub>1I</sub> 有一固定的不變的時序偏移量  $T/4$ ，及 ZR<sub>1Q</sub> 與 ZR<sub>1I</sub> 具有相同波形，但 ZR<sub>1Q</sub> 相對於 ZR<sub>1I</sub> 有一固定的時序偏移量  $T/4$ 。每一 TSC 電路係能有效地執行一 MLT-3 乘法運算，其中，在正交轉換路徑內 TSC 電路之任一 MLT-3 波相對於在同相轉換路徑內的任一 MLT-3 波具有一時序偏移量  $T/4$ 。

接著，以下將討論每一轉換路徑皆使用三個 TSC 電路及對於所有的 TSC 電路使用具有  $T_1/T = T_{-1}/T = 1/3$  及  $T_0/T = 1/6$  之相同的 MLT-3 波之電路設計。如第 9 圖所示，此圖係為前述實施方案之一時序示意圖。所有 "sign" 信號有相同周期  $T$  及相同的  $1/2$  工作周期，及所有 "zero" 信號有相同周期  $T/2$  及相同的  $1/3$  工作周期。SN<sub>2I</sub>、SN<sub>3I</sub>、SN<sub>1Q</sub>、SN<sub>2Q</sub> 及 SN<sub>3Q</sub> 分別地相對於 SN<sub>1I</sub>、SN<sub>2I</sub>、SN<sub>3I</sub>、SN<sub>1Q</sub> 及 SN<sub>2Q</sub> 具有一固定的時序偏移量  $T/12$ ，且 ZR<sub>2I</sub>、ZR<sub>3I</sub>、ZR<sub>1Q</sub>、ZR<sub>2Q</sub> 及 ZR<sub>3Q</sub> 分別地相對於 ZR<sub>2I</sub>、ZR<sub>3I</sub>、ZR<sub>1Q</sub> 及 ZR<sub>2Q</sub> 具有一固定的時序偏移量  $T/12$ 。如第 10 圖所示，其繪示一產生這些控制信號之實施電路圖。第 10 圖所繪示之電路係與第 7 圖相同，除了下列描述以外，分別是：被加在 "zero" 暫存器陣列內的三個額外的 DFF(1044-1046)，此些 DFF 係對於正交路徑而產生三個 "zero" 控制信號(如 ZR<sub>1Q</sub>、ZR<sub>2Q</sub> 及 ZR<sub>3Q</sub>)，以及被加在 "sign" 暫存器陣列內的三個額外的 DFF (1055-1057)，此些 DFF 係對於正交路徑而產生三個 "sign" 控制信號(如 SN<sub>1Q</sub>、SN<sub>2Q</sub> 及 SN<sub>3Q</sub>)。在正交路徑內的每一控制信號相對於在同相路徑則具有一  $T/4$  時序延遲(當 CLK 的周期為  $T/12$  時，此延遲係由三個 DFF 所引起)。舉例來說，ZR<sub>1Q</sub> 相對於 ZR<sub>1I</sub> 有一  $T/4$  延遲及 SN<sub>1Q</sub> 相對於 SN<sub>1I</sub> 有一  $T/4$  延遲。

如第 11 圖所示，其繪示一以 TSC 為基礎之正交頻率轉換器之直接轉換接收器之方塊示意圖。圖中可知，接收器 1100 包含一前置濾波器 (pre-filter) 1110、一低雜訊放大 (low-noise amplifier, LNA) 1120、一選擇性濾波器 (optional filter) 1125、一 TSC 基頻轉換器 1130、一同相 (In-phase) 路徑 I 及一正交 (quadrature) 路徑。同相路徑 I 包含一第一低通濾波器 (low pass filter, LPF) 1140\_I 及一第一類比至數位轉換器 (analog-digital converter, ADC) 1150\_I。正交路徑 Q 包含一第二低通濾波器 1140\_Q、一第二 ADC 1150\_Q、時脈產生器 (例如是：PLL) 1160 及一控制信號產生器 1170。由天線所接收的輸入信號 RF\_IN 經前置濾波器 1110 濾波後，再經 LNA 1120 放大，接著經選擇性濾波器 1125 濾波，再透過 TSC 基頻轉換器 1130 轉換為兩種信號 1135\_I 及 1135\_Q。信號 1135\_I 經第一低通濾波器 1140\_I 濾波後，透過第一 ADC 1150\_I 而被數位化為一第一輸出信號 BB\_I，同時，信號 1135\_Q 經第二低通濾波器 1140\_Q 濾波後，透過第二 ADC 1150\_Q 而被數位化為一第二輸出信號 BB\_Q。相位鎖定迴路 1160 用以產生一時脈信號 CLK，而此時脈信號 CLK 頻率可為欲得之射頻信號之頻率的 12 倍。此時脈信號 CLK 被提供至控制信號產生器 1170，以產生複數個 "sign" 控制信號 (SN) 及複數個 "zero" 控制信號 (ZR)，如第 10 圖所示。這些 SN 及 ZR 信號被提供至一 TSC 基頻轉換器 1130，其電路實施例請參閱第 8 圖。

### 另一實施例

如上述所題及的技術內文可知，本發明可以多種形式來實現，例如：

1. 一附加在相關聯 TSC 電路(於一頻率轉換路徑)之增益元件，用以有效縮放 TSC 電路所執行的 MLT-3 乘法運算結果，此增益元件能被設置在 TSC 電路之前或 TSC 電路之後。舉例來說，於第 8 圖中增益級 810\_1I 能被設置在 TSC 820\_1I 之前，但同樣地也能被設置在 TSC 820\_1I 之後。在第 8 圖中，若增益元件 810\_1I 被置放在 TSC 820\_1I 之後(如增益元件 810\_2I 被設置在 TSC 820\_2I 之後，增益元件 810\_1Q 被設置在 TSC 820\_1Q 等等)，則其餘的增益元件也可同樣地被置放在各自 TSC 電路之後，致使所有並聯的路徑亦有良好的相配。

2. 一附加在相關聯 TSC 電路(於一頻率轉換路徑)之增益元件，用以有效縮放 TSC 電路所執行的 MLT-3 乘法運算，且此增益元件係使用一電流模式(current-mode)裝置，如轉導放大器(trans-conductance amplifier)，或一電壓模式(voltage-mode)裝置，如運算放大器(operational amplifier)之其一來實現。

3. 一用於對複數個 TSC 基頻轉換電路之所有輸出信號進行加總之加總電路，其可由下列方式得以實現，(1) 當在 TSC 基頻轉換路徑內所有的增益元件以電流模式裝置來實現，將所有輸出端之直接相連，或(2) 當在 TSC 基頻轉換路徑內所有的增益元件以電壓模式裝置來實現時，以一運算放大器來實現加總電路。

4. 設計者可選擇在數位時域內實現”縮放”及”加總”功能，以取代複數個用來實現”縮放”功能之類比增益元件及用來將複數個轉換路徑之輸出信號加總之一類比加總電路。在一數位時域之實施例不需要類比增益元件，其分別地使用複數個 TSC 電路以將一輸入射頻信號轉換為複數個轉換信號，此些轉換信號分別地由複數個低通濾波器進行濾波，而此些低通濾波器之輸出信號由複數個

類比至數位轉換器被數位地為複數個數位字元；此些數位字元分別地由複數個數位式增益元件進行縮放；最後將縮放後之數位字元加總在一起以產生一最終輸出信號。請參閱第 11 圖，當在 TSC 基頻轉換電路 1130 內於數位時域內實現”縮放”及”加總”功能時，信號 1135I 與信號 1135Q 為最後已數位化基頻輸出信號，而低通濾波器 1140\_I、低通濾波器 1140\_Q、ADC 1150\_I 與 ADC 1150\_Q 必須被移除。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之請求項所界定者為準。

### 【圖式簡單說明】

為讓本發明之上述和其他目的、特徵、優點與實施例能更明顯易懂，所附圖示之詳細說明如下：

第 1 圖 係繪示習知直接轉換接收器之方塊示意圖；

第 2 圖 係繪示一三態截波器(tri-state chopper)電路之符號(A)及一實際電路(B)；

第 3 圖 係繪示一三態截波器電路之一實施電路；

第 4 圖 係繪示在一三態截波器電路之一實施 MLT-3 波形示意圖；

第 5 A 圖 係繪示使用複數個三態截波器電路之一頻率轉換器之實施電路；

第 5 B 圖 係繪示使用複數個三態截波器電路之一頻率轉換器之另一實施電路；

第 6 圖 標誌(A)係繪示多個控制信號之一時序圖及於第 5 A 圖或第 5B 圖之頻率轉換器之相關 MLT-3 波形，標誌(B)係繪示經加權總合後的一混合波形；

第 7 圖 係繪示於第 6 圖用於產生控制信號之一實施電路；

第 8 圖 係使用兩群 TSC 電路之一正交頻率轉換器之一實施電路；

第 9 圖 係繪示於第 8 圖之正交頻率轉換器之控制信號之一時序示意圖；

第 10 圖 係繪示於第 9 圖用於產生控制信號之一實施電路；以及

第 11 圖 係繪示使用一 TSC 基頻正交轉器之一直接轉換接收器。

#### 【主要元件符號說明】

100: 直接轉換接收機；

110: 前置濾波器；

120: 低雜訊放大器；

122: 無線射頻信號；

130\_I: 第一混合器；

130\_Q: 第二混合器；

140\_I: 第一低通濾波器

140\_Q: 第二低通濾波器；

150\_I: 第一類比至數位轉換器；

150\_Q: 第二類比至數位轉換器；

200: TSC 電路；

210, 220, 230, 240, 250, 260, 270, 280 : 時間間隔；

300: TSC 電路；

310, 320, 330, 340, 350, 360, 370, 380: 開關(SW) ;  
500A: 頻率轉換器 ;  
510\_1, 510\_2, 510\_N: 增益元件 ;  
520\_1, 520\_2, 520\_N: TSC 電路 ;  
530: 加總電路 ;  
710, 730: 除 2 計數器 ;  
720: 除 3 計數器 ;  
741, 742, 743, 751, 752, 753, 754: 資料正反器(DFF) ;  
810\_1I, 810\_2I: 第一增益元件 ;  
820\_1I, 820\_2I: 第一 TSC 電路 ;  
830I: 第一加總元件 ;  
810\_1Q, 810\_2Q: 第二增益元件 ;  
820\_1Q, 820\_2Q: 第二 TSC 電路 ;  
830Q: 第二加總元件 ;  
1044, 1045, 1046, 1055, 1056, 1057: 資料正反器(DFF) ;  
1110: 前置濾波器 ;  
1120: 低雜訊放大器 ;  
1125: 選擇性濾波器 ;  
1130: TSC 基頻轉換器 ;  
1140\_I: 第一低通濾波器 ;  
1140\_Q: 第二低通濾波器 ;  
1150\_I: 第一類比至數位轉換器 ;  
1150\_Q: 第二類比至數位轉換器 ;  
1160: 相位鎖定迴路 ; 以及  
1170: 控制信號產生器 。

99年10月13日修正頁

## 十、申請專利範圍：

1. 一種截波(chopper)電路，係接收一輸入信號與一控制信號，且依據該輸入信號以及該控制信號以產生一輸出信號，該截波電路包含複數個開關，其中當該控制信號在一第一狀態時，控制該些開關使該輸出信號追蹤該輸入信號之幅度(magnitude)及符號(sign)；當該控制信號在一第二狀態時，控制該些開關使該輸出信號追蹤該輸入信號之幅度，但該輸出信號具有一相反符號(opposite sign)；以及當該控制信號在一第三狀態時，控制該些開關使該輸出信號係設為零。
2. 如請求項1所述之截波電路，其中該控制信號係根據一第一二進制信號及一第二二進制信號來編碼。
3. 如請求項1所述之截波電路，其中該輸入信號係以一包含一正端及一負端之差動信號(differential signal)來實現；以及該輸出信號亦以一包含一正端及一負端之差動信號來實現。
4. 如請求項3所述之截波電路，其中在該第三狀態時，該輸出端藉由將該輸出信號之該正端與該輸出信號之該負端短路而設為零。
5. 如請求項3所述之截波電路，其中當該控制信號在該第一狀態時，該輸入信號之該正端被耦接至該輸出信號之該正端及該輸入信號之該負端被耦接至該輸出信號之該負端；以及當該控制信號在該第二狀態時，該輸入信號之該正端被耦接至該輸出信號之該負端及該輸入信號之該負

2007年7月20日修正替換頁

- 端被耦接至該輸出信號之該正端。
6. 如請求項2所述之截波電路，其中每一該開關所具有兩種狀態，其由該第一二進制信號或該第二二進制信號所控制。
  7. 如請求項6所述之截波電路，其中該複數個開關更被劃分為一第一開關群及一第二開關群，其中該第一開關群皆使用該第一二進制信號以用作自身開關控制信號，及其中該第二開關群皆使用該第二二進制信號以用作自身開關控制信號。
  8. 如請求項1所述之截波電路，其中該控制信號係為週期性。
  9. 如請求項8所述之截波電路，其中該截波電路具有一選擇性諧波拒斥(harmonic rejection)的功能。
  10. 如請求項9所述之截波電路，其中該選擇性諧波拒斥係以適當地選擇該控制信號之時序來實現。
  11. 一種頻率轉換器，係接收一輸入信號與一周期性控制信號且產生一輸出信號，該頻率轉換器包含複數個開關，其中當該周期性控制信號在一第一狀態時，控制該些開關使該輸出信號追蹤該輸入信號之幅度及符號；當該周期性控制信號在一第二狀態時，控制該些開關使該輸出信號追蹤該輸入信號之幅度，但該輸出信號具有一相反符號；以及當該周期性控制信號在一第三狀態時，控制該些開關使該輸出信號係設為零；其中該周期性控制信號係以一周期之一第一二進制信號及一半周期之一第二周期性二進制信號來編碼。

12. 如請求項 11 所述之頻率轉換器，其中該輸入信號及該輸出信號為一差動信號。
13. 如請求項 12 所述之頻率轉換器，其中在該第三狀態時，該輸出端藉由將該輸出信號之一正端與該輸出信號之一負端短路而設為零。
14. 如請求項 13 所述之頻率轉換器，其中當該周期性控制信號在該第一狀態時，該輸入信號之該正端被耦接至該輸出信號之該正端及該輸入信號之該負端被耦接至該輸出信號之該負端；以及當該周期性控制信號在該第二狀態時，該輸入信號之該正端被耦接至該輸出信號之該負端及該輸入信號之該負端被耦接至該輸出信號之該正端。
15. 如請求項 11 所述之頻率轉換器，其中該些開關包含一第一開關群及一第二開關群，其中該第一開關群根據該第一二進制信號而運作，及其中該第二開關群根據該第二二進制信號而運作。
16. 一種頻率轉換器，包含：  
複數個頻率轉換路徑，每一頻率轉換路徑包含有一三態截波電路，該複數個頻率轉換路徑用以接收一共通輸入信號及複數個周期性控制信號，且分別地產生複數個轉換信號；及  
一加總電路，用於將所有該複數個轉換信號進行加總以產生一輸出信號；  
其中該複數個周期性控制信號有相同的周期但具有不同的時序，當該各自周期性控制信號於一第一狀態時，對

每一該複數個轉換路徑之各自轉換路徑係與該共通輸入信號呈比例關係，當該各自周期性控制信號於一第二狀態時，該轉換信號係與該共通輸入信號之一反轉信號呈比例關係，及當該各自周期性控制信號於一第三狀態時，該轉換信號係設為零。

17. 如請求項 16 所述之頻率轉換器，其中該輸入信號係以一包含一正端及一負端之差動信號來實現；對每一該複數個轉換路徑之各自轉換信號亦以一包含一正端及一負端之差動信號來實現。
18. 如請求項 16 所述之頻率轉換器，其中每一該複數個轉換路徑之各自轉換信號係由一第一二進制信號及一第二二進制信號來編碼。
19. 如請求項 18 所述之頻率轉換器，其中在每一頻率轉換路徑內的該三態截波電路包含一第一開關群及一第二開關群。
20. 如請求項 19 所述之頻率轉換器，其中該第一開關群係由該第一二進制信號所控制，而該第二開關群係由該第二二進制信號所控制。
21. 一種頻率轉換系統，包含：
  - 一第一頻率轉換器，其包含：
    - 一第一群並聯轉換路徑，係用於接收一輸入信號及一第一群周期性三態信號，且將該輸入信號轉換為一第一群轉換信號；及
    - 一第一加總電路，係對該第一群轉換信號進行轉換以產生

- 一第一輸出信號；以及
  - 一第二頻率轉換器，其包含：
    - 一第二群並聯轉換路徑，係用於接收該輸入信號及一第二群周期性三態信號，且將該輸入信號轉換為一第二群轉換信號；及
    - 一第二加總電路，係對該第二群轉換信號進行轉換以產生一第二輸出信號；其中該第一群周期性三態信號內的所有三態信號及該第二群周期性三態信號內的所有三態信號具有相同的周期但有不同的時序。
22. 如請求項 21所述之頻率轉換系統，其中該一第一群並聯轉換路徑內的每一轉換路徑更包含一增益元件，同樣地，該一第二群並聯轉換路徑內的每一轉換路徑更包含一增益元件。
23. 如請求項21 所述之頻率轉換系統，其中該第一頻率轉換器所包含的電路與該第二頻率轉換器相同。
24. 一種頻率轉換系統，包含：
  - 一第一頻率轉換器，其包含：
    - 一第一群並聯轉換路徑，係用於接收一輸入信號及一第一群周期性三態信號，且將該輸入信號轉換為一第一群轉換信號；及
    - 一第一加總電路，係對該第一群轉換信號進行轉換以產生一第一輸出信號；以及
  - 一第二頻率轉換器，其包含：

一 第二群並聯轉換路徑，係用於接收該輸入信號及一第二群周期性三態信號，且將該輸入信號轉換為一第二群轉換信號；及

一 第二加總電路，係對該第二群轉換信號進行轉換以產生一第二輸出信號；

其中該第二群周期性三態信號與第一群周期性三態信號相同，但具有一固定時序偏移量。

25. 一種實現頻率轉換之方法，包含：

接收一輸入信號及一周周期性三態信號；以及

產生一輸出信號以回應該輸入信號及該周期性三態信號之一狀態；

其中該周期性三態信號係以一周期之第一二進制信號及一半周期之第二二進制信號來編碼。

26. 如請求項 25 所述之方法，其中當該周期性三態信號在一第一狀態時，該輸出信號追蹤該輸入信號之幅度及符號；當該周期性三態信號在一第二狀態時，該輸出信號追蹤該輸入信號之幅度，但該輸出信號具有一相反符號；以及當該周期性三態信號在一第三狀態時，該輸出信號係設為零。

27. 一種實現頻率轉換之方法，包含：

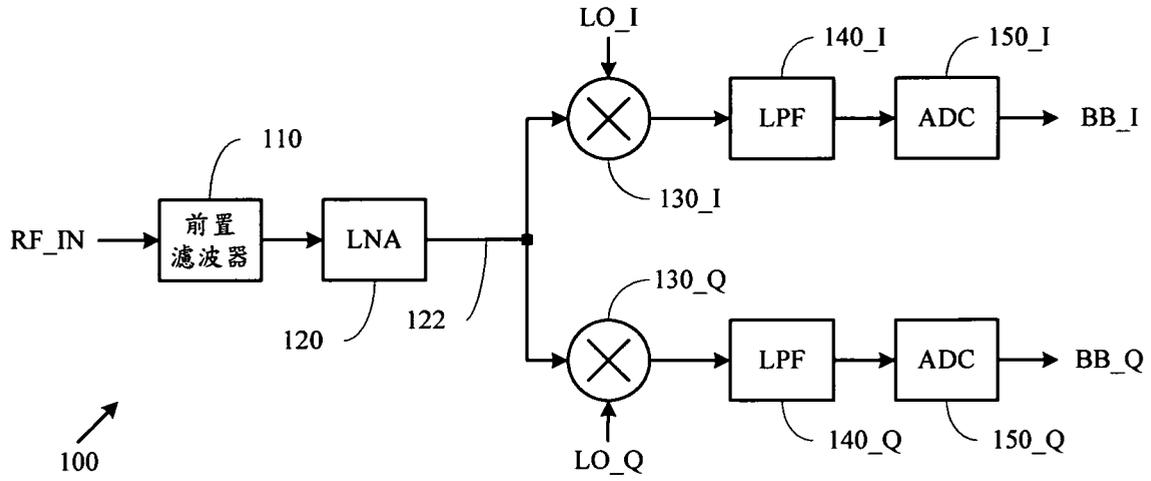
接收一輸入信號及相同頻率但不同時序之複數個周期性三態信號；

使用複數個轉換路徑而產生複數個轉換信號，以回應該輸入信號及該周期性三態信號之多個狀態；以及

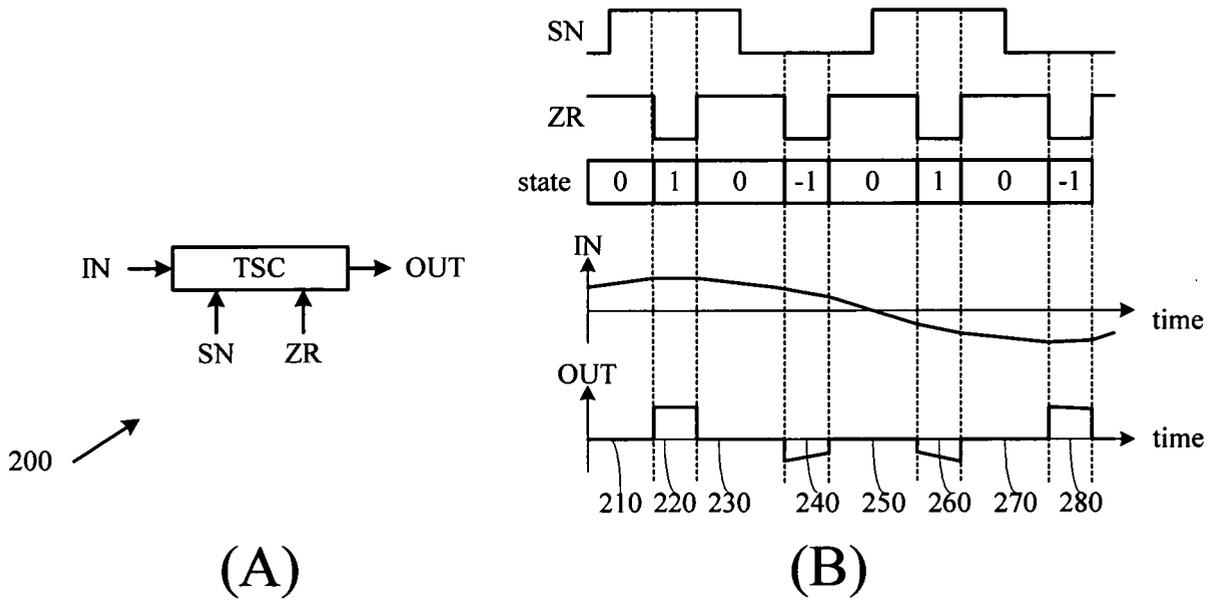
加總該複數個轉換信號以產生一輸出信號；

其中對於每一該複數個轉換路徑：當轉換信號所相應的周期性三態信號於一第一狀態時，則對應的轉換信號與該輸入信號呈比例關係；當轉換信號所相應的周期性三態信號於一第二狀態時，則對應的轉換信號與該輸入信號之一反轉信號呈比例關係；當轉換信號所相應的周期性三態信號於一第三狀態時，則對應的轉換信號設為零。

十一、圖示：



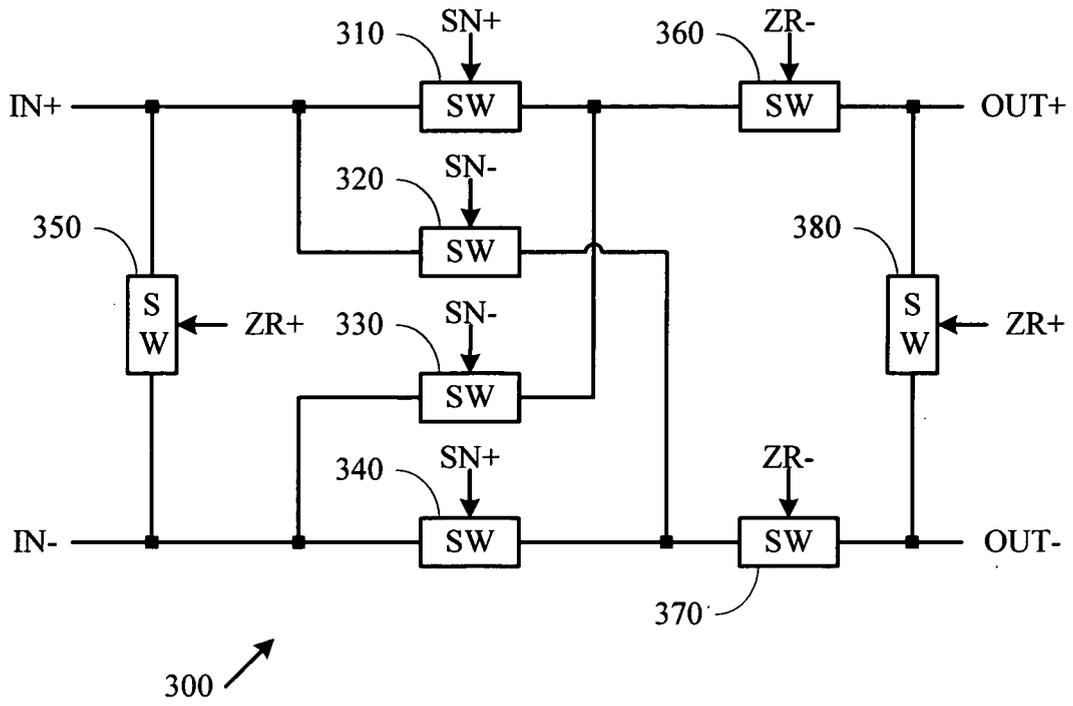
第 1 圖(習知技術)



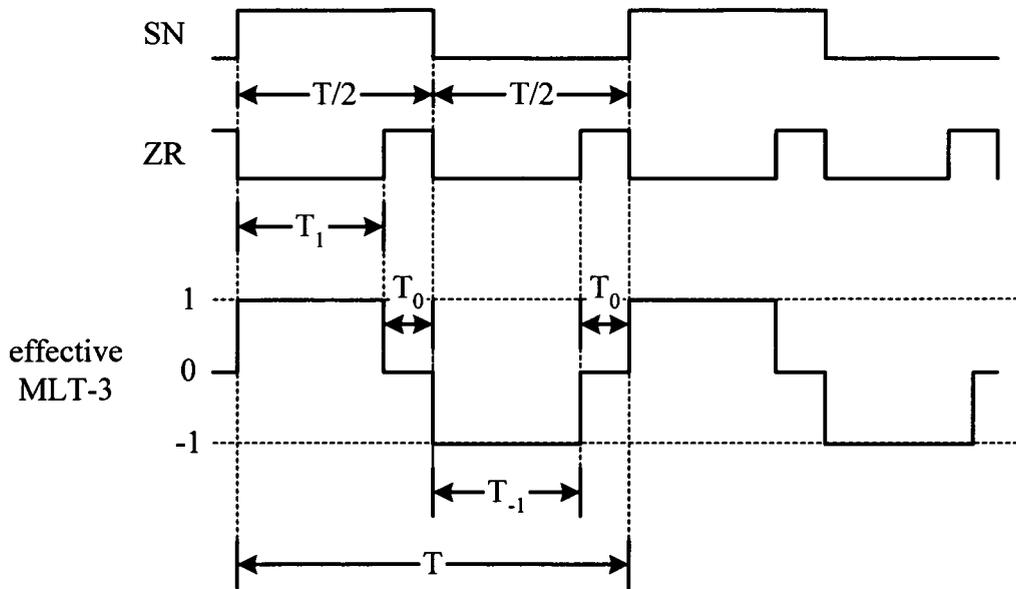
(A)

(B)

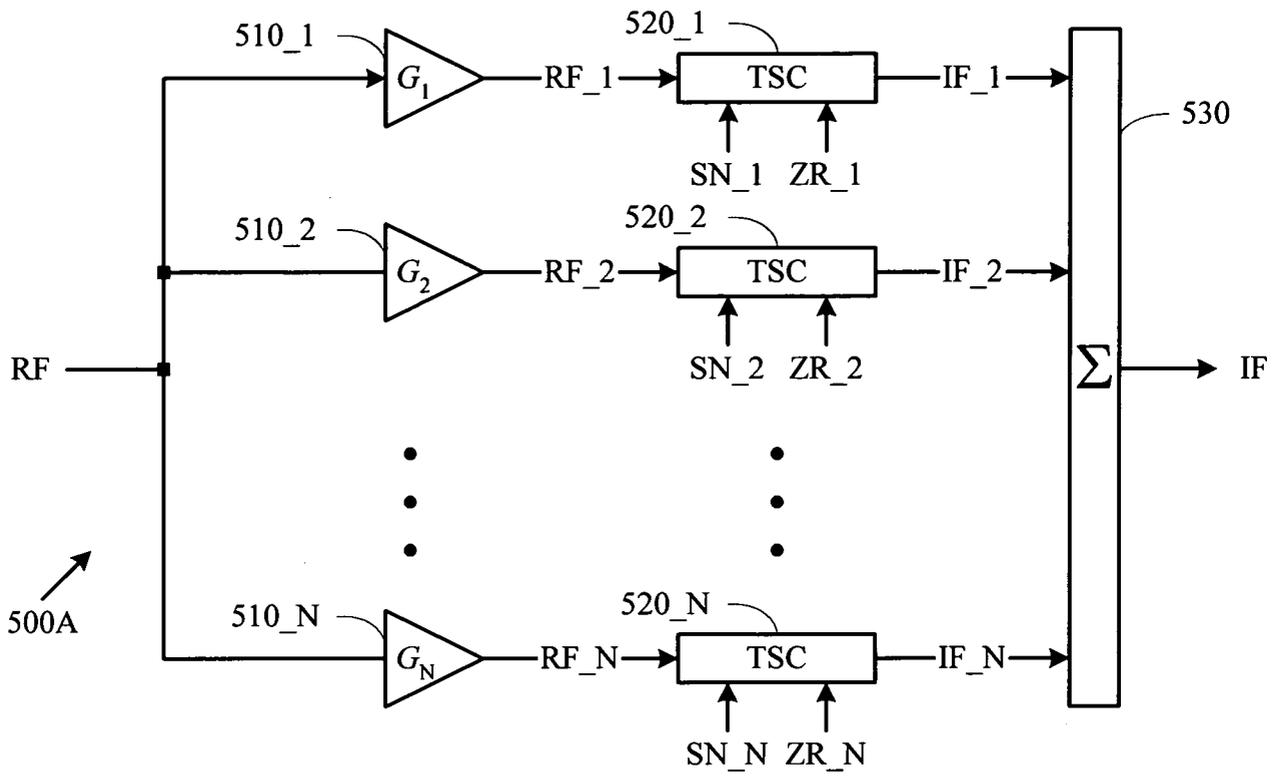
第 2 圖



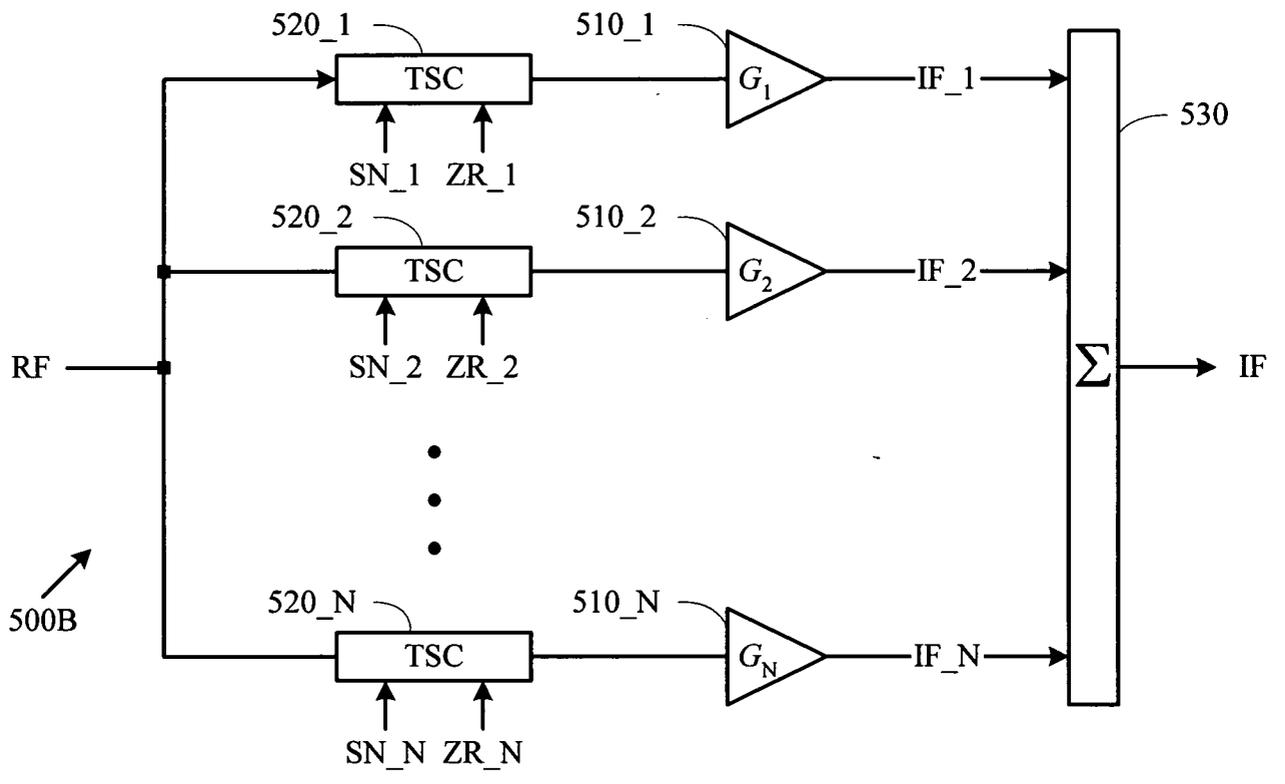
第 3 圖



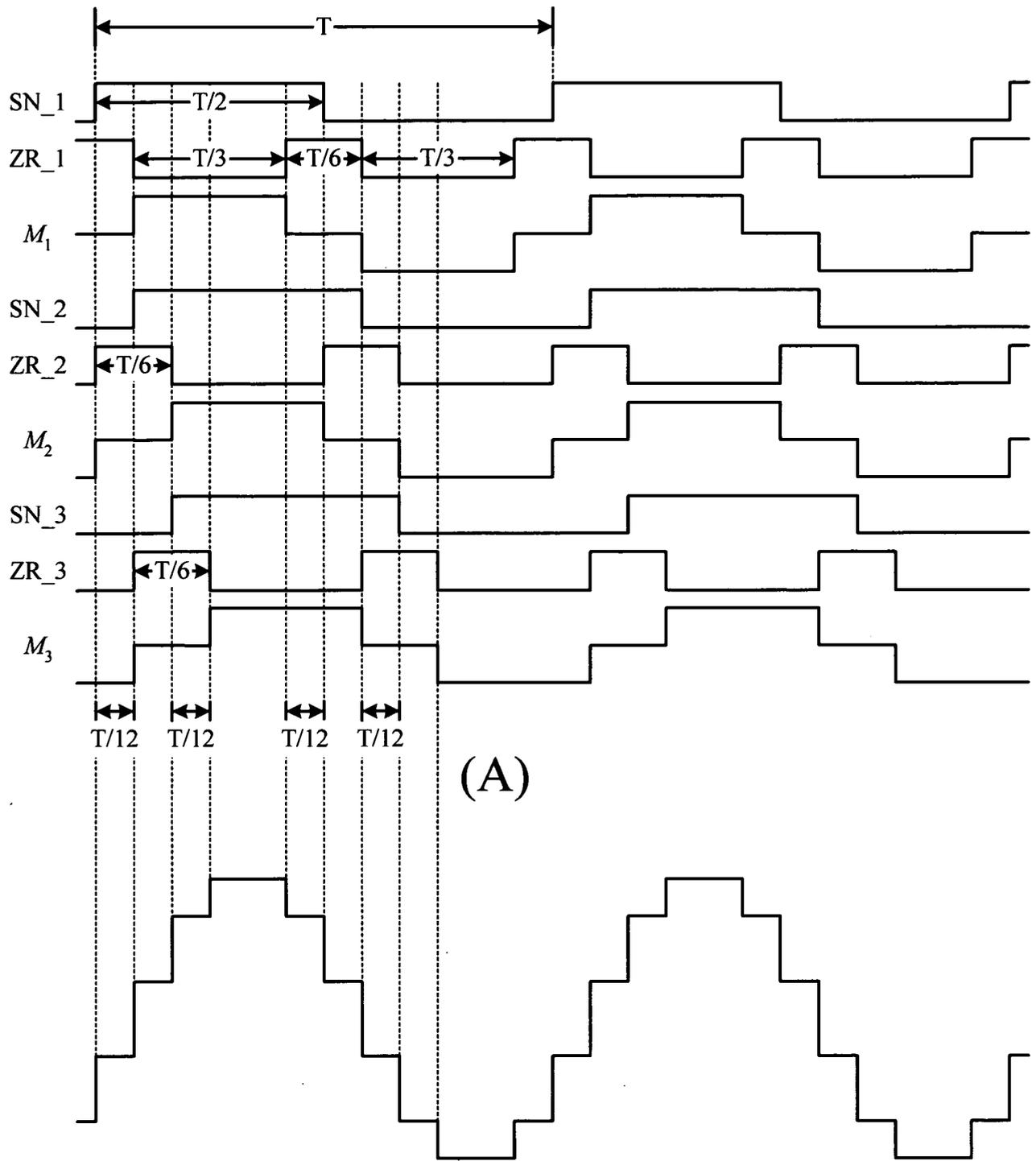
第 4 圖



第 5A 圖



第 5B 圖

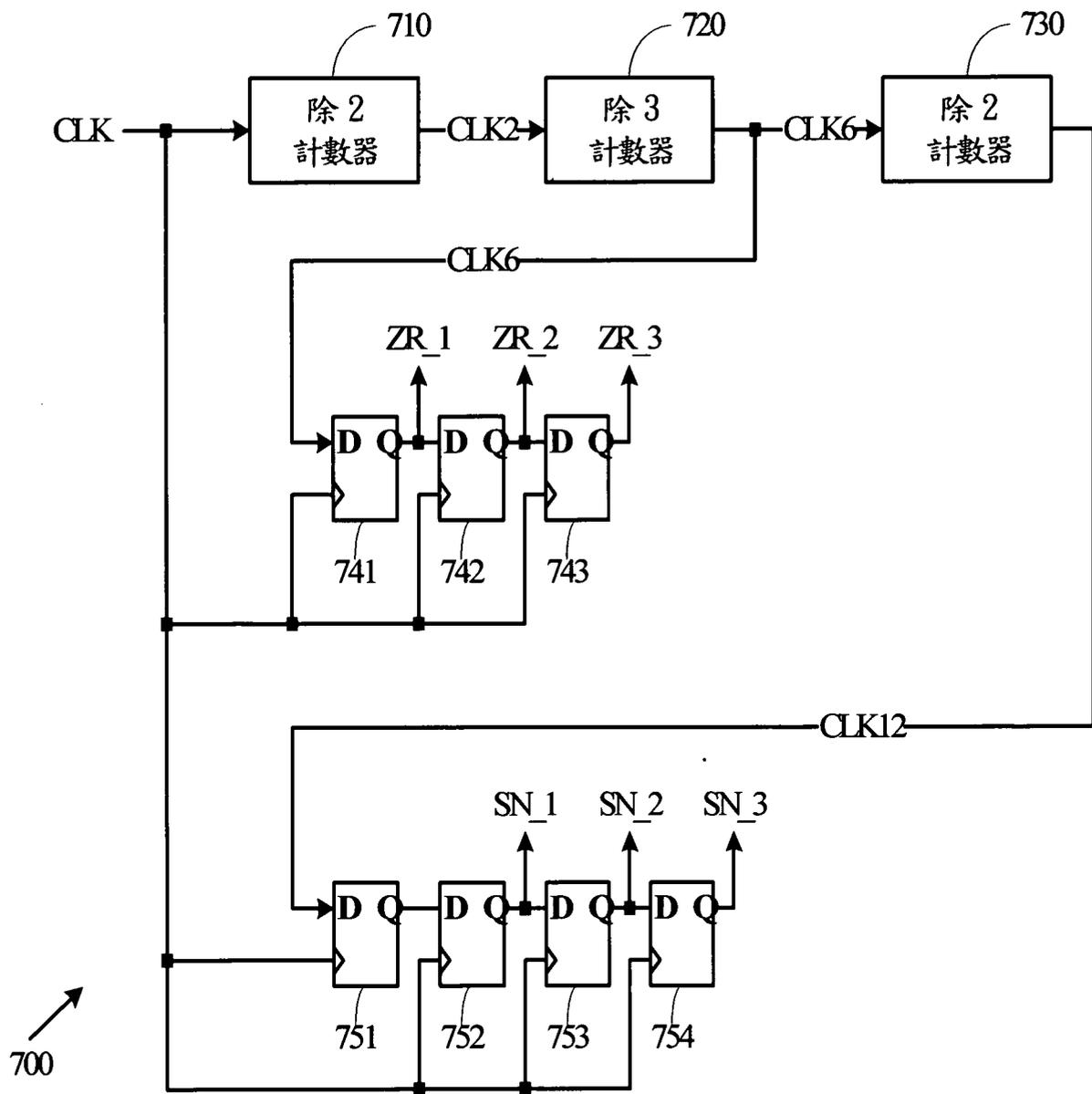


(A)

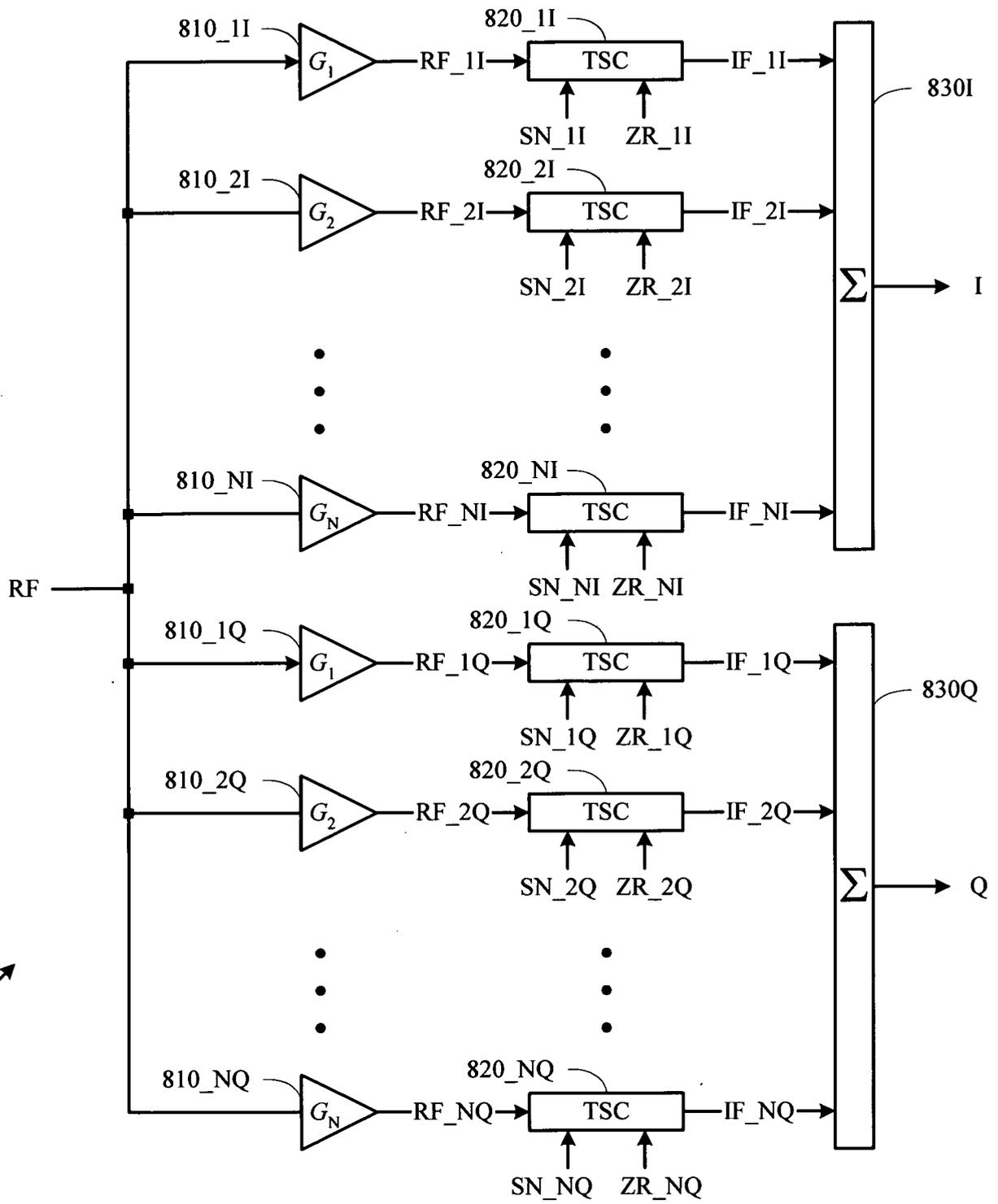
waveform of  $G_1 * M_1 + G_2 * M_2 + G_3 * M_3$

(B)

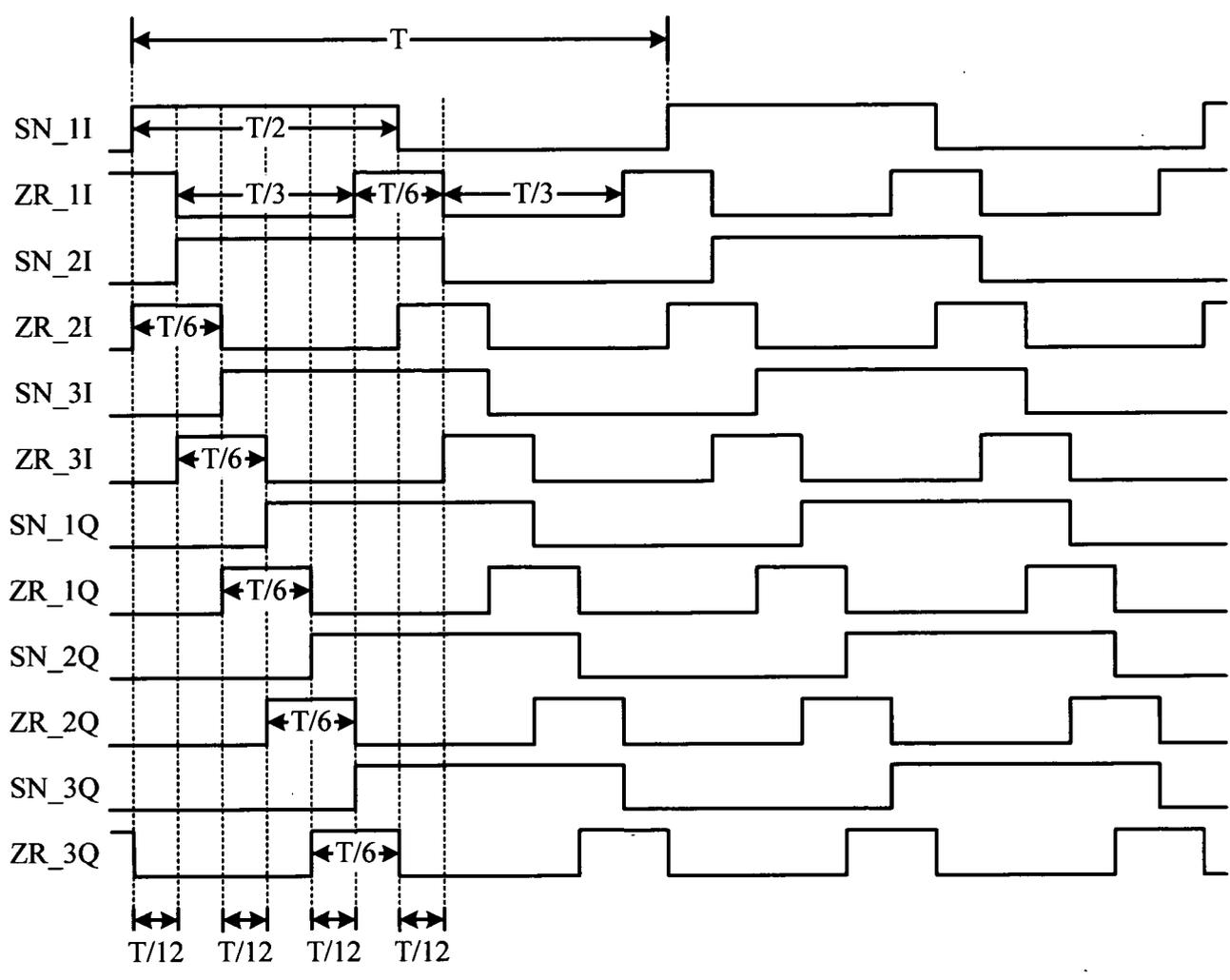
第 6 圖



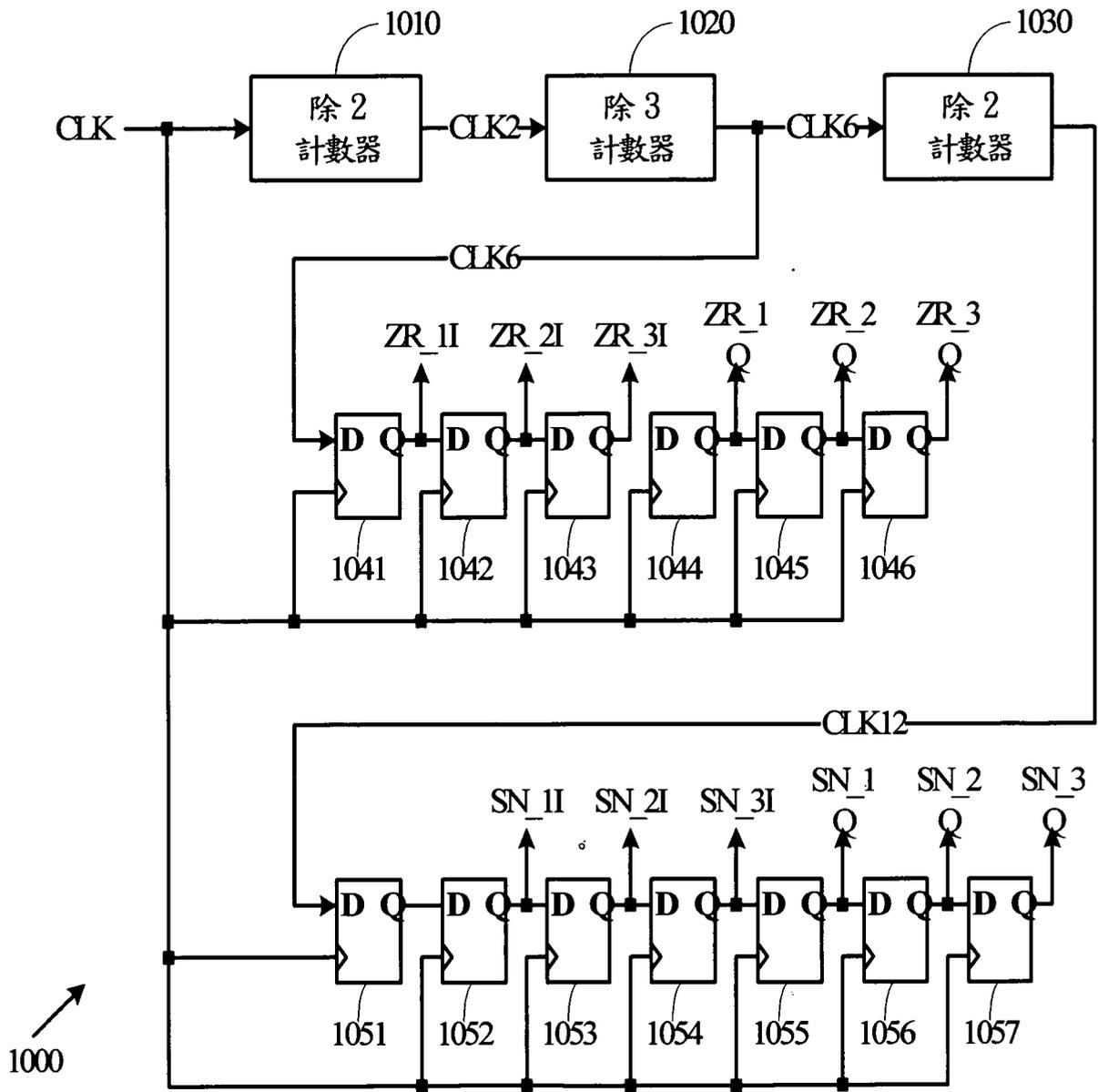
第 7 圖



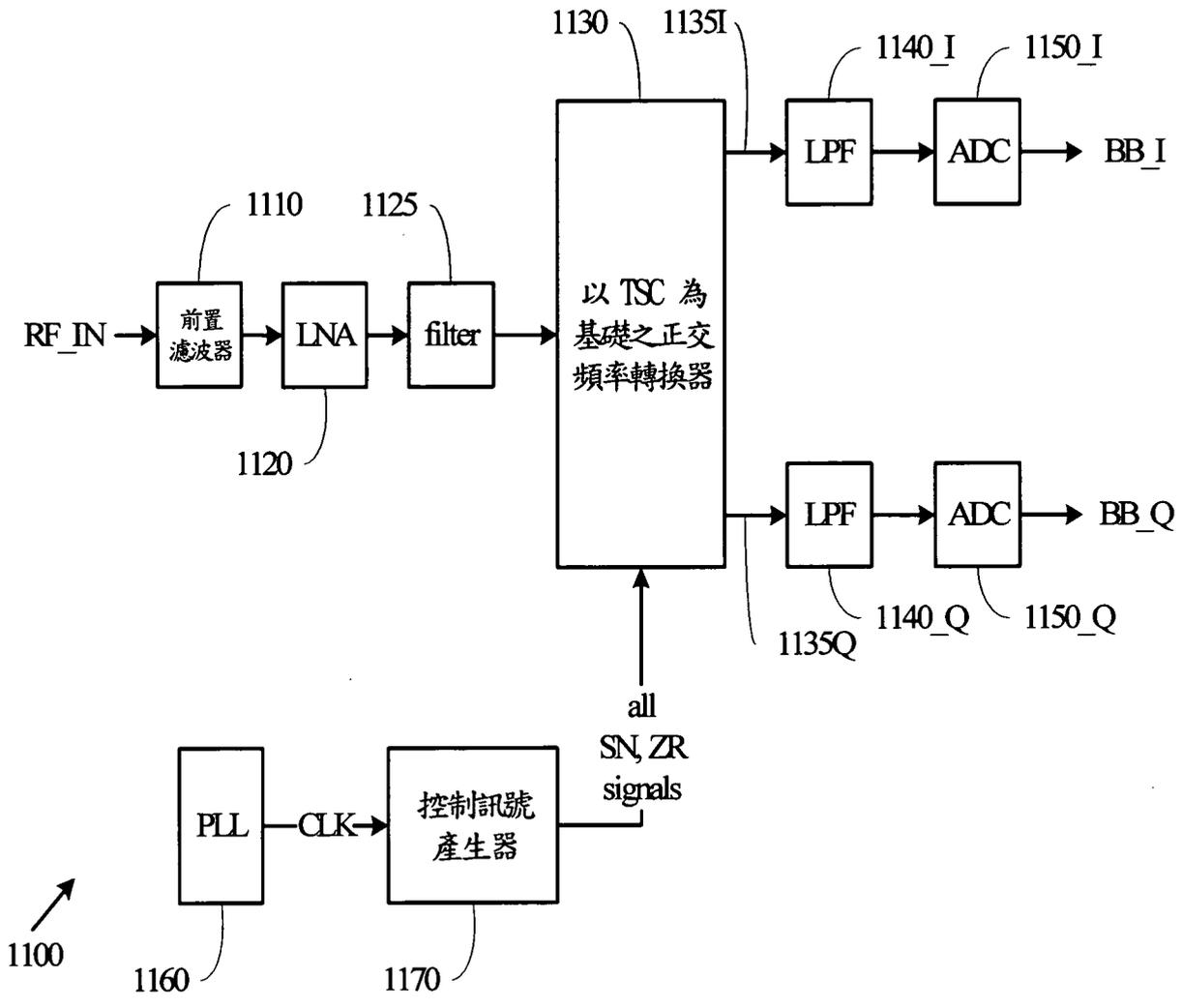
第 8 圖



第 9 圖



第 10 圖



第 11 圖