

[12] 发明专利申请公开说明书

[21]申请号 95190654.2

[51]Int.Cl⁶

H04L 27/06

[43]公开日 1996年9月11日

[22]申请日 95.5.22

[30]优先权

[32]94.7.25 [33]US[31]08 / 280,038

[86]国际申请 PCT / US95 / 06321 95.5.22

[87]国际公布 WO96 / 03827 英 96.2.8

[85]进入国家阶段日期 96.3.21

[71]申请人 摩托罗拉公司

地址 美国伊利诺斯

[72]发明人 凯文·L·鲍姆 戴维·保罗·格尼
斯蒂芬·利·库费尼[74]专利代理机构 中国国际贸易促进委员会专利商
标事务所

代理人 陆立英

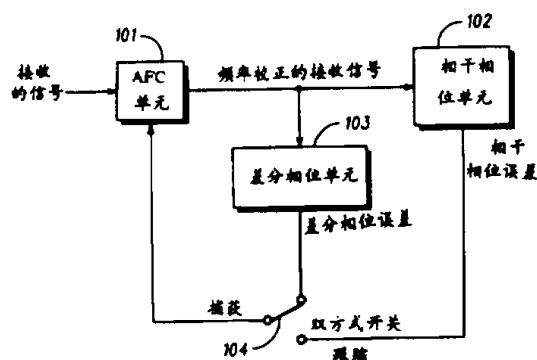
H04B 17 / 02

权利要求书 5 页 说明书 18 页 附图页数 4 页

[54]发明名称 数字接收机的频率偏移跟踪性能最大化的设备和方法

[57]摘要

一种自动频率控制环路结构利用双重选择自动频率控制单元,该单元连接到一个差分相位单元和一个相干相位单元,以提供频率校正的接收信号输出,以便有效的跟踪频率偏移和失去自动频率控制环路锁定的低的多的概率。因此,来自相干载波恢复过程的信号利用调整频率偏移跟踪性能提供附加的益处。



权 利 要 求 书

1. 一种在数字接收机中利用接收信号新颖的反馈提供频率校正的设备,其中使频率偏移跟踪性能最大,其特征在于,包括:

1A) 一个双重选择自动频率控制单元,可操作地连接到一个相干相位单元,一个差分相位单元和接收的信号,至少使用差分相位单元的差分相位误差输出和相干相位单元的相干相位误差输出之一确定频率校正值;和根据双重方式方案,由所述频率校正值偏移接收信号的频率,以提供校正的接收信号;

1B) 一个相干相位单元,可操作地连接到自动频率控制单元,利用校正的接收信号提供相干相位误差输出,和

1C) 该差分相位单元,可操作地连接到双重选择自动频率控制单元,利用校正的接收信号提供差分相位误差输出。

2. 根据权利要求1的设备,其特征在于,以下步骤2A至2E的至少一个:

2A) 双重选择自动频率控制单元使用非线性环路结构;

2B) 双重选择自动频率控制单元至少利用在相干相位单元的误差信号的符号确定频率偏移;

2C) 在捕获期间双重方式方案提供差分相位误差校正和在跟踪期间提供相干相位误差校正;

2D) 相干相位单元是一个锁相环路单元,和在选择的场合,仅当锁相环路单元被锁定时,其中双重选择自动频率控制单元才利

用相干相位误差校正;和

2E)在预定的时间期间之后,双重选择自动频率控制单元利用相干相位单元的相干相位误差输出。

3. 在数字接收机中利用接收信号的双重方式反馈提供频率校正的设备,包括:

3A) 一个自动频率控制单元,可操作地连接到第一阶锁相环路单元,和一个差分相位单元,用于确定频率偏移并以所述频率偏移来偏移接收信号的频率,包括:

3A1) 一个减法器,当接收到信号时,以偏移值偏移接收信号的频率来提供校正的接收信号,其中该减法器进一步包括一个符号定时抽取器,可操作地连接到减法器,和一个差分相位单元,可操作地连接到该减法器,

3A2) 一个第一符号确定器,可操作地连接到差分相位单元,至少根据差分相位误差的符号变换差分相位误差为输出值,

3A3) 一个第二符号确定器,可操作地连接到锁相环路单元,至少根据相干相位误差的符号从锁相环路单元来的相干相位误差为输出值,

3A4) 一个选择器,可操作地连接到第一和第二符号确定器,在捕获方式期间选择第一符号确定器的输出值和跟踪方式期间选择第二符号确定器的输出值,

3A5) 一个滤波器,可操作地连接到该选择器,用于累加选择器的输出值,比较累加值与预定门限值,并产生一个信号,用于指示频率步进计数器的更新,

3A6) 该频率步进计数器,可操作地连接到该滤波器,用于更

新频率偏移值,

3A7) 频率偏移值修正器,可操作地连接频率步进计数器,用于提供修正的频率偏移值,该偏移值用于校正接收信号的预定频率偏移,

3A8) 一个累加器,可操作地连接到频率偏移值修正器,用于累加修正的频率偏移值,提供接收信号频率校正值得减法器,

3B) 一个差分相位单元,可操作地连接到该减法器,利用调整的接收信号确定差分相位误差,

3C) 一个第一阶锁相环路单元,可操作地连接到符号定时抽取器,利用校正的接收信号提供相干相位误差,

其中接收信号的频率由修正的频率偏移值偏移其频率,以提供调整的接收信号,用于有效的频率跟踪和解调。

4. 根据权利要求3的设备,其特征在于,至少以下步骤4A—4B的其中之一:

4A) 利用双方式反馈获得接收信号的频率校正;和

4B) 符号定时抽取器用于抽取接收信号,以便提供符号速率样值数据流到锁相环路单元。

5. 一种利用数字接收机中的接收信号的新颖反馈提供可适应频率校正的设备,其特征在于,包括:

5A) 一个自动频率控制单元,可操作地连接到双方式开关和接收的信号,用于确定频率偏移和以所述频率偏移来偏移接收信号的频率,以提供校正的接收信号;

5B) 一个差分相位单元,可操作地连接到自动频率控制单元,用于提供差分相位误差反馈;

5C) 一个相干相位单元,可操作地连接到自动频率控制单元,利用校正的接收信号提供相干反馈误差信号;和

5D) 一个双方式开关,可操作地连接到差分相位单元和相干相位单元,在捕获方式期间提供差分相位误差反馈到自动频率控制单元,在跟踪期间提供相干相位误差反馈到自动频率控制单元。

6. 根据权利要求 5 的设备,其特征在于,至少为以下 6A 至 6D 之一:

6A) 自动频率控制单元使用一个非线性环路结构;

6B) 自动频率控制单元至少利用来自相干相位单元的误差信号的符号确定频率偏移;

6C) 在捕获期间双方式开关提供差分相位误差校正和在跟踪期间提供相干相位误差校正;和

6D) 在预定时间期间之后自动频率控制单元利用相干相位单元的相干相位误差输出。

7. 根据权利要求 5 的设备,其特征在于,该相干相位单元是一个锁相环路单元,和选择的场合,其中仅当该锁相环路被锁定时该自动频率控制单元才利用相干相位误差校正。

8. 一种利用在数字接收机中的接收信号的新颖的反馈提供频率校正的方法,其中使频率偏移跟踪性能最大,其特征在于,该方法包括以下步骤:

8A) 利用双选择自动频率控制单元,至少使用差分相位单元的差分相位误差输出和相干相位单元的相干相位误差输出之一确定频率校正值,和以双方式方案的所述频率校正值偏移接收信号的频率,以提供校正的接收信号;

信号的频率,以提供校正的接收信号;

8B)由相干相位单元利用校正的接收信号提供相干相位误差输出;和

8C)由差分相位单元利用校正的接收信号提供差分相位误差输出。

9. 根据权利要求 8 的方法,其特征在于,至少以下 9A 至 9D 之一:

9A)进一步包括由自动频率控制单元利用一个非线性环路结构;

9B) 进一步包括由自动频率控制单元至少利用来自相干相位单元的误差信号的一个符号确定频率偏移;

9C)该双重方式方案包括利用双重方式反馈,其中在捕获期间提供差分相位误差反馈和在跟踪期间提供相干相位误差反馈;和

9D) 包括在预定时间期间之后由双重选择自动频率控制单元利用相干相位单元的相干相位误差输出。

10. 根据权利要求 8 的方法,其特征在于,所用的相干相位单元是一个锁相环路单元,和在选择场合,其中仅当该锁相环路被锁定时自动频率控制单元才工作。

说明书

数字接收机的频率偏移跟踪

性能最大化的设备和方法

本发明涉及接收机的频率校正，具体涉及数字接收机的频率偏移跟踪性能。

数字通信系统典型地包括用于发送和接收消息的发送机和接收机。该发送机通常调制或编码该消息并通过一条信道以模拟形式发送该消息。在接收机侧，该模拟信号被取样和量化，变换该消息为数字数据。典型地包括含有压控振荡器的反馈环路的自动频率控制环路 AFC 一般地用于估计和校正信号的频率偏移。

无线电设计者在设计 AFC 环路时通常须考虑折衷。设计者能使用 AFC 的窄环路带宽来获得最好的稳态性能。窄环路带宽比宽环路带宽滤出更多噪声，但是，窄环路带宽经常产生大频率偏移的不可接受的捕获性能。据此，现在需要一种提供自适应的频率校正的设备和方法，使数字无线电接收机中的接收信号的频率偏移跟踪性能最大化。

图 1 是根据本发明可适应的频率校正设备的方框图。

图 2 是更详细地表示图 1 的 AFC 单元 101 的方框图。

图 3 是更详细地表示图 1 的差分相位单元 103 的方框图。

图 4 是更详细地表示图 1 的相干相位单元 102 的方框图。

图 5 是根据本发明的自动频率控制单元和差分相位单元的经济实施的方框图,其中没有表示出锁相环单元。

图 6 是锁相环单元的一种实施的方框图,该单元可与图 5 的自动频率控制单元和差分相位单元一起使用。

图 7 是根据本发明方法的步骤流程图,其中在数字接收机中利用接收信号的新颖的反馈提供频率校正,以便使频率偏移跟踪性能最大。

总的来说,本发明提供一种用于提供数字无线接收机中接收信号的可适应的频率校正的设备和方法,其中频率偏移跟踪性能最大化。这是通过使用双重选择自动频率控制(AFC)单元实现的,该单元连接到差分相位单元和相干相位单元,并提供校正的接收信号输出。该差分相位单元利用校正的接收信号并提供差分相位误差输出,当频率偏移是未知的并且可能是很大的时候,该误差信号反馈到 AFC 单元并用于更新 AFC 单元。当该接收机首先被接通电源或当它第一次开始接收发送的信号时,通常出现这种情况。这种 AFC 方式被称为捕获方式。相干相位单元利用校正接收的信号,提供相干相位误差输出,该输出被反馈到 AFC 单元,并且当频率偏移是小的或通过使 AFC 单元利用差分相位误差反馈而使之工作至少部分地已被除去时,该输出用于更新 AFC 单元。这种 AFC 方式被称为跟踪方式。应当注意到,在正交相移键控 QPSK 中本发明能够容许的理论上的最大初始频率偏移,调制信号是发送符号速率的八分之一。噪声将使实际的限制略微更低。

优选实施例的整个描述中使用锁相环单元 PLL 作为相干相位单元的示例实施例。很清楚,使用现有技术中已知的任何相干相位

估计方法可能实现相干相位单元。

本发明优于现有技术的优点是：因为使用本发明的新颖的双重选择方案，故频率偏移跟踪性能最大化。在捕获方式期间，因为差分相位单元不需要任何捕获时间，使用差分相位误差反馈，以便产生有效的差分相位误差输出。而且，在接收的信号是数字地调制信息信号，例如 *QPSK* 的应用中，差分相位单元不要求知道最佳符号取样相位。

另一方面，因为 *PLL* 单元比差分相位单元提供更精确的相位误差信号给 *AFC* 单元在 *AFC* 捕获之后，使用 *PLL* 相干相位误差反馈，产生更精确的频率校正。*PLL* 起着滤波器的作用，它降低相位误差信号的变化，得到更精确的相位误差反馈信号。但是，在 *AFC* 捕获期间，允许 *AFC* 单元利用差分相位误差反馈是有益的，因为 *PLL* 单元有一个限制的捕捉带，这就意味着如果至 *PLL* 的输入信号的频率偏移太大，它就不能锁定到该信号。因此，在 *AFC* 捕获期间使用差分相位误差反馈和在 *AFC* 捕获之后使用 *PLL* 相干相位误差反馈，频率偏移跟踪性能为最大化的。

在双重选择方案的一个实施例中，在预定时间期间，*AFC* 单元使用差分相位误差反馈。预定时间期间一般地选择为足够长的时间期间，允许 *AFC* 单元捕获和校正频率偏移的主要部分。在预定的时期之后，选择至 *AFC* 单元的 *PLL* 相干相位误差反馈。在捕获之后转换到相干相位误差反馈允许 *AFC* 单元更精确地校正频率偏移的其余部分。

在双重选择方案的另一个实施例中，*AFC* 单元使用差分相位误差反馈，直到锁定 *PLL* 单元为止。然后 *AFC* 单元转换到 *PLL* 相干

相位误差反馈。

在双重选择方案的另一个实施例中, AFC 单元使用差分相位误差反馈,直到 AFC 单元的频率校正值基本上保持不变为止。然后, AFC 单元转换到接收 PLL 相干相位误差反馈。

参见图 1—4 可更全面地描述本发明。图 1 以标号 100 示出根据本发明可适应的频率校正的设备的方框图。可适应的频率校正的设备包括一个 AFC 单元 101,带有一个双选择反馈开关 104,一个差分相位单元 103 和一个相干相位单元 102。AFC 单元 101 可操作地耦合到接收的信号并连接到双方式开关 104,该开关连接到差分相位单元 103 和相干相位单元 102 之一。输入到 AFC 单元 101 的接收信号通常包括如现有技术中所知道的预定取样速率的数字相位值的数字流。该 AFC 单元 101 至少使用差分相位单元 103 的差分相位误差输出和相干相位单元 102 的相干相位误差输出之一来确定频率校正值,并由确定的频率校正值偏移接收信号的频率,以便产生一个频率校正的接收信号。

图 2 以标号 200 更详细地示出图 1 的 AFC 单元 101 的方框图。AFC 单元 101 工作以确定频率校正值并由该频率校正值偏移接收信号的频率。AFC 单元 101 一般地包括一个增益元件 201、一个积分器 202、一个频率偏移值修正器 203、一个积分器 204 和一个减法器 205。明显地,元件 201 至 205 在现有技术中是已经知道的,除了说明本发明之外,将不再描述这些元件。

增益元件 201 连接到图 1 的双方式开关 104,根据本发明该开关选择相干相位误差信号或差分相位误差信号作为到增益元件 201 的输入,如下面更全面描述的。增益元件 201 施加一个预定增益到选

择的相位误差信号上。现有技术已经知道,增益元件 201 的值确定 AFC 环路的带宽。该增益元件 201 的输出连接到积分器 202。

积分器 202 可操作地连接到增益元件 201, 积分该标度的相位误差信号并根据这个计算在积分器 202 的输出端产生一个频率偏移值, 正如现有技术中已经知道的那样。积分器 202 的输出端连接到频率偏移值修正器 203 的输入端。

频率偏移修正器 203 可操作地连接到积分器 202 并施加一个预定值到积分器 202 的输出上。该预定值被选择用于计数已知的、在发送的信号频率和接收机标称工作频率之间的固定偏差。例如, 如果数字接收机被设计工作在具有 500KHz 的标称中频的接收信号, 但是该接收的信号已知是在 450KHz 标称中频, 频率偏移修正器 203 将加一个代表 50KHz 的值到频率移值上进行校正这个已知的、固定标称频率。频率偏移值修正器 203 的输出是一个频率校正值, 它耦合到积分器 204。如果在该接收机中没有固定的标称偏移, 那么频率偏移修正器可从 AFC 单元 101 中去掉。在这种情况下, 积分器 202 的输出将是频率校正值并直接地耦合到积分器 204。

积分器 204 可操作地连接到频率偏移值修正 203 和积分该输入频率校正值, 产生一个相位值输出, 该相位值输出以输入频率校正值规定的速率改变。积分器 204 的输出也可称为相位斜坡信号。积分器 204 的输出连接到减法器 205。

减法器 205 运行利用计算的频率校正值偏移接收信号的频率。通过从接收信号的相位输入信号中减去从积分器 204 输出的相位斜坡信号实现由计算的频率校正值偏移接收信号的频率。在这种配置中, 减法器 205 有效地起着一个混频器的作用。减法器 205 在其输

出端产生一个频率校正的接收信号。

图 3 以标号 300 更详细地示出图 1 的差分相位单元 103 的方框图。差分相位单元 103 可操作地耦合以接收从 AFC 单元 101 来的频率校正的接收信号, 和利用该频率校正的接收信号产生差分相位误差输出。差分相位单元 103 一般包括一个抽取器 301、一个延迟元件 302、一个减法器 303、一个检测器 304 和一个减法器 305。明显地, 元件 301 至 305 在现有技术中是已经知道的, 除了说明本发明之外, 不再对其进一步描述。

抽取器 301 被耦合以接收频率校正的接收信号并运行在其输出端产生降低的取样速率的信号。典型的数字接收机接收数字调制信号, 例如 QPSK 调制信号。接收的信号典型地以发送符号速率的整数倍的速率被取样。例如, 数字接收机在 QPSK 符号的期间可能产生 8 个样值。这个取样速率称为每个符号 8 样值, 或 8X。抽取器 301 降低其输出的取样速率至较低速率, 例如 2X。降低差分相位单元 108 的取样速率的原因是为了降低差分相位单元 108 的处理负担。一般地降低的取样速率选择大于或等于 2X, 以便差分相位单元 108 能工作, 而无需知道最佳的符号取样信息。通过以大于或等于 2X 的速率控制差分相位单元 108, 至少部分的抽取信号保证接近最佳的符号取样位置, 以便不需最佳的符号取样信息。不靠近最佳符号取样位置的抽取信号的部分将降低差分相位误差的精度。如果最佳符号取样信息是可用的, 抽取器 301 可抽取到 1X。但是, 本发明典型地控制差分相位单元 108, 而无需知道最佳符号取样信息, 因为当接收的信号频率偏移是大的时候, 难以获得最佳的符号取样信息。还应当懂得, 抽取器 301 还可能连接在差分相位单元的外侧。

抽取器 301 的输出被连接到减法器 303, 并以前向馈送方式连接到延迟元件 302, 然后该延迟元件连接到减法器 303。延迟元件 302 典型地延迟输入信号 1 个符号持续时间, 以产生延迟的输出。例如, 如果取样的速率是 $2X$, 延迟元件 302 将延迟该输入信号 2 个样值。

减法器 303 从未延迟的值中减去延迟的输出值。根据这种运算, 在减法器 303 的输出端产生差分相位值。该差分相位值代表相位值和符号周期延迟的相位值之间的相位差。减法器 303 的输出连接到第二减法器 305 和检测器 304, 然后检测器 304 以前馈方式耦合到减法器 305。

检测器 304 工作以比较输入到预定相位值组的差分相位值并从预定相位值组中输出一个相位值, 该相位值是最接近该输入的相位值。例如, 如果数字接收机是在接收 *QPSK* 调制的信号, 则该预定的相位值组将由代表四种可能的 *QPSK* 的一个符号延迟差分相位值 (0 、 $\pi/2$ 、 π 、 $3\pi/2$) 的四个元素组成。检测器 304 有时还称为现有技术的限制器(*Slicer*)。

检测器 304 和减法器 303 的输出连接到减法器 305。减法器 305 运行以便通过从减法器 303 的输出减去检测器 304 的输出来计算差分相位误差输出。按照平均, 减法器 305 的差分相位误差输出是表示接收信号的频率偏移总量。减法器 305 的差分相位误差输出连接到图 1 的双方式开关 110, 这样, 当双方式开关选择差分相位单元 108 的输出时, 差分相位误差反馈提供到图 1 的 *AFC* 单元 106。

图 4 以标号 400 示出实现作为 *PLL* 单元和更详细地表示图 1 的相干相位单元 102 的方框图。*PLL* 单元工作以利用频率校正的接

收信号并提供相干相位误差输出,该输出反馈到 AFC 单元,当频率偏移是小的或者通过用差分相位误差反馈控制 AFC 单元 101 已经至少部分地被除掉时,该误差输出用于更新 AFC 单元 101。*PLL* 单元一般地包括一个抽取器 401、一个第一减法器 402、一个符号检测器 403、一个第二减法器 404、一个增益元件 405 和一个积分器 406。在这个实施例中,*PLL* 单元是一个第一级 *PLL* 单元。明显地,元件 401 至 406 在现有技术中是已经熟知的,除了说明本发明之外,将不进一步描述这些元件。

抽取器 401 被连接以接收频率校正的接收信号和符号定时估计信号,并且工作以在其输出端产生降低的取样速率信号。典型的数字接收机接收数字地调制的信号,例如 *QPSK* 调制信号。典型地接收的信号被取样,取样的速率是发送符号速率的整数倍。例如,数字接收机在 *QPSK* 符号的期间可产生 8 个样值。这种取样速率称为每符号 8 样值,或 8X。在一个实施例中,通过仅输出由符号定时输入规定的 1X 样值,抽取器 401 降低了样值速率至 1X。为了精确地检测接收符号流,符号定时输入规定数字接收机中每个符号的一些样值的哪个样值是最佳的。从在现有技术中已知的任何一些符号定时恢复方法中可获得符号定时估计。抽取每个符号一个样值的理由是 *PLL* 单元根据检测的符号产生相干相位误差信息,并且在现有技术中已知道,根据符号定时估计选择每个符号一个样值提供用于检测符号的足够信息。还应当明白,抽取器 401 可连接在 *PLL* 单元的外侧。

抽取器 401 的输出连接到减法器 402。还连接到该减法器的是积分器 406 的输出。减法器 402 工作从抽取信号输入减去 *PLL* 单

元的估计载波相位,以产生相位校正输出信号。减法器 402 的输出耦合到符号检测器 403,并且按照前馈方式耦合到减法器 404,在那里,符号检测器 403 的输出耦合到减法器 404。

符号检测器 403 工作以将一个相位校正信号输入与一个预定的相位值组相对照和从预定相位值组中输出最接近该输入相位值的一个相位值。该输出的相位值称为检测的符号相位值。根据用于发送信息到数字接收机的调制方法,选择预定的相位值。例如,如果数字接收机在接收 QPSK 调制信号,则预定的相位值组由代表四种可能的 QPSK 发送相位值 $\{\pi/4, 3\pi/4, -3\pi/4, -\pi/4\}$ 的四个元素组成。在现有技术中检测器 403 有时也称为符号限制器。

减法器 404 工作,从校正的相位值中减去检测的符号相位值,以便降低相干相位误差输出。该相干相位误差输出耦合到图 1 的方式开关 110 并再耦合到增益元件 405。

减法器 404 的相干相位误差输出连接到图 1 的双方式开关 104,这样根据本发明当双方式开关选择相干相位单元 102 的输出时,相干相位误差反馈提供到图 1 的 AFC 单元 101。

增益元件 405 工作,利用预定值来标度相干相位误差,以降低在输出端的标度误差。该预定值在现有技术中称为环路增益。环路增益的可接受的值例如是 0.25。增益元件 405 的输出连接到积分器 406。

积分器 406 工作,以积分该标度误差,以便降低估计的载波相位输出。如前面所述,估计的载波相位输出连接到减法器 402。

PLL 单元的另一个实施也包括在本发明的范围内。例如,如果数字接收机在接收已知的信息序列,例如预定的训练序列,则符号检

测器 403 可用产生该预定训练序列的符号源替代。在另一个例子中, 如果数字接收机在接收未调制的载波信号, 则抽取器 401 可从 *PLL* 单元中除去。

既然本发明的一般工作已描述了, 现在结合图 5 和图 6 说明经济的数字实施方案。图 5 以标号 500 示出根据本发明经济实施方案的方框图, 其中未示出 *PLL* 单元。图 6 以标号 600 表示用于实现图 5 的 *PLL* 单元。图 5 的经济实施方案可使用校正 *QPSK* 调制信号的频率。可进行少量的修改以使经济的实施方案可用于其它调制信号, 例如 *8PSK*。

在经济的实施方案中, 在 *AFC* 单元 106 中通过仅处理 2 比特相位误差值, 基本上降低了处理的要求。如果相位误差是正的, 那么它被变换为 +1 的值。如果相位误差是负的, 则它被变换为 -1 的值。如果相位误差是 0, 它保持在 0 值。相位误差值的非线性变换产生非线性的 *AFC* 单元环路结构。

经济实施方案在运行时利用数字接收机中接收信号的双方式反馈提供频率校正。它一般地包括一个 *AFC* 单元 536, 用以确定频率校正值和根据所述频率校正值, 偏移接收信号的频率; 一个差分相位单元 522; 和图 6 的第一阶 *PLL* 单元 600。在选择时, 符号定时抽取器 520 可能在 *PLL* 单元的外面实施。

AFC 单元 536 可操作地连接到图 6 的第一阶 *PLL* 单元 600 和差分相位单元 522。*AFC* 单元 536 一般地包括减法器 502、第一符号确定器 530、第二符号确定器 506、选择器 504、滤波器 508、频率步进计数器 510、频率偏移值修正器 512 和累加器 518。

接收的信号和累加器 518 的输出端连接到减法器 502。减法器

502 运行,以通过由累加器 518 输出的频率校正值得来偏移接收信号的频率,以提供校正的接收信号。在这个配置中,减法器 502 有效地起着混频器的作用。

符号确定器 530 连接到差分相位单元 522 的差分相位误差输出端。符号确定器 530 运行以便根据差分相位误差的符号变换差分相位误差为输出值。如果差分相位误差是正的,那么它就被变换为值+1。如果差分相位误差是负的,它就被变换为值-1。如果差分相位误差是 0,它保持在 0 值。再者,如果差分相位误差的幅度是 $\pi/4$,对于 QPSK 调制该相干相位误差的符号是未确定的,所以它被变换为 0 值。描述的变换过程从差分相位误差信号中除去幅度信息,但是保持该符号。

第二符号确定器 506 连接到图 6 的 PLL 单元 600 的相干相位误差输出端。符号确定器 506 运行以根据相干相位误差的符号变换相干相位误差为输出值。如果相干相位误差是正的,则它被变换为值+1。如果相干相位误差是负的,它被变换为值-1。如果相干相位误差是 0,它保持为 0 值。而且,如果相干相位误差的幅度是 $\pi/4$,相干相位误差的符号对于 QPSK 调制是未确定的,所以它被变换为 0 值。描述的变换过程从相干相位误差信号中除去幅度信息,但是保持符号。

符号确定器 530 和 506 的输出连接到选择器 504。选择器 504 运行以在 AFC 单元的捕获方式期间选择符号确定器 530 的输出和在 AFC 单元的跟踪方式期间选择第二符号确定器 506 的输出。通过这样做,AFC 单元 536 在捕获方式期间用差分相位误差反馈工作,而在跟踪方式期间用相干相位误差反馈工作。

应注意到,在经济的实施方案中,为了方便起见选择器 504 包括在 AFC 单元 536 内。选择器 504 类似于图 1 的双方式开关 110。还应注意,符号确定器 530 和 506 可用连接到选择器 504 输出端的单个符号确定替代,而不影响 AFC 单元 536 的工作。

选择器 504 的输出连接到滤波器 508。滤波器 508 运行以便累加选择器的输出值,把累加值同预定阈值进行比较,并产生用于指示频率步进计数器更新的输出。滤波器 508 包括一个计数器 532 和一个比较器 534。计数器 532 运行以便累加输入值。例如,如果输入值是 +1,计数器输出递增。如果输入值是 -1,计数器输出递减。如果输入值是 0,计数器输出不改变。如果接收的信号具有正的频率偏移,计数器 532 的输出将随时间递增,因为相位误差输入将趋向于正。否则,如果接收的信号具有负频率偏移,计数器 532 的输出将随时间递减。在图 5 所示的实施例,该计数器是一个 6 位增/减/保持计数器,但是清楚地可利用其它计数器安排。

比较器 534,在本发明中是一个正/负释放(trip)门限比较器,它运行以比较计数器 532 的输出与预定的正和负门限值。如果计数器 532 的输出大于正的门限值,则比较器 534 输出一个上升信号到频率步进计数器 510,在这个实施例的实现中为 6 位增/减/保持计数器,并复位计数器 532 到零值。如果计数器 532 的输出小于负门限值,则比较器 534 输出下降信号到频率步进计数器 510 并复位计数器 532 至零值。比较器 534 的正和负门限值的幅度典型地被选择为相等。较大的门限幅度值产生较慢的跟踪,但是具有降低的噪声和抖动。较小的门限幅度值产生较快的跟踪,但是具有较多噪声和抖动。差分门限一般地用于捕获和跟踪。在捕获期间,门限被选择使能

够快速跟踪,以便尽可能快地出现捕获。在跟踪期间,选择门限值使达到较慢的跟踪和降低的噪声。

比较器 534 的上升和下降输出连接到频率步进计数器 510。频率步进计数器 510 运行以输出频率偏移值。当从比较器 534 接收上升信号时,频率偏移值递增。当从比较器 534 接收下降信号时,频率偏移值递减。频率步进计数器 510 的输出连接到频率偏移值修正器 512。

频率偏移值修正器 512 运行以输出修正的频率偏移值,该值对接收信号中的预定频率偏移进行校正。在图 5 所示的实施例中,频率偏移值修正器包括一个加法器 514,该加法器可操作地连接以接收频率步进计数器 510 的输出和来自频率校正寄存器 512 的输出,在该寄存器中已存储预定值。频率偏移值修正器 512 如前面结合图 2 描述的元件 203 那样工作。频率偏移值修正器 512 的输出连接到累加器 518。

累加器 518 运行以积分或累加修正的频率偏移值,以便产生相位斜坡输出。该相位斜坡输出具有一个斜率,该斜率等于由频率偏移值修正器 512 输出的修正的频率偏移值。因此,使用减法器 502 从接收的信号中减去累加器 518 的输出,接收信号的频率将被偏移,其偏移量等于修正的频率偏移值,以产生一个频率校正的接收信号。

注意,在图 5 的经济的实施方案中,累加器 518 仅以 1X 速率更新。如果校正的接收信号的所有随后处理是以 1X 速率或者如果更高速率的处理仅使用符号间隔数据的函数,就不需要以较高速率校正信号。例如,在这个实施例中,PLL 单元仅使用 1X 数据,并且虽然

差分相位单元 522 使用 2X 数据,仅计算差分相位误差作为符号间隔数据的函数。如果希望以较高速率更新累加器 518,修正的频率偏移值必须从典型的每个符号表示的相位变化变换或每个样值表示的相位变化。

还应注意,在图 5 的经济的实施方案中,一般使用整数表示,例如,接收的信号是具有 0 至 255 的可能值的 8 比特数。这些值表示以 $2\pi/256$ 弧度的等级从 $-\pi$ 至 π 弧度的相位值。

减法器 502 的输出连接到差分相位单元 522 和符号定时抽取器 520。符号定时器抽取器 520 工作等同于图 4 的符号定时抽取器 401,除在这个实施方案为了方便起见抽取器连接在 PLL 单元的外侧此外。

图 5 的差分相位单元 522 可操作地连接到减法器 502 并运行以确定差分相位误差。差分相位误差单元 522 一般地如前面结合图 3 所描述的那样工作。但是,在经济的实施方案中,图 3 的检测器 304 和减法器 305 都不需要。通过仅处理 8 比特抽取的相位值的 6 个最低有效比特,由检测器 304 和减法器 305 执行的操作并入到差分相位单元 522 中,无需任何附加处理。

图 6 的 PLL 单元 600 是一个第一阶 PLL,它连接到图 5 的最佳符号定时抽取器 520 和运行以便利用频率校正的接收信号提供相干相位误差输出。PLL 单元 600 包括减法器 604 和基准累加器 602。在这个实施方案中,基准累加器 602 是一个 10 比特相位累加器,以反馈的方式连接到减法器 604。减法器 604 从 AFC 环路接收最佳地取样的绝对相位,即,在本例中是图 5 的符号定时抽取器 520 的输出,并输出相干相位误差到 AFC 环路,即到图 5 的第二符号确

定器 506。 PLL 单元 600 一般地如前面结合图 4 描述的那样工作。但是,在经济的实施方案中,不需要图 4 的符号检测器 403 和减法器 404。通过丢弃 8 比特相位值的两个最高有效位和延伸得到的 6 比特数的符号,产生的相干相位误差等同于使用图 4 的符号检测器 403 和减法器 404 获得的相干相位误差。而且,图 4 的增益元件 405 没有表示在 PLL 单元 600 中。通过放置 6 比特相位误差到该 10 比特累加器 602 的输入的较低部分,获得相位误差的 2 比特右移位,产生暗指的 0.25 环路增益。由累加器 602 执行标度相位误差的积分。

经济的实施方案可用惯用的离散时间数学量化地分析。对于用于跟踪 PLL 的相位的传统的第一阶环路,系统转移功能使相位误差输出(该输出反馈到 AFC 环路)与输入(输入是最佳地取样的相位时间序列)相关并可能表示为:

$$H(Z) = (1 - Z^{-1}) / (1 - (1 - k)Z^{-1})$$

这里 k 是 PLL 环路增益,如在前面参见图 4 的元件 405 所描述的那样。这个环路是由相位斜坡信号加上噪声驱动的,因为 AFC 分辨率一般将禁止输入频率偏移和量化的频率校正之间的精确匹配。 AFC 环路将试图集中相位误差输出(它代表频率偏移)的平均值,在出现噪声的情况下,通过过程的变化来表示它。当该系统用一个相位斜坡信号驱动时,即每个符号递增 θ ,这里 $\theta = \omega_{os}Ts$ (ω_{os} 是在 AFC 校正之后剩余的弧度频率误差, Ts 是符号持续期间),相位误差输出可表示为

$$f(n) = \theta/k(1 - (1 - k)^n)$$

这个波形在零开始,几何地递增到最后值 θ/k (当 PLL 被锁定时),

这里 θ 和 k 是如前面所述的。对于 $k=1$, 它相应于最佳地取样的差分相位单元, 最后的值是 θ , 该值是在跟踪方式中用于驱动 AFC 环路的过程的平均值, 因为对于具有 $k=0.25$ 的 PLL 来说, 该最后是 4θ 。注意, 最后值的符号和因此驱动 AFC 单元的过程的平均值的符号与剩余的频率偏移 ω_{os} 的符号相同, 它将在适当的方向上驱动 AFC 环路。还应注意, 驱动 AFC 环路的过程的平均值随 k 反比地增加。这种由 PLL 实现的任何频率偏移的增大是极希望的效果。

除了使用该过程的平均值之外, 变化也要求, 以便能够确定决定误差符号的相位等级提供给 AFC 环路的概率。当误差符号的相位误差等级提供给 AFC 环路时, 释放该门限所要求的符号数和时间二者都增加。足够大的变化还可产生释放错误符号门限, 因在以错误的方向发送 AFC。这一般地是迅速地恢复的, 因为它增加输入斜坡和 AFC 斜坡之间的频率误差, 产生较大的平均值, 因此对于固定变化产生符号误差较小的概率。

传统的第 1 阶相位锁定环路的频率响应是高通, 具有下式的一 $3dB$ 拐角频率 ω_{hp} 。

$$\omega_{hp}T_s = \cos^{-1}(2-2k)/(2-2k+k^2)$$

对于具有 $k=0.25$, $T_s=5$ 微秒 (μsec) 的 PLL, 这相应于 9KHz 高通拐角。对于具有 $k=1$ 的差分相位单元, 高通拐角是 50KHz 。通过积分具有 $Z=e^{j\omega T}$ 的环路转移函数的平方幅度可找到输入过程 (或等效噪声带宽) 的变量的滤波效果。从 0 至 π 计算的这个积分的值可表示为:

$$\int_0^\pi |H(e^{j\omega T})|^2 d\omega T = 2\pi/(2-k)$$

为了最佳地取样差分相位单元, 输入变量 (假定白的) 用 2π 相乘, 因

此对于具有 $k=0.25$ 的 PLL , 输入变量用 1.143π 相乘。因此, PLL 输出过程的变量是 $2.43dB$, 小于差分相位单元过程的变量, 是另一个希望的改进。这时可估计相位符号差错的概率。因为假定在输入相位时间序列中的噪声接近于高斯分布, 具有标准的偏差 σ , 输出过程的密度可用已知的平均值和由环路引入的变量影响来确定。对于 $K=0.25$, 平均值是 4θ 和标准偏差是 $1.143\pi\sigma$, 因此, 对于差分相位单元, 平均值是 θ 和标准偏差是 $2\pi\sigma$ 。所描述的 PLL 反馈方式具有较大的平均值和较小的变量, 当与差分相位单元方式相比较时, 将产生降低的 AFC 环路输入符号误差的概率。使用互补误差函数, 符号误差的概率 P_s 可描述为:

$$\text{对于一般的 } k, P_s = \text{Erfc}[\{((2-k)/2\pi) \cdot 5\theta\}/k\sigma]$$

$$\text{对于差分的, } P_s = \text{Erfc}[0.4\theta]/\sigma]$$

$$\text{对于具有 } k=0.25 \text{ 的 } PLL, P_s = \text{Erfc}[2.11\theta)/\sigma]$$

对于最佳取样 PLL , 互补误差函数 Erfc 中的自变量是 5.275 的因数, 该因数大于最佳取样差分相位单元的因数, 对于更小的 θ/σ 值产生惊人地改进。因此, 本发明描述的结构有效地增加 AFC 环路输入信号的 SNR , 总共为 $14.4dB$, 结果极大地改进了性能和对于差信道有更高的可靠性。对于在捕获方式中使用的非最佳取样 $T/2$ 间隔差分相位单元来说, 符号差错的概率比上面描述的最佳取样的差分相位单元更坏, 因为在非最佳取样中除去了调制时, 它不可能是 $\pi/2$ 的整数倍, 和当该调制被除去时, 引入了附加的噪声源。当与 $T/2$ 间隔差分相位单元比较时, 估计相干相位误差反馈结构至少提供 $17.4dB$ SNR 增益。因此, 具有增益 $=0.25$ 的跟踪环路在差分检测捕获方式上极大地提供增强的跟踪性能。本发明的改进的 AFC 环路结

构产生精确得多的频率偏移跟踪和更低的 AFC 锁定丢失概率。

本发明的非线性环路结构允许窄环路带宽容易以硬件实现。

图 7 以标号 700 示出根据本发明方法的步骤流程图,其中利用在数字接收机中接收信号的新颖的反馈提供频率校正,以便使频率偏移跟踪性能最大。该方法包括步骤:A)利用双重选择自动频率控制单元,至少使用差分相位单元的差分相位误差输出和相位锁定环路单元的相干相位误差输出之一。确定频率校正值,和通过根据双重方式方案的所述频率校正值偏移接收信号的频率,以提供校正的接收信号(702);B)由相位锁定环路单元利用校正的接收信号提供相干相位误差输出(704)和 C)由差分相位单元利用校正的接收信号提供差分相位误差输出(706)。在选择场合自动频率控制单元可利用非线性环路结构。自动频率控制单元可至少利用来自锁相环路单元的误差信号的符号确定频率偏移。典型地,在捕获期间提供差分相位误差反馈而在跟踪期间提供相干相位误差反馈。在选择的场合,仅当锁相环路被锁定时,自动频率控制单元才可运行。而且,在选择的场合,在预定的时间期间之后,双重选择自动频率控制单元可利用锁相环路单元的相干相位误差输出。

虽然上面描述了示例性的实施例,但在不脱离本发明情况下可进行许多变化和修改,这对本领域的技术人员是显而易见的。因此,所有这些变化和修改希望都包括在如所附权利要求书限定的本发明的精神和范围内。

说明书附图

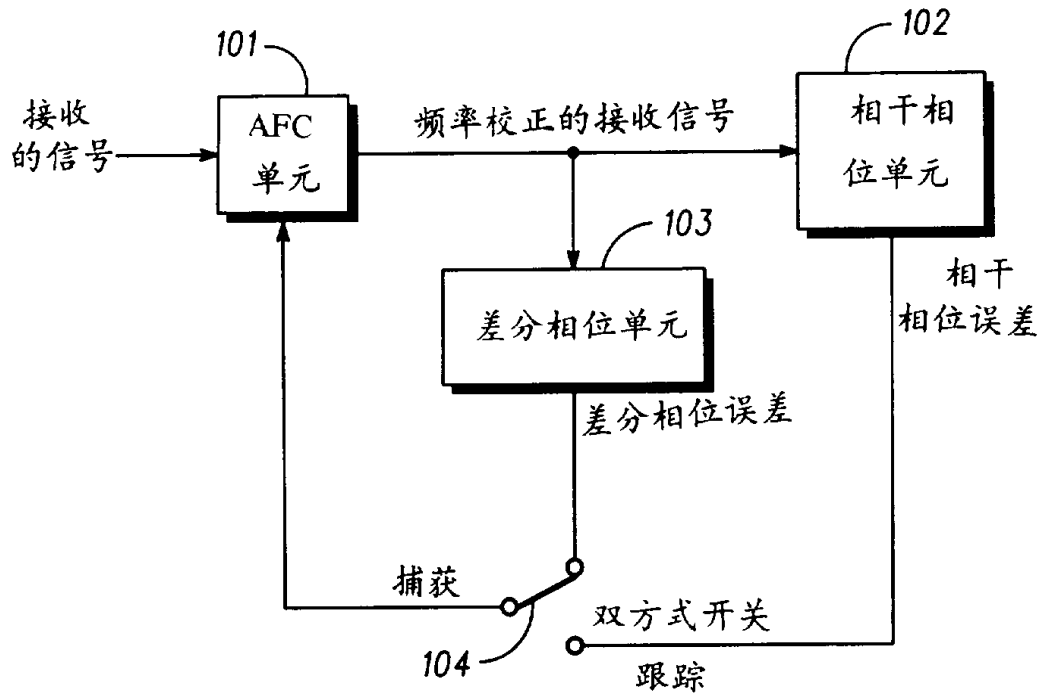


图 1

100

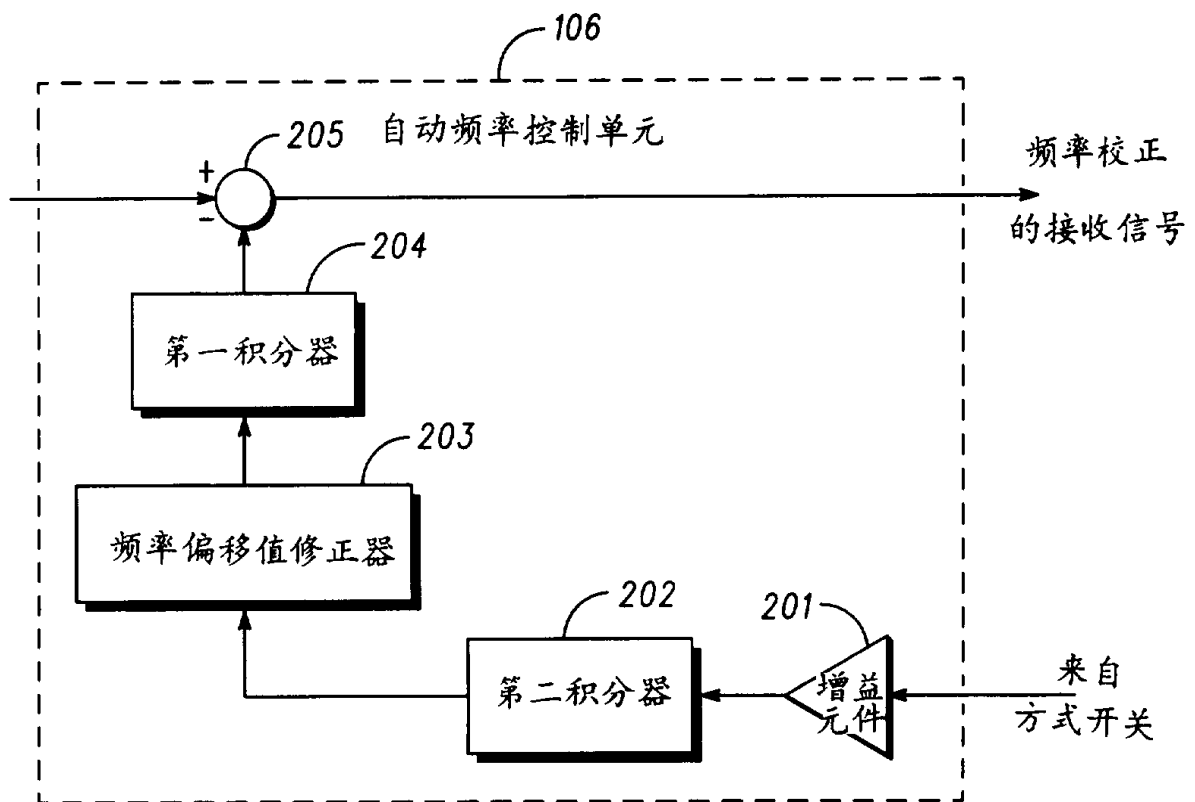


图 2

200

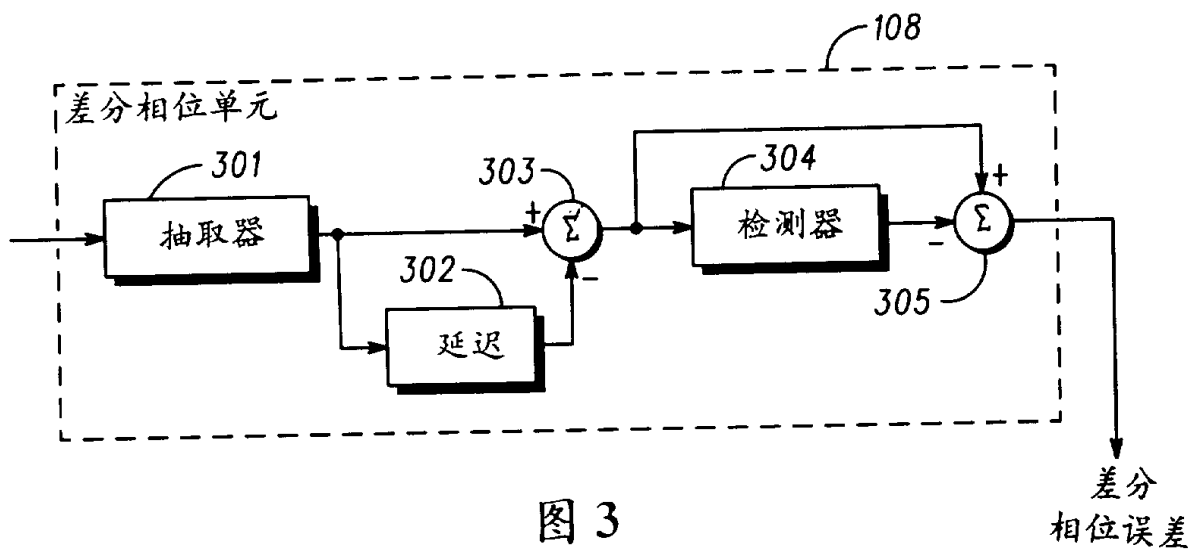


图 3

300

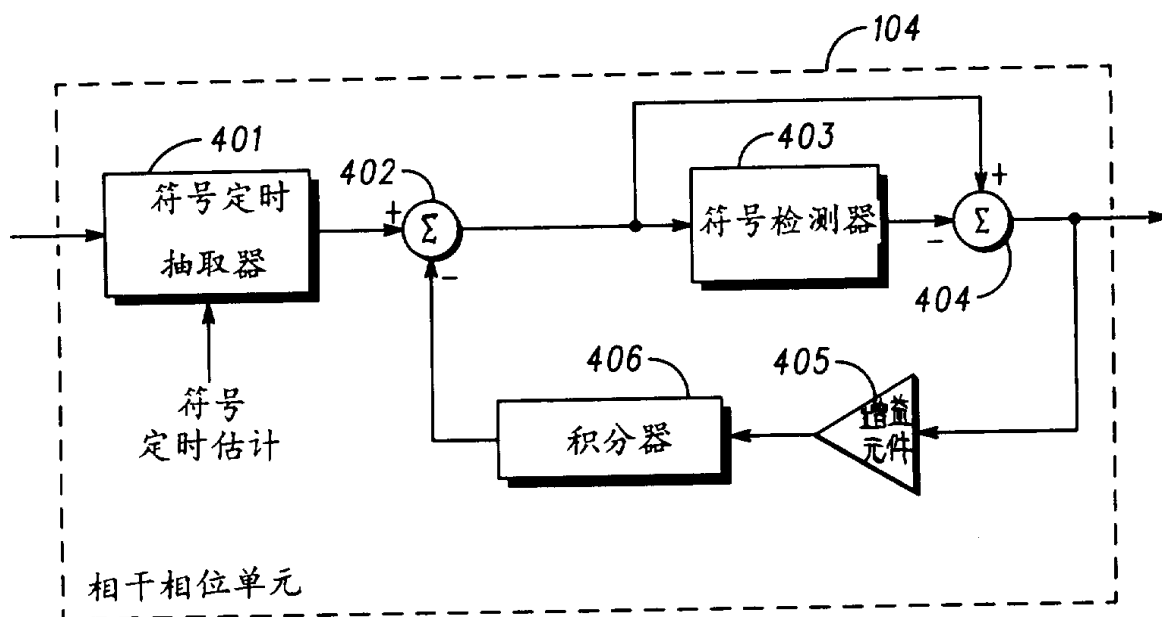
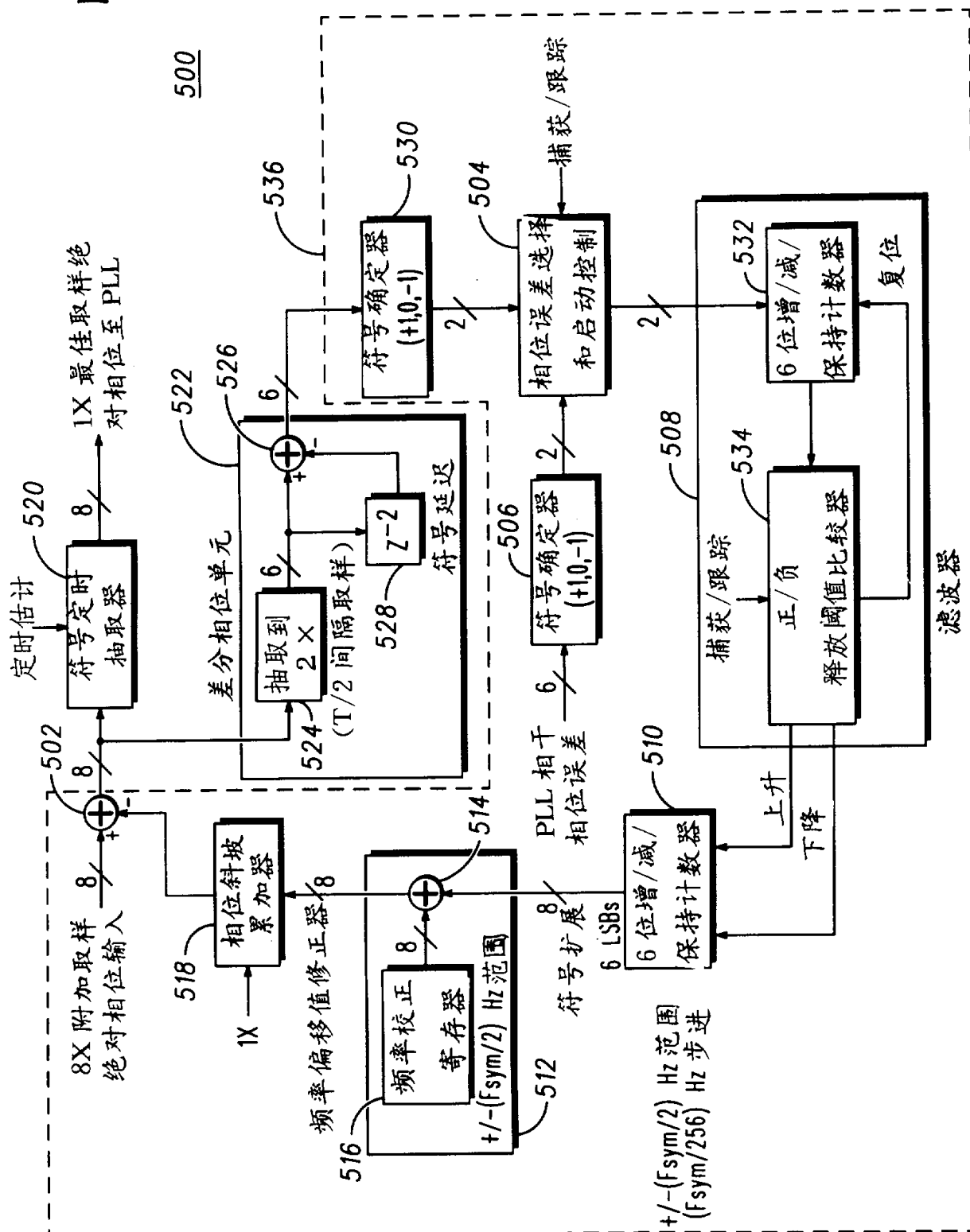


图 4

400

五



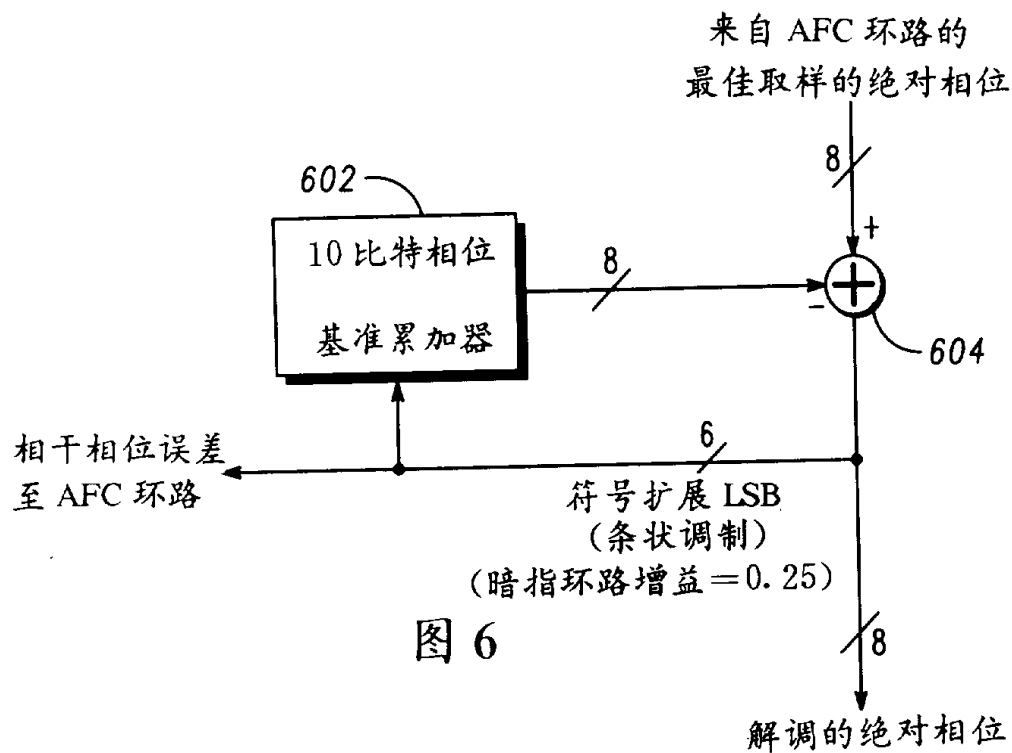


图 6

600

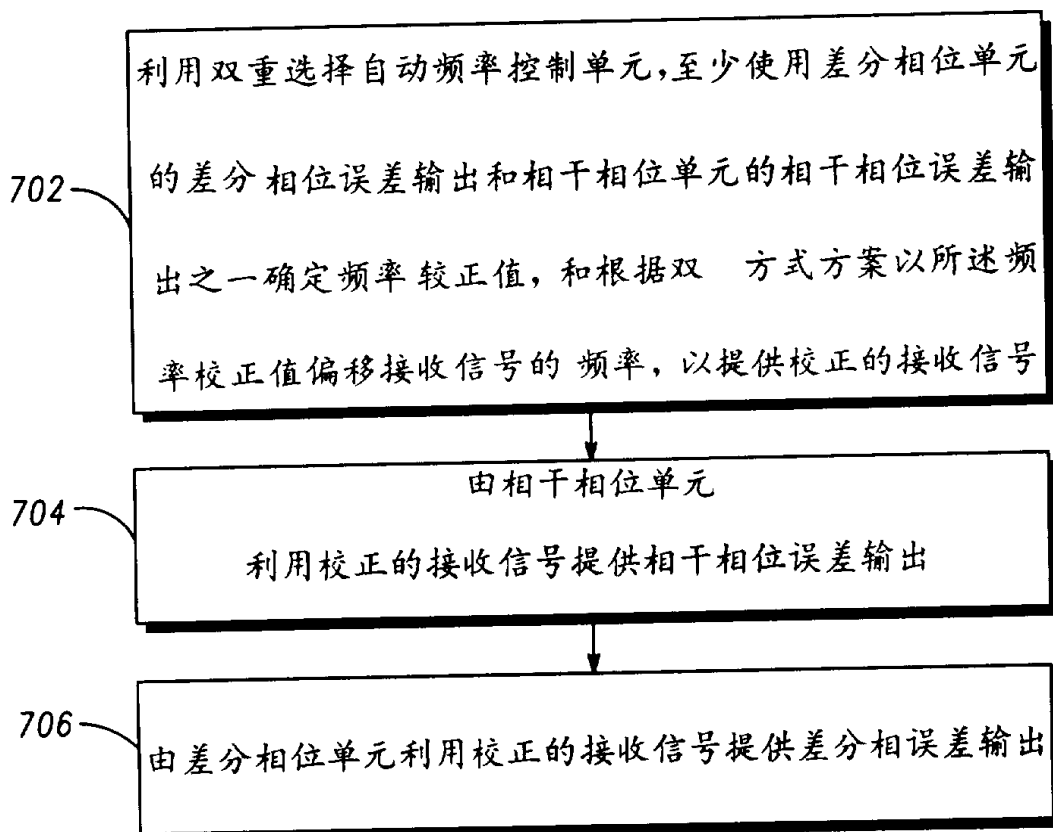


图 7

700