



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2025-0100514
(43) 공개일자 2025년07월03일

- | | |
|--|---|
| <p>(51) 국제특허분류(Int. Cl.)
 <i>G11C 11/413</i> (2006.01) <i>G06F 7/523</i> (2006.01)
 <i>G11C 11/412</i> (2006.01) <i>G11C 7/18</i> (2006.01)
 <i>G11C 8/14</i> (2006.01)</p> <p>(52) CPC특허분류
 <i>G11C 11/413</i> (2013.01)
 <i>G06F 7/523</i> (2013.01)</p> <p>(21) 출원번호 10-2024-0167224
 (22) 출원일자 2024년11월21일
 심사청구일자 2024년11월21일</p> <p>(30) 우선권주장
 1020230191897 2023년12월26일 대한민국(KR)</p> | <p>(71) 출원인
 울산과학기술원
 울산광역시 울주군 언양읍 유니스트길 50</p> <p>(72) 발명자
 김경록
 울산광역시 울주군 언양읍 유니스트길 50
 김명
 울산광역시 울주군 언양읍 유니스트길 50
 (뒷면에 계속)</p> <p>(74) 대리인
 특허법인더웨이브</p> |
|--|---|

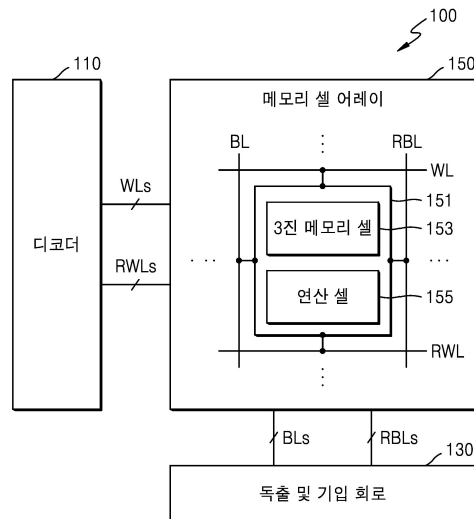
전체 청구항 수 : 총 14 항

(54) 발명의 명칭 **메모리 셀 및 메모리 셀을 포함하는 메모리 장치**

(57) 요약

메모리 셀 및 메모리 셀을 포함하는 메모리 장치가 개시된다. 메모리 셀은 로직 인 메모리(logic in memory)를 위한 메모리 장치의 메모리 셀에 있어서, 3진 정보를 저장하는 3진 메모리 셀과, 3진 메모리 셀의 저장 값 및 로우 워드 라인(RWL: Row Word Line)을 통해 입력된 입력 값에 기반하여, 곱셈 연산을 수행하는 연산 셀을 포함하고, 연산 셀은 3진 메모리 셀의 저장 값에 대응하는 제1 노드로부터 피연산 데이터를 입력받는 제1 트랜지스터 및 3진 메모리 셀의 반전 저장 값에 대응하는 제2 노드로부터 반전 피연산 데이터를 입력받는 제2 트랜지스터를 포함할 수 있다.

대 표 도 - 도1



(52) CPC특허분류

G11C 11/412 (2013.01)

G11C 7/18 (2013.01)

G11C 8/14 (2013.01)

(72) 발명자

류민우

울산광역시 울주군 언양읍 유니스트길 50

최영은

울산광역시 울주군 언양읍 유니스트길 50

김우석

울산광역시 울주군 언양읍 유니스트길 50

이 발명을 지원한 국가연구개발사업

과제고유번호 1711193300

과제번호 2021-0-02092-003

부처명 과학기술정보통신부

과제관리(전문)기관명 정보통신기획평가원

연구사업명 ICT첨단유망기술육성사업

연구과제명 트랜지스터-안테나 융합소자 기반 다중-픽셀 플라즈모닉 THz 검출기 모듈 및 보안용

검색 시제품 개발

과제수행기관명 (주)엘라이트

연구기간 2023.01.01 ~ 2023.12.31

명세서

청구범위

청구항 1

로직 인 메모리(logic in memory)를 위한 메모리 장치의 메모리 셀에 있어서,

3진 정보를 저장하는 3진 메모리 셀; 및

상기 3진 메모리 셀의 저장 값 및 로우 워드 라인(RWL: Row Word Line)을 통해 입력된 입력 값에 기반하여, 곱셈 연산을 수행하는 연산 셀을 포함하고,

상기 연산 셀은,

상기 3진 메모리 셀의 저장 값에 대응하는 제1 노드로부터 피연산 데이터를 입력받는 제1 트랜지스터 및 상기 3진 메모리 셀의 반전 저장 값에 대응하는 제2 노드로부터 반전 피연산 데이터를 입력받는 제2 트랜지스터를 포함하는 메모리 셀.

청구항 2

제1항에 있어서,

상기 제1 트랜지스터는 상기 제1 노드, 상기 로우 워드 라인 및 제1 리드 비트 라인(RBL: Read Bit Line)과 연결되고,

상기 제2 트랜지스터는 상기 제2 노드, 상기 로우 워드 라인 및 제2 리드 비트 라인과 연결되는,

메모리 셀.

청구항 3

제1항에 있어서,

상기 3진 메모리 셀은,

제1 비트 라인(Bit Line)을 통해 상기 피연산 데이터를 수신하고,

제2 비트 라인을 통해 상기 반전 피연산 데이터를 수신하고,

워드 라인(Word Line)을 통한 개시 신호에 기반하여, 상기 피연산 데이터와 상기 반전 피연산 데이터를 상기 연산 셀로 출력하는,

메모리 셀.

청구항 4

제1항에 있어서,

상기 연산 셀은,

상기 피연산 데이터, 상기 반전 피연산 데이터 및 상기 로우 워드 라인을 통해 입력된 입력 값에 기반하여, 제1 리드 비트 라인 및 제2 리드 비트 라인에 전달되는 제1 출력 신호 및 제2 출력 신호를 상기 곱셈 연산 결과로서 생성하는,

메모리 셀.

청구항 5

제4항에 있어서,

상기 연산 셀은,

상기 피연산 데이터를 기반으로 상기 로우 워드 라인을 통해 입력된 입력 값에 대한 출력을 제어하여, 상기 제1 출력 신호를 생성하는 제1 트랜지스터; 및

상기 반전 피연산 데이터를 기반으로 상기 로우 워드 라인을 통해 입력된 입력 값에 대한 출력을 제어하여, 상기 제2 출력 신호를 생성하는 제2 트랜지스터를 포함하는,

메모리 셀.

청구항 6

제1항에 있어서,

상기 제1 트랜지스터 및 상기 제2 트랜지스터는 N-타입(type) MOSFET(Metal Oxide Silicon Field Effect Transistor)인 것을 특징으로 하는,

메모리 셀.

청구항 7

제1항에 있어서,

상기 3진 메모리 셀은,

상기 제1 노드 및 상기 제2 노드에서 교차 연결되고, 턴-오프시 정전류를 통과시키도록 구성된 풀업 소자 및 풀다운 소자를 포함하는, 제1 인버터 및 제2 인버터를 포함하는,

메모리 셀.

청구항 8

로직 인 메모리(logic in memory)를 위한 메모리 장치에 있어서,

3진 메모리 셀과 연산 셀로 구성되는 복수의 메모리 셀이 배열되는 메모리 셀 어레이;

상기 메모리 셀 어레이와 적어도 하나의 워드 라인으로 연결되어, 복수의 메모리 셀들 중 적어도 하나의 메모리 셀을 선택하도록 구성되는 디코더;

상기 메모리 셀 어레이와 복수의 비트 라인들로 연결되어 데이터 래치하는 독출 및 기입 회로를 포함하고,

상기 메모리 셀은 상기 3진 메모리 셀의 저장 값 및 로우 워드 라인(RWL: Row Word Line)을 통해 입력된 입력 값에 기반하여, 곱셈 연산을 수행하는 연산 셀을 포함하고,

상기 연산 셀은 상기 3진 메모리 셀의 저장 값에 대응하는 제1 노드로부터 피연산 데이터를 입력받는 제1 트랜지스터 및 상기 3진 메모리 셀의 반전 저장 값에 대응하는 제2 노드로부터 반전 피연산 데이터를 입력받는 제2 트랜지스터를 포함하는 메모리 장치.

청구항 9

제8항에 있어서,

상기 제1 트랜지스터는 상기 제1 노드, 상기 로우 워드 라인 및 제1 리드 비트 라인(RBL: Read Bit Line)과 연결되고,

상기 제2 트랜지스터는 상기 제2 노드, 상기 로우 워드 라인 및 제2 리드 비트 라인과 연결되는,

메모리 장치.

청구항 10

제8항에 있어서,

상기 3진 메모리 셀은,

제1 비트 라인(Bit Line)을 통해 상기 피연산 데이터를 수신하고,

제2 비트 라인을 통해 상기 반전 피연산 데이터를 수신하고,

워드 라인(Word Line)을 통한 개시 신호에 기반하여, 상기 피연산 데이터와 상기 반전 피연산 데이터를 상기 연산 셀로 출력하는,

메모리 장치.

청구항 11

제8항에 있어서,

상기 연산 셀은,

상기 피연산 데이터, 상기 반전 피연산 데이터 및 상기 로우 워드 라인을 통해 입력된 입력 값에 기반하여, 제1 리드 비트 라인 및 제2 리드 비트 라인에 전달되는 제1 출력 신호 및 제2 출력 신호를 상기 곱셈 연산 결과로서 생성하는,

메모리 장치.

청구항 12

제11항에 있어서,

상기 연산 셀은,

상기 피연산 데이터를 기반으로 상기 로우 워드 라인을 통해 입력된 입력 값에 대한 출력을 제어하여, 상기 제1 출력 신호를 생성하는 제1 트랜지스터; 및

상기 반전 피연산 데이터를 기반으로 상기 로우 워드 라인을 통해 입력된 입력 값에 대한 출력을 제어하여, 상기 제2 출력 신호를 생성하는 제2 트랜지스터를 포함하는,

메모리 장치.

청구항 13

제8항에 있어서,

상기 제1 트랜지스터 및 상기 제2 트랜지스터는 N-타입(type) MOSFET(Metal Oxide Silicon Field Effect Transistor)인 것을 특징으로 하는,

메모리 장치.

청구항 14

제8항에 있어서,

상기 3진 메모리 셀은,

상기 제1 노드 및 상기 제2 노드에서 교차 연결되고, 턴-오프시 정전류를 통과시키도록 구성된 풀업 소자 및 풀다운 소자를 포함하는, 제1 인버터 및 제2 인버터를 포함하는,

메모리 장치.

발명의 설명

기술 분야

[0001] 본 발명은 곱셈 연산을 지원하는 메모리 셀 및 메모리 셀을 포함하는 메모리 장치에 관한 것이다.

배경 기술

[0002] 인공지능(AI)과 같은 빅데이터 중점적인 작업을 처리하는데 발생하는 높은 소모전력 문제를 해결하기 위해, 3진 저장 값의 필요성이 대두되었다. 기존의 3진 메모리 셀은 2개의 2진 메모리 셀을 이용하여 설계함에 따라 면적이 2배이상 증가하는 문제가 있다.

[0003] 또한, 기존의 폰 노이만 식 컴퓨터 구조는 방대한 크기의 메모리에서 저장된 정보를 연산할 때 전력과 속도 부분에서 병목현상이 발생함에 따라, 매우 비 효율적인 구조이다. 병목현상을 해결하기 위해 정보만을 저장한 메모리에서 메모리 자체부터 연산을 수행하는 프로세싱 인 메모리(processing-in-memory) 구조가 소개되었다. 하지만, 이러한 구조에서도 단지 2진 정보만을 위한 연산 회로가 중점적으로 개발되어왔다.

[0004] 2진 정보에 기반한 연산 회로는 높은 소모전력 문제가 발생하므로, 3진 저장 값에 기반하여 정보의 저장 및 연산을 수행할 수 있는 기술이 필요하다.

발명의 내용

해결하려는 과제

[0005] 본 발명의 실시예는, 메모리 셀 내부에서 곱셈 연산을 수행할 수 있는 메모리 장치로서, 예를 들어, 3진 메모리 셀(예를 들어, 6T SRAM)에 저장된 3진 저장 값과 연산 셀에 입력된 입력 값(예를 들어, 2진 입력 값)에 기반하여 곱셈 연산을 수행하는 2진-3진 혼성 신호 프로세싱 인 메모리 셀을 이용한 메모리 장치를 제공하여, 2진 정보에 기반한 메모리 셀의 면적 및 전력 증가, 폰 노이만 구조의 전력 및 처리 시간(속도) 증가에 대한 부분을 해소하는 것을 목적으로 한다.

[0006] 본 발명이 해결하고자 하는 과제는 이상에서 언급한 과제에 한정되지 않으며, 언급되지 않은 본 발명의 다른 과제 및 장점들은 하기의 설명에 의해서 이해될 수 있고, 본 발명의 실시 예에 의해보다 분명하게 이해될 것이다. 또한, 본 발명이 해결하고자 하는 과제 및 장점들은 특허 청구 범위에 나타낸 수단 및 그 조합에 의해 실현될 수 있음을 알 수 있을 것이다.

과제의 해결 수단

[0007] 본 발명의 실시예에 따른 메모리 셀은 로직 인 메모리(logic in memory)를 위한 메모리 장치의 메모리 셀에 있어서, 3진 정보를 저장하는 3진 메모리 셀과, 3진 메모리 셀의 저장 값 및 로우 워드 라인(RWL: Row Word Line)을 통해 입력된 입력 값에 기반하여, 곱셈 연산을 수행하는 연산 셀을 포함하고, 연산 셀은 3진 메모리 셀의 저장 값에 대응하는 제1 노드로부터 피연산 데이터를 입력받는 제1 트랜지스터 및 3진 메모리 셀의 반전 저장 값에 대응하는 제2 노드로부터 반전 피연산 데이터를 입력받는 제2 트랜지스터를 포함할 수 있다.

[0008] 본 발명의 실시예에 따른 메모리 장치는 로직 인 메모리(logic in memory)를 위한 메모리 장치에 있어서, 3진 메모리 셀과 연산 셀로 구성되는 복수의 메모리 셀이 배열되는 메모리 셀 어레이와, 메모리 셀 어레이와 적어도 하나의 워드 라인으로 연결되어, 복수의 메모리 셀들 중 적어도 하나의 메모리셀을 선택하도록 구성되는 디코더와, 메모리 셀 어레이와 복수의 비트 라인들로 연결되어 데이터 래치하는 독출 및 기입 회로를 포함하고, 메모리 셀은 3진 메모리 셀의 저장 값 및 로우 워드 라인(RWL: Row Word Line)을 통해 입력된 입력 값에 기반하여, 곱셈 연산을 수행하는 연산 셀을 포함하고, 연산 셀은 3진 메모리 셀의 저장 값에 대응하는 제1 노드로부터 피연산 데이터를 입력받는 제1 트랜지스터 및 3진 메모리 셀의 반전 저장 값에 대응하는 제2 노드로부터 반전 피연산 데이터를 입력받는 제2 트랜지스터를 포함할 수 있다.

[0009] 이 외에도, 본 발명을 구현하기 위한 다른 방법, 다른 시스템 및 상기 방법을 실행하기 위한 컴퓨터 프로그램이 저장된 컴퓨터로 판독 가능한 기록매체가 더 제공될 수 있다.

[0010] 전술한 것 외의 다른 측면, 특징, 이점이 이하의 도면, 특허청구범위 및 발명의 상세한 설명으로부터 명확해질 것이다.

발명의 효과

[0011] 본 발명에 의하면, 메모리 셀 내부에서 곱셈 연산을 수행할 수 있는 메모리 장치로서, 예를 들어, 3진 메모리 셀(예를 들어, 6T SRAM)에 저장된 3진 저장 값과 연산 셀에 입력된 입력된 입력 값(예를 들어, 2진 입력 값)에 기반하여 곱셈 연산을 수행하는 2진-3진 혼성 신호 프로세싱 인 메모리 셀을 이용한 메모리 장치를 제공할 수 있다. 이에 따라, 3진 메모리 셀을 활용하여 3진 저장 값의 저장을 보다 효율적인 면적에서 구현하면서, 곱셈 연산 수행을 위한 2진 정보의 입력을 파형(pulse) 형태로 치환함으로써, 프로세싱 인 메모리 구조상 가장 효율적으로 2진-3진 혼성 곱셈 연산을 가능하게 한다. 또한, 처리 정보량이 2진 정보 기반 연산 처리 기술보다 몇배(예를 들어, 1.6배) 높기 때문에, 기존의 폰 노이만 구조에 기반한 연산 전력 및 처리량의 한계를 극복하기 위한, 프로세싱 인 메모리 구조의 이점을 최대한로 향상시킬 수 있다.

[0012] 본 발명의 효과는 이상에서 언급된 것들에 한정되지 않으며, 언급되지 아니한 다른 효과들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

도면의 간단한 설명

[0013] 도 1은 본 발명의 실시예에 따른 메모리 장치의 구성 일례를 도시한 도면이다.
 도 2는 본 발명의 실시예에 따른 메모리 장치의 메모리 셀에 대한 구성을 간략하게 도시한 도면이다.
 도 3은 본 발명의 실시예에 따른 메모리 장치에서, 메모리 셀의 회로도를 도시한 도면이다.
 도 4는 본 발명의 실시예에 따른 메모리 장치에서, 3진 메모리 셀에 포함된 인버터의 블록도를 도시한 도면이다.
 도 5는 본 발명의 실시예에 따른 메모리 장치에서, 3진 메모리 셀에 포함된 인버터의 동작에 관한 그래프를 도시한 도면이다.
 도 6 내지 도 9는 본 발명의 실시예에 따른 메모리 장치의 메모리 셀에서 저장 값 및 입력 값에 따른 연산 일례를 설명하기 위한 도면이다.

발명을 실시하기 위한 구체적인 내용

[0014] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 설명되는 실시 예들을 참조하면 명확해질 것이다. 그러나 본 발명은 아래에서 제시되는 실시 예들로 한정되는 것이 아니라, 서로 다른 다양한 형태로 구현될 수 있고, 본 발명의 사상 및 기술 범위에 포함되는 모든 변환, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다. 아래에 제시되는 실시 예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이다. 본 발명을 설명함에 있어서 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 흐릴 수 있다고 판단되는 경우 그 상세한 설명을 생략한다.

[0015] 본 출원에서 사용한 용어는 단지 특정한 실시 예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 명세서상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다. 제1, 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 구성요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다.

[0016] 또한, 본 출원에서, "부"는 프로세서 또는 회로와 같은 하드웨어 구성(hardware component), 및/또는 프로세서와 같은 하드웨어 구성에 의해 실행되는 소프트웨어 구성(software component)일 수 있다.

[0017] 이하, 본 발명에 따른 실시 예들을 첨부된 도면을 참조하여 상세히 설명하기로 하며, 첨부 도면을 참조하여 설명함에 있어, 동일하거나 대응하는 구성 요소는 동일한 도면번호를 부여하고 이에 대한 중복되는 설명은 생략하기로 한다.

[0018] 도 1은 본 발명의 실시예에 따른 메모리 장치의 구성 일례를 도시한 도면이다.

[0019] 도 1을 참조하면, 본 발명의 실시예에 따른 메모리 장치(100)는 디코더(110), 독출 및 기입 회로(130), 메모리 셀 어레이(150)를 포함할 수 있다.

[0020] 디코더(110)는 메모리 컨트롤러로부터 발생하는 동작 모드 명령에 응답하여 워드 라인을 선택적으로 제어하는 기능을 수행할 수 있다. 디코더(110)는 복수의 메모리 셀들 중 적어도 하나의 메모리 셀을 선택하도록 구성될 수 있다. 디코더(110)는 복수의 워드 라인들(WLs)과 복수의 로우 워드 라인들(RWLs: Row Word Line)을 통하여 메모리 셀 어레이(150)와 접속될 수 있다. 본 발명의 일 실시예에 따르면, 디코더(110)는 메모리 셀 어레이(150)에 소정의 로우(row)의 메모리 셀에 데이터를 저장하거나 독출하는 경우 적어도 하나의 워드 라인을 활성화시킬 수 있다. 본 발명의 일 실시예에 따르면, 디코더(110)는 메모리 셀 어레이(150)의 연산 셀에 입력 신호(입력 값)를 전달하기 위하여 적어도 하나의 로우 워드 라인을 활성화시킬 수 있다. 도 1은 워드 라인과 로우 워드 라인이 구분되는 것으로 표시하였으나, 로우 워드 라인은 워드 라인의 일 예로 구성될 수도 있다.

- [0021] 독출 및 기입 회로(130)는 기입 데이터나 독출 데이터를 래치하는 기능을 수행할 수 있다. 독출 및 기입 회로(130)는 복수의 비트 라인들(BLs)과 복수의 리드 비트 라인(RBLs: Read Bit Line)을 통하여 메모리 셀 어레이(150)와 연결될 수 있다. 본 발명의 일 실시예에 따르면, 독출 및 기입 회로(130)는 센스 앰프 회로나, 데이터 입력 버퍼들, 및 데이터 출력 버퍼들을 포함할 수 있다. 도 1은 비트 라인과 리드 비트 라인이 구분되는 것으로 표시하였으나, 리드 비트 라인은 비트 라인의 일 예로 구성될 수도 있다.
- [0022] 메모리 셀 어레이(150)는 적어도 하나의 메모리 셀(151)을 포함할 수 있다. 본 발명의 일 실시예에 따르면, 메모리 셀 어레이(150)는 3진 메모리 셀(153)과 연산 셀(155)을 포함하는 적어도 하나의 메모리 셀(151)이 배열된 구조로 구성될 수 있다. 3진 메모리 셀(153)은 피연산 데이터에 관한 3진 논리 값들을 저장할 수 있고, 저장된 피연산 데이터를 연산 셀(155)로 출력할 수 있다. 또한, 연산 셀(155)은 곱셈 연산의 기능을 수행할 수 있다. 구체적으로, 연산 셀(155)은 3진 메모리 셀(153)에 저장된 저장 값과 로우 워드 라인을 통해 입력되는 입력 값에 기반하여 곱셈 연산을 수행할 수 있다.
- [0023] 또한, 메모리 셀(151)은 로직-인-메모리(logic-in-memory, LIM) 구조를 가질 수 있다.
- [0024] 연산 셀(155)은 3진 메모리 셀(153)에 저장된 저장 값과 로우 워드 라인을 통해 입력되는 입력 값에 기반하여 곱셈 연산을 수행한 결과로서, 출력 신호를 생성하고, 출력 신호를 리드 비트 라인에 인가할 수 있다. 본 발명의 실시예에 따르면, 연산 셀(155)은 독출 및 기입 회로와 연결된 복수의 리드 비트 라인들(RBLs) 중 적어도 하나의 리드 비트 라인(RBL) 및 디코더(110)와 연결된 로우 워드 라인들(RWLs) 중 적어도 하나의 로우 워드 라인(RWL)과 연결될 수 있다. 연산 셀(155)은 로우 워드 라인(RWL)을 통하여 입력 신호(입력 값)가 입력되는 경우, 비트 라인(BL)으로부터 3진 메모리 셀을 통해 전달되는 피연산 데이터를 식별하고, 피연산 데이터 및 입력 신호(입력 값)에 기반하여 출력 신호(출력 값)를 생성할 수 있다.
- [0025] 메모리 셀 어레이(150)는 디코더(110)와 복수의 워드 라인들(WLs)을 통해서 접속될 수 있고, 독출 및 기입 회로(130)와 복수의 비트 라인들(BLs)을 통해서 접속될 수 있다. 메모리 셀(151)은 복수의 워드 라인들(WLs) 중 적어도 하나의 워드 라인(WL)에 연결될(coupled) 수 있고, 복수의 비트 라인들(BLs) 중 적어도 하나의 비트 라인(BL)에 연결될 수 있다. 그에 따라, 메모리 셀(151)은 적어도 하나의 비트 라인(BL)을 통해서 제공되는 3진 논리 값을 저장하기 위한 구조를 가질 수 있다.
- [0026] 도 2는 본 발명의 실시예에 따른 메모리 장치의 메모리 셀에 대한 구성을 간략하게 도시한 도면이다. 도 2는 도 1의 메모리 셀(151)의 구성을 예시한다.
- [0027] 도 2를 참고하면, 메모리 셀(151)은 3진 메모리 셀(230)과 제1 트랜지스터(251) 및 제2 트랜지스터(252)로 구성될 수 있다.
- [0028] 3진 메모리 셀(230)은 3진 논리 값들을 저장할 수 있는 메모리 셀을 지시할 수 있다. 3진 메모리 셀(230)은 디코더로부터, 적어도 하나의 워드 라인을 통하여 신호를 수신하고, 3진 논리 값을 저장할 수 있다. 본 발명의 실시예에 따르면, 3진 메모리 셀(230)은 두 개의 액세스 트랜지스터와 두 개의 인버터로 구성될 수 있다. 본 발명의 실시예에 따르면, 3진 메모리 셀(230)은 3진 논리 회로 또는 3진 논리 소자를 포함하는 SRAM(static random access memory)을 지시할 수 있다. 본 발명의 실시예에 따르면, 3진 메모리 셀은 3진 SRAM(ternary static random access memory) 또는 T-SRAM으로 지칭될 수 있다. 3진 메모리 셀(230)이 저장 가능한 3진 논리 값들은 예를 들어, '-1', '0' 및 '+1'(또는, '0', '1' 및 '2')로서 지칭될 수 있다. 3진 논리 값들은 로우 전압(VL), 하이 전압(VH) 및 미들 전압(VM) 중 어느 하나의 전압을 가지는 데이터일 수 있다. 일 예에 따르면, 로우 전압(VL)은 접지 전압(GND), 하이 전압(VH)은 구동 전압(V_{DD}), 및 미들 전압(VM)은 하프 구동 전압($V_{DD}/2$)일 수 있다. 본 발명에서, 로우 전압(VL)은 -1(또는, 0)로, 하이 전압(VH)은 +1(또는, 2)로, 미들 전압(VM)은 0(또는, 1)으로 표현될 수 있다.
- [0029] 3진 메모리 셀(230)은 독출 및 기입 회로와 메모리 셀 어레이 사이에 연결된 복수의 비트 라인들을 이용하여 피연산 데이터를 전달받을 수 있다. 3진 메모리 셀(230)은 전달받은 피연산 데이터를 저장하고, 인코더와 메모리 셀 어레이 사이에 연결된 워드 라인을 통하여 개시 신호가 입력되는 경우, 저장된 데이터를 제1 트랜지스터(251) 및 제2 트랜지스터(252)에 출력할 수 있다. 본 발명의 실시예에 따르면, 제1 트랜지스터의 게이트와 제2 트랜지스터의 게이트는 각각 3진 메모리 셀의 출력 노드들과 연결된다. 구체적으로, 3진 메모리 셀(230)은 피연산 데이터(Q)를 제1 트랜지스터(251)의 게이트로 출력하고, 반전 피연산 데이터(QB)를 제2 트랜지스터(252)의 게이트로 출력할 수 있다. 구체적인 3진 메모리 셀의 구성과 기능은 도 3 내지 도 4에서 상세히 설명된다.
- [0030] 제1 트랜지스터(251) 및 제2 트랜지스터(252)는 인코더와 메모리 셀 어레이 사이에 연결된 로우 워드 라인(RW

L)을 통하여 입력된 입력 값에 기반하여 곱셈 연산의 기능을 수행할 수 있다.

- [0031] 실시예에서, 제1 트랜지스터(251)는 로우 워드 라인(RWL)을 통해 입력 값이 입력되면, 피연산 데이터를 기반으로 입력 값에 대한 출력을 제어하여 제1 출력 신호를 생성하고, 제1 출력 신호를 제1 리드 비트 라인(RBL)에 전달할 수 있다. 제2 트랜지스터(252)는 로우 워드 라인(RWL)을 통해 입력 값이 입력되면, 반전 피연산 데이터를 기반으로 입력 값에 대한 출력을 제어하여, 제2 출력 신호를 생성하고, 제2 출력 신호를 제2 리드 비트 라인(RBLB)에 전달할 수 있다.
- [0032] 구체적인 제1 트랜지스터(251) 및 제2 트랜지스터(252)의 구성과 기능은 도 3 및 도 4에서 상세히 설명된다.
- [0033] 도 3은 본 발명의 실시예에 따른 메모리 장치에서, 메모리 셀(151)의 회로도(300)를 도시한 도면이다. 도 3은 CMOS 기반의 2진 SRAM 셀과 동일한 면적을 가지는 T-CMOS 기반의 T-SRAM(6T ternary SRAM) 셀에, 로우 워드 라인(RWL)과 리드 비트 라인들(RBL, OL2)에 연결된 세 개의 소자를 포함, 총 아홉 개의 트랜지스터 소자로 구성된 메모리 셀의 관한 회로도를 예시한다.
- [0034] 도 3을 참고하면, 메모리 셀은 워드 라인(WL)에 연결될 수 있고, 로우 워드 라인(RWL)에 연결될 수 있고, 적어도 하나의 비트 라인(BL)으로서 제1 비트 라인(BL) 및 제2 비트 라인(BLB)에 연결될 수 있고, 적어도 하나의 리드 비트 라인으로서 제1 리드 비트 라인(RBL) 및 제2 리드 비트 라인(RBLB)에 연결될 수 있다. 또한, 메모리 셀은 3진 논리 값들, 즉 $-1/0/1$ (또는, $0/1/2$) 중 하나의 논리값을 저장할 수 있다.
- [0035] 도 3을 참고하면, 메모리 셀은 3진 메모리 셀(310)과, 연산 셀(360)을 포함할 수 있다. 3진 메모리 셀(310)은 제1 인버터(INV1), 제2 인버터(INV2), 제1 액세스 트랜지스터(AT1), 및 제2 액세스 트랜지스터(AT2)를 포함할 수 있고, 연산 셀(360)은 제1 트랜지스터(TR1) 및 제3 트랜지스터(TR2)를 포함할 수 있다.
- [0036] 제1 액세스 트랜지스터(AT1)는 제1 노드(N1) 및 제1 비트 라인(BL)에 연결될 수 있고, 워드 라인(WL)에 연결된 게이트(또는 제어 단자)를 가질 수 있다. 제1 액세스 트랜지스터(AT1)는 워드 라인(WL)의 전압에 따라 제1 노드(N1) 및 제1 비트 라인(BL)을 전기적으로 접속시키거나 단선시킬 수 있다. 예를 들면, 제1 액세스 트랜지스터(AT1)는 NFET(N-channel field effect transistor)일 수 있고, 활성화된 워드 라인(WL), 즉 하이 레벨인 워드 라인(WL)의 전압에 응답하여 제1 노드(N1) 및 제1 비트 라인(BL)을 전기적으로 접속시킬 수 있다. 한편, 비활성화된 워드 라인(WL), 즉 로우 레벨인 워드 라인(WL)의 전압에 응답하여 제1 노드(N1) 및 제1 비트 라인(BL)을 전기적으로 단선시킬 수 있다. 제2 액세스 트랜지스터(AT2)는, 제1 액세스 트랜지스터(AT1)와 유사하게, 제2 노드(N2) 및 제2 비트 라인(BLB)에 연결될 수 있고, 워드 라인(WL)에 연결된 게이트(또는 제어 단자)를 가질 수 있다. 이하에서, 제1 액세스 트랜지스터(AT1) 및 제2 액세스 트랜지스터(AT2)는 NFET인 것으로 가정되어 설명될 것이나, PFET(P-channel field effect transistor), 트랜스미션 게이트 등인 경우에도 본 발명의 실시예들이 적용될 수 있다.
- [0037] 3진 메모리 셀(310)은 제1 비트 라인(BL)을 통해 피연산 데이터를 수신하고, 제2 비트 라인(BLB)을 통해 반전 피연산 데이터를 수신할 수 있다. 3진 메모리 셀(310)은 워드 라인(WL)을 통한 개시 신호에 기반하여, 피연산 데이터와 반전 피연산 데이터를 연산 셀(360)로 출력할 수 있다.
- [0038] 연산 셀(360)은 곱셈 연산 기능을 수행할 수 있다. 연산 셀(360)은 로우 워드 라인(RWL)을 통해 입력 값을 입력 받고, 3진 메모리 셀(310)로부터 전달되는 피연산 데이터, 반전 피연산 데이터 및 입력 값에 기반하여 곱셈 연산을 수행할 수 있다.
- [0039] 본 발명의 실시예에 따르면, 연산 셀(360)은 제1 노드(N1) 및 제2 노드(N2)에 연결될 수 있고, 로우 워드 라인(RWL)에 연결될 수 있다. 이에 따라, 연산 셀(360)은 3진 메모리 셀(310)에 저장된 값(이하, 저장 값으로 지칭될 수 있다) 및 저장 값이 반전된 반전 저장 값을 수신할 수 있고, 로우 워드 라인(RWL)을 통해 입력 값(입력 신호)을 수신할 수 있다. 여기서 저장 값과 반전 저장 값은 각각 피연산 데이터, 반전 피연산 데이터로 지칭될 수 있다.
- [0040] 본 발명의 실시예에 따르면, 연산 셀은 로우 워드 라인(RWL)로부터 입력 값을 입력 받고, 제1 비트 라인(BL) 및 제2 비트 라인(BLB)에서 3진 메모리 셀(310)로 전달된 피연산 데이터 및 반전 피연산 데이터를 입력 받으며, 피연산 데이터, 반전 피연산 데이터 및 입력 값에 기반하여 제1 리드 비트 라인(RBL) 및 제2 리드 비트 라인(RBLB)에 전달되는 제1 출력 신호(Y1) 및 제2 출력 신호(Y2)를 곱셈 연산 결과로서 생성할 수 있다.
- [0041] 본 발명의 실시예에 따르면, 연산 셀(360)은 3진 메모리 셀(310)의 저장 값을 입력 받는 제1 트랜지스터(TR1)와, 3진 메모리 셀의 반전 저장 값을 입력 받는 제2 트랜지스터가 상호간에 연결되고, 제1 트랜

지스터와 제2 트랜지스터가 연결되는 연결점은 로우 워드 라인(RWL)과 연결될 수 있다. 여기서, 제1 트랜지스터(TR1)는 3진 메모리 셀의 저장 값에 대응하는 제1 노드(N1)와 게이트가 연결되어 제1 노드(N1)로부터 피연산 데이터(Q)(저장 값)를 입력 받는 구조로 구성될 수 있다. 마찬가지로, 제2 트랜지스터(TR2)는 3진 메모리 셀의 반전 저장 값에 대응하는 제2 노드(N2)와 게이트가 연결되어 제2 노드(N2)로부터 반전 피연산 데이터(QB)(반전 저장 값)을 입력 받는 구조로 구성될 수 있다. 제1 트랜지스터(TR1) 및 제2 트랜지스터(TR2)는 로우 워드 라인(RWL)과 연결되어, 입력 값을 입력받을 수 있다.

[0042] 구체적으로, 연산 셀의 회로 구조에 관하여, 제1 트랜지스터(TR1)는 제1 노드(N1), 로우 워드 라인(RWL)(또는, 제2 트랜지스터), 및 제1 리드 비트 라인(RBL)과 연결되고, 제2 트랜지스터는 제2 노드(N2), 로우 워드 라인(RWL)(또는, 제1 트랜지스터), 및 제2 리드 비트 라인(RBLB)과 연결될 수 있다. 실시예에서, 제1 트랜지스터(TR1)의 게이트는 제1 노드(N1)와 연결되고, 제1 트랜지스터(TR1)의 드레인은 로우 워드 라인(RWL)과 연결되며, 제1 트랜지스터(TR1)의 소스는 제1 리드 비트 라인(RBL)과 연결될 수 있다. 제2 트랜지스터(TR2)의 게이트는 제2 노드(N2)와 연결되고, 제2 트랜지스터(TR2)의 드레인은 로우 워드 라인(RWL)과 연결되며, 제2 트랜지스터(TR2)의 소스는 제2 리드 비트 라인(RBLB)과 연결될 수 있다.

[0043] 실시예에서, 제1 트랜지스터(TR1)는 피연산 데이터를 기반으로 로우 워드 라인(RWL)을 통해 입력된 입력 값에 대한 출력을 제어하여, 제1 출력 신호(Y1)를 생성할 수 있다. 또한, 제2 트랜지스터(TR2)는 반전 피연산 데이터를 기반으로 로우 워드 라인(RWL)을 통해 입력된 입력 값에 대한 출력을 제어하여, 제2 출력 신호(Y2)를 생성할 수 있다.

[0044] 제1 트랜지스터(TR1) 및 제2 트랜지스터(TR2)는 N-타입(type) MOSFET(Metal Oxide Silicon Field Effect Transistor)일 수 있으나, 이에 한정되지 않는다.

[0045] 이때, 독출 및 기입 회로는 제1 리드 비트 라인(RBL)과 제2 리드 비트 라인(RBLB)을 통해 누적된 전압들(제1,2 출력 신호)을 독출하여 곱셈 연산 결과를 획득할 수 있다.

[0046] 본 개시에 따르면, 3진 메모리 셀(310)에 포함된 트랜지스터의 개수는 총 여섯 개, 연산 셀(360)에 포함된 트랜지스터의 개수는 두 개이므로, 메모리 셀은 총 여덟 개의 트랜지스터로 구성될 수 있다. 이러한 3진 메모리 셀(310)을 포함하는 메모리 셀은 3진 저장 값에 기반하여 정보의 저장 및 연산을 수행할 수 있다.

[0047] 도 4는 본 발명의 실시예에 따른 메모리 장치에서, 3진 메모리 셀에 포함된 인버터의 블록도(400)를 도시한 도면이다. 도 4는 도 3의 3진 메모리 셀(310)에 포함된 한 쌍의 인버터들을 예시한다. 한 쌍의 인버터들은 제1 노드 및 제2 노드에서 교차 연결될 수 있다 또한, 인버터 각각은 턴-오프시 정전류를 통과시키도록 구성된 소자들을 포함할 수 있다.

[0048] 인버터는 입력 전압(V_{IN})을 반전시킴으로써 출력 전압(V_{OUT})을 생성하는 기능을 수행한다. 도 4를 참조하면, 인버터는 양의 공급 전압(V_{DD}) 및 접지 전압(GND)(또는 음의 공급 전압(V_{SS})) 사이에서 직렬 연결된 풀업 소자(PU: Pull Up Device) 및 풀다운 소자(PD: Pull Down Device)를 포함할 수 있다. 풀업 소자(PU)는 하이 레벨의 입력 전압(V_{IN}), 예컨대 양의 공급 전압(V_{DD})에 응답하여 턴-오프될 수 있는 한편, 로우 레벨의 입력 전압(V_{IN}), 예컨대 접지 전압(GND)에 응답하여 턴-온될 수 있다. 다른 한편으로, 풀다운 소자(PD)는 로우 레벨의 입력 전압(V_{IN}), 예컨대 접지 전압(GND)에 응답하여 턴-오프될 수 있는 한편, 하이 레벨의 입력 전압(V_{IN}), 예컨대 양의 공급 전압(V_{DD})에 응답하여 턴-온될 수 있다. 이에 따라, 2진 논리 회로와 유사하게, 하이 레벨의 입력 전압(V_{IN})(예컨대, V_{DD})에 응답하여 로우 레벨의 출력 전압(V_{OUT})(예컨대, GND)이 출력될 수 있는 한편, 로우 레벨의 입력 전압(V_{IN})(예컨대, GND)에 응답하여 하이 레벨의 출력 전압(V_{OUT})(예컨대, V_{DD})이 출력될 수 있다.

[0049] 풀업 소자(PU) 및 풀다운 소자(PD)는 턴-오프시 정전류를 통과시킬 수 있다. 즉, 풀업 소자(PU)의 통과 전류(I_{TP})는 풀업 소자(PU)가 턴-오프된 상태에서 일정할 수 있고, 풀다운 소자(PD)의 통과 전류(I_{TN}) 역시 풀다운 소자(PD)가 턴-오프된 상태에서 일정할 수 있다. 또한, 본 발명의 실시예에 따르면, 풀업 소자(PU)의 문턱 전압과 풀다운 소자(PD)의 문턱 전압은 같을 수 있다. 본 발명의 다른 일 실시 예에 따르면, 풀업 소자(PU)와 풀다운 소자(PD) 중 어느 하나의 소자의 문턱 전압이 나머지 하나의 소자의 문턱 전압 보다 작을 수 있다. 일 예에 따르면, 풀다운 소자(PD)의 문턱 전압은 풀업 소자(PU)의 문턱 전압보다 낮을 수 있다. 이에 따라, 입력 전압(V_{IN})이 접지 전압(GND)으로부터 양의 공급 전압(V_{DD})까지 점진적으로 증가하는 경우, 풀업 소자(PU)가 턴-오프된 후 풀다운 소자(PD)가 턴-온될 수 있다. 이에 따라, 도 5에 도시된 입력 전압(V_{IN})-출력 전압(V_{OUT}) 특성과 같

이, 약 0.6V 및 약 1.1V 사이에서 풀업 소자(PU) 및 풀다운 소자(PD)가 모두 턴-오프될 수 있다.

- [0050] 도 5는 본 발명의 실시예에 따른 메모리 장치에서, 3진 메모리 셀에 포함된 인버터의 동작에 관한 그래프(500)를 도시한 도면이다. 도 5의 그래프(500)는 입력 전압(V_{IN})-출력 전압(V_{OUT}) 특성 및 입력 전압(V_{IN})-통과 전류(I_{TP} , I_{TN}) 특성에 관한 인버터의 동작을 예시한다. 도 5의 그래프에서, 가로축은 입력 전압(V_{IN})을 나타내고, 좌측 세로축은 출력 전압(V_{OUT})을 나타내며, 우측 세로축은 통과 전류(I_{TP} , I_{TN})를 로그 스케일로 나타낸다. 도 5의 그래프에서 가로축 및 세로축들에 도시된 수치들은 양의 공급 전압(V_{DD})이 1.4V인 예시에 불과하며, 소자의 특성에 따라 변경될 수 있다.
- [0051] 도 5를 참고하면, 인버터의 출력단에 인가되는 전류(I_{ACC})가 없는 경우, 풀업 소자(PU)의 통과 전류(I_{TP}) 및 풀다운 소자(PD)의 통과 전류(I_{TN})의 크기는 일치할 수 있고, 약 0.6V 및 약 1.1V 사이에서 통과 전류(I_{TP} , I_{TN})는 낮은 레벨에서 일정하게 유지될 수 있다. 결과적으로, 출력 전압(V_{OUT})은 약 0.6V 및 약 1.1V 사이에서 풀업 소자(PU)의 통과 전류(I_{TP}) 및 풀다운 소자(PD)의 통과 전류(I_{TN})에 기인하여 실질적으로 일정하게 유지될 수 있다. 즉, 중간 레벨의 입력 전압(V_{IN}), 예컨대 양의 공급 전압(V_{DD})의 약 절반($V_{DD}/2$)이 제공되는 경우, 인버터(INV)는 중간 레벨의 출력 전압(V_{OUT}), 예컨대 양의 공급 전압(V_{DD})의 약 절반($V_{DD}/2$)을 출력할 수 있다. 이에 따라, 인버터(INV)는 -1/0/1(또는, 0/1/2) 논리값들에 각각 대응하는 접지 전압(GND), 중간 전압($V_{DD}/2$) 및 양의 공급 전압(V_{DD})이 입력되면, 1/0/-1(2/1/0) 논리값들에 각각 대응하는 양의 공급 전압(V_{DD}), 중간 전압($V_{DD}/2$) 및 접지 전압(GND)을 출력할 수 있다. 본 명세서에서, '중간 전압'은 양의 공급 전압(V_{DD})의 절반($V_{DD}/2$)인 것으로 가정되나, 양의 공급 전압(V_{DD}) 및 접지 전압(GND) 사이 임의의 레벨의 전압이 가능한 점은 이해될 것이다.
- [0052] 교차 결합된 2개의 인버터들을 포함하는 SRAM의 경우, 독출 동작시 메모리 셀에 저장되어 있는 값을 변경하지 아니하는 특성, 예컨대 높은 독출 SNM(Static Noise Margin)을 가질 것이 요구될 수 있다. 도 5를 참조하면, 도 4의 인버터(INV)는 액세스 전류(I_{ACC})가 증가함에도 불구하고(예컨대, 액세스 전류(I_{ACC})가 통과 전류(I_{TP} , I_{TN})보다 높음에도 불구하고), 높은 독출 SNM을 제공할 수 있다.
- [0053] 도 6 내지 도 9는 본 발명의 실시예에 따른 메모리 장치의 메모리 셀에서 저장 값 및 입력 값에 따른 연산 일례를 설명하기 위한 도면이다.
- [0054] 도 6을 참조하면, 메모리 셀은 3진 메모리 셀(예를 들어, 6T SRAM)에 저장된 3진 저장 값(-1, 0, +1) 및 로우워드 라인(RWL)을 통해 입력된 2진 입력 값(0, +1)에 기반하여, 2진-3진 곱셈 연산을 수행할 수 있다.
- [0055] 메모리 셀에 저장된 3진 저장 값이 +1($Q=V_{DD}$, $QB=GND$)이고, 2진 입력 값으로서 +1($IA=PULSE$)이 입력된 경우, 3진 저장 값 및 2진 입력 값에 기반하여 +1 x +1 = +1의 곱셈 연산을 수행할 수 있다(도 6의 610 및 도 7 참조). 이때, 저장된 값이 양수의 정보 값이면서 양수의 입력 값에 상응하는 IA 드레인 부분의 신호가 RBL 소스로 전달될 수 있다(예, 도 3의 제1 출력 신호=+1, 제2 출력 신호=0). 또한, 곱셈 연산이 완료된 상태에서의 동작 파형은 도 8에 도시된 바와 같다.
- [0056] 실시예에서, 메모리 셀은 2진 입력 값으로서 +1($IA=PULSE$)이 입력된 경우에도, 저장된 3진 저장 값이 0($Q=QB=V_{DD}/2$)일 때에는 곱셈 연산($0 \times +1 = 0$)이 수행되지 않는다(도 6의 620 및 도 9 참조)(예, 도 3의 제1,2 출력 신호=0).
- [0057] 또한, 메모리 셀은 저장된 3진 저장 값이 -1($QB=V_{DD}$, $Q=GND$)이고, 2진 입력 값으로서 +1($IA=PULSE$)이 입력된 경우, 3진 저장 값 및 2진 입력 값에 기반하여 -1 x +1 = -1의 곱셈 연산을 수행할 수 있다(도 6의 630). 이때, 저장된 값이 음수의 정보 값이고, 양수의 입력 값에 상응하는 제2 트랜지스터(TR2)의 드레인 부분의 신호가 제2 트랜지스터(TR2)의 소스로 전달되어, RBLB로 전달될 수 있다(예, 도 3의 제1 출력 신호=0, 제2 출력 신호=+1).
- [0058] 메모리 셀은 저장된 3진 저장 값이 +1($Q=V_{DD}$, $QB=GND$)이고, 2진 입력 값으로서 0($IA=V_{DD}$)이 입력된 경우, 3진 저장 값 및 2진 입력 값에 기반하여 +1 x 0 = 0의 곱셈 연산을 수행할 수 있다(도 6의 640). 이때, 저장된 값도 양수의 정보 값이지만, 0의 입력 값은 아무런 변화가 없는 전기 신호이기에 OUT과 OUTB 모두 소스의 신호가 드레인과 단절될 수 있다. 즉, 제1 트랜지스터(TR1) 및 제2 트랜지스터(TR2) 모두 드레인과 소스가 단절될 수 있다(예, 도 3의 제1,2 출력 신호=0).
- [0059] 메모리 셀은 저장된 3진 저장 값이 0($Q=QB=V_{DD}/2$)이고, 2진 입력 값으로서 0($IA=V_{DD}$)이 입력된 경우, 2진 입력

값(IA)으로서 +1이 입력되고, 저장된 3진 저장 값이 0($Q=VDD/2$)일때(도 6의 620)와 마찬가지로, 곱셈 연산($0 \times 0 = 0$)이 수행되지 않는다(도 6의 650). 이때, 저장된 값이 0 값인 관계로 2개의 제1 트랜지스터(TR1) 및 제2 트랜지스터(TR2) 전부 오프(off) 상태가 되어, 제1 트랜지스터(TR1) 및 제2 트랜지스터(TR2)에 어떠한 입력 값이 드레인으로 전달되어도 드레인이 소스와 단절되어, RBL과 RBLB에 변화가 일어나지 않는다(예, 도 3의 제1,2 출력 신호=0).

[0060] 또한, 메모리 셀은 저장된 3진 저장 값이 -1($Q_B=VDD$, $Q=GND$)이고, 2진 입력 값으로서 0($IA=VDD$)이 입력된 경우, 곱셈 연산($-1 \times 0 = 0$)이 수행되지 않는다(도 6의 660). 이때, 저장된 값이 음수의 정보 값이지만, 0의 입력 값은 아무런 변화가 없는 전기 신호이기에 OUT과 OUTB 모두 소스의 신호가 드레인과 단절될 수 있다. 즉, 제1 트랜지스터(TR1) 및 제2 트랜지스터(TR2) 모두 드레인과 소스가 단절될 수 있다(예, 도 3의 제1,2 출력 신호=0).

[0061] 본 발명의 실시예에 따른 메모리 장치는 3진 메모리 셀(예를 들어, 6T SRAM)에 저장된 3진 저장 값과 연산 셀에 입력된 입력 값(예를 들어, 2진 입력 값)에 기반하여, 곱셈 연산을 수행하는 2진-3진 혼성 신호 프로세싱 인 메모리 셀을 이용함으로써, 3진 메모리 셀에 대한 면적 효율성, 3진 정보처리에 대한 연산 효율성 및 절전 효율성을 증가시켜, 활용도를 높일 수 있다.

[0063] 이상 설명된 본 발명에 따른 실시 예는 컴퓨터 상에서 다양한 구성요소를 통하여 실행될 수 있는 컴퓨터 프로그램의 형태로 구현될 수 있으며, 이와 같은 컴퓨터 프로그램은 컴퓨터로 판독 가능한 매체에 기록될 수 있다. 이때, 매체는 하드 디스크, 플로피 디스크 및 자기 테이프와 같은 자기 매체, CD-ROM 및 DVD와 같은 광기록 매체, 플롭티컬 디스크(floptical disk)와 같은 자기-광 매체(magneto-optical medium), 및 ROM, RAM, 플래시 메모리 등과 같은, 프로그램 명령어를 저장하고 실행하도록 특별히 구성된 하드웨어 장치를 포함할 수 있다.

[0064] 한편, 상기 컴퓨터 프로그램은 본 발명을 위하여 특별히 설계되고 구성된 것이거나 컴퓨터 소프트웨어 분야의 당업자에게 공지되어 사용 가능한 것일 수 있다. 컴퓨터 프로그램의 예에는, 컴파일러에 의하여 만들어지는 것과 같은 기계어 코드뿐만 아니라 인터프리터 등을 사용하여 컴퓨터에 의해서 실행될 수 있는 고급 언어 코드도 포함될 수 있다.

[0065] 본 발명의 명세서(특히 특허청구범위에서)에서 "상기"의 용어 및 이와 유사한 지시 용어의 사용은 단수 및 복수 모두에 해당하는 것일 수 있다. 또한, 본 발명에서 범위(range)를 기재한 경우 상기 범위에 속하는 개별적인 값을 적용한 발명을 포함하는 것으로서(이에 반하는 기재가 없다면), 발명의 상세한 설명에 상기 범위를 구성하는 각 개별적인 값을 기재한 것과 같다.

[0066] 본 발명에 따른 방법을 구성하는 단계들에 대하여 명백하게 순서를 기재하거나 반하는 기재가 없다면, 상기 단계들은 적당한 순서로 행해질 수 있다. 반드시 상기 단계들의 기재 순서에 따라 본 발명이 한정되는 것은 아니다. 본 발명에서 모든 예들 또는 예시적인 용어(예들 들어, 등등)의 사용은 단순히 본 발명을 상세히 설명하기 위한 것으로서 특허청구범위에 의해 한정되지 않는 이상 상기 예들 또는 예시적인 용어로 인해 본 발명의 범위가 한정되는 것은 아니다. 또한, 당업자는 다양한 수정, 조합 및 변경이 부가된 특허청구범위 또는 그 균등물의 범주 내에서 설계 조건 및 팩터에 따라 구성될 수 있음을 알 수 있다.

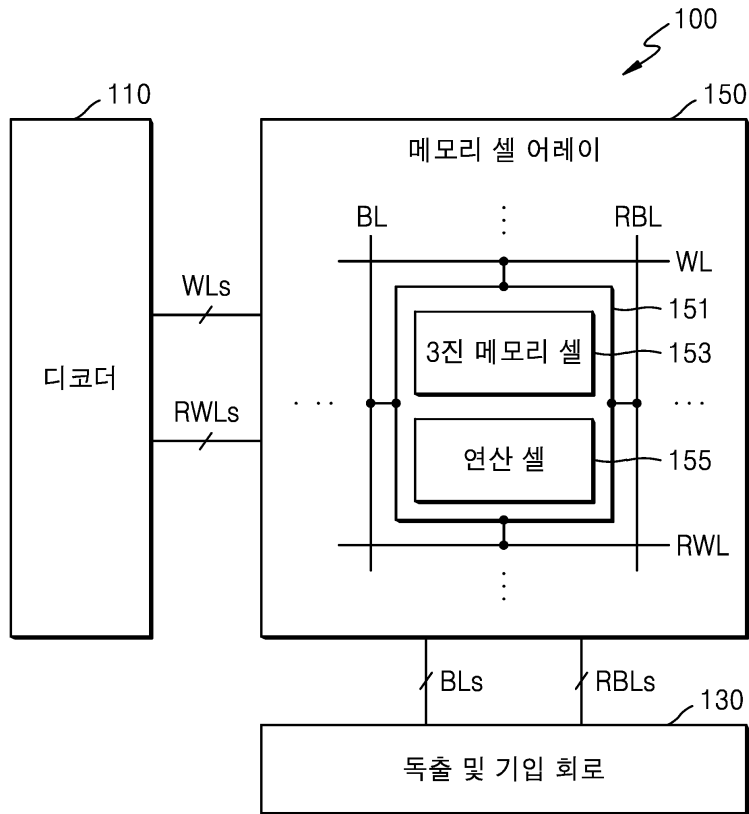
[0067] 따라서, 본 발명의 사상은 상기 설명된 실시 예에 국한되어 정해져서는 아니 되며, 후술하는 특허청구범위뿐만 아니라 이 특허청구범위와 균등한 또는 이로부터 등가적으로 변경된 모든 범위는 본 발명의 사상의 범주에 속한다고 할 것이다.

부호의 설명

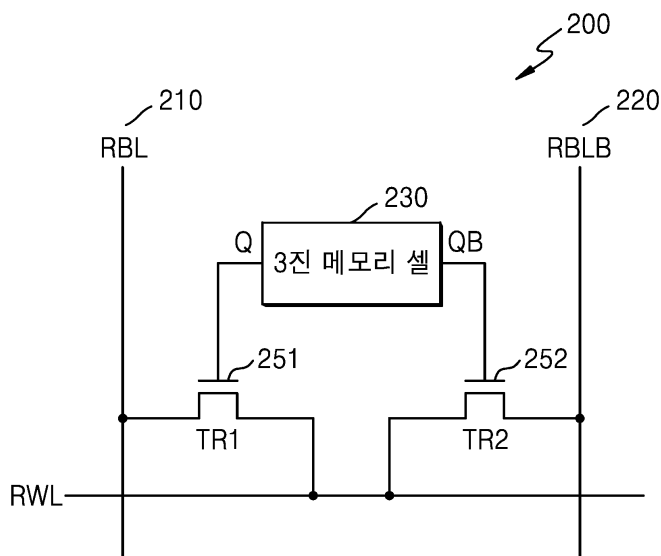
[0068] 100: 메모리 장치
110: 디코더
130: 독출 및 기입 회로
150: 메모리 셀 어레이

도면

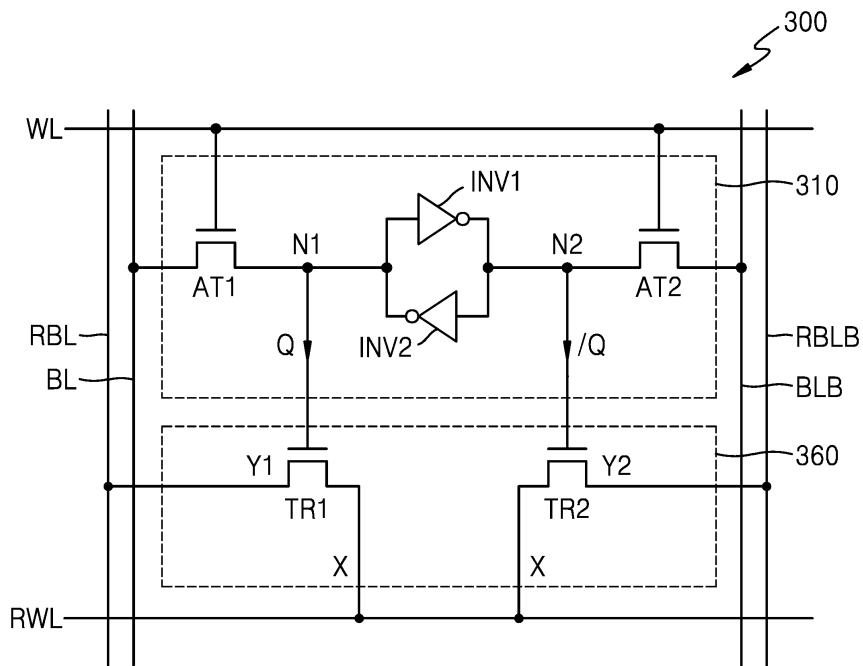
도면1



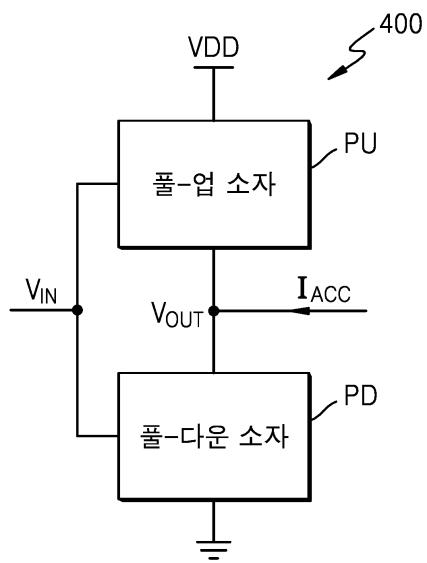
도면2



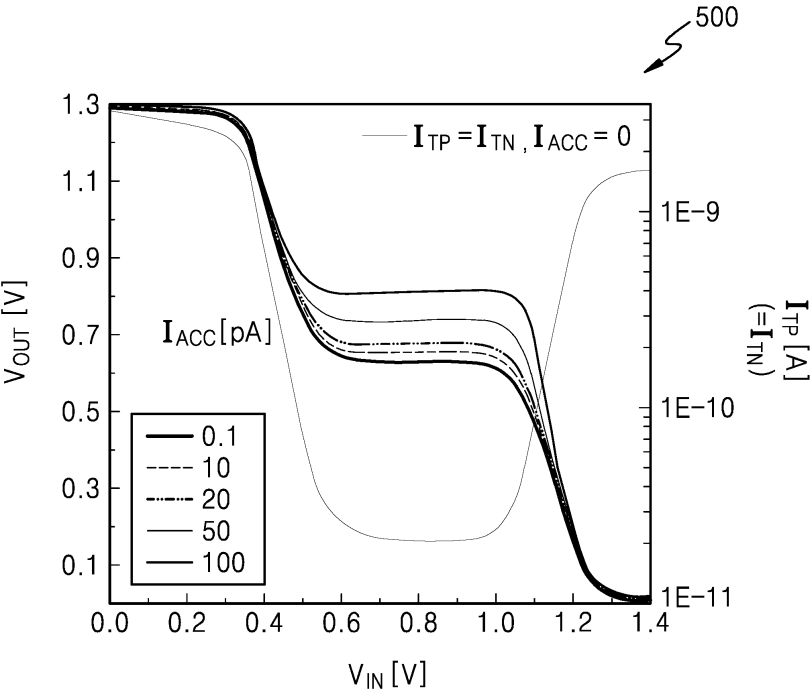
도면3



도면4



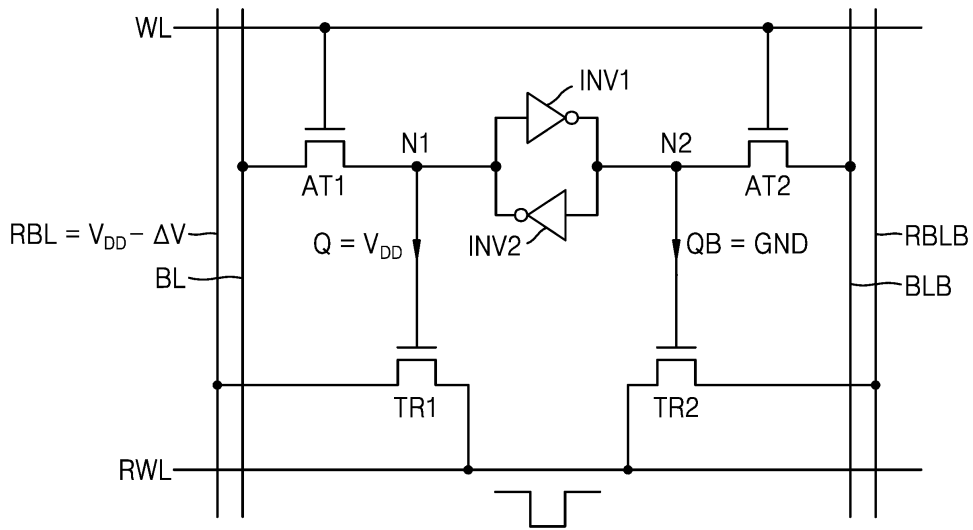
도면5



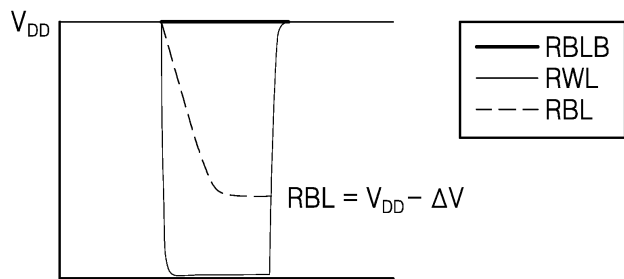
도면6

Input \ Weight	660	
	0 $I_A = V_{DD}$	+1 $I_A = PULSE$
-1 $Q = GND$ $Q_B = V_{DD}$	0 (No Change)	-1 ($RBLB = V_{DD} - \Delta V$) 630
0 $Q = Q_B = V_{DD}/2$	0 (No Change)	0 (No Change) 620
+1 $Q = V_{DD}$ $Q_B = GND$	0 (No Change) 640	1 ($RBL = V_{DD} - \Delta V$) 610

도면7



도면8



도면9

