



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201218627 A1

(43)公開日：中華民國 101 (2012) 年 05 月 01 日

(21)申請案號：099135696

(22)申請日：中華民國 99 (2010) 年 10 月 20 日

(51)Int. Cl. : **H03K19/0175(2006.01)**

H03K5/003 (2006.01)

(71)申請人：天鈺科技股份有限公司 (中華民國) FITIPOWER INTEGRATED TECHNOLOGY, INC. (TW)

苗栗縣竹南鎮科中路 16 號 3 樓

(72)發明人：黃弘安 (TW)；劉永元 (TW)

(74)代理人：黃重智

申請實體審查：有 申請專利範圍項數：12 項 圖式數：5 共 16 頁

(54)名稱

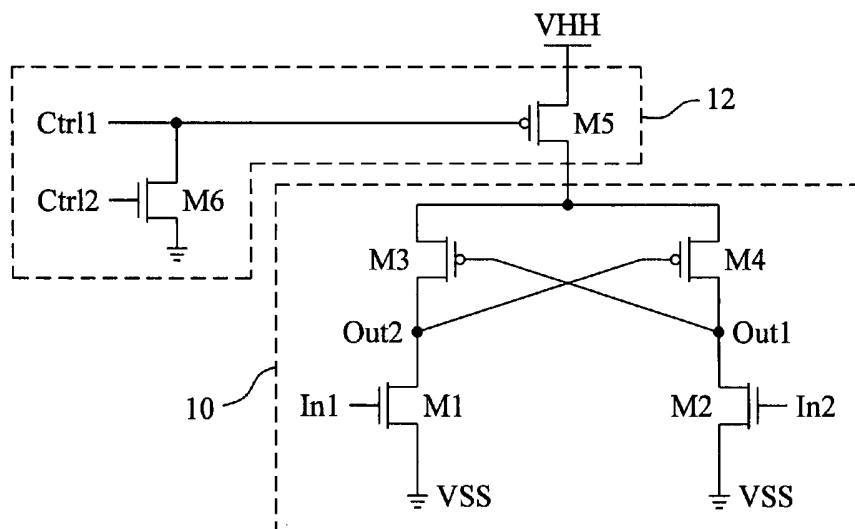
改良位準移位器的電路及方法

(57)摘要

在位準移位器的鎖存器與電壓源之間串接限流電路限制該鎖存器的驅動電流不超過某設定值，因而減少該位準移位器在轉換時的消耗電流，而且可以使用較短通道長度的電晶體實現該鎖存器，縮小該位準移位器的電路面積。較佳者，該設定值是可調的，藉以調整該位準移位器的輸出驅動能力，加快該位準移位器的轉換速度。

10：位準移位器

12：限流電路



六、發明說明：

【發明所屬之技術領域】

本發明係有關一種位準移位器(level shifter)，特別是關於一種改良位準移位器的電路及方法。

【先前技術】

在一般的電路中，常需要用到多種不同電位之電壓源，當不同電位之電壓源的信號要互相溝通時，信號需先經過位準移位器將不同電位之信號調整成相同電位，使得電路可以正常運作。例如圖 1 所示，在習知的低電壓轉高電壓之位準移位器中，電晶體 M1、M2 用來放大低電壓互補性輸入信號 In1、In2，此輸入信號 In1、In2 通常為邏輯 1(低電壓源 VDD 之最高電位)或邏輯 0(與電壓源 VSS 同電位)，且 In1、In2 為彼此互補的信號，當信號 In1 為邏輯 1 時，信號 In2 為邏輯 0，反之，當信號 In1 為邏輯 0 時，信號 In2 為邏輯 1；電晶體 M3、M4 是源極接到高電壓源 VHH 且閘極、汲極交互耦合之鎖存器，用來將低電壓源 VDD 輸入之邏輯 1 轉換成高電壓源 VHH 輸入之邏輯 1。在輸入低電壓源 VDD 之互補信號 In1、In2 到此位準移位器時，會在輸出端得到高電壓源 VHH 之互補信號 Out1、Out2，且輸出信號 Out1 的邏輯會和輸入信號 In1 的邏輯相同，輸出信號 Out2 的邏輯會和輸入信號 In2 的邏輯相同。舉例來說，當信號 In1 為邏輯 1，信號

In2 為邏輯 0 時，輸出端 Out1 會產生高電壓源 VHH 之邏輯 1，輸出端 Out2 會產生邏輯 0(電位 VSS)。

假設目前輸入信號 In1、In2 分別為邏輯 1 及邏輯 0，則輸出信號 Out1、Out2 會被固定在邏輯 1 及邏輯 0。在此狀態下，電晶體 M1、M4 處於導通狀態，電晶體 M2、M3 處於截止狀態。若輸入信號 In1、In2 突然轉變成邏輯 0 及邏輯 1，則電晶體 M2 會導通，電晶體 M1 會截止，但此時輸出信號 Out1、Out2 還是處於原來的狀態(邏輯 1 及邏輯 0)，尚未轉換成邏輯 0 及邏輯 1，因此電晶體 M4 還是處於導通狀態，電晶體 M3 還是處於截止狀態。在此暫態下，由於電晶體 M2、M4 同時處於導通狀態，因此有漏電流從高電壓源 VHH 經電晶體 M2、M4 流到低電壓源 VSS，造成功率損耗。此外，當輸入信號轉換之後，輸出信號 Out1 要從邏輯 1 轉換成邏輯 0 時，卻因為電晶體 M2、M4 同時導通，造成電晶體 M2 要將輸出信號 Out1 拉低至 VSS 電位，而電晶體 M4 要將輸出信號 Out1 拉高至 VHH 電位的拉鋸現象。為了讓輸出信號 Out1 順利轉換，習知技術採取增加電晶體 M4 的通道長度，使其電流驅動能力低於電晶體 M2。但是這樣會增加電路面積，使得 IC 成本提高。

【發明內容】

本發明的目的之一，在於提出一種減少消耗電流

的位準移位器。

本發明的目的之一，在於提出一種減少電路面積的位準移位器。

本發明的目的之一，在於提出一種可調整輸出驅動能力的位準移位器。

本發明的目的之一，在於提出一種加快轉態速度的位準移位器。

根據本發明，一種改良位準移位器的電路及方法，係在該位準移位器的鎖存器與電壓源之間串接限流電路限制該鎖存器的驅動電流不超過某設定值，因而減少該位準移位器在轉換時的消耗電流，而且可以使用較短通道長度的電晶體實現該鎖存器，縮小該位準移位器的電路面積。

較佳者，該設定值是可調的，藉以調整該位準移位器的輸出驅動能力，加快該位準移位器的轉換速度。

【實施方式】

如圖 2 所示，以圖 1 的低電壓轉高電壓之位準移位器 10 為基礎，串接限流電路 12 在其鎖存器與高電壓源 VHH 之間。限流電路 12 包含電晶體 M5 連接在位準移位器 10 的鎖存器與高電壓源 VHH 之間，受控制信號 Ctrl1 控制其電流。當控制信號 Ctrl1 為較低的電壓時，電晶體 M5 可提供較大之電流，反之，當控制信號 Ctrl1 為較高的電壓時，電晶體 M5 可提供的電

流較小。此改良式位準移位器在正常操作時，控制信號 Ctrl1 為某特定電壓，以設定電晶體 M5 能夠產生的最大電流。該特定電壓可以是任何的參考電壓源。假設目前輸入信號 In1、In2 分別為邏輯 1 及邏輯 0，則輸出信號 Out1、Out2 會被固定在高電壓源 VHH 的邏輯 1 及邏輯 0。低電壓源 VDD 的邏輯態對應的電壓位準及高電壓源 VHH 的邏輯態對應的電壓位準如圖 3 所示，波形 14 指出輸入信號 In1、In2 的電壓位準，波形 16 指出輸出信號 Out1、Out2 的電壓位準。在輸入信號 In1、In2 突然轉變成邏輯 0 及邏輯 1 時，電晶體 M2、M4 同時處於導通狀態，因而產生一條從高電壓源 VHH 到低電壓源 VSS 的漏電流路徑，不過因為電晶體 M5 的關係，該漏電流會被限制在電晶體 M5 所能提供的電流，因此減少位準移位器在信號轉換時的消耗功率。此外，在電晶體 M2、M4 拉鋸時，因為電晶體 M5 的限流效果，電晶體 M4 上拉的電流只有限制電流的大小，使其上拉能力比習知電路小了很多，因此不需要將電晶體 M4 的通道長度加大來限制其驅動電流，也可以使輸出信號順利轉換。如此一來，便可使用較小的面積實現位準移位電路的功能。

較佳者，電晶體 M5 的限制電流是可調的，以調整位準移位電路的輸出驅動能力。例如圖 2 所示，限流電路 12 包含電晶體 M6 連接在電晶體 M5 的閘極 Ctrl 與電壓源 VSS 之間，受控制信號 Ctr2 控制，以調

整電晶體 M5 的限制電流。當位準移位器的負載較小時，控制信號 Ctrl2 固定在邏輯 0，因此電晶體 M6 為截止狀態，電晶體 M5 的電流由控制信號 Ctrl1 的電壓控制。當負載較大時，控制信號 Ctrl2 設定在邏輯 1，高、低電壓源皆可，因此電晶體 M6 為導通狀態，將電晶體 M5 的閘極電壓 Ctrl 下拉至邏輯 0，使得電晶體 M5 完全導通，達到增加驅動電流的效果，因而加快位準移位電路的轉換速度。

圖 4 係本發明的第二實施例，其中位準移位器 18 是習知電路，用來將輸入信號的邏輯 0 的電位 VSS 轉換到比其更低的 VLL 電位。參照圖 5，波形 22 指出輸入信號 In1、In2 的電壓位準，波形 24 指出輸出信號 Out1、Out2 的電壓位準。在此改良式位準移位器中，限流電路 20 串接在位準移位器 18 的鎖存器與電壓源 VLL 之間。限流電路 20 包含電晶體 M7 受控制信號 Ctrl3 的控制，其功能和圖 2 中的電晶體 M5 雷同。此外，限流電路 20 中的電晶體 M8 連接在電晶體 M7 的閘極 Ctrl3 與電壓源 VDD 之間，受控制信號 Ctr4 控制，其功能和圖 2 中的電晶體 M6 雷同。

以上對於本發明之較佳實施例所作的敘述係為闡明之目的，而無意限定本發明精確地為所揭露的形式，基於以上的教導或從本發明的實施例學習而作修改或變化是可能的，實施例係為解說本發明的原理以及讓熟習該項技術者以各種實施例利用本發明在實際

應用上而選擇及敘述，本發明的技術思想由以下的申請專利範圍及其均等來決定。

【圖式簡單說明】

圖 1 係習知的低電壓轉高電壓之位準移位器；
圖 2 係本發明之第一實施例；
圖 3 係圖 2 之位準移位器的邏輯態的電壓位準；
圖 4 係本發明之第二實施例；以及
圖 5 係圖 4 之位準移位器的邏輯態的電壓位準。

【主要元件符號說明】

10	位準移位器
12	限流電路
14	輸入信號的電壓位準
16	輸出信號的電壓位準
18	位準移位器
20	限流電路
22	輸入信號的電壓位準
24	輸出信號的電壓位準

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※ 申請案號： 09/135696

※ 申請日： 99.10.20

※IPC 分類： H03K 17/0175 (2006.01)

H03K 5/003 (2006.01)

一、發明名稱：(中文/英文)

改良位準移位器的電路及方法

二、中文發明摘要：

在位準移位器的鎖存器與電壓源之間串接限流電路限制該鎖存器的驅動電流不超過某設定值，因而減少該位準移位器在轉換時的消耗電流，而且可以使用較短通道長度的電晶體實現該鎖存器，縮小該位準移位器的電路面積。較佳者，該設定值是可調的，藉以調整該位準移位器的輸出驅動能力，加快該位準移位器的轉換速度。

三、英文發明摘要：

七、申請專利範圍：

1. 一種改良位準移位器的電路，其特徵在於：該位準移位器的鎖存器與電壓源之間具有一限流電路限制該鎖存器的驅動電流不超過一設定值。
2. 如請求項 1 之改良位準移位器的電路，其中該設定值是可調的。
3. 如請求項 1 之改良位準移位器的電路，其中該限流電路包含一電晶體串接在該鎖存器與該電壓源之間，具有一控制端接受一控制信號以決定該設定值。
4. 如請求項 3 之改良位準移位器的電路，更包含另一電晶體連接在該控制端與另一電壓源之間，具有一控制端接受另一控制信號以調整該設定值。
5. 如請求項 4 之改良位準移位器的電路，其中該另一控制信號係根據該位準移位器的負載大小調整該設定值。
6. 如請求項 5 之改良位準移位器的電路，其中該設定值在該位準移位器的負載較大時為較大的值。
7. 一種改良位準移位器的方法，其特徵在於：在該位準移位器的鎖存器與電壓源之間串接一限流電路限制該鎖存器的驅動電流不超過一設定值。
8. 如請求項 7 之改良位準移位器的方法，其中該設定值是可調的。
9. 如請求項 7 之改良位準移位器的方法，包含施加一控制信號控制一串接在該鎖存器與該電壓源之間的電晶體，以決定該設定值。

- 10.如請求項 9 之改良位準移位器的方法，更包含改變該控制信號以調整該設定值
- 11.如請求項 10 之改良位準移位器的方法，其中該控制信號係根據該位準移位器的負載大小改變。
- 12.如請求項 11 之改良位準移位器的方法，其中該設定值在該位準移位器的負載較大時被調整為較大的值。

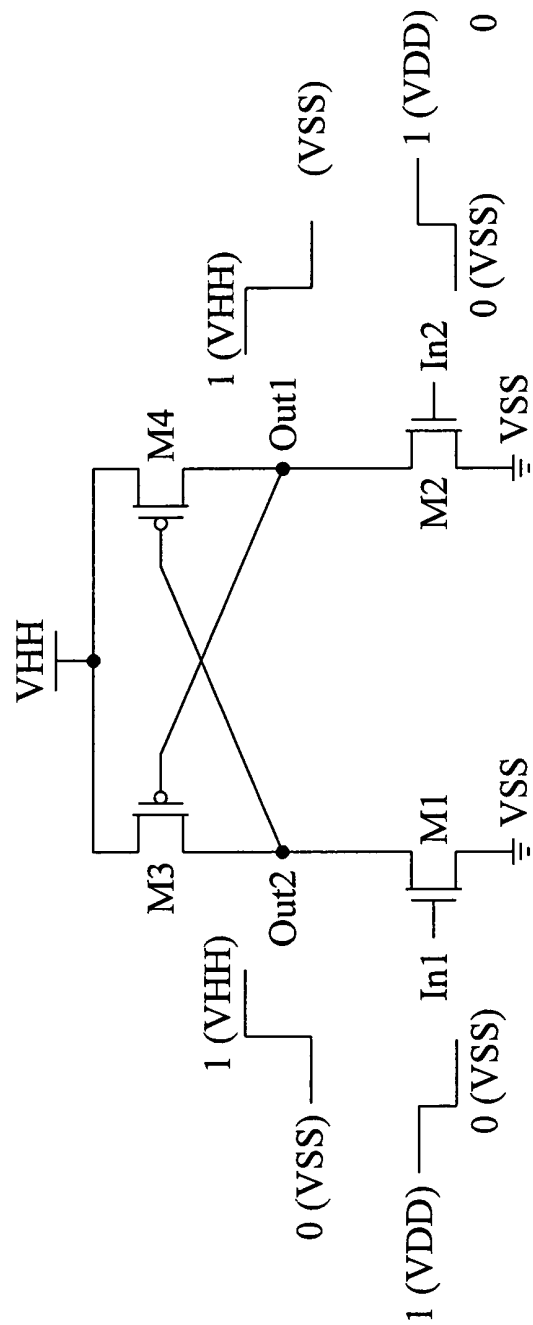


圖1
先前技術

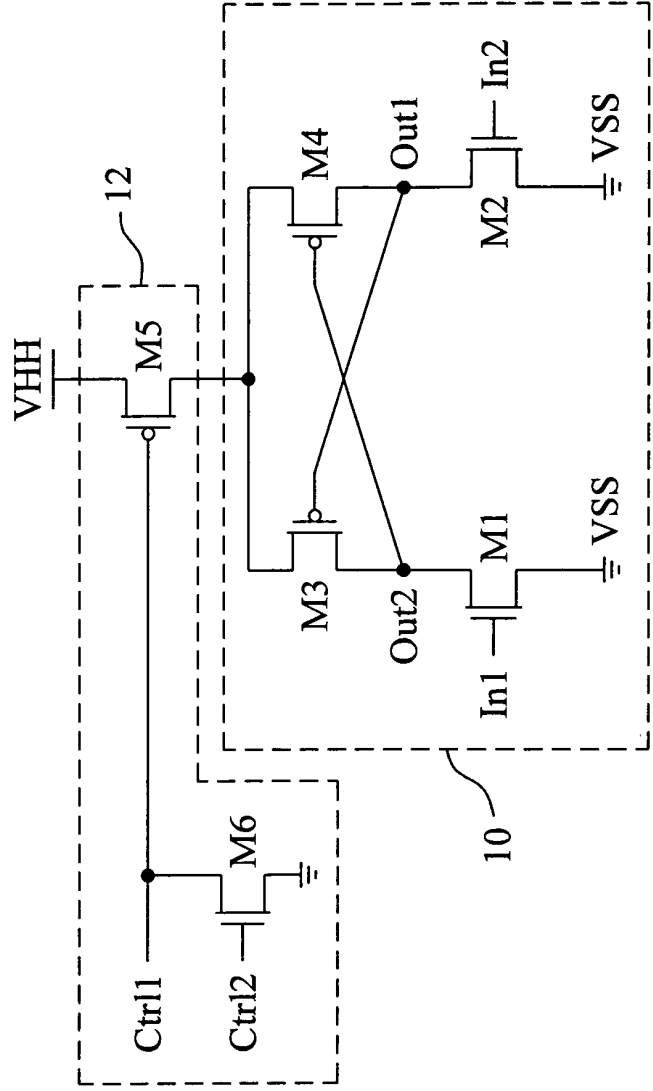


圖 2

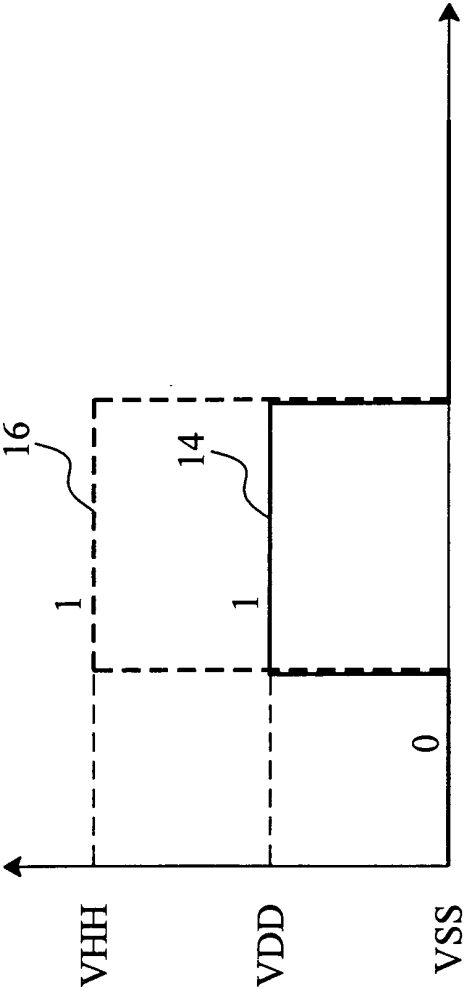


圖3

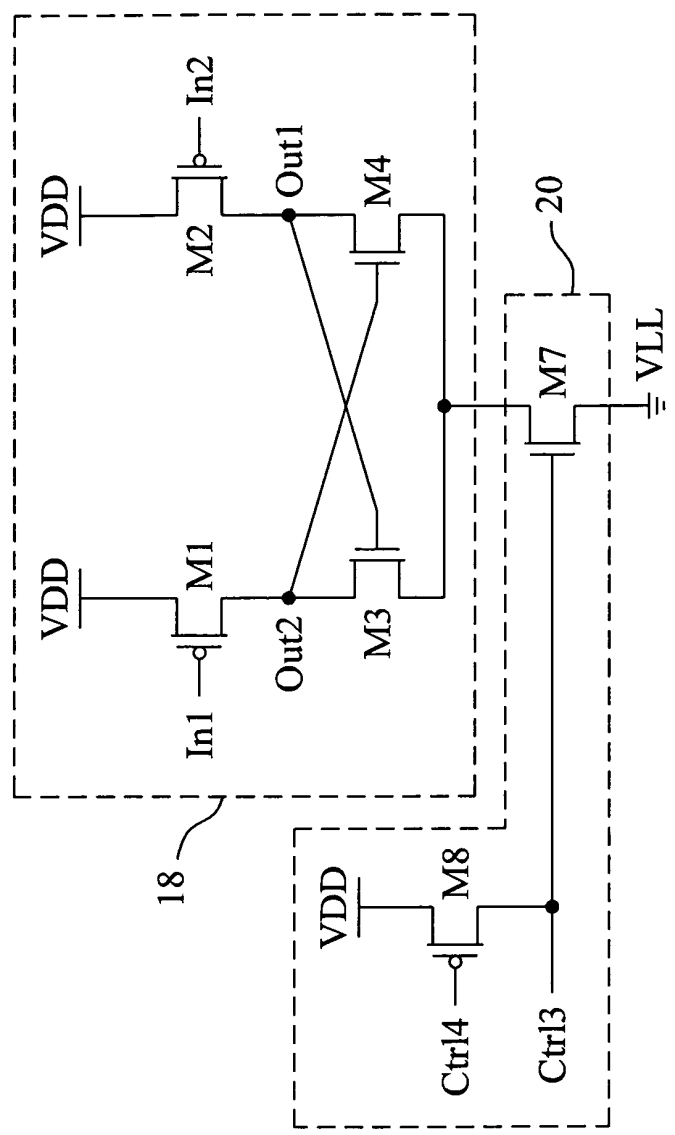


圖4

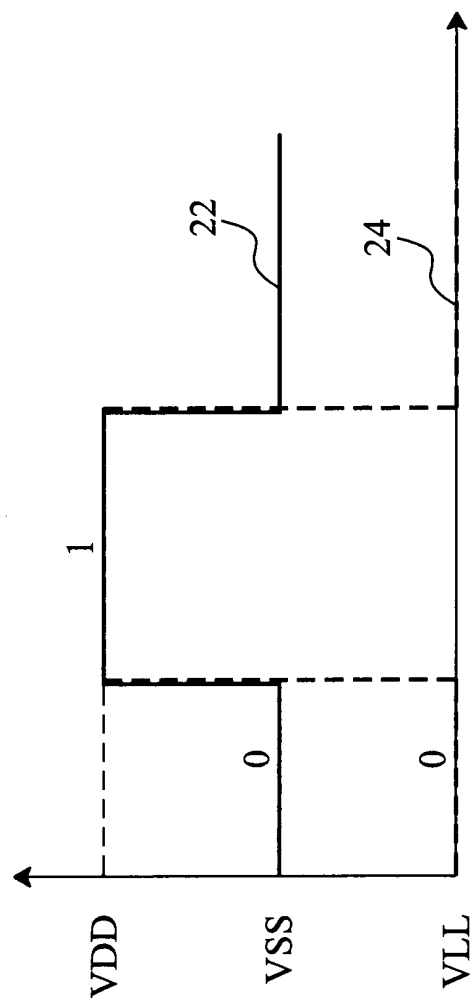


圖 5

四、指定代表圖：

(一)本案指定代表圖為：第(2)圖。

(二)本代表圖之元件符號簡單說明：

10 位準移位器

12 限流電路

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：