

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4713525号
(P4713525)

(45) 発行日 平成23年6月29日(2011.6.29)

(24) 登録日 平成23年4月1日(2011.4.1)

(51) Int.Cl.	F 1
H03L 7/10	(2006.01)
H03L 7/18	(2006.01)
H03L 7/091	(2006.01)
H03L 7/093	(2006.01)
H03L 7/095	(2006.01)

HO3L	7/10	HO3L	7/18	D
HO3L	7/091	HO3L	7/08	C
HO3L	7/093	HO3L	7/08	E
HO3L	7/095	HO3L	7/08	B

請求項の数 12 (全 24 頁)

(21) 出願番号	特願2007-65883 (P2007-65883)
(22) 出願日	平成19年3月14日 (2007.3.14)
(65) 公開番号	特開2007-295537 (P2007-295537A)
(43) 公開日	平成19年11月8日 (2007.11.8)
審査請求日	平成21年2月27日 (2009.2.27)
(31) 優先権主張番号	特願2006-100935 (P2006-100935)
(32) 優先日	平成18年3月31日 (2006.3.31)
(33) 優先権主張国	日本国 (JP)

(73) 特許権者	000232483 日本電波工業株式会社 東京都渋谷区笹塚一丁目50番1号 笹塚 N Aビル
(74) 代理人	100091513 弁理士 井上 俊夫
(72) 発明者	古幡 司 埼玉県狭山市大字上広瀬1275番地の2 日本電波工業株式会社 狹山事業所内
(72) 発明者	塙原 毅 埼玉県狭山市大字上広瀬1275番地の2 日本電波工業株式会社 狹山事業所内
(72) 発明者	赤池 和男 埼玉県狭山市大字上広瀬1275番地の2 日本電波工業株式会社 狹山事業所内 最終頁に続く

(54) 【発明の名称】周波数シンセサイザ

(57) 【特許請求の範囲】

【請求項 1】

供給された電圧に応じた周波数の周波数信号を発振する電圧制御発振部と、前記周波数信号を電圧制御発振部の設定周波数に応じて $1/N$ (N は整数) に分周する分周手段と、前記電圧制御発振部の出力周波数の $1/N$ に相当する周波数の正弦波信号を基準クロック信号に基づいてサンプリングしてそのサンプリング値をデジタル信号として出力するアナログ / ディジタル変換部と、

このアナログ / ディジタル変換部からの出力信号に対応する周波数信号に対して、周波数が $0/2$ の正弦波信号のデジタル信号による直交検波を行い、当該周波数信号の周波数と $0/2$ との周波数差に相当する周波数で回転するベクトルを複素表示したときの実数部分及び虚数部分を取り出すベクトル取り出し手段と、

前記電圧制御発振部の出力周波数が設定値になったときの前記ベクトルの周波数を計算するパラメータ出力部と、

前記ベクトルの周波数と前記パラメータ出力部にて計算された周波数との差分を取り出す周波数差取り出し手段と、

この周波数差取り出し手段により取り出された周波数差に対応する電圧信号を積分してディジタル / アナログ変換部を介して制御電圧として前記電圧制御発振部に帰還する手段と、

A) 装置の運転開始時に、電圧制御発振部からの出力周波数が小さすぎることに起因し

10

20

て周波数差取り出し手段から電圧信号が得られない間は、第1の定数を積分回路部により積分した立ち上げ用の電圧を電圧制御発振部の制御電圧として出力し、

B) PLLがロックされた後、前記帰還する手段からの制御電圧が予め設定された範囲から外れたときには、当該範囲に収まるように、第1の定数よりも小さく設定された第2の定数を積分回路部により積分した周波数引き込み用の電圧を出力し、

C) 前記帰還する手段からの制御電圧が予め設定された範囲に収まった後には、前記積分動作を停止する

周波数引き込み手段と、を備え、

前記電圧制御発振部の制御電圧は、前記帰還手段からの制御電圧と、前記周波数引き込み手段からの制御電圧との加算値であり、

電圧制御発振部、ベクトル取り出し手段、及び前記電圧信号を電圧制御発振部に帰還する帰還手段によりPLLが形成され、PLLがロックされたときに電圧制御発振部の出力周波数が設定周波数に調整されることを特徴とする周波数シンセサイザ。

【請求項2】

前記周波数引き込み手段は、装置の運転開始時に、前記立ち上げ用の電圧を出力することで電圧制御発振部からの出力周波数が上昇して周波数差取り出し手段から電圧信号が得られた後は、当該立ち上げ用の電圧に代えて前記周波数差取り出し手段により取り出された周波数差を積分して電圧制御発振部の制御電圧を出力することを特徴とする請求項1記載の周波数シンセサイザ。

【請求項3】

前記周波数引き込み手段は、立ち上げ用の電圧を電圧制御発振部の制御電圧として出力した後、設定周波数と電圧制御発振部からの出力周波数との周波数差が小さくなつたことにより周波数差取り出し手段から電圧信号が出力された後において、当該電圧信号を積分回路部により積分して前記帰還手段より大きい周波数刻みでアナログ信号に変換し、このアナログ信号を電圧制御発振部の制御電圧として出力するように構成されていることを特徴とする請求項1または2に記載の周波数シンセサイザ。

【請求項4】

供給された電圧に応じた周波数の周波数信号を発振する電圧制御発振部と、

前記周波数信号を電圧制御発振部の設定周波数に応じて $1/N$ (Nは整数)に分周する分周手段と、

前記電圧制御発振部の出力周波数の $1/N$ に相当する周波数の正弦波信号を基準クロック信号に基づいてサンプリングしてそのサンプリング値をデジタル信号として出力するアナログ/デジタル変換部と、

このアナログ/デジタル変換部からの出力信号に対応する周波数信号に対して、周波数が $0/2$ の正弦波信号のデジタル信号による直交検波を行い、当該周波数信号の周波数と $0/2$ との周波数差に相当する周波数で回転するベクトルを複素表示したときの実数部分及び虚数部分を取り出すベクトル取り出し手段と、

前記電圧制御発振部の出力周波数が設定値になったときの前記ベクトルの周波数を計算するパラメータ出力部と、

前記ベクトルの周波数と前記パラメータ出力部にて計算された周波数との差分を取り出す周波数差取り出し手段と、

この周波数差取り出し手段により取り出された周波数差に対応する電圧信号を積分してデジタル/アナログ変換部を介して制御電圧として前記電圧制御発振部に帰還する手段と、

周波数引き込み手段と、を備え、

前記周波数引き込み手段は、

A) 装置の運転開始時に、電圧制御発振部からの出力周波数が小さすぎることに起因して周波数差取り出し手段から電圧信号が得られない間は、立ち上げ用の電圧を電圧制御発振部の制御電圧として出力し、

B) 周波数差取り出し手段から電圧信号が出力された後において、当該電圧信号を積分回

10

20

30

40

50

路部により積分して前記帰還手段より大きい周波数刻みでアナログ信号に変換し、このアナログ信号を電圧制御発振部の制御電圧として出力し、

C) 設定周波数と電圧制御発振部からの出力周波数との周波数差が予め設定された範囲に収まった後には、前記積分回路部の積分動作を停止して、前記周波数引き込み手段からの制御電圧を固定値とし、

D) 帰還手段におけるディジタル／アナログ変換部の同時スイッチングを減らしてグリッヂノイズを低減するために、前記固定値は、前記周波数引き込み手段におけるディジタル／アナログ変換部が設定可能な制御電圧の中で、出力周波数が設定周波数に最も近くなる制御電圧よりも、調整可能な周波数刻みの整数倍に対応する分だけずれた値に設定され、

前記電圧制御発振部、ベクトル取り出し手段、及び前記電圧信号を電圧制御発振部に帰還する帰還手段によりPLLが形成され、PLLがロックされたときに電圧制御発振部の出力周波数が設定周波数に調整され、10

前記電圧制御発振部の制御電圧は、前記帰還手段からの制御電圧と、前記周波数引き込み手段からの制御電圧の加算値であることを特徴とする周波数シンセサイザ。

【請求項 5】

前記帰還手段からの制御電圧と、前記周波数引き込み手段からの制御電圧とを加算して電圧制御発振部に供給するための結合器を備えたことを特徴とする請求項1ないし4のいずれか一つに記載の周波数シンセサイザ。15

【請求項 6】

前記電圧制御発振部は、前記帰還手段からの制御電圧と、前記周波数引き込み手段からの制御電圧とが夫々入力されるポートを備えたことを特徴とする請求項1ないし5のいずれか一つに記載の周波数シンセサイザ。20

【請求項 7】

前記パラメータ出力部は、電圧制御発振部の出力周波数の設定値をNで割ったときに、アナログ／ディジタル変換部で用いる基準クロック信号の周波数とベクトル取り出し手段で用いられる0/2との差に最も近い周波数となるNの値を計算し、分周手段は、この値を用いて電圧制御発振部からの周波数信号を分周することを特徴とする請求項1ないし6のいずれか一つに記載の周波数シンセサイザ。

【請求項 8】

前記パラメータ出力部は、粗調整のための周波数刻みfaの整数倍の周波数のうち、電圧制御発振部の出力周波数が設定値になったときの前記ベクトルの周波数に最も近い周波数n·fa(nは整数)と、前記周波数刻みfaよりも小さい微調整のための周波数刻みfbの整数倍のうち、電圧制御発振部の出力周波数が設定値になったときの前記ベクトルの周波数と前記周波数n·faとの差に最も近い周波数m·fb(mは整数)と、を計算し、30

前記周波数差取り出し手段は、前記ベクトル取り出し手段により得られた前記ベクトルに、周波数n·faで逆回転する逆ベクトルを乗算して、前記ベクトルの周波数から逆ベクトルの周波数を差し引いた周波数の微速ベクトルを取り出す手段と、前記微速ベクトルの周波数を、当該微速ベクトルの各サンプリング時の実数部分及び虚数部分の値から求める微速ベクトルの微速検出手段と、この微速検出手段で検出された微速ベクトルの周波数と周波数m·fbとの差に相当する信号を出力する手段と、を備えていることを特徴とする請求項1ないし7のいずれか一つに記載の周波数シンセサイザ。40

【請求項 9】

微速ベクトルの周波数は、ベクトルを表す複素平面上の位相をsinとみなすことができて、その周波数を近似計算により求めることができる程度に低いことを特徴とする請求項8記載の周波数シンセサイザ。

【請求項 10】

微速ベクトルの微速検出手段は、あるサンプリング時における微速ベクトルの実数部分及び虚数部分で決まる複素平面上の位置と、次のサンプリング時における微速ベクトルの実数部分及び虚数部分で決まる複素平面上の位置と、の距離を演算して、その演算値を両50

サンプリング時における微速ベクトルの位相差とみなす手段を含むことを特徴とする請求項9記載の周波数シンセサイザ。

【請求項11】

周波数差に相当する電圧信号を前記電圧制御発振部に帰還する手段は、微速ベクトルの周波数と周波数 $m \cdot f_b$ との差に相当する信号を累積する手段を含むことを特徴とする請求項8ないし10のいずれか一つに記載の周波数シンセサイザ。

【請求項12】

ベクトルは、複素表面上における逆ベクトルの位置を規定する実数部分及び虚数部分の組を回転方向に沿って順番に配列したデータテーブルと、逆ベクトルの回転方向及び周波数に対応するインクリメント数またはデクリメント数により前記データテーブルのアドレスを発生させる手段とにより生成されることを特徴とする請求項8ないし11のいずれか一つに記載の周波数シンセサイザ。10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、所望の周波数の発振出力が得られる周波数シンセサイザに関する。

【背景技術】

【0002】

標準信号発生器の一つとしてPLL(Phase Locked Loop)を応用した周波数シンセサイザがある。周波数シンセサイザは図12に示すように、電圧制御発振器201を分周器202により $1/N$ に分周してその分周出力を位相比較器203の一方の入力端に入力すると共に、基準信号発生器である例えば水晶発振器204の発振出力を分周器200にて $1/M$ に分周してその分周出力を位相比較器203の他方の入力端に入力し、その比較信号をループフィルタ205を介して電圧制御発振器201にフィードバックし、こうしてPLLを構成している(例えば特許文献1)。PLLがロックすると電圧制御発振器201の発振出力の周波数 f_{vco} と水晶発振器204の発振出力の周波数 f_0 とは、 $f_{vco}/N = f_0/M$ の関係にあるので、 $f_{vco} = (N/M)f_0$ となる。分周器202はプログラムブルカウンタにより構成されていて外部よりデジタルデータで分周比Nを設定できることから、 f_{vco} の周波数を自由に設定できることになる。20

【0003】

周波数シンセサイザの応用としては、例えば移動局における局発振部として用いられる。即ち、基地局では所定の周波数帯域を移動局に割り当てるため、移動局側では、割り当てられた周波数帯域の発振出力を生成する必要があり、そのため局発振部に対し周波数を調整できる機能を持たせることが要請される。また無線通信機器の試験用信号源や放送機器などにも使用されている。30

【0004】

このように例えば通信分野において周波数シンセサイザを適用する場合には、他のチャネルとの混信を避けるためにノイズが少ないことが要求され、また電波が過密化していることから、周波数をできるだけ細かく設定できることが望ましい。周波数を細かく設定するためには、上記の分周比Nを大きくすればよいが、あまり大きくすると、ループに生じる遅延が長くなつてノイズが大きくなり、実際にはNは1000程度が上限である。40

【0005】

このため説明の便宜上例えば1000MHz程度の周波数を1Hz単位で調整できる周波数シンセサイザを設計しようとすると、図12の装置を多段化する必要がある。即ち、Nの上限が1000であるとすると、位相比較器に入る基準信号の周波数(M/f_0)を1MHzとして、1MHzきざみで設定できる1MHz~1000MHzの周波数シンセサイザを制作できる。同様にして基準信号の周波数を1kHzとすることにより、1kHzきざみで設定できる1kHz~1MHzの周波数シンセサイザを制作し、同様にして基準信号の周波数を1Hzとすることにより、1Hzきざみで設定できる1Hz~1kHzの周波数シンセサイザを制作する。そして各周波数シンセサイザを段階的に合成す50

ることにより、1 Hz きざみで 1000 MHz ヘルツまで設定できる周波数シンセサイザが得られることになる。

【0006】

しかしながらこのようにすると、周波数を合成する各合成回路について PLL を組まなければならぬこともある。回路構成が複雑で部品点数が多くなり、ノイズが多くなるという課題がある。

【0007】

そこで本発明者は、従来の周波数シンセサイザとは原理が全く異なる新規な構成を採用することにより、広い帯域に亘って細かく周波数を設定することができる新規な方式の周波数シンセサイザを開発しているが、周波数の引き込み範囲が狭く、電圧制御発振部の製品のばらつきや温度特性などを考慮するとその引き込みを確実に行えないという問題を抱えており、実用化するためにはこの点を克服する必要がある。またこの周波数シンセサイザは、アナログ回路とデジタル回路とからなるが、デジタル / アナログ変換部内の多数のスイッチング素子の同時スイッチングに基づくノイズを抑えなければならないという問題もある。

【0008】

【特許文献 1】特開平 2004 - 274673 号公報

【発明の開示】

【発明が解決しようとする課題】

【0009】

本発明は、従来の周波数シンセサイザとは原理が全く異なる新規な構成を採用することにより、広い帯域に亘って細かく周波数を設定することができ、しかも低ノイズな周波数信号が得られる周波数シンセサイザであって、周波数の引き込み範囲を広くすることができる技術の提供、及びデジタル / アナログ変換部内の多数のスイッチング素子の同時スイッチングに基づくノイズを抑えることのできる技術の提供を目的とする。

【課題を解決するための手段】

【0010】

本発明の周波数シンセサイザは、供給された電圧に応じた周波数の周波数信号を発振する電圧制御発振部と、

前記周波数信号を電圧制御発振部の設定周波数に応じて $1/N$ (N は整数) に分周する分周手段と、

前記電圧制御発振部の出力周波数の $1/N$ に相当する周波数の正弦波信号を基準クロック信号に基づいてサンプリングしてそのサンプリング値をデジタル信号として出力するアナログ / デジタル変換部と、

このアナログ / デジタル変換部からの出力信号に対応する周波数信号に対して、周波数が $0/2$ の正弦波信号のデジタル信号による直交検波を行い、当該周波数信号の周波数と $0/2$ との周波数差に相当する周波数で回転するベクトルを複素表示したときの実数部分及び虚数部分を取り出すベクトル取り出し手段と、

前記電圧制御発振部の出力周波数が設定値になったときの前記ベクトルの周波数を計算するパラメータ出力部と、

前記ベクトルの周波数と前記パラメータ出力部にて計算された周波数との差分を取り出す周波数差取り出し手段と、

この周波数差取り出し手段により取り出された周波数差に対応する電圧信号を積分してデジタル / アナログ変換部を介して制御電圧として前記電圧制御発振部に帰還する手段と、

A) 装置の運転開始時に、電圧制御発振部からの出力周波数が小さすぎることに起因して周波数差取り出し手段から電圧信号が得られない間は、第 1 の定数を積分回路部により積分した立ち上げ用の電圧を電圧制御発振部の制御電圧として出力し、

B) PLL がロックされた後、前記帰還する手段からの制御電圧が予め設定された範囲から外れたときには、当該範囲に収まるように、第 1 の定数よりも小さく設定された第 2

10

20

30

40

50

の定数を積分回路部により積分した周波数引き込み用の電圧を出力し、

C) 前記帰還する手段からの制御電圧が予め設定された範囲に収まった後には、前記積分動作を停止する

周波数引き込み手段と、を備え、

前記電圧制御発振部の制御電圧は、前記帰還手段からの制御電圧と、前記周波数引き込み手段からの制御電圧との加算値であり、

電圧制御発振部、ベクトル取り出し手段、及び前記電圧信号を電圧制御発振部に帰還する帰還手段によりPLLが形成され、PLLがロックされたときに電圧制御発振部の出力周波数が設定周波数に調整されることを特徴とする。

【0011】

10

他の発明の周波数シンセサイザは、供給された電圧に応じた周波数の周波数信号を発振する電圧制御発振部と、

前記周波数信号を電圧制御発振部の設定周波数に応じて $1/N$ (N は整数) に分周する分周手段と、

前記電圧制御発振部の出力周波数の $1/N$ に相当する周波数の正弦波信号を基準クロック信号に基づいてサンプリングしてそのサンプリング値をデジタル信号として出力するアナログ/デジタル変換部と、

このアナログ/デジタル変換部からの出力信号に対応する周波数信号に対して、周波数が $0/2$ の正弦波信号のデジタル信号による直交検波を行い、当該周波数信号の周波数と $0/2$ との周波数差に相当する周波数で回転するベクトルを複素表示したときの実数部分及び虚数部分を取り出すベクトル取り出し手段と、

前記電圧制御発振部の出力周波数が設定値になったときの前記ベクトルの周波数を計算するパラメータ出力部と、

前記ベクトルの周波数と前記パラメータ出力部にて計算された周波数との差分を取り出す周波数差取り出し手段と、

この周波数差取り出し手段により取り出された周波数差に対応する電圧信号を積分してデジタル/アナログ変換部を介して制御電圧として前記電圧制御発振部に帰還する手段と、

周波数引き込み手段と、を備え、

前記周波数引き込み手段は、

30

A) 装置の運転開始時に、電圧制御発振部からの出力周波数が小さすぎることに起因して周波数差取り出し手段から電圧信号が得られない間は、立ち上げ用の電圧を電圧制御発振部の制御電圧として出力し、

B) 周波数差取り出し手段から電圧信号が出力された後において、当該電圧信号を積分回路部により積分して前記帰還手段より大きい周波数刻みでアナログ信号に変換し、このアナログ信号を電圧制御発振部の制御電圧として出力し、

C) 設定周波数と電圧制御発振部からの出力周波数との周波数差が予め設定された範囲に収まった後には、前記積分回路部の積分動作を停止して、前記周波数引き込み手段からの制御電圧を固定値とし、

D) 帰還手段におけるデジタル/アナログ変換部の同時スイッチングを減らしてグリッチノイズを低減するために、前記固定値は、前記周波数引き込み手段におけるデジタル/アナログ変換部が設定可能な制御電圧の中で、出力周波数が設定周波数に最も近くなる制御電圧よりも、調整可能な周波数刻みの整数倍に対応する分だけずれた値に設定され、

前記電圧制御発振部、ベクトル取り出し手段、及び前記電圧信号を電圧制御発振部に帰還する帰還手段によりPLLが形成され、PLLがロックされたときに電圧制御発振部の出力周波数が設定周波数に調整され、

前記電圧制御発振部の制御電圧は、前記帰還手段からの制御電圧と、前記周波数引き込み手段からの制御電圧の加算値であることを特徴とする。

【0012】

前記分周手段は、 $N = 1$ の場合も含まれ、この場合実際の装置では分周器が使用されず

50

、電圧制御発振部の出力端とアナログ／ディジタル変換部の入力端との間の導電路が本発明でいう分周手段に相当する。このように本発明では、特許請求の範囲の記載を分かりやすくするために、 $N = 1$ の場合であっても分周手段という構成を記載している。

電圧制御発振部の制御電圧を、前記帰還手段からの制御電圧と、前記周波数引き込み手段からの制御電圧の加算値とするためには、前記帰還手段からの制御電圧と、前記周波数引き込み手段からの制御電圧とを加算して電圧制御発振部に供給するための結合器を備えた構成とすることができる。

【0013】

あるいは、前記電圧制御発振部は、前記帰還手段からの制御電圧と、前記周波数引き込み手段からの制御電圧とが夫々入力されるポートを備えた構成としてもよい。

10

【0015】

本発明の好ましい態様としては、例えば前記パラメータ出力部は、電圧制御発振部の出力周波数の設定値を N で割ったときに、アナログ／ディジタル変換部で用いる基準クロック信号の周波数とベクトル取り出し手段で用いられる $0/2$ との差に最も近い周波数となる N の値を計算し、分周手段は、この値を用いて電圧制御発振部からの周波数信号を分周する例をあげることができる。

【0016】

更に本発明の好ましい態様を示すと、前記パラメータ出力部は、粗調整のための周波数刻み f_a の整数倍の周波数のうち、電圧制御発振部の出力周波数が設定値になったときの前記ベクトルの周波数に最も近い周波数 $n \cdot f_a$ （ n は整数）と、前記周波数刻み f_a よりも小さい微調整のための周波数刻み f_b の整数倍のうち、電圧制御発振部の出力周波数が設定値になったときの前記ベクトルの周波数と前記周波数 $n \cdot f_a$ との差に最も近い周波数 $m \cdot f_b$ （ m は整数）と、を計算し、

20

前記周波数差取り出し手段は、前記ベクトル取り出し手段により得られた前記ベクトルに、周波数 $n \cdot f_a$ で逆回転する逆ベクトルを乗算して、前記ベクトルの周波数から逆ベクトルの周波数を差し引いた周波数の微速ベクトルを取り出す手段と、前記微速ベクトルの周波数を、当該微速ベクトルの各サンプリング時の実数部分及び虚数部分の値から求める微速ベクトルの微速検出手段と、この微速検出手段で検出された微速ベクトルの周波数と周波数 $m \cdot f_b$ との差に相当する信号を出力する手段と、を備えている。

【0017】

30

この場合、微速ベクトルの周波数は、ベクトルを表す複素平面上の位相 を \sin とみなすことができて、その周波数を近似計算により求めることができる程度に低いことが好ましい。

また微速ベクトルの微速検出手段は、あるサンプリング時における微速ベクトルの実数部分及び虚数部分で決まる複素平面上の位置と、次のサンプリング時における微速ベクトルの実数部分及び虚数部分で決まる複素平面上の位置と、の距離を演算して、その演算値を両サンプリング時における微速ベクトルの位相差とみなす手段を含む構成とすることができる。

【0018】

周波数差に相当する電圧信号を前記電圧制御発振部に帰還する手段は、例えば微速ベクトルの周波数と周波数 $m \cdot f_b$ との差に相当する信号を累積する手段を含む。

40

また逆ベクトルは、複素表面上における逆ベクトルの位置を規定する実数部分及び虚数部分の組を回転方向に沿って順番に配列したデータテーブルと、逆ベクトルの回転方向及び周波数に対応するインクリメント数またはデクリメント数により前記データテーブルのアドレスを発生させる手段とにより生成することができる。

【発明の効果】

【0019】

本発明の周波数シンセサイザは、従来のように周波数の調整単位（いくつ刻みで周波数を調整できるかということ）を分周器の分周比に任せることとは全く異なる手法である。

即ち、

50

イ. 電圧制御発振部の出力周波数の正弦波信号を直交検波して、検波に用いた周波数信号の周波数との差分の周波数（速度）で回転するベクトルを作成し、

ロ. 電圧制御発振部の出力周波数が設定値になったときのベクトルの周波数を予め計算しておいて、

ハ. 電圧制御発振部を駆動したときにベクトルの周波数と前記計算された周波数との差分に相当する電圧信号を電圧制御発振部にフィードバックして、その差分がゼロになるようにPLLを形成している。

従ってPLLがロックされたときに電圧制御発振部の出力周波数が設定周波数に調整されることになるが、電圧制御発振部の出力周波数が設定値になったときのベクトルの周波数を予め計算しておくだけで、そしていわば1段のPLLでありながら、出力周波数を設定できるので、ノイズが小さくしかも広い帯域に亘って細かく周波数を設定することができる。例えば数百MHzの電圧制御発振器を例えば1Hz単位あるいはそれ以下の単位で設定することができ、極めて画期的な周波数シンセサイザが得られる。10

【0020】

そして、本発明では、電圧制御発振部からの出力周波数が小さくて設定周波数に対して大きな開きがある間は、第1の定数を積分回路部により積分して電圧制御発振部の制御電圧として出力することで前記出力周波数を高めている。またPLLがロックされた後、前記帰還する手段からの制御電圧を監視し、この制御電圧が予め設定された範囲から外れたときには、当該範囲に収まるように、周波数引き込み用の電圧を出力している。従って周波数の引き込み範囲が広く、電圧制御発振部の周波数にばらつきがあったり、温度特性などにより周波数が変化しても周波数の引き込みを行うことができるので、安定した動作が得られる。20

【0021】

また第2の発明では、いわば微調整用の帰還手段のデジタル／アナログ変換部において中心値付近でスイッチングする確率が低くなるので、同時スイッチングするスイッチ数が少くなり、グリッチノイズの低減化を図ることができる。

【発明を実施するための最良の形態】

【0022】

本発明の周波数シンセサイザは、新規な原理に基づいて動作するものであることから、先ず図1を参照しながら本発明の動作原理について簡単に概略的な説明をしておく。図1中1は、電圧制御発振部である電圧制御発振器であり、電圧出力部11から第1の加算部12を経て供給電圧に応じた周波数の矩形波である周波数信号を出力する。電圧制御発振器1からの周波数信号は分周手段2にて1/N(Nは整数)に分周され、更に正弦波に変換され、デジタル信号に変換されるのであるが、ここではベクトル取り出し手段20により、前記周波数信号の周波数に応じた周波数(速度)で回転するベクトルが取り出されるという説明にとどめる。30

【0023】

ベクトル取り出し手段20の後段の周波数差取り出し手段30は、前記ベクトルの周波数と、電圧制御発振器1の出力周波数が設定周波数になったときのベクトルの周波数frと、の差を取り出す。周波数差を取り出す手法としては、例えば電圧制御発振器1の出力周波数が設定周波数になったときにベクトル取り出し手段20にて取り出されるベクトルの回転方向とは逆方向に周波数frで回転する逆ベクトルを作成し、前記ベクトルと逆ベクトルとを乗算してその周波数差を取り出す手法が挙げられる。40

【0024】

また逆ベクトルでベクトルの周波数をある程度落としておいて、残りの周波数差分を例えばベクトルの速度を近似式で検出するようにしてもよい。このような例をより具体化した例を挙げると、ベクトルの周波数をfrに一致させる調整(周波数差取り出し手段30により周波数差を取り出す調整工程)を、粗調整と微調整とに分ける。そして粗調整のための周波数刻みfaの整数倍の周波数のうち、電圧制御発振器1の出力周波数が設定値になったときの前記ベクトルの周波数に最も近い周波数n·fa(nは整数)を予め計算し50

て、周波数 $n \cdot f_a$ で逆回転する逆ベクトルを前記ベクトルに乗算して、前記ベクトルの周波数から逆ベクトルの周波数を差し引いた周波数の微速ベクトルを取り出す。そして前記周波数刻み f_a よりも小さい微調整のための周波数刻み f_b の整数倍のうち、 f_r と前記周波数 $n \cdot f_a$ との差に最も近い周波数 $m \cdot f_b$ (m は整数) と、を計算し、前記微速ベクトルの周波数と周波数 $m \cdot f_b$ との差を取り出し、こうしてベクトル取り出し手段により得られたベクトルの周波数と f_r との差が求められる。

【0025】

以上の一連の計算は、図示しないパラメータ出力部にて計算される。なおこのように周波数差を取り出す調整工程を粗調整と微調整とに分ける場合には、ベクトルの周波数が f_r に近付いてきたときに正確な周波数差を得ることができる利点や、周波数の検出の演算が簡単になるという利点などがある。この点は後述の図2の具体例により明らかにされる。
10

【0026】

そして周波数差取り出し手段30により取り出された周波数差に対応する電圧は帰還手段の一部をなす積分手段40により積分され、電圧制御発振器1の入力側に供給される。従って図1のループはPLLを形成しており、前記周波数差がゼロになったときにPLLがロックされ、電圧制御発振器1の出力周波数が設定周波数にロックされることになる。

【0027】

ところで前記周波数差が大きいときには、一般的には、ディジタル処理を行うベクトル取り出し手段20や周波数差取り出し手段30などを動作させるのに十分な電圧が得られない、言い換えれば電圧制御発振器1の出力周波数が小さいので、電圧制御発振器1への制御電圧が得られない。このため運転開始初期には、周波数引き込み手段100内の積分回路部から制御電圧を発生させて電圧制御発振器1の出力周波数を引き上げている。そしてPLLの制御範囲に入った後は、周波数引き込み手段100内の積分回路部の積分動作を停止するようしている。
20

より具体的には、先ず電圧制御発振器1のスタート時には周波数引き込み手段100から制御電圧が例えば結合器11を介して電圧制御発振器1に供給され、その制御電圧を徐々に大きくしていく。それに伴って電圧制御発振器1の出力周波数が上昇し、ベクトル取り出し手段20や周波数差取り出し手段30が機能し始めると、ベクトル取り出し手段20にて取り出されたベクトルの周波数が高くなっていく。そしてこの周波数がPLLの制御範囲に入ってくると、予め計算された、電圧制御発振器1の出力周波数が設定周波数になったときのベクトルの周波数 f_r と、ベクトル取り出し手段20にて取り出されたベクトルの周波数と、の差(周波数差)が小さくなってくる。
30

そこで、周波数引き込み手段100からの制御電圧の上昇を止めて固定値と共に、前記周波数差に対応する電圧を積分して電圧制御発振器1に制御電圧として加える。その結果電圧制御発振器1の出力周波数の上昇率も小さくなり、前記周波数差の積分値の上昇率も徐々に小さくなる。このため電圧制御発振器1の出力周波数の上昇の仕方が更に緩やかになり、それにつれて前記周波数差に対応する電圧の積分値の上昇の仕方もより緩やかになる。やがて前記出力周波数が設定周波数に落ち着き、PLLループがロックされることになる。
40

【0028】

しかしながらこの周波数シンセサイザは、原理においては必ずしも周波数引き込み手段100を必要とするものではなく、もしディジタル処理部分において、前記周波数差が大きいときであってもそれに対応する電圧が出力されるとしたら次のように動作する。即ち、運転開始時には、周波数差取り出し手段30により取り出された周波数差に対応する電圧が大きく、この電圧が積分されて電圧制御発振器1の制御電圧として与えられるので、出力周波数が上昇する。その後は、上述のようにしてPLLループがロックされることになる。

【0029】

実際には、設定周波数の大きさに応じて分周比を選択すればよいことから、ベクトルと
50

いう発想を取り入れることにより、このように1段のPLLでありながら、広い周波数帯域に亘って細かな周波数設定を行うことができるるのである。

【0030】

以下に本発明の周波数シンセサイザを具体化した例を図2以降にて説明する。電圧制御発振器1の後段に設けられた手段について順番に説明すると、2は例えばプログラマブルカウンタからなる分周器であり、この分周器2の分周比N(Nは整数)は後述のパラメータ出力部により決定される。分周器2の後段には、分周器2からの周波数信号である矩形波信号を正弦波信号に変換するための手段としてローパスフィルタ21が設けられている。

3はA/D(アナログ/デジタル)変換器であり、ローパスフィルタ21からの周波数信号である正弦波信号を基準クロック発生部31からのクロック信号によりサンプリングしてそのサンプリング値をデジタル信号として出力する。基準クロック発生部31は、前記周波数信号をサンプリングするために周波数の安定性が極めて高い周波数信号であるクロック信号を出力する。10

【0031】

A/D変換器3で得られるデジタル信号で特定される高周波信号は基本波の他に高調波も含まれている。即ち高調波ひずみを有する正弦波をサンプリングする場合、その高調波成分が折り返しの影響を受けて、場合によっては周波数スペクトルにおける周波数軸上で基本波周波数と高調波の周波数とが重なる場合が想定される。そこでこのような重なりを避けて、電圧制御発振器1の出力周波数に正確に対応するベクトルを後で取り出す必要がある。20

【0032】

一般に周波数 f_1 の正弦波信号を周波数 f_s のクロック信号でサンプリングした場合、その取り込み結果の周波数 f_2 は(1)式で表される。ただし $\text{mod}(,)$ はmodulo関数を表している。

【0033】

$$f_2 = |\text{mod}(f_1 + f_s / 2, f_s) - f_s / 2| \dots (1)$$

この取り込み結果において、基本波周波数に対してn次の高調波の周波数は $n \times$ (基本波周波数)として表されるので、これを f_2 と置いて上記の(1)式に代入すれば、高調波がどのような周波数として取り込まれるかを計算することができる。この計算を用いることにより基本波の周波数と高調波の周波数とが重ならないように、分周器2からの高周波信号の周波数 f_c とサンプリング周波数(クロック信号の周波数) f_s とを設定することができ、例えばベクトルが停止するときの f_c が36MHzとなるように分周比Nを設定し、 f_s を40MHzに設定する。この場合、A/D変換器3からのデジタル信号である出力信号で特定される周波数信号の基本波は4MHzの正弦波となる。なお f_c/f_s を9/10にすれば、基本波の周波数と高調波の周波数とが重ならないが、 f_c/f_s はこの値に限られるものではない。30

【0034】

A/D変換器3の後段には、キャリアリムーブ4が設けられている。このキャリアリムーブ4は、A/D変換器3からのデジタル信号により特定される正弦波信号に対して周波数が $0t/2$ (角速度が $0t$)の正弦波信号により直交検波を行い、A/D変換器3のデジタル信号により特定される周波数信号の周波数と検波に用いる正弦波信号の周波数との差の周波数で回転するベクトルを取り出す手段、より詳しくはこのベクトルを複素表示したときの実数部分及び虚数部分を取り出す手段に相当する。40

【0035】

キャリアリムーブ4に関して詳述すると、キャリアリムーブ4は、図3に示すように前記正弦波信号に対して $\cos(-0t)$ を掛け算する掛け算部41aと前記正弦波信号に対して $-\sin(-0t)$ を掛け算する掛け算部41bと、掛け算部41a、41bの後段に夫々設けられたローパスフィルタ42a及び42bと、を備えている。従ってA/D変換器3で得られた正弦波信号を $A \cos(-0t + \phi)$ としたとき、掛け算部41aの出力及び掛け50

算部 4 1 b の出力は夫々 (2) 式及び (3) 式により表される。

【0036】

$$\begin{aligned} & A \cos(0t + \phi) \cdot \cos(0t) \\ &= 1/2 \cdot A \cos(\phi) + 1/2 \{ \cos(2 \cdot 0t) \cdot \cos(\phi) + \sin(2 \cdot 0t) \cdot \sin(\phi) \} \dots\dots (2) \\ & A \cos(0t + \phi) \cdot -\sin(0t) \\ &= 1/2 \cdot A \sin(\phi) - 1/2 \{ \sin(2 \cdot 0t) \cdot \cos(\phi) + \cos(2 \cdot 0t) \cdot \sin(\phi) \} \dots\dots (3) \end{aligned}$$

そこで掛け算部 4 1 a の出力及び掛け算部 4 1 b の出力を夫々ローパスフィルタ 4 2 a 及び 4 2 b を通すことにより、 $2 \cdot 0t$ の周波数信号は除去されるので、結局ローパスフィルタ 4 2 a、4 2 b からは夫々 $1/2 \cdot A \cos(\phi)$ と $1/2 \cdot A \sin(\phi)$ とが取り出される。ローパスフィルタ 4 2 a、4 2 b における実際のディジタル処理は、掛け算部 4 1 a、4 1 b から出力される時系列データについて連続する複数個のデータ例えば 6 個のデータの移動平均を演算している。

【0037】

以上のこととは、A / D 変換器 3 で得られた正弦波信号の周波数と直交検波に用いる正弦波信号の周波数が等しいときには、出力に時間関数が含まれないので、キャリアリムーブ 4 にて得られるベクトルは停止していることになる。一方 $A \cos(0t + \phi)$ で表される正弦波信号の周波数が変化すると、 $A \cos(0t + \phi)$ は $A \cos(0t + \phi + 1t)$ となる。従って $1/2 \cdot A \cos(\phi)$ は $1/2 \cdot A \cos(\phi + 1t)$ となり、 $1/2 \cdot A \sin(\phi)$ は $1/2 \cdot A \sin(\phi + 1t)$ となる。即ち、ローパスフィルタ 4 2 a、4 2 b から得られた出力は、正弦波信号 [$A \cos(0t + \phi)$] の周波数の変化分 ($1t$) に対応する信号、つまり A / D 変換器 3 で得られた正弦波信号の周波数と直交検波に用いた正弦波信号の周波数との差分 ($1t/2$) の速度で回転するベクトルを複素表示したときの実数部分 (I) 及び虚数部分 (Q) である。なお、この明細書では周波数と角速度とを使い分ける意義はないことから、両者を混在して用いることがある。

【0038】

図 4 はこのベクトル V を表した図であり、このベクトル V は長さが A であり、回転速度が $1t (= 1t/2)$ である (周波数が $1t/2$)。この例では直交検波に用いた周波数は 4 MHz であり、A / D 変換器 3 で得られた正弦波信号の周波数が 4 MHz であればベクトルの回転速度はゼロであるが、4 MHz からずれていれば、そのずれた周波数差に応じた周波数 (回転速度) で回転することになる。

【0039】

キャリアリムーブ 4 の後段には、逆ベクトル乗算部 5 が設けられている。この逆ベクトル乗算部 5 は、キャリアリムーブ 4 にて得られたベクトル V に対して、パラメータ出力部 6 にて作成された逆ベクトル V' を乗算するものである。この乗算は、直感的な表現を使えばベクトル V の速度を逆ベクトル V' の速度分だけ減速することになり、言い換えれば、ベクトル V の周波数と逆ベクトル V' の周波数との差で回転するベクトルを得ることになる。

【0040】

逆ベクトル乗算部 5 における演算について説明すると、キャリアリムーブ 4 及び逆ベクトル乗算部 5 は、コンピュータの演算により実行されるものであり、その演算のサンプリングにおいてあるタイミングのサンプリング例えば n 回目のベクトル V のサンプリング値が $I(n) + j Q(n)$ であったとすると、n 回目の逆ベクトル V' のサンプリング値は $I'(n) + j Q'(n)$ である。両ベクトルを乗算したベクトル $I + j Q$ は、 $\{ I(n) + j Q(n) \} \times \{ I'(n) + j Q'(n) \}$ となる。この式を整理すると、(4) 式となる。

$$I + j Q = \{ I(n) \cdot I'(n) - Q(n) \cdot Q'(n) \} + j \{ I(n) \cdot Q'(n) + I'(n) \cdot Q(n) \} \dots\dots (4)$$

図 5 は、逆ベクトル乗算部 5 の構成を示しており、(4) 式の演算を行っている。

10

20

30

40

50

逆ベクトル V' を発生するとは、実際には複素平面上におけるベクトルが逆回転するよう当該ベクトルの実数部分及び虚数部分の値つまり逆ベクトル V' の位相を π とすると、 $\cos \pi$ と $\sin \pi$ との値を発生させることである。図6は、ベクトルの $\cos \pi$ と $\sin \pi$ との組がベクトルの回転方向に沿って順番には配列されたI/Qテーブル60を示しており、パラメータ出力部6は、この例では前記I/Qテーブル60を備えていて、指示された電圧制御発振器1の設定周波数に応じて決定されるインクリメント数またはデクリメント数でI/Qテーブル60のアドレスを読み出し、逆ベクトル乗算部5に出力している。例えばアドレスを0番地からk番地までクロックの読み出しのタイミングにより1個づつ読み出すことによりベクトル V がある速度で回転し、インクリメント数を2にして1個おきにアドレスを読み出すと、ベクトルの速度が倍速になる。インクリメントして読み出すかデクリメントして読み出すかは、キャリアリムーブ4にて取り出されたベクトル V の回転方向により決めることができる。こうしてベクトル V に対して逆回転する逆ベクトル V' を生成することができる。10

【0041】

図2におけるここまでプロックについて、具体的な一連の演算に関して述べておく。電圧制御発振器1の出力周波数を f_{vco} とすると、分周器2にて分周された周波数は f_{vco}/N となる。A/D変換部3では、周波数が f_s のクロック信号によりサンプリングされるため、A/D変換部3にて得られたデジタル信号により特定される周波数信号の周波数は、 $f_s - (f_{vco}/N)$ となる。この例では f_s は40MHzであるから、40MHz - (f_{vco}/N)となる。そしてキャリアリムーブ4における検波に用いられる正弦波信号の周波数($0t/2$)は4MHzとしているので、キャリアリムーブ4から取り出されるベクトル V の周波数は、40MHz - (f_{vco}/N) - 4MHzとなる。20

【0042】

ところでこの発明は、電圧制御発振器1の出力周波数 f_{vco} が設定周波数になったときにベクトル V の周波数と前記周波数 f_r との周波数差がゼロになるように制御される。もし(f_{vco}/N)が36MHzであれば、ベクトル V は停止している(周波数がゼロであるので)、この場合は、逆ベクトル V' の周波数をゼロに設定することで、PLLがロックされ、電圧制御発振器1の出力周波数 f_{vco} が設定周波数になる。しかしこのようなケースは1点しかないので、実際にはキャリアリムーブ4から取り出されるベクトル V はある速度で回転している。このため、ベクトル V を止めるための逆ベクトル V' を発生させることが必要になるのであるが、一連の計算はソフトウェアで行われることから、逆ベクトル V' を発生させるためのデータを格納するメモリ容量はできるだけ小さくしたいというのが、設計上の要請である。30

【0043】

この観点からすると、電圧制御発振器1の設定周波数を f_{set} とすると、 f_{set}/N ができる限り36MHzに近い方が好ましく、この例では、パラメータ出力部6において、ユーザにより設定された所望の設定周波数 f_{set} に対し、 f_{set}/N が36MHzに最も近くなる整数を演算し、その整数を分周器2の分周比Nとしている。こうすることによってキャリアリムーブ4から取り出されたベクトル V を止めるための逆ベクトル V' の周波数は、4MHzよりも小さい値になり、逆ベクトル V' を発生させるためのデータ量が少なくて済む。40

【0044】

ここで周波数の具体例を挙げると、電圧制御発振器1の設定周波数 f_{set} を例えば520.0001MHzとすると、分周比Nは、例えば $f_{set}/36MHz$ に最も近い整数であるとした場合、 $N = 14$ となる。この場合、電圧制御発振器の出力周波数が設定周波数 f_{set} であるときの分周後の周波数は、 $f_{set}/14 = 37.1428642857143$ MHzである。既述のように分周後の周波数が36MHzのときに、A/D変換部3にて得られるデジタル値により特定される周波数信号の周波数は、40MHz - 36MHz = 4MHzであり、4MHzの正弦波信号で直交検波を行うキャリアリムーブ4を通して得られるベクトル V の周波数は4MHz - 4MHz = 0、つまりベクトル V は停止する50

となる。従って $f_{set}/14 = 37.1428642857143 \text{ MHz}$ の周波数信号が A/D 変換部 3 にてデジタル化され、その周波数信号がキャリアリムーブ 4 に入力されて得られるベクトル V の周波数は、 $37.1428642857143 \text{ MHz} - 36 \text{ MHz} = 1.1428642857143 \text{ MHz}$ となる。

このような演算は、周波数シンセサイザに対して設定周波数を入力することにより、電圧制御発振器 1 を動作させる以前にパラメータ出力部 6 にて行われる。またパラメータ出力部 6 は、図示しないメモリを参照して、設定周波数に近い周波数が得られる電圧値を選択し、これにより電圧出力部 11 の出力電圧がその電圧値に向かって上昇することになる。そして分周比 N を 14 に設定し、また逆ベクトル V' の周波数を $1.1428642857143 \text{ MHz}$ に設定すれば

A/D 変換部 3 にて得られる周波数信号の周波数が $1.1428642857143 \text{ MHz}$ となるまで、電圧制御発振器 1 の出力周波数 f_{vco} が上昇し、やがてベクトル V の周波数と逆ベクトル V' の周波数とが一致したときに PLL がロックされ、 f_{vco} が f_{set} に収束する。

図 7 は、ベクトル V が逆ベクトル V' により逆回し処理が行われて停止した状態をイメージ的に示す図である。

【0045】

ところで上述の動作は、逆ベクトル V' だけに頼ってベクトル V を止める方式の場合の動作であり、この場合には、逆ベクトル乗算部 5 で得られたベクトルの周波数に対応する信号をループフィルタ 8 に入力すればよい。しかしながら、このような構成では逆ベクトル V' を発生させるためのデータ量がかなり多くなってしまう。このため図 2 に示す実施の形態では、逆ベクトル V' によりベクトル V の周波数をある程度まで減速し、残りの減速を後段の位相の時間差検出部 71、加算部 72 及び位相差の累積加算部 73 の動作に任せている。言い換えれば、逆ベクトル乗算部 5 ではベクトル V の周波数の粗調整を行い、後段部位においてベクトル V の微調整を行うことで、ベクトル V を停止させている。

【0046】

ベクトル V の周波数の粗調整を行う逆ベクトル V' の周波数は、例えば 152.587890625 Hz 刻みで設定できるようになっている。その理由は、 40 MHz にてデータをサンプリングする場合、逆ベクトル V' の位相のポイント数を 2 の 18 乗に設定すると、 $40 \text{ MHz} / 2$ の 18 乗 = 152.587890625 Hz となるからである。つまりパラメータ出力部 6 では、最小粗調周波数（周波数刻み f_a ）が 152.587890625 Hz であり、上記のベクトル V の周波数である $1142864.2857143 \text{ Hz}$ ($1.1428642857143 \text{ MHz}$) に対して周波数刻み f_a を何倍したら最も近くなるかを計算する。

$1142864.2857143 \text{ Hz} / 152.587890625 \text{ Hz}$ に最も近い整数は 7490 であり、パラメータ出力部 6 はこの整数を求ることにより、電圧制御発振部 1 の出力周波数が設定値になったときの前記ベクトル V の周波数に最も近い周波数 $n \cdot f_a$ (n は整数) = $7490 \cdot 152.587890625 \text{ Hz} = 1142883.30078125 \text{ Hz}$ を求める。

【0047】

そしてパラメータ出力部 6 は、次の計算を行う。先ずベクトル V の周波数から、逆ベクトル V' により調整される周波数を差し引き、 $1142864.2857143 \text{ Hz} - 1142883.30078125 \text{ Hz} = 19.0150669664145 \text{ Hz}$ を求める。

更に粗調整用の前記周波数刻み f_a よりも小さい微調整のための周波数刻み f_b この例では周波数刻み 1 Hz の整数倍のうち、電圧制御発振部 1 の出力周波数が設定値になったときの前記ベクトル V の周波数と前記周波数 $n \cdot f_a$ との差である $19.0150669664145 \text{ Hz}$ に最も近い周波数 $m \cdot f_b$ (m は整数) を計算する。この場合、 f_b は 1 Hz であるから、 m は 19 となり、 19 Hz 分の調整が逆ベクトル乗算部 5 の後段の部分により行われることになる。なおここでいう粗調整と微調整との用語は、この新方式の

10

20

30

40

50

周波数シンセサイザの改良部分である帰還手段における粗調整と微調整とは異なるものである。

【0048】

図2に戻って7は減数処理部、71はローパスフィルタ、71は位相の時間差検出部、72は第2の加算部、73は位相差の累積加算部、8はループフィルタ、80はD/A(ディジタル/アナログ)変換部である。

ベクトルVの回転は逆ベクトルV'により減速されているので、ベクトルVの周波数(速度)を簡単な近似式で求めることができ。図8に示すように複素平面上において、(n-1)番目のサンプリングにより求めたベクトルV(n-1)とn番目のサンプリングにより求めたベクトルV(n)=V(n-1)+Vとのなす角度 θ 、即ち両サンプリング時のベクトルVの位相差 θ は、ベクトルVの周波数がサンプリング周波数よりも十分に小さくかつ $\theta = \sin \theta$ とみなせる程度であれば、Vの長さとみなすことができる。

【0049】

Vを求める近似式について説明すると、先ず位相差 θ は(5)式で表される。なおは虚数部分、 $\text{conj}\{V(n)\}$ はV(n)の共役ベクトル、Kは常数である。

【0050】

$$= K \cdot \text{imag}[V \cdot \text{conj}\{V(n)\}] \quad \dots \dots (5)$$

ここでI値(ベクトルVの実数部分)及びQ値(ベクトルVの虚数部分)についてn番目のサンプリングに対応する値を夫々I(n)及びQ(n)とすれば、V及び $\text{conj}\{V(n)\}$ は複素表示すると夫々(6)式及び(7)式で表される。

【0051】

$$V = I + j Q \quad \dots \dots (6)$$

$$\text{conj}\{V(n)\} = I(n) - j Q(n) \quad \dots \dots (7)$$

ただしIはI(n)-I(n-1)であり、QはQ(n)-Q(n-1)である。(6)式及び(7)式を(5)式に代入して整理すると、Vは(8)式で表されることになる。

【0052】

$$= Q \cdot I(n) - I \cdot Q(n) \quad \dots \dots (8)$$

前記位相の時間差検出部71は、このように近似式を用いてVを求める機能を備えている。このVは、逆ベクトル乗算部5にて減速されたベクトルVの周波数に対応する値であるから、位相の時間差検出部71は、減速されたベクトルVの周波数を出力する手段(微速ベクトル検出手段)であるといえる。

【0053】

なおベクトルV(n-1)とV(n)とが求まればこの間の角度 θ を求める手法は種々の数学的手法を使うことができ、その一例として(5)式の近似式を挙げたに過ぎない。その数式としてはV(n)とV(n-1)の各終点を結ぶ線の中点と原点とを結ぶベクトルV0である $\{V(n) + V(n-1)\} / 2$ を用い、(5)式においてV(n)に代えてこのベクトルV0を代入してもよい。このような(5)式が近似できる理由は、V0とVとが直交しているとみなすことができ、このためVの長さは、V0を実軸と見たてたときのVの虚数値に相当すると取り扱えることができるからである。

【0054】

一方パラメータ出力部6は、ベクトルVの周波数微調整分である19Hzの値を計算により求めているため、位相の時間差検出部71にて検出されたベクトルVの周波数と微調整分の19Hzとが加算部72にて突合されて、ベクトルVの周波数と微調整分の19Hzとの差分が取り出され、位相差の累積加算部73に入力される。そして位相差の累積加算部73からの出力値はループフィルタ8に入力される。

【0055】

本発明は、図1に示したようにベクトルVを止める処理を行うが、この処理は図2の例ではいわば逆回しすることによるラフな停止処理と微速になったベクトルVを正確に止め

10

20

30

40

50

る処理とに分けており、後半の処理を位相の時間差検出部 7 1 と加算部 7 2 とに受け持たせていることになる。そして逆ベクトル乗算部 5、位相の時間差検出部 7 1 及び第 2 の加算部 7 2 は、周波数差取り出し手段に相当する。なおこの例では、電圧制御発振器 1 の出力周波数が設定周波数よりも低いときには、つまり回転ベクトルの周波数が設定周波数よりも低いときには、位相の時間差検出部 7 1 の出力は負の値で出力されるので、この出力に - 1 を掛け算する掛け算部 7 1 1 を設けている。

【 0 0 5 6 】

位相差の累積加算部 7 3 は、図 9 に示すようにあるサンプリング時における入力値をレジスタ 7 3 a に保持し、次のサンプリング時にそれまで保持されていた値を出力すると共に加算部 7 3 b に戻して入力値と加算し、その加算値をレジスタ 7 3 a に入力するように構成されている。10

またループフィルタ 8 は、図 1 の積分手段に相当し、図 1 0 に示すように入力値を累積加算部 8 a にて累積加算すると共に、加算部 8 b にてその累積加算値に入力値を加算するように構成されている。このループフィルタ 8 の出力電圧は、D / A 変換部 8 0 にてアナログ電圧とされて、後述の周波数引き込み手段の D / A 変換部からの出力電圧と結合器 1 1 加算されて電圧制御発振器 1 に制御電圧として入力される。ループフィルタは信号の変動を抑え、ループの安定化を図る役割も持っている。

この例では、位相差の累積加算部 7 3 、ループフィルタ 8 及び D / A 変換部 8 0 は帰還手段に相当する。

電圧制御発振部 1 から周波数差取り出し手段及びループフィルタ 8 を経て電圧制御発振部 1 に戻るループは P L L を形成している。また A / D 変換器 3 からループフィルタ 8 に至るまでの各部位は、F P G A などのデジタル処理装置により構成される。20

【 0 0 5 7 】

ここで本発明者は、位相の時間差検出部 7 1 の検出値とローパスフィルタ 2 1 の出力レベルとの関係を調べたところ、電圧制御発振器 1 の出力周波数が設定周波数になるポイント)を中心とした所定の周波数領域から外れるとローパスフィルタ 2 1 のゲインが落ちてしまふことを把握している。これでは、電圧制御発振器 1 の周波数が温度特性などによりこの範囲以上に変化した場合には、制御系が追従しないので周波数を設定周波数に引き込めなくなってしまう。また装置の運転開始時には電圧制御発振部 1 には制御電圧が入力されていないので、周波数の引き込み範囲まで制御電圧を立ち上げる必要がある。30

【 0 0 5 8 】

そこで周波数引き込み手段 1 0 0 として、スイッチ部 1 0 1 、積分回路部 1 0 2 、加算部 1 0 3 及び D / A 変換器 1 0 4 が設けられている。スイッチ部 1 0 1 は、接点 a 、 b 、 c のいずれかに切り替えられ、 a に切り替えられているときには位相の時間差検出部 7 1 の出力が、 b に切り替えられているときには第 2 の定数が、 c に切り替えられているときには第 1 の定数が夫々積分回路部 1 0 2 に取り込まれるようになっている。これら第 1 の定数及び第 2 の定数は、パラメータ出力部 6 から出力され、例えば第 1 の定数(接点 c の設定値)よりも第 2 の定数(接点 b の設定値)の方が小さく設定されている。

【 0 0 5 9 】

積分回路部 1 0 2 は、一つ前のサンプリングで得た値をラッチ部 1 0 2 a でラッチし、この値と今のサンプリングで得た値とを順次加算するように構成されている。また D / A 変換器 1 0 4 は、D / A 変換器 8 0 よりもデジタル側のビット数が少なくなつてあり、入力信号に対して大きい周波数刻みで出力するように構成されている。40

【 0 0 6 0 】

スイッチ部 1 0 1 の切り替え動作及び積分回路部 1 0 2 の積分 / 停止は、動作制御部 1 0 5 により行われる。動作制御部 1 0 5 は、設定周波数に応じて動作制御するためのしきい値となる周波数を決定し、電圧制御発振器 1 の出力周波数と位相の時間差検出部 7 1 に入力されるキャリアレベルとを検出して、検出結果としきい値とに応じてスイッチ部 1 0 1 及び積分回路部 1 0 2 の動作を制御する機能を有する。

【 0 0 6 1 】

10

20

30

40

50

動作制御部 105 の動作は、後述の作用説明で図 11、図 12 に示すとおり明らかにするが、ここでその機能をまとめておくと次のとおりである。

A) 電圧制御発振器 1 からの出力周波数が小さすぎて設定周波数と当該出力周波数との周波数差が大きすぎることに起因して加算部 72 から電圧信号が得られない間は、スイッチ部 101 を c に設定しあつ積分回路部 102 をオンにして第 1 の定数を積分回路部 102 により積分するようにし、

B) 第 1 の定数を積分回路部 102 により積分して電圧制御発振器 1 の制御電圧を出力した後、設定周波数と電圧制御発振器 1 からの出力周波数との周波数差が小さくなつことにより位相の時間差検出部 71 から電圧信号（この電圧信号はまだ有効ではない）が出力された後において、スイッチ部 101 を a に設定しあつ加算部 72 からの電圧信号を積分するため前記積分回路部 102 をオンにし、10

C) 設定周波数と電圧制御発振器 1 からの出力周波数との周波数差が更に小さくなつて当該周波数差に対して位相の時間差検出部 71 から有効な電圧信号が得られる範囲内であり、かつループフィルタ 8 の出力が予め設定された範囲に收まつた後、前記積分回路部 102 の積分動作を停止し、20

D) 前記積分回路部 102 の積分動作を停止した後に、位相の時間差検出部 71 から有効な電圧信号が得られる範囲内でありかつループフィルタ 8 の出力が予め設定された範囲から外れた後には、第 2 の定数を積分回路部 102 により積分し、当該ループフィルタ 8 の出力が予め設定された範囲に收まつた後には、前記積分回路部 102 の積分動作を停止する。20

【0062】

次に図 2 に示す実施の形態の全体の動作について図 11 及び図 12 参照しながら説明する。今、上述の具体例で挙げたように、電圧制御発振器 1 の設定周波数 f_{set} を例えば 520.0001 MHz として図示しない入力部から入力したとする（図 11 のステップ S1）。パラメータ出力部 6 は、電圧制御発振器 1 の設定周波数と供給電圧との関係を書き込んだテーブルを備えていて、このテーブルにおける 520.0001 MHz に最も近い設定周波数を選択する。

【0063】

また既述のようにして $f_{set} / 36 \text{ MHz}$ に最も近い整数である分周比 $N = 14$ と、設定周波数が得られるときのベクトル V の周波数を粗調整量と微調整量とに分けたときの夫々の量と、を計算する。この場合、周波数の粗調整量つまり逆ベクトルの周波数である 1142883.30078125 Hz と第 2 の加算器 72 に入力する微調整量である逆回し処理後のベクトルの周波数 19 Hz とを計算する。30

【0064】

そして周波数引き込み手段である加算部 103 に加算される初期電圧が設定周波数に見合つた値として計算され、更に積分回路部 102 の積分値がクリアされる（ステップ S2、S3）。入力部からスタートの指示を入力すると、前記初期電圧が加算部 103 に加算されて電圧制御発振器 1 が立ち上げられるが、この時点では出力周波数が低くて設定周波数との周波数差が大きいので PLL ループは動作しないので即ち加算部 72 からは電圧信号が出力されず、判断ステップ S4 を介してステップ S5 に移り、スイッチ部 101 が接点 c に設定されて第 1 の定数が積分回路部 102 にて積分される。40

なおキャリアリムーブ 4 から加算部 72 に至る演算に関しては既に詳述してある通りであるが、まとめた説明を後で行うこととする。

【0065】

上述の積分の結果、図 12 に示すように電圧制御発振器 1 の出力周波数が上昇し、時刻 t_1 にて加算部 72 から電圧信号が出力され始める。このため判断ステップ S4 を介してステップ S6 に移るが、この段階では位相の時間差検出部 71 から電圧信号が出力されるとはいっても、出力周波数に対応した有効な値ではない。位相の時間差検出部 71 の入力キャリアが検出できるようになると、ステップ S7 にてスイッチ部 101 が a に切り替わる。このため積分回路部 102 には位相の時間差検出部 71 からの電圧信号が積分され、50

この積分値がD/A変換器104を介して結合器11に与えられ、D/A変換器80からの電圧と加算されて制御電圧として電圧制御発振部1に与えられる。

こうして電圧制御発振器1の出力周波数が上昇し、ループフィルタ8の出力値が設定されたしきい値の範囲(第1の設定範囲)内に入ると(時刻t2)、PLLが概ねロックされたものとして、ステップS8に移ってスイッチ部101がbに切り替わり、積分回路部102の積分動作を停止する。

【0066】

PLLがロックした後、電圧制御発振器1の出力周波数が温度特性などにより変化するおそれがあるので、動作制御部105はステップS9にてD/A変換器80の例えればデジタル値があるしきい値の範囲(例えればフルレンジの1/6~5/6の範囲である第2の設定範囲)であるか否かを監視して、その範囲から外れるとステップS10により積分回路部102の積分動作を開始する。これにより第2の定数が積分回路部102により積分され、第2の定数は、正の値または負の値として供給される。この積分値はD/A変換器104を介して結合器11に与えられ、D/A変換器80からの電圧と加算されて制御電圧として電圧制御発振部1に与えられる。そしてD/A変換器80のデジタル値が前記しきい値の範囲に収まると、積分回路部102の積分動作を停止する(ステップS9)。

【0067】

次ぎにキャリアリムーブ4から加算部72に至る演算を含む作用に関して述べておく。装置のスタート時に電圧制御発振器1に電圧が供給されると、周波数信号を出力しその周波数が上昇していく。初めのうちは電圧制御発振器1の出力周波数が低いので、A/D変換部3にて取り出される周波数[40MHz-(出力周波数/N)]が大きく、このためキャリアリムーブ4にて取り出されるベクトルVの周波数が負の大きな値になっており、ローパスフィルタ71にてキャリアが減衰するため、位相の時間差検出部71からは電圧信号が出力されない。電圧制御発振器1の出力周波数がある値まで上昇すると、キャリアリムーブ4からのベクトルVの取り出し演算が有効になってベクトルVの周波数(速度)が落ち始める。

【0068】

この説明では、40MHz-(出力周波数/N)の値が4MHzよりも小さいとき、つまり出力周波数/Nが36MHzよりも大きいときのベクトルVの回転方向を正の方向と呼ぶとすると、負の方向に回転しているベクトルVの周波数が低くなってきたということである。このとき逆ベクトル乗算部5の出力である、逆回転分が乗算されたベクトルVの周波数も低くなってくる。従って位相の時間差検出部71の出力は、演算が有効になったときは、設定周波数と出力周波数との差がまだ大きいので、大きな値になっているが、徐々に小さくなり(負の速度が小さくなり)、前記出力(位相差)と周波数の微調整量とを加算した第2の加算部72の加算値も小さくなっていく。

【0069】

更に電圧制御発振器1の出力周波数が上昇して、分周後の周波数が36MHzになり、キャリアリムーブ4から取り出されるベクトルVの速度が停止するタイミングとなる。ここで粗調整周波数をF(n·fa)とし、微調整周波数をf(m·fb)とすると、キャリアリムーブ4から取り出されるベクトルVの周波数が周波数の調整分F+fよりも未だ小さく、その周波数差(第2の加算部72の出力)が負の値であることから、ベクトルVの周波数は上昇する。やがてベクトルVの周波数は前記周波数の調整分F+fと同じになる。こうしてやがて位相の時間差検出部71の出力がf(上述の具体例では19Hz)に収束し、第2の加算部72の出力、即ち周波数差取り出し手段で取り出された周波数差がゼロになる。これによりPLLがロックされ、電圧制御発振器1の出力周波数が設定周波数である520.0001MHzにロックされる。なおループフィルタ8はこの例では完全積分機能を持たせているため、正の直流電圧に収束することになる。またシミュレーションでは、電圧制御発振器1の動作をスタートさせてから、PLLがロックされるに至るまでの時間はおよそ150msecであった。

【0070】

10

20

30

40

50

上述の実施の形態によれば、電圧制御発振器 1 からの出力周波数が小さくて設定周波数に対して大きな開きがある間は、第 1 の定数を積分回路部 102 により積分して電圧制御発振器 1 の制御電圧として出力することで前記出力周波数を高めている。そしてまたPLL
しがロックされた後、ループフィルタ 8 からの制御電圧を監視し、この制御電圧が予め設
定された範囲から外れたときには、当該範囲に収まるように、第 2 の定数を積分回路部 1
02 により積分して周波数引き込み用の電圧として結合器 11 に出力している。従って周
波数の引き込み範囲が広く、電圧制御発振部の周波数にばらつきがあつたり、温度特性な
どにより周波数が変化しても周波数の引き込みを行うことができるので、安定した動作が得られる。

10

【 0 0 7 1 】

また本発明が採用している周波数シンセサイザの本体の制御方式によれば次のような効果がある。電圧制御発振器 1 の出力周波数に応じた速度（周波数）で回転するベクトルを取り出し、このベクトルの周波数と出力周波数が設定周波数になったときのベクトルの周波数との差分を取り出して電圧制御発振器 1 にフィードバックして PLL を形成しているので、広い周波数帯域に亘って細かな周波数設定を低ノイズで行うことができる。そして周波数差を取り出すにあたって、粗い周波数設定で逆回転する逆ベクトルを用いてベクトルの速度を落とし込み、その微速ベクトルの速度を検出してその検出値と予め計算しておいて微調整分とを付き合わせてその差分を取り出すようにしている。従って既述のようにデータ量を抑えかつ簡単な演算によりベクトルの周波数を検出することができ、従ってメモリ容量が小さくかつ演算の負荷が小さい周波数シンセサイザを提供できる。

20

【 0 0 7 2 】

なお分周比 N の決め方は、電圧制御発振器 1 の出力周波数の設定値を N で割ったときには、A / D 変換部 3 で用いる基準クロック信号の周波数とベクトル取り出し手段で用いられる 0 / 2 との差に最も近い周波数となるように決めるに限定されるものではない。

【 0 0 7 3 】

また本発明では、2つのD / A 変換部 80 及び 104 の各出力を加算した出力が電圧制御発振器 1 の制御電圧となるが、その構成としては、先の実施の形態のように結合器 11 を設ける代わりに、図 13 に示すような 2 ポートタイプの電圧制御発振器 12 を用い、D / A 変換部 80 の出力及び D / A 変換部 104 の出力 104 のを夫々ポート 12a 及び 12b に入力するようにしてもよい。

30

【 0 0 7 4 】

他の発明の実施の形態について説明する。この実施の形態は、先の実施の形態においてスイッチ部 101 を a に切り替えた後、PLL ロックするときの周波数引き込み手段における D / A 変換器 104 について数ビット分だけオフセットをかけるようにしている。この点について詳述する。

【 0 0 7 5 】

帰還手段に含まれる D / A 変換器 80 が図 14 に示すようにラダー抵抗形の場合、内部のスイッチの切り替えによりグリッチノイズが発生し、同時に切り替わるスイッチ数が多くなる程、ノイズ量が増加する。従って D / A 変換器 80 の入力値がフルレンジの中心値を横切る場合において、同時スイッチングするスイッチ数が最大になり、ノイズ発生量も最大になる。フルレンジの中心値を横切るとは、図 14 に示す 8 ビット用の場合例えば「01111111」から「10000000」に切り替わるときである。特に上述の実施の形態のように、大まかな周波数の決定を周波数引き込み手段（スイッチ 101 から D / A 変換器 104 の部分）により行い、D / A 変換器 80 内に例えば PWM 制御を組み込んで細かな諧調表現を行う場合には、周波数引き込み手段の D / A 変換器 104 の設定値を中心付近に設定すると、D / A 変換器 80 がフルレンジの中心値付近で高速にスイッチングする確率が高くなるおそれがある。なお PWM 制御を組み込むとは、入力値であるディジタル値に対応するデューティ比のパルス列がサンプリングのタイミ

40

50

ング毎に出力され、これを平滑して制御電圧として出力するという意味である。そして D / A 変換器により細かな諧調表現を行うと、出力変化が小さいのでグリッチノイズが相対的に目立つ結果となる。

【0076】

図 15 は、電圧制御発振部 1 の制御電圧と出力周波数との関係を示す特性図であり、黒丸は出力周波数が設定周波数 f_s に一致するように PLL ロックするときの D / A 変換器 80 の出力電圧である。つまりこの場合、D / A 変換器 80 は内部の PWM 信号のデューティ比が 50 % のときにこの電圧 V_s が得られるように設定される。従って D / A 変換器 80 のフルレンジ AD1 の中心が黒丸の位置になってしまう。

【0077】

そこで、この実施の形態では、PLL ロックするときの周波数引き込み手段の D / A 変換器 104 について、設定可能な制御電圧の中で、出力周波数が設定周波数に最も近くなる制御電圧よりも、調整可能な周波数刻みの整数倍に対応する分だけずれた値に設定する（オフセットをかける）ようとする。例えば D / A 変換器 80 のフルレンジに対応する周波数可変量が例えば 4.5 MHz であり、また周波数引き込み手段の D / A 変換器 104 の 1 ビットあたりの周波数変化量が約 750 kHz であるとすると、単純計算では、D / A 変換器 104 を最大 ± 3 ビット分オフセットすることができる。

【0078】

このようにすれば、図 15 に示すように D / A 変換器 80 のフルレンジが AD1 から AD2 に変わるので、出力周波数が設定周波数 f_s に一致するときの D / A 変換器 80 の出力値がフルレンジの中心から変位する。この結果、D / A 変換器 80 がフルレンジの中心値付近で高速にスイッチングする確率が低くなり、グリッチノイズを低減できる。

【図面の簡単な説明】

【0079】

【図 1】本発明に係る周波数シンセサイザの基本構成を示すブロック図である。

【図 2】本発明に係る周波数シンセサイザの実施の形態を示すブロック図である。

【図 3】上記の実施の形態に用いられるキャリアリムーブを示す構成図である。

【図 4】キャリアリムーブにて得られるベクトルを示す説明図である。

【図 5】逆ベクトル乗算部の構成を示す構成図である。

【図 6】パラメータ発生部において逆ベクトルを発生させるためのデータテーブルを示す説明図である。

【図 7】キャリアリムーブで得られたベクトルと逆ベクトルとを周波数差取り出し手段により互いに乗算する様子を示す説明図である。

【図 8】相前後するタイミングでサンプリングしたベクトルの位相差を示す説明図である。

【図 9】図 1 のブロック図における位相差の累積加算部を示す構成図である。

【図 10】図 1 のブロック図におけるループフィルタを示す構成図である。

【図 11】上記の実施の形態の作用を示すフローチャートである。

【図 12】上記の実施の形態における作用を示すタイムチャートである。

【図 13】電圧制御発振部の他の例を示す回路図である。

【図 14】D / A 変換器の構成例を示す回路図である

【図 15】周波数引き込み手段の出力にオフセットをかけておくことにより、本来の帰還手段における D / A 変換器の出力の中心値をずらす様子を示す説明図である。

【図 16】従来の周波数シンセサイザの構成を示すブロック図である。

【符号の説明】

【0080】

1 電圧制御発振器

11 結合器

2 分周器

3 A / D 変換部

10

20

30

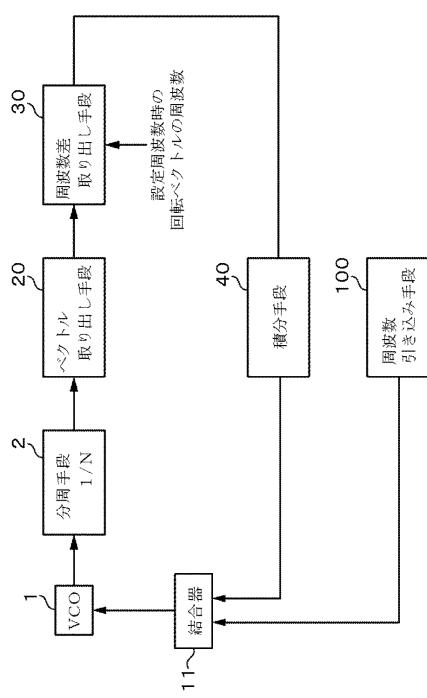
40

50

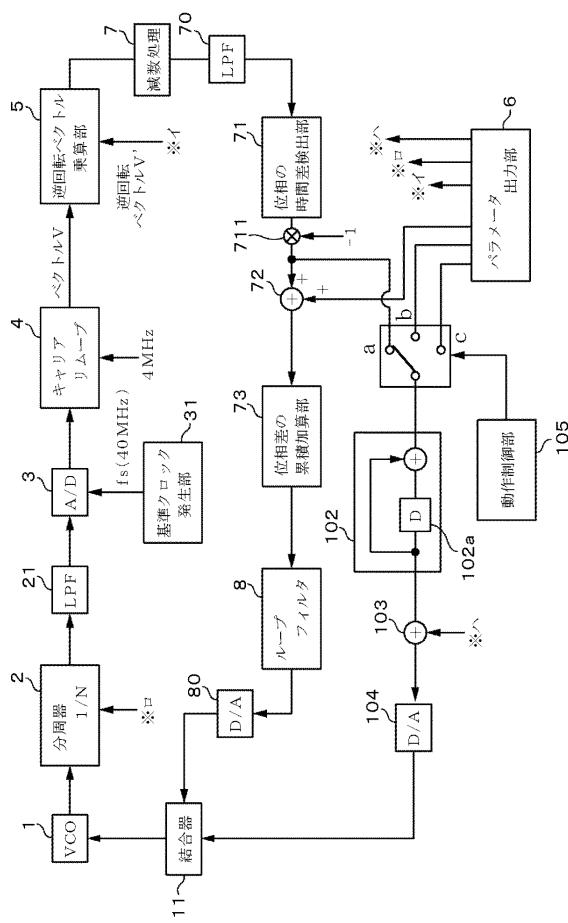
3 1	基準クロック発生部
4	キャリアリムーブ
5	逆ベクトル演算部
6	パラメータ出力部
7 1	位相の時間差検出部
7 2	加算部
7 3	位相差の累積加算部
8	ループフィルタ
8 0	D / A
1 0 1	スイッチ
1 0 2	積分回路部
1 0 4	D / A 変換器
1 0 5	動作制御部

10

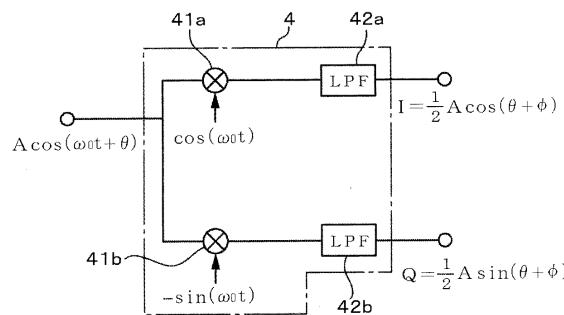
【 図 1 】



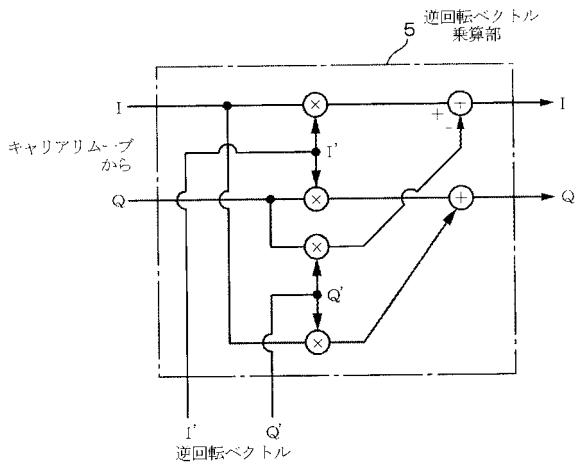
【 义 2 】



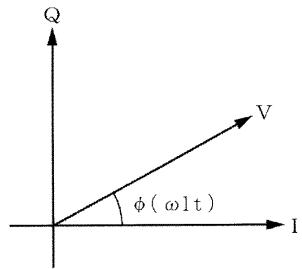
【図3】



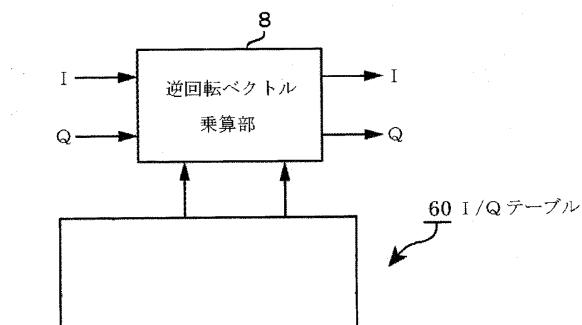
【図5】



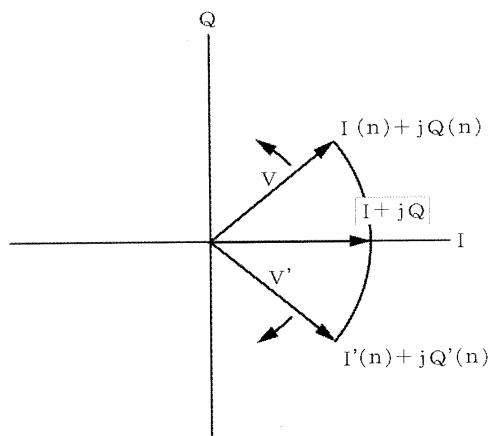
【図4】



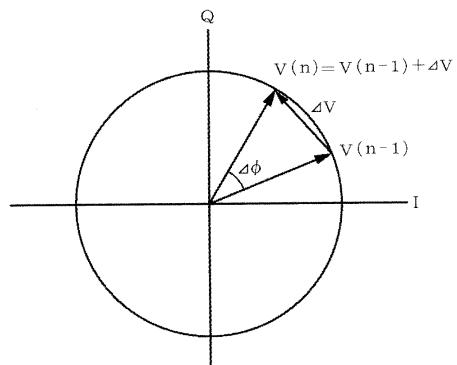
【図6】



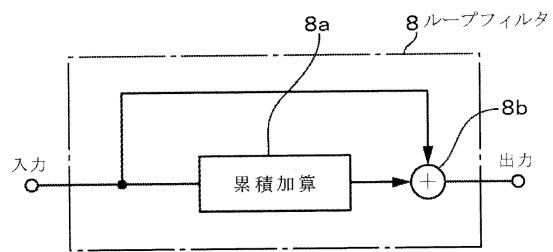
【図7】



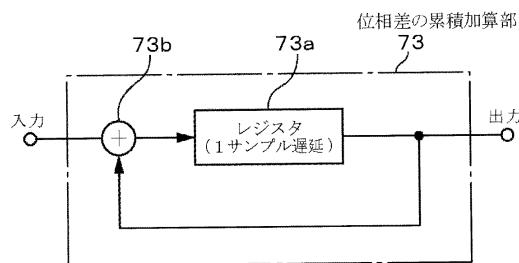
【図 8】



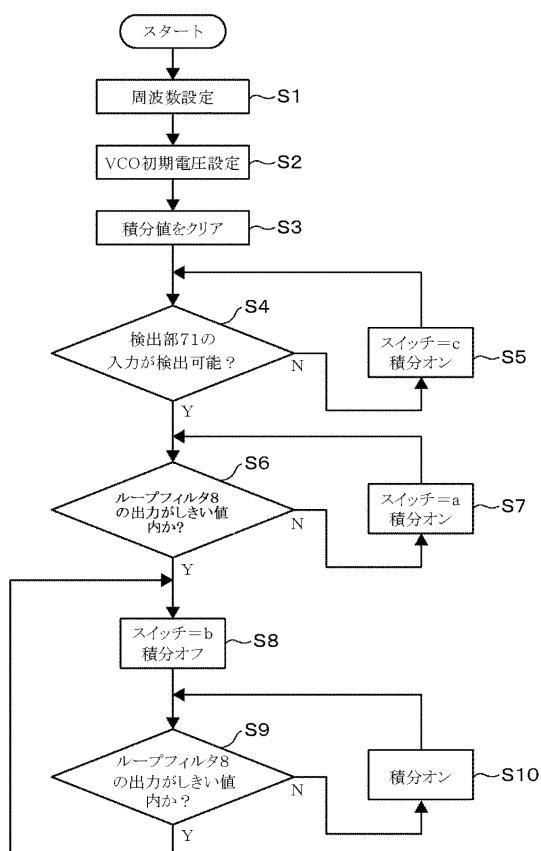
【図 10】



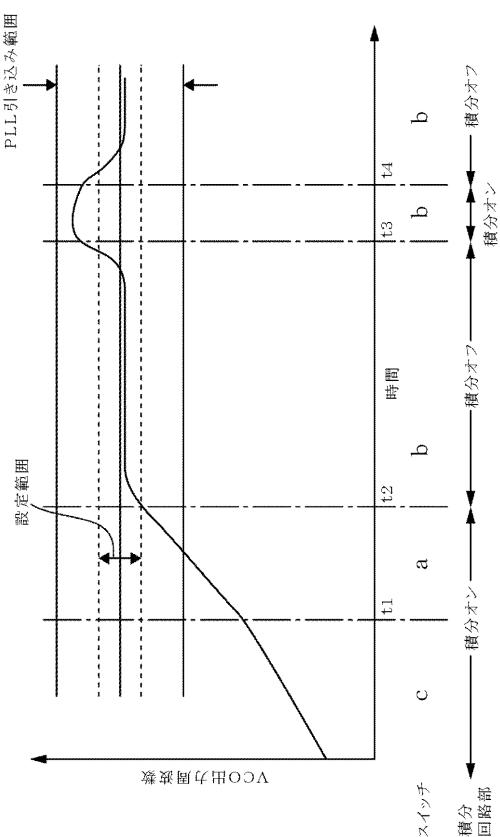
【図 9】



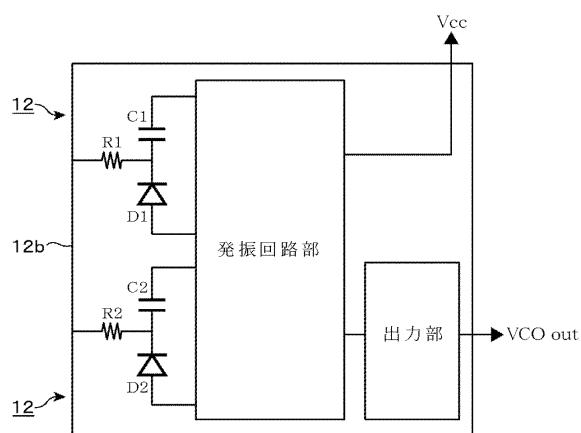
【図 11】



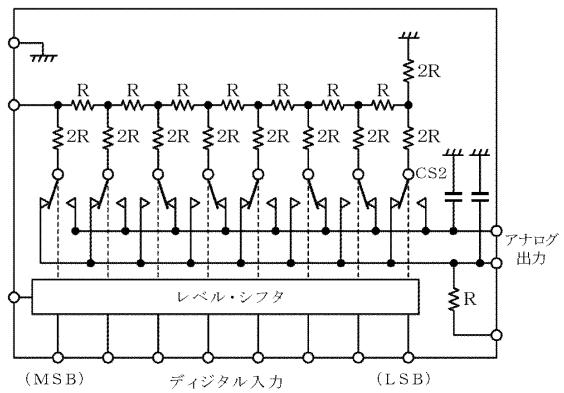
【図 12】



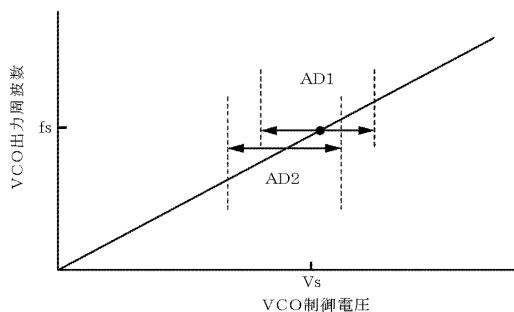
【図13】



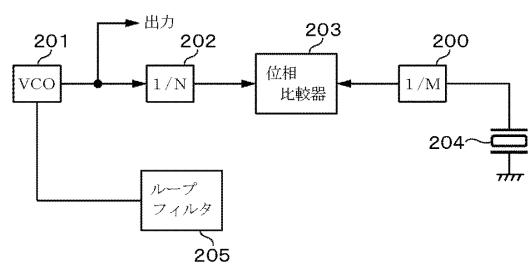
【図14】



【図15】



【図16】



フロントページの続き

(72)発明者 塚本 信夫

東京都昭島市緑町2-18-23 有限会社ディーエスピー技研内

審査官 畠中 博幸

(56)参考文献 特開平07-086925(JP,A)

特開平04-101515(JP,A)

特開2002-084189(JP,A)

特開平08-018446(JP,A)

(58)調査した分野(Int.Cl., DB名)

H03L 7/10

H03L 7/091

H03L 7/093

H03L 7/095

H03L 7/18