

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. ⁶ H01L 27/108	(11) 공개번호 (43) 공개일자	특 1997-0077656 1997년 12월 12일
(21) 출원번호	특 1996-0016463	
(22) 출원일자	1996년 05월 16일	
(71) 출원인	LG 반도체 주식회사 문정환	
(72) 발명자	충청북도 청주시 흥덕구 향정동 1번지 (우 : 360-480) 전영권	
(74) 대리인	서울특별시 송파구 가락동 199번지 가락프라자아파트 3-803 강용복, 김용인	

심사청구 : 있음

(54) 메모리 셀, 메모리 장치 및 그의 제조 방법

요약

본 발명은 DRAM소자에 관한 것으로, 특히 커패시터를 갖지 않는 트랜지스터로만 셀을 구성한 것이다.

본 발명의 메모리 장치는 셀 구동신호를 인가하는 워드선에 어느 하나가 연결되는 제1, 2게이트와, 정보를 입력 또는 출력하는 비트선에 어느 한전극의 연결되는 제1, 2 전극을 갖는 하나의 트랜지스터로 단위 셀이 구성되어 다음과 같은 효과를 갖는다.

첫째, 정보의 저장 수단으로 별도의 커패시터를 구성하지 않아 단위 셀의 면적을 감소시켜 소자의 집적도를 향상시킬 수 있다.

둘째, 커패시터를 구성하기 위한 삼차원적인 구조를 필요로 하지 않고 전도층의 숫자가 감소하므로 단차가 줄어들게 된다. 그러므로 후공정에서의 노광 및 식각 공정의 적용성이 개선되어 소자의 수율을 향상시킬 수 있다.

셋째, 열공정등의 전체적인 공정의 스텝수를 줄일 수 있으므로 소자의 제조원가 측면의 개선을 기대할 수 있다.

넷째, 하나의 셀 트랜지스터로만 단위 셀을 구성하므로 비트선을 금속 배선으로 형성하는 것도 가능하고, 워드선의 게이트 스트랩(Strap)을 증가시키거나 워드선의 프리차지를 적용할 수 있으므로 정보의 전달 속도나 신호대 잡음비(Signal to Noise Ratio)를 향상시키는 효과가 있다.

대표도

도2

명세서

[발명의 명칭]
메모리 셀, 메모리 장치 및 그의 제조 방법

[도면의 간단한 설명]
제2도(a) (b)는 본 발명의 DRAM셀의 회로도.

본 내용은 요부공개 건이므로 전문내용을 수록하지 않았음

(57) 청구의 범위

청구항 1

제1게이트; 소오스, 드레인; 상기 드레인과 연결되고 제1게이트에 인가되는 신호의 적어도 일부분을 유지시키는 제2게이트로 구성됨을 특징으로 하는 메모리 셀.

청구항 2

셀 구동신호를 인가하는 복수개의 워드선들; 정보를 입력 또는 출력하는 비트선들; 그리고 각각 상측 게이트, 소오스, 드레인, 드레인에 연결되고 상측 게이트에 인가되는 신호의 적어도 일부분을 유지시키는 하측 게이트를 포함하는 복수개의 셀들로 구성되고, 상기 각 셀의 상측 게이트는 상응하는 하나의 워드

선에 연결되고, 각 셀의 소오스는 상응하는 하나의 비트선에 연결되는 것을 특징으로 하는 메모리 장치.

청구항 3

제2항에 있어서, 비트선의 한 단자는 센싱 앰프(Sense Amplifier)의 입력단의 단자에 연결되고, 다른 한 단자는 기준 전압에 연결되는 것을 특징으로 하는 메모리 장치.

청구항 4

제2항에 있어서, 하측 게이트에 로직값 '1'에 해당하는 정보가 저장된 경우에는 워드선에 읽기 전압이 인가되면 정보가 비트선으로 전송되는 것을 특징으로 하는 메모리 장치.

청구항 5

제2항에 있어서, 하측 게이트에 로직값 '0'에 해당하는 정보가 저장된 경우에는 워드선에 읽기 전압이 인가되면 하측 게이트와 비트선이 전기적으로 단절되는 것을 특징으로 하는 메모리 장치.

청구항 6

제5항에 있어서, 비트선은 프리차지된 상태를 유지하는 것을 특징으로 하는 메모리 장치.

청구항 7

반도체 기판과, 상기 반도체 기판의 소자 격리 영역에 형성되는 필드 산화막과, 상기 필드 산화막에 의해 정의된 반도체 기판의 활성 영역에 형성되는 복수의 제1, 2 불순물 확산 영역과, 상기 제1, 2 불순물 확산 영역사이의 채널 영역상에 형성되는 게이트 절연막과, 상기 각각의 제1불순물 확산 영역에 콘택되어 형성되는 복수개의 제2게이트와, 상기 각각의 제2게이트상에 형성되는 유전체층과, 상기 유전체층상에 형성되는 제1게이트와, 상기 제1게이트의 일측에 대응하여 워드선 콘택홀을 갖고 형성되는 제1층간 절연막과, 상기 워드선 콘택홀을 통하여 각각의 제1게이트에 대응 접속되어 형성되는 워드선과, 상기 워드선을 포함하는 전면에 형성되는 제2층간 절연막과, 상기 워드선을 포함하는 제1, 2게이트에 절연되어 형성되는 비트선 콘택홀을 통하여 워드선에 수직한 방향으로 타측의 제2불순물 확산 영역에 대응 접속되어 형성되는 복수개의 비트선을 포함하여 구성됨을 특징으로 하는 메모리 장치.

청구항 8

제7항에 있어서, 유전체층은 제1게이트에 인가되는 전압의 1/10 이상의 유기되는 두께와 유전율을 갖는 것을 특징으로 하는 메모리 장치.

청구항 9

반도체 기판에 필드 산화막을 선택적으로 형성하여 활성 영역을 정의하는 공정과, 상기 활성 영역 표면에 게이트 절연막을 선택적으로 형성하는 공정과, 상기 노출된 활성 영역에 복수개의 제1불순물 확산 영역을 형성하고 전면에 제1폴리 실리콘층을 형성하는 공정과, 상기 제1폴리 실리콘층상에 유전체층, 제2폴리 실리콘층을 형성하는 공정과, 상기 제2폴리 실리콘층, 유전체층, 제1폴리 실리콘층을 선택적으로 식각하여 서로 분리(Discrete) 적층되는 제1, 2게이트를 갖는 복수개의 트랜지스터를 형성하는 공정과, 전면에 제1층간 절연막을 형성한 후, 도전성 물질을 증착하고 패터닝하여 복수개의 워드선을 형성하는 공정과, 상기 워드선을 포함하는 전면에 제2층간 절연막을 형성한 후에 제2층간 절연막과 제1층간 절연막을 선택적으로 제거하여 반도체 기판을 부분적으로 노출시키는 공정과, 상기 노출된 반도체 기판의 표면에 복수개의 제2불순물 확산 영역을 형성하고, 상기 제2불순물 확산 영역에 대응 접속되도록 비트선을 형성하는 공정을 포함하여 이루어지는 것을 특징으로 하는 메모리 장치의 제조 방법.

청구항 10

제9항에 있어서, 필드 산화막은 산화 방지 마스크를 이용한 산소 분위기에서의 열처리 공정으로 형성하는 것을 특징으로 하는 메모리 장치의 제조 방법.

청구항 11

제10항에 있어서, 산화 방지 마스크는 패드 산화막과 질화막으로 이루어진 것을 사용함을 특징으로 하는 메모리 장치의 제조 방법.

청구항 12

제9항에 있어서, 게이트 절연막은 기판의 전면에 산화막을 형성하고 선택적으로 식각하여 기판을 부분적으로 노출시키는 공정으로 형성하는 것을 특징으로 하는 메모리 장치의 제조 방법.

청구항 13

제9항에 있어서, 제1불순물 확산 영역 또는 제2불순물 확산 영역은 기판과 반대 도전형의 불순물을 이온 주입하여 형성하는 것을 특징으로 하는 메모리 장치의 제조 방법.

청구항 14

제13항에 있어서, 제1, 2불순물 확산 영역은 제2게이트를 마스크로 하여 n-MOS인 경우에는 P, As등의 불순물을, p-MOS인 경우에는 B, Sb등의 불순물을 이온 주입하여 형성하는 것을 특징으로 하는 메모리 장치의 제조 방법.

청구항 15

제9항에 있어서, 제1폴리 실리콘층은 제1불순물 확산 영역에 콘택되도록 형성되는 것을 특징으로 하는 메모리 장치의 제조 방법.

청구항 16

제9항에 있어서, 제1층간 절연막은 각각의 트랜지스터에 대응하여 제1게이트 상측 부분에 워드선 콘택홀을 갖도록 형성하는 것을 특징으로 하는 메모리 장치의 제조 방법.

청구항 17

제9항에 있어서, 유전체층은 유전율이 3.0 이상인 절연물질을 사용하여 형성하는 것을 특징으로 하는 메모리 장치의 제조 방법.

청구항 18

제9항에 있어서, 유전체층은 실리콘 산화막을 이용하여 50 Å ~ 1000 Å의 두께로 형성하는 것을 특징으로 하는 메모리 장치의 제조 방법.

청구항 19

반도체 기판과, 상기 반도체 기판의 소자 격리 영역에 형성되는 필드 산화막과, 상기 필드 산화막에 의해 정의된 반도체 기판의 활성 영역에 형성되는 복수의 제1, 2불순물 확산 영역과, 상기 제1, 2불순물 확산 영역사이의 채널 영역상에 형성되는 게이트 절연막과, 상기 게이트 절연막상에 형성되는 복수개의 제2게이트와, 상기 각각의 제1불순물 확산 영역 및 제2게이트 콘택되어 형성되는 불순물 확산 영역 콘택층과, 상기 불순물 확산 영역 콘택층상에 형성되는 게이트 절연층과, 상기 게이트 절연층상에 형성되는 제1게이트와, 상기 제1게이트의 상측에 형성되는 제1층간 절연막과, 상기 제1게이트에 접속되어 형성되는 복수개의 워드선과, 상기 워드선을 포함하는 전면에 형성되는 제2층간 절연막과, 상기 워드선에 수직인 방향으로 제2불순물 확산 영역에 콘택되어 형성되는 복수개의 비트선을 포함하여 구성됨을 특징으로 하는 메모리 장치.

청구항 20

제19항에 있어서, 제1층간 절연막은 제1게이트에 인가되는 전압의 1/10 이상이 유지되는 두께와 유전율을 갖는 것을 특징으로 하는 메모리 장치.

청구항 21

반도체 기판이 소자 격리 영역에 필드 산화막을 형성하여 활성 영역을 정의하는 공정과, 상기 활성 영역 표면에 게이트 절연막을 형성하는 공정과, 상기 게이트 절연막상에 제1폴리 실리콘층을 형성하고 그들을 패터닝하여 그들을 마스크로 불순물을 이온 주입하여 복수개의 제1, 2불순물 확산 영역을 형성하는 공정과, 상기 일측의 제1불순물 확산 영역을 제외한 전면에 산화막을 형성하는 공정과, 상기 제1불순물 확산 영역에 콘택되도록 패터닝되어진 제1폴리 실리콘층상에 불순물 확산 영역 콘택층을 형성하는 공정과, 상기 불순물 확산 영역 콘택층상에 일정 두께의 유전체층, 제2폴리 실리콘층을 형성하는 공정과, 상기 제2폴리 실리콘층, 유전체층, 불순물 확산 영역 콘택층을 선택적으로 식각하여 서로 분리(Discrete) 적층되는 제1, 2게이트로 이루어진 복수개의 트랜지스터를 형성하는 공정과, 전면에 제1층간 절연막을 형성한 후 상기 워드선에 수직인 방향으로 복수개의 비트선을 형성하는 공정을 포함하여 이루어지는 것을 특징으로 하는 메모리 장치의 제조 방법.

청구항 22

제21항에 있어서, 필드 산화막은 산화 방지 마스크를 이용한 산소 분위기에서의 열처리 공정으로 형성하는 것을 특징으로 하는 메모리 장치의 제조 방법.

청구항 23

제22항에 있어서, 산화 방지 마스크는 패드산화막과 질화막으로 이루어진 것을 사용함을 특징으로 하는 메모리 장치의 제조 방법.

청구항 24

제21항에 있어서, 제1불순물 확산 영역 또는 제2불순물 확산 영역은 기판과 반대 도전형의 불순물을 이온 주입하여 형성되는 것을 특징으로 하는 메모리 장치의 제조 방법.

청구항 25

제24항에 있어서, 제1, 2불순물 확산 영역은 제2게이트를 마스크로 하여 n-MOS인 경우에는, P, As 등의 불순물을, p-MOS인 경우에는 B, Sb 등의 불순물을 이온 주입하여 형성하는 것을 특징으로 하는 메모리 장치의 제조 방법.

청구항 26

제21항에 있어서, 불순물 확산 영역 콘택층은 폴리 실리콘을 사용하여 형성하는 것을 특징으로 하는 메모리 장치의 제조 방법.

청구항 27

제26항에 있어서, 불순물 확산 영역 콘택층은 산화막과 동일 높이로 형성하는 것을 특징으로 하는 메모리 장치의 제조 방법.

리 장치의 제조 방법.

청구항 28

제26항에 있어서, 불순물 확산 영역 콘택층은 저압 화학 기상 증착법(LPCVD)등으로 형성하는 것을 특징으로 하는 메모리 장치의 제조 방법.

청구항 29

제21항에 있어서, 워드선은 제1게이트의 일부가 노출되도록 제1층간 절연막을 선택적으로 식각하여 워드성 접촉홀을 형성하는 공정과, 상기 워드선 접촉홀을 포함하는 전면에 도전성 물질을 증착하고 패터닝하는 공정으로 형성됨을 특징으로 하는 메모리 장치의 제조 방법.

청구항 30

제21항에 있어서, 비트선은 제2불순물 확산 영역의 일부가 노출되도록 제2층간 절연막, 제1층간 절연막, 산화막을 선택적으로 제거하여 비트선 접촉홀을 형성하는 공정과, 상기 비트선 접촉홀을 포함하는 전면에 도전성 물질을 증착하고 패터닝하는 공정으로 형성됨을 특징으로 하는 메모리 장치의 제조 방법.

청구항 31

셀 구동신호를 인가하는 복수개의 워드선들; 정보를 입력 또는 출력하는 비트선들; 그리고 각각 하측 게이트, 소오스, 드레인, 드레인에 연결되고 하측 게이트에 인가되는 신호의 적어도 일부분을 유지시키는 상측 게이트를 포함하는 복수개의 셀들로 구성되고, 상기 각 셀의 하측 게이트는 상응하는 하나의 워드선에 연결되고, 각 셀의 소오스는 상응하는 하나의 비트선에 연결되는 것을 특징으로 하는 메모리 장치.

청구항 32

제31항에 있어서, 상측 게이트에 로직값 '0'에 해당하는 정보가 저장된 경우에는 워드선에 읽기 전압이 인가되면 정보가 비트선으로 전송되는 것을 특징으로 하는 메모리 장치.

청구항 33

제31항에 있어서, 상측 게이트에 로직값 '1'에 해당하는 정보가 저장된 경우에는 워드선에 읽기 전압이 인가되면 하측 게이트와 비트선이 전기적으로 단절되는 것을 특징으로 하는 메모리 장치.

청구항 34

제33항에 있어서, 비트선은 프리차지된 상태를 유지하는 것을 특징으로 하는 메모리 장치.

청구항 35

제31항에 있어서, 비트선의 한 단자는 센싱 앰프(Sense Amplifier)의 입력단의 단자에 연결되고, 다른 한 단자는 기준 전압에 연결되는 것을 특징으로 하는 메모리 장치.

청구항 36

반도체 기판과, 상기 반도체 기판의 소자 격리 영역에 형성되는 필드 산화막과, 상기 필드 산화막에 의해 정의된 활성 영역에 형성되는 복수개의 제1, 2불순물 확산 영역과, 상기 제1, 2불순물 확산 영역사이의 채널 영역상에 형성되는 게이트 절연막과, 상기 제1, 2불순물 확산 영역을 제외한 활성 영역에 형성되는 복수개의 제2게이트와, 상기 제2게이트상에 형성되는 유전체막과, 상기 유전체막상에 상기 각각의 제1불순물 확산 영역에 콘택되어 형성되는 제1게이트와, 상기 제1게이트의 상측에 형성되는 제1층간 절연막과, 상기 각각의 제2게이트에 접속되어 형성되는 복수개의 워드선과, 상기 워드선을 포함하는 전면에 형성되는 제2층간 절연막과, 상기 워드선에 수직인 방향으로 각각의 제2불순물 확산 영역에 콘택되어 형성되는 복수개의 비트선을 포함하여 이루어지는 것을 특징으로 하는 메모리 장치.

청구항 37

제36항에 있어서, 유전체층은 제2게이트 인가되는 전압의 1/10 이상이 유기되는 두께와 유전율을 갖는 것을 특징으로 하는 메모리 장치.

청구항 38

제36항에 있어서, 제1불순물 확산 영역에 제1게이트를 콘택시키기 위한 접촉홀의 측면에는 측벽 산화막이 더 구비됨을 특징으로 하는 메모리 장치.

청구항 39

반도체 기판에 선택적으로 필드 산화막을 형성하여 활성 영역을 정의하는 공정과, 상기 활성 영역상에 게이트 절연막을 형성하는 공정과, 상기 게이트 절연막을 포함하는 반도체 기판의 전면에 제1폴리 실리콘층 및 일정두께의 유전체층을 차례대로 형성하는 공정과, 상기 유전체층상에 제2폴리 실리콘층을 1차로 형성한 후 그 제2폴리 실리콘층, 유전체층, 제1폴리 실리콘층을 선택적으로 식각하여 기판을 노출시키는 공정과, 상기 노출된 기판에 이온 주입 및 열처리를 통한 확산 공정으로 복수개의 제1, 2불순물 확산 영역을 형성하는 공정과, 전면에 2차로 제2폴리 실리콘층을 상기 제1불순물 확산 영역에 콘택되도록 형성하는 공정과, 상기 2차로 형성된 제2폴리 실리콘층을 제1게이트 접촉홀을 포함하는 제2게이트 상측에만 남도록 제거하여 복수개의 제1게이트를 형성하는 공정과, 상기 제1게이트 및 제2불순물 확산 영역을 포함하는 전면에 제1층간 절연막을 형성한 후 복수개의 워드선을 형성하는 공정과, 상기 워드선을 포함하는 전면에 제2층간 절연막을 형성한 후 복수개의 비트선을 형성하는 공정을 포함하여 이루어지는 것

을 특징으로 하는 메모리 장치의 제조 방법.

청구항 40

제39항에 있어서, 필드 산화막은 산화 방지 마스크를 이용한 산소 분위기에서 열처리 공정으로 형성하는 것을 특징으로 하는 메모리 장치의 제조 방법.

청구항 41

제40항에 있어서, 산화 방지 마스크는 패드 산화막과 질화막으로 이루어진 것을 사용함을 특징으로 하는 메모리 장치의 제조 방법.

청구항 42

제39항에 있어서, 제1불순물 확산 영역 또는 제2불순물 확산 영역은 기판과 반대 도전형의 불순물을 이온 주입하여 형성하는 것을 특징으로 하는 메모리 장치의 제조 방법.

청구항 43

제42항에 있어서, 제1, 2불순물 확산 영역은 n-MOS인 경우에는 P, As 등의 불순물을, p-MOS인 경우에는 B, Sb 등의 불순물을 이온 주입하여 형성하는 것을 특징으로 하는 메모리 장치의 제조 방법.

청구항 44

제39항에 있어서, 제1, 2폴리 실리콘층을 LPCVD법을 사용하여 형성하는 것을 특징으로 하는 메모리 장치의 제조 방법.

청구항 45

제39항에 있어서, 2차로 제2폴리 실리콘층을 형성하기전에 1차로 형성된 제2폴리 실리콘층, 유전체층, 제1폴리 실리콘층을 선택적으로 식각하여 형성된 콘택홀의 측면에 측벽 산화막을 형성하는 공정을 더 포함하는 것을 특징으로 하는 메모리 장치의 제조 방법.

청구항 46

제39항에 있어서, 워드선을 형성하기 전에 셀 블록이 형성되지 않은 부분이 제1층간 절연막을 선택적으로 식각하여 워드선 콘택홀을 형성하는 공정을 더 포함하는 것을 특징으로 하는 메모리 장치의 제조 방법.

청구항 47

제39항에 있어서, 비트선은 제2불순물 확산 영역에 연결되도록 형성하는 것을 특징으로 하는 메모리 장치의 제조 방법.

청구항 48

반도체 기판과, 상기 반도체 기판의 소자 격리 영역에 형성되는 필드 산화막과, 상기 필드 산화막에 의해 정의된 반도체 기판의 활성 영역에 형성되는 복수개의 제1, 2불순물 확산 영역과, 상기 제1, 2불순물 확산 영역사이에 채널 영역상에 형성되는 게이트 절연막과, 상기 게이트 절연막상에 형성되는 복수개의 제2게이트와, 상기 제2게이트상측에 제2게이트에 콘택되어 형성되는 제2게이트 콘택층과, 상기 제2게이트 콘택층상에 형성되는 유전체층과, 상기 유전체층상에 각각의 제1불순물 확산 영역에 콘택되어 형성되는 복수개의 제1게이트와, 상기 제1게이트상측에 워드선 콘택홀을 갖고 형성되는 제1층간 절연막과, 상기 워드선 콘택홀을 통하여 각각의 제2게이트에 대응 접촉되어 형성되는 복수개의 워드선과, 상기 워드선을 포함하는 전면에 형성되는 제2층간 절연막과, 상기 워드선에 수직한 방향으로 제2불순물 확산 영역에 콘택되어 형성되는 복수개의 비트선을 포함하여 구성되는 것을 특징으로 하는 메모리 장치.

청구항 49

제48항에 있어서, 유전체층은 제1게이트에 인가되는 전압의 1/10 이상이 유기되는 두께와 유전율을 갖는 것을 특징으로 하는 메모리 장치.

청구항 50

제48항에 있어서, 제1게이트를 제1불순물 확산 영역에 콘택시키기 위한 콘택홀의 측면에는 측벽 산화막이 더 구비되는 것을 특징으로 하는 메모리 장치.

청구항 51

반도체 기판의 소자 격리 영역에 필드 산화막을 형성하고, 상기 필드 산화막에 의해 정의된 활성 영역상에 게이트 절연막을 형성하는 공정과, 상기 게이트 절연막상에 제1폴리 실리콘층을 형성하고 패터닝하여 복수개의 제2게이트를 형성한 후 그들 마스크로하여 제1, 2불순물 확산 영역을 형성하는 공정과, 상기 제1, 2불순물 확산 영역 및 제2게이트를 포함하는 전면에 산화막을 형성하고 선택적으로 식각하여 제2게이트의 일부를 노출시키는 공정과, 상기 제1불순물 확산 영역에 콘택되도록 제2게이트상에 제2게이트 콘택층을 형성하는 공정과, 상기 제2게이트 콘택층상에 일정 두께의 유전체층을 형성하고 상기 유전체층상에 각각의 제1불순물 확산 영역에 연결되도록 복수개의 제1게이트를 형성하는 공정과, 전면에 제1층간 절연막을 형성한 후 도전성 물질을 증착하고 패터닝하여 복수개의 워드선을 형성하는 공정과, 상기 워드선을 포함하는 전면에 제2층간 절연막을 형성한 후 도전성 물질을 증착하고 패터닝하여 복수개의 비트선

을 형성하는 공정을 포함하여 이루어지는 것을 특징으로 하는 메모리 장치의 제조 방법.

청구항 52

제51항에 있어서, 제1게이트는 제1불순물 확산 영역상측의 유전체층, 제2게이트 콘택층을 선택적으로 식각하여 기판이 노출되도록 제1게이트 접촉홀을 형성하는 공정과, 상기 제1게이트 접촉홀의 측면에 측벽 산화막을 형성한 후 전면에 형성되는 제2폴리 실리콘층을 선택적으로 식각하는 공정으로 형성함을 특징으로 하는 메모리 장치의 제조 방법.

청구항 53

제51항에 있어서, 워드선을 형성하기전에 셀 블록이 형성되지 않은 부분의 제1층간 절연막을 선택적으로 식각하여 워드선 콘택홀을 형성하는 공정을 더 포함하는 것을 특징으로 하는 메모리 장치의 제조 방법.

청구항 54

제51항에 있어서, 비트선은 제2불순물 확산 영역에 연결되도록 형성하는 것을 특징으로 하는 메모리 장치의 제조 방법.

청구항 55

제54항에 있어서, 비트선은 워드선에 수직한 방향으로 형성하는 것을 특징으로 하는 메모리 장치의 제조 방법.

청구항 56

제51항에 있어서, 필드 산화막은 산화 방지 마스크를 이용한 산소 분위기에서의 열처리 공정으로 형성하는 것을 특징으로 하는 메모리 장치의 제조 방법.

청구항 57

제56항에 있어서, 산화 방지 마스크는 패드 산화막과 질화막으로 이루어진 것을 사용함을 특징으로 하는 메모리 장치의 제조 방법.

청구항 58

제51항에 있어서, 제1불순물 확산 영역 또는 제2불순물 확산 영역은 기판과 반대 도전형의 불순물을 이온 주입하여 형성하는 것을 특징으로 하는 메모리 장치의 제조 방법.

청구항 59

제51항에 있어서, 제1, 2불순물 확산 영역은 n-MOS인 경우에는 P, As등의 불순물을, p-MOS인 경우에는 B, Sb등의 불순물을 이온 주입하여 형성하는 것을 특징으로 하는 메모리 장치의 제조 방법.

청구항 60

제51항에 있어서, 제1, 2폴리 실리콘층은 LPCVD법을 사용하여 형성하는 것을 특징으로 하는 메모리 장치의 제조 방법.

청구항 61

제51항에 있어서, 제2게이트 콘택층은 폴리 실리콘층을 LPCVD법으로 증착하여 형성하는 것을 특징으로 하는 메모리 장치의 제조 방법.

청구항 62

제51항에 있어서, 유전체층은 유전율이 3.0 이상인 절연물질을 사용하여 형성하는 것을 특징으로 하는 메모리 장치의 제조 방법.

청구항 63

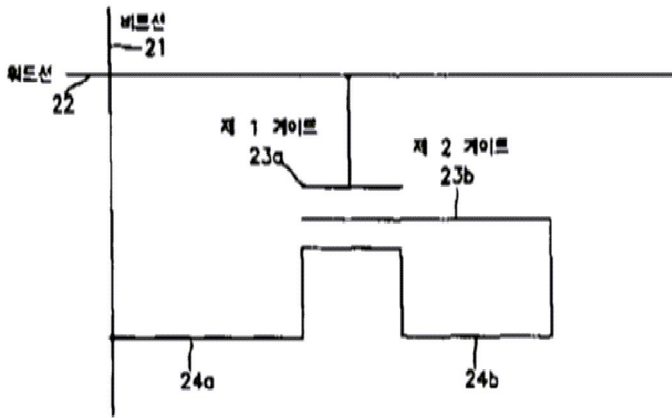
제51항에 있어서, 유전체층은 실리콘 질화막을 사용하여 50 Å ~ 1000 Å의 두께로 형성하는 것을 특징으로 하는 메모리 장치의 제조 방법.

※ 참고사항 : 최초출원 내용에 의하여 공개되는 것임.

도면

도면2

(a)



(b)

