

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5415191号

(P5415191)

(45) 発行日 平成26年2月12日(2014.2.12)

(24) 登録日 平成25年11月22日(2013.11.22)

(51) Int.Cl. F I
 H O 1 L 33/08 (2010.01) H O 1 L 33/00 1 2 O
 H O 1 L 33/00 (2010.01) H O 1 L 33/00 L
 B 4 1 J 2/45 (2006.01) B 4 1 J 3/21 L
 B 4 1 J 2/44 (2006.01)
 B 4 1 J 2/455 (2006.01)

請求項の数 18 (全 27 頁)

(21) 出願番号	特願2009-208192 (P2009-208192)	(73) 特許権者	591044164
(22) 出願日	平成21年9月9日(2009.9.9)		株式会社沖データ
(62) 分割の表示	特願2003-382121 (P2003-382121) の分割		東京都港区芝浦四丁目11番22号
原出願日	平成15年11月12日(2003.11.12)	(73) 特許権者	500002571
(65) 公開番号	特開2009-296003 (P2009-296003A)		株式会社沖デジタルイメージング
(43) 公開日	平成21年12月17日(2009.12.17)		群馬県高崎市西横手町1番地1
審査請求日	平成21年9月9日(2009.9.9)	(74) 代理人	100083840
(31) 優先権主張番号	特願2002-329273 (P2002-329273)		弁理士 前田 実
(32) 優先日	平成14年11月13日(2002.11.13)	(74) 代理人	100116964
(33) 優先権主張国	日本国(JP)		弁理士 山形 洋一
		(74) 代理人	100135921
			弁理士 篠原 昌彦
		(72) 発明者	荻原 光彦
			東京都八王子市東浅川町550番地の1
			株式会社沖デジタルイメージング内
			最終頁に続く

(54) 【発明の名称】 半導体複合装置、光プリントヘッド、及び画像形成装置

(57) 【特許請求の範囲】

【請求項1】

基板と、

1個の発光素子を有し、前記基板上に設けられた10 μ m以下の厚さでシート状の第1の半導体薄膜と、

複数の駆動IC及び該駆動ICに接続された第1の端子領域を有し、前記基板上に設けられた10 μ m以下の厚さでシート状の第2の半導体薄膜と、

前記第1の半導体薄膜の前記発光素子上から前記基板の表面を経由して前記第2の半導体薄膜の前記第1の端子領域上に至る領域に設けられ、前記第1の半導体薄膜の前記発光素子と前記第2の半導体薄膜の前記第1の端子領域とを電氣的に接続する薄膜の第1の個別配線層と、

前記第1の個別配線層下の前記第1の個別配線層のコンタクト領域以外の部分に設けられた層間絶縁膜とを有し、

前記発光素子が前記基板上に複数配列されるように、前記第1の半導体薄膜は前記基板上に複数設けられており、

前記駆動IC及び前記第1の端子領域と前記発光素子とは配列ピッチがほぼ同じとするとともに、前記駆動IC及び前記第1の端子領域と前記発光素子とは一対一に対向して配置されており、

前記第1の個別配線層は該対向する発光素子と第1の端子領域の間を接続する、

ことを特徴とする半導体複合装置。

【請求項 2】

前記基板が、ガラス、樹脂、セラミック、金属、及び半導体の内のいずれかを主材料とすることを特徴とする請求項 1 に記載の半導体複合装置。

【請求項 3】

前記基板が、抵抗素子及び容量素子を含む回路及び配線の内の少なくとも一方を構成する回路パターンを有することを特徴とする請求項 1 又は 2 に記載の半導体複合装置。

【請求項 4】

前記第 2 の半導体薄膜が、第 2 の端子領域を有し、

前記基板が、前記回路パターンの端子領域を有し、

前記第 2 の半導体薄膜の前記第 2 の端子領域上から前記基板上の前記回路パターンの前記端子領域上までの領域に形成され、前記第 2 の半導体薄膜の前記第 2 の端子領域と前記回路パターンの前記端子領域とを電氣的に接続する薄膜の第 2 の個別配線層を備えた

ことを特徴とする請求項 3 に記載の半導体複合装置。

10

【請求項 5】

前記第 1 の半導体薄膜が、化合物半導体エピタキシャル薄膜であることを特徴とする請求項 1 から 4 までのいずれかに記載の半導体複合装置。

【請求項 6】

前記化合物半導体エピタキシャル薄膜の材料には、 $Al_xGa_{1-x}As$ （ここで、 $0 \leq x < 1$ である。）、 $(Al_xGa_{1-x})_yIn_{1-y}P$ （ここで、 $0 \leq x < 1$ 且つ $0 \leq y < 1$ である。）、 GaN 、 $AlGaN$ 、及び $InGaN$ の内の少なくともいずれか一つが含まれることを特徴とする請求項 5 に記載の半導体複合装置。

20

【請求項 7】

前記第 1 の半導体薄膜が、1 列に複数配列されており、

単一の前記第 2 の半導体薄膜が、前記複数の前記第 1 の半導体薄膜の全長にほぼ等しい長さを持つ

ことを特徴とする請求項 1 から 6 までのいずれかに記載の半導体複合装置。

【請求項 8】

前記基板上に導電性材料層をさらに有し、

前記第 1 の半導体薄膜は、前記導電性材料層の表面上に貼り付けられ、

前記導電性材料層が、メタル層又はポリシリコン層のいずれか一方である

ことを特徴とする請求項 1 から 7 までのいずれかに記載の半導体複合装置。

30

【請求項 9】

前記第 1 の個別配線層が、フォトリソグラフィ技術を用いて一括形成された薄膜であることを特徴とする請求項 1 から 8 までのいずれかに記載の半導体複合装置。

【請求項 10】

前記第 1 の個別配線層が、 Au 層、 $Ti/Pt/Au$ 積層層、 Au/Zn 積層層、 $AuGeNi/Au$ 積層層、 Pd 層、 Pd/Au 積層層、 Al 層、 Al/Ni 積層層、ポリシリコン層、 ITO 層、及び ZnO 層の内のひとつ又は 2 つ以上の組み合わせであることを特徴とする請求項 1 から 9 までのいずれかに記載の半導体複合装置。

【請求項 11】

前記第 2 の個別配線層が、フォトリソグラフィ技術を用いて一括形成された薄膜であることを特徴とする請求項 4 から 10 までのいずれかに記載の半導体複合装置。

40

【請求項 12】

前記第 2 の個別配線層が、 Au 層、 $Ti/Pt/Au$ 積層層、 Au/Zn 積層層、 $AuGeNi/Au$ 積層層、 Pd 層、 Pd/Au 積層層、 Al 層、 Al/Ni 積層層、ポリシリコン層、 ITO 層、及び ZnO 層の内のひとつ又は 2 つ以上の組み合わせであることを特徴とする請求項 4 から 11 までのいずれかに記載の半導体複合装置。

【請求項 13】

前記第 1 の個別配線層の、前記第 1 の半導体薄膜上の前記発光素子から前記第 2 の半導体薄膜上の前記端子領域上までの長さが、 $200\mu m$ 以下であることを特徴とする請求項

50

1 から 1 2 までのいずれかに記載の半導体複合装置。

【請求項 1 4】

請求項 1 から 1 3 までのいずれかに記載の半導体複合装置を有することを特徴とする光プリントヘッド。

【請求項 1 5】

前記半導体複合装置は、前記発光素子を複数個有し、
前記光プリントヘッドは、
前記半導体複合装置を支持するベース部材と、
前記半導体複合装置における発光素子によって放出される光を集束させるロッドレンズアレイと、
前記ロッドレンズアレイを保持するホルダと、
前記ベース部材と前記ホルダと一緒に固定する少なくとも 1 個のクランプと
をさらに有することを特徴とする請求項 1 4 に記載の光プリントヘッド。

【請求項 1 6】

請求項 1 から 1 3 までのいずれかに記載の半導体複合装置を含む光プリントヘッドを少なくとも 1 台有することを特徴とする画像形成装置。

【請求項 1 7】

前記光プリントヘッドにより選択的に光照射され、静電潜像が形成される感光体ドラムをさらに有することを特徴とする請求項 1 6 に記載の画像形成装置。

【請求項 1 8】

トナーを供給し、前記感光体ドラム上の前記静電潜像を現像する現像装置と、
前記現像された画像を前記感光体ドラムから前記印刷媒体に転写する転写装置と
をさらに有することを特徴とする請求項 1 7 に記載の画像形成装置。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本発明は、例えば、電子写真式プリンタに使用される L E D プリントヘッドのような半導体複合装置に関する。

【背景技術】

【0 0 0 2】

図 2 8 は、従来の L E D プリントヘッド 9 0 0 の一部を概略的に示す斜視図であり、図 2 9 は、図 2 8 の L E D プリントヘッドに備えることができる L E D アレイチップの一例としての L E D アレイチップ 9 0 2 の一部を示す平面図である。図示された L E D プリントヘッド 9 0 0 は、基板 9 0 1 上に備えられた L E D アレイチップ 9 0 2 の電極パッド 9 0 3 と、基板 9 0 1 上に備えられた駆動 I C チップ 9 0 4 の電極パッド 9 0 5 とをボンディングワイヤ 9 0 6 で接続し、駆動 I C チップ 9 0 4 の電極パッド 9 0 9 と基板 9 0 1 の電極パッド 9 1 0 とをボンディングワイヤ 9 1 1 で接続した構造を持つ。

【0 0 0 3】

また、下記の特許文献 1 には、薄膜構造の発光素子が開示されている。

【先行技術文献】

【特許文献】

【0 0 0 4】

【特許文献 1】特開平 1 0 - 0 6 3 8 0 7 号公報（図 3 から図 6 まで、図 8、段落 0 0 2 1）

【発明の概要】

【発明が解決しようとする課題】

【0 0 0 5】

しかしながら、図 2 8 及び図 2 9 に示された L E D プリントヘッド 9 0 0 では、L E D アレイチップ 9 0 2 と駆動 I C チップ 9 0 4 とをボンディングワイヤ 9 0 6 によって接続し、駆動 I C チップ 9 0 4 と基板 9 0 1 とをボンディングワイヤ 9 0 7 で接続していたの

10

20

30

40

50

で、LEDアレイチップ902及び駆動ICチップ904のそれぞれにワイヤボンダ用の大きな（例えば、 $100\mu\text{m} \times 100\mu\text{m}$ ）電極パッド903、905、909を設ける必要があった。このため、LEDアレイチップ902及び駆動ICチップ904の面積を小さくすることが困難であり、その結果、材料コストを削減することが困難であった。

【0006】

また、LEDアレイチップ902において発光部907として機能する領域は、表面から $5\mu\text{m}$ 程度の深さの領域である。しかし、図28及び図29に示されたLEDプリントヘッド900では、安定したワイヤボンダの歩留まりを確保するために、LEDアレイチップ902の厚さは駆動ICチップ904の厚さ（例えば、 $250\mu\text{m} \sim 300\mu\text{m}$ ）と同程度にする必要があった。このため、LEDプリントヘッド900においては、LED

10

【0007】

さらにまた、特許文献1には、薄膜構造の発光素子が開示されているが、発光素子にはハンダボール用の電極パッドが備えられており、この電極パッドにハンダボールを介して個別電極が接続されている。このように、特許文献1の薄膜構造の発光素子は電極パッドを備えているので、その面積を縮小することが困難であった。

【0008】

そこで、本発明は上記したような従来技術の課題を解決するためになされたものであり、その目的とするところは、小型化及び材料コストの低減を図ることができる半導体複合

20

【課題を解決するための手段】

【0009】

本発明に係る半導体複合装置は、基板と、1個の発光素子を有し、前記基板上に設けられた $10\mu\text{m}$ 以下の厚さでシート状の第1の半導体薄膜と、複数の駆動IC及び該駆動ICに接続された第1の端子領域を有し、前記基板上に設けられた $10\mu\text{m}$ 以下の厚さでシート状の第2の半導体薄膜と、前記第1の半導体薄膜の前記発光素子上から前記基板の表面を經由して前記第2の半導体薄膜の前記第1の端子領域上に至る領域に設けられ、前記第1の半導体薄膜の前記発光素子と前記第2の半導体薄膜の前記第1の端子領域とを電気的に接続する薄膜の第1の個別配線層と、前記第1の個別配線層下の前記第1の個別配線層のコンタクト領域以外の部分に設けられた層間絶縁膜とを有し、前記発光素子が前記基板上に複数配列されるように、前記第1の半導体薄膜は前記基板上に設けられており、前記駆動IC及び前記第1の端子領域と前記発光素子とは配列ピッチがほぼ同じとするとともに、前記駆動IC及び前記第1の端子領域と前記発光素子とは一対一に対向して配置されており、前記第1の個別配線層は該対向する発光素子と第1の端子領域の間を接続することを特徴としている。

30

【0010】

本発明に係る光プリントヘッドは、上記半導体複合装置を有するものである。

【0011】

本発明に係る画像形成装置は、上記半導体複合装置を含む光プリントヘッドを少なくとも

40

【発明の効果】

【0012】

本発明の半導体複合装置によれば、基板上に貼り付けられた第1の半導体薄膜と第2の半導体薄膜とを第1の個別配線層で電気的に接続する構造を採用したので、半導体複合装置の小型化及び材料コストの低減を図ることができるという効果が得られる。

【0013】

また、本発明の光プリントヘッドによれば、上記半導体複合装置を使用しているので、装置の小型化、材料コストの大幅な削減を実現できるという効果が得られる。

【0014】

50

さらに、本発明の画像形成装置によれば、上記半導体複合装置を含む光プリントヘッドを露光装置として使用しているので、優れた発光特性により高品質な画像を形成でき、また、光プリントヘッドの小型化によるスペース効率の向上、及び材料コストの大幅な削減を実現できるという効果が得られる。

【図面の簡単な説明】

【0015】

【図1】本発明の第1の実施形態に係るLED／駆動IC複合チップの一部を概略的に示す斜視図である。

【図2】第1の実施形態に係るLED／駆動IC複合チップを概略的に示す平面図である。

10

【図3】第1の実施形態に係るLED／駆動IC複合チップの一部を拡大して示す平面図である。

【図4】図3をS₄－S₄線で切る面を概略的に示す断面図である。

【図5】第1の実施形態に係るLED／駆動IC複合チップを基板上に形成するプロセスを説明するための概略的な平面図である。

【図6】(a)から(e)までは、第1の実施形態に係るLED／駆動IC複合チップの製造プロセスを概略的に示す平面図である。

【図7】第1の実施形態に係るLED／駆動IC複合チップのLEDエピフィルムの製造プロセス(その1)を概略的に示す断面図である。

【図8】第1の実施形態に係るLED／駆動IC複合チップのLEDエピフィルムの製造プロセス(その2)を概略的に示す断面図である。

20

【図9】第1の実施形態に係るLED／駆動IC複合チップのLEDエピフィルムの製造プロセス(その3)を概略的に示す断面図である。

【図10】図9をS₁₀－S₁₀線で切る面を概略的に示す断面図である。

【図11】(a)から(c)までは、第1の実施形態に係るLED／駆動IC複合チップの集積回路薄膜の製造プロセスを概略的に示す断面図である。

【図12】本発明の第2の実施形態に係るLED／駆動IC複合チップを概略的に示す平面図である。

【図13】本発明の第3の実施形態に係るLED／駆動IC複合チップを概略的に示す平面図である。

30

【図14】図13をS₁₄－S₁₄線で切る面を概略的に示す断面図である。

【図15】本発明の第4の実施形態に係るLED／駆動IC複合チップの一部を概略的に示す平面図である。

【図16】第4の実施形態に係るLED／駆動IC複合チップの一部を概略的に示す斜視図である。

【図17】図15をS₁₇－S₁₇線で切る面を概略的に示す断面図である。

【図18】本発明の第5の実施形態に係るLED／駆動IC複合チップの一部を概略的に示す斜視図である。

【図19】第5の実施形態に係るLED／駆動IC複合チップを概略的に示す平面図である。

40

【図20】本発明の第6の実施形態に係るLED／駆動IC複合チップを概略的に示す平面図である。

【図21】本発明の第7の実施形態に係るLED／駆動IC複合チップの一部を概略的に示す平面図である。

【図22】本発明の第8の実施形態に係るLED／駆動IC複合チップの一部を概略的に示す平面図である。

【図23】第8の実施形態に係るLED／駆動IC複合チップの一部を概略的に示す斜視図である。

【図24】第8の実施形態の係るLED／駆動IC複合チップの集積回路薄膜の製造プロセスを概略的に示す平面図である。

50

【図 25】本発明の第 9 の実施形態に係る L E D / 駆動 I C 複合チップの一部を概略的に示す平面図である。

【図 26】本発明に係る半導体装置を組み込んだ L E D プリントヘッドを概略的に示す断面図である。

【図 27】本発明の第 10 の実施形態に係る画像形成装置の構成を概略的に示す断面図である。

【図 28】従来の L E D プリントヘッドの一部を概略的に示す斜視図である。

【図 29】図 28 の L E D プリントヘッドに備えられた L E D アレイチップの一部を示す平面図である。

【発明を実施するための形態】

10

【0016】

<第 1 の実施形態>

図 1 は、本発明の第 1 の実施形態に係る半導体複合装置である L E D / 駆動 I C 複合チップ 100 の一部を概略的に示す斜視図である。また、図 2 は、L E D / 駆動 I C 複合チップ 100 を概略的に示す平面図であり、図 3 は、図 2 の一部を拡大して示す平面図である。

【0017】

図 1 から図 3 までに示されるように、第 1 の実施形態に係る L E D / 駆動 I C 複合チップ 100 は、基板 101 と、この基板 101 の表面に密着形成されたメタル層 102 と、このメタル層 102 上に貼り付けられたシート状の半導体薄膜であるエピタキシャルフィルム（以下「L E D エピフィルム」と言う。）103 と、基板 101 の表面に貼り付けられたシート状の半導体薄膜である集積回路薄膜 104 と、複数の個別配線層 105（図 3 に示す）とを有する。

20

【0018】

基板 101 は、ガラス、樹脂、及びセラミック等の絶縁体、金属、及び半導体の内のいずれかを主材料とする。

【0019】

メタル層 102 は、基板 101 表面の集積回路薄膜 104 が貼り付けられる領域に隣接した領域上に形成される。メタル層 102 は、例えば、パラジウム又は金等からなる。メタル層 102 の表面には L E D エピフィルム 103 が貼り付けられている。メタル層 102 は、その上に貼り付けられた L E D エピフィルム 103 を基板 101 に固定する機能と、L E D エピフィルム 103 の下面の共通端子領域（図示せず）と基板 101 の共通端子領域（図示せず）とを電気的に接続する機能とを持つ。ここで、L E D エピフィルム 103 の下面の共通端子領域とは、メタル層 102 と接するエピタキシャル層全面を示しており、本実施形態で具体的に述べれば、n 型 G a A s 層 111 の共通電位側（本実施形態では n 電極側）となる表面全面を意味する。また、基板 101 の共通端子領域とは、基板 101 上に設けられたメタル層 102 と接する基板領域、又は、メタル層 102 及び集積回路 104 の L E D 駆動回路の共通電位側（本実施形態では n 電極側）と電気的に接続された、基板 101 上に設けられた端子の領域を示しており、本実施形態で具体的に述べれば、メタル層 102 が設けられている基板 101 表面の領域を意味する。少なくともメタル層 102 と L E D エピフィルム 103 の下面の共通端子領域との間にはオーミックコンタクトが形成されていることが望ましい。なお、メタル層 102 の厚さは、例えば、約 100 nm（= 0.1 μ m）である。なお、メタル層 102 を基板 101 表面の全域に形成し、その上に L E D エピフィルム 103 及び集積回路薄膜 104 を貼り付ける構成を採用してもよい。

30

40

【0020】

図 3 に示されるように、L E D エピフィルム 103 には、複数の L E D（発光部又は発光領域）106 が形成されている。複数の L E D 106 は、等ピッチ（ピッチ P_1 ）で 1 列に配列されている。ただし、複数の L E D 106 の配列は等ピッチに限定されない。また、複数の L E D 106 の列数も 1 列に限定されず、例えば、複数の L E D 106 の配列

50

を、配列方向（X方向）に直交する方向（Y方向）に規則的にずらしてもよい。また、図3に示されるように、LEDエピフィルム103は、LED106の発光領域の幅 W_2 よりも広い幅 W_1 を持つ。例えば、LED106の発光領域の幅 W_2 を $20\mu\text{m}$ とし、LEDエピフィルム103の幅 W_1 を $50\mu\text{m}$ とし、LED106の発光領域の両側にそれぞれ $15\mu\text{m}$ の余裕を持たせている。LEDエピフィルム103の幅 W_1 は、電極パッドを有する従来のLEDプリントヘッドの基板の厚さ（通常、 $400\mu\text{m}$ 程度）よりも非常に小さい幅である。ただし、LEDエピフィルム103の幅 W_1 及びLED106の発光領域の幅 W_2 は上記した値に限定されない。

【0021】

LEDエピフィルム103は、後述するエピタキシャル層のみで構成されることが望ましい。LEDエピフィルム103の厚さは、LEDの安定した特性（例えば、発光特性や電気特性）を確保するために十分な厚さである $2\mu\text{m}$ 程度とすることができる。このLEDエピフィルム103の厚さは、電極パッドを有する従来のLEDプリントヘッドの厚さ（通常、 $300\mu\text{m}$ 程度）よりも非常に薄い厚さである。またLEDエピフィルム103の厚さが厚くなると、個別配線層105に段切れが発生する確率が高くなる。このような不良の発生を回避するためには、LEDエピフィルム103の厚さを、約 $10\mu\text{m}$ 以下にすることが望ましい。ただし、ポリイミド等の絶縁体材料を使って、段差領域を平坦化するなどの方策を講ずるなどして、LEDエピフィルム103の厚さを、 $10\mu\text{m}$ を超える厚さにすることもできる。

【0022】

集積回路薄膜104は、集積回路が作り込まれた半導体薄膜である。図3に示されるように、集積回路薄膜104の集積回路には、複数のLED106を駆動させるための複数の駆動IC107（即ち、駆動IC107の繰り返し単位）が含まれる。複数の駆動IC107は、複数のLED106のそれぞれに対向するように、等ピッチで配置されている。ただし、集積回路薄膜104には、複数の駆動IC107の他に、LED106の点灯制御に共通に使用される回路も含まれる。集積回路薄膜104の厚さは、LEDエピフィルム103と同程度（例えば、 $10\mu\text{m}$ 以下）である。ただし、ポリイミド等の絶縁体材料を使って、段差領域を平坦化するなどの方策を講ずるなどして、集積回路薄膜104の厚さを、 $10\mu\text{m}$ を超える厚さにすることもできる。

【0023】

また、LEDエピフィルム103の複数のLED106の配列方向（図における、X方向）と、集積回路薄膜104の複数の駆動IC107の配列方向（図における、X方向）とは平行であることが望ましい。また、LEDエピフィルム103の複数のLED106の配列ピッチ（図3における、 P_1 ）と、集積回路薄膜104の複数の駆動IC107の配列ピッチ（図3における、 P_2 ）とは、ほぼ同じ値になるようにすることが望ましい。さらに、LEDエピフィルム103の複数のLED106と、集積回路薄膜104の複数の駆動IC107とは、一対一に対向することが望ましい。

【0024】

図3に示されるように、個別配線層105は、LEDエピフィルム103の複数のLED106の発光部上と、集積回路薄膜104の複数の駆動IC107の個別端子領域107aとを電氣的に接続する。個別配線層105は、例えば、薄膜のメタル配線である。個別配線層105としては、Au層、Ti/Pt/Au積層層、Au/Zn積層層、AuGeNi/Au積層層、Pd層、Pd/Au積層層、Al層、Al/Ni積層層、ポリシリコン層、ITO層、及びZnO層の内のひとつ又は2つ以上の組み合わせなどの材料を用いることができる。個別配線層105は、フォトリソグラフィ技術を用いて一括形成することが望ましい。個別配線層105は、薄膜配線であるので、配線が長くなれば配線における電圧降下の影響が大きくなる。また、複数のLED106を高密度に配列する場合には、複数のLED106の配列ピッチ P_1 が小さくなるため、個別配線層105の幅が制限される。個別配線層105の幅が $5\mu\text{m}$ であり、厚さが $0.5\mu\text{m}$ であり、数mAの駆動電流を流す場合には、個別配線層105の長さは、約 $200\mu\text{m}$ 以下にすることが望ま

10

20

30

40

50

しい。

【0025】

また、個別配線層105とLEDエピフィilm103の表面及び側面との間、個別配線層105とメタル層102との間、個別配線層105と基板101の表面との間、個別配線層105と駆動IC107形成領域との間など、電氣的にショートしてはならない領域には、必要に応じて絶縁膜（例えば、後述する図6（d）及び（e）の絶縁膜117）が設けられ、正常な動作を確保できる構造になっている。

【0026】

図4は、図3を S_4-S_4 線で切る面を概略的に示す断面図である。図4に示されるように、LED／駆動IC複合チップ100は、基板101と、メタル層102と、LEDエピフィilm103と、個別配線層105とを順に積層させた構造を持つ。図4では、各層111～115から構成される半導体エピタキシャル層積層構造に層間絶縁膜117を設けた構造全体をさしてLEDエピフィilm103と定義している。

【0027】

図4に示されるように、LEDエピフィilm103は、n型GaAs層111と、n型 $Al_xGa_{1-x}As$ 層112（ $0 \leq x < 1$ ）と、n型 $Al_yGa_{1-y}As$ 層113（ $0 \leq y < 1$ ）と、n型 $Al_zGa_{1-z}As$ 層114（ $0 \leq z < 1$ ）と、n型GaAs層115とを順に積層させた構造を持つ。また、n型 $Al_yGa_{1-y}As$ 層113及びn型 $Al_zGa_{1-z}As$ 層114にはZn拡散領域116が形成されており、n型 $Al_zGa_{1-z}As$ 層114の表面及び $Al_zGa_{1-z}As$ 層に形成されたZn拡散領域表面の一部（ $Al_zGa_{1-z}As$ 層表面のpn接合領域を含むpn接合近傍の領域）を被覆するように絶縁膜117が形成されている。Zn拡散によってGaAs層115内に形成されたpn接合領域を含む領域を除去し、Znが拡散されている島状のGaAs層が形成されている。

【0028】

n型GaAs層111の厚さは、約10nm（＝約0.01 μ m）であり、n型 $Al_xGa_{1-x}As$ 層112の厚さは、約0.5 μ mであり、n型 $Al_yGa_{1-y}As$ 層113の厚さは、約1 μ mであり、n型 $Al_zGa_{1-z}As$ 層114の厚さは、約0.5 μ mであり、GaAs層115の厚さは、約10nm（＝約0.01 μ m）である。この場合には、LEDエピフィilm103の厚さは、約2.02 μ mとなる。ただし、各層の厚さは、上記値に限定されない。また、LEDエピフィilm103の材料として、 $(Al_xGa_{1-x})_yIn_{1-y}P$ （ここで、 $0 \leq x < 1$ 且つ $0 \leq y < 1$ である。）、GaN、AlGaN、InGaN等の他の材料を用いてもよい。

【0029】

また、上記各層のAl組成は、 $x > y$ 且つ $z > y$ （例えば、 $x = z = 0.4$ 、 $y = 0.1$ ）とすることができる。Zn拡散領域116の拡散フロントは、n型 $Al_yGa_{1-y}As$ 層113の内部に位置するように構成することができる。このように構成することにより、pn接合を介して注入された少数キャリアは、n型 $Al_yGa_{1-y}As$ 層113内に閉じ込められ、高い発光効率が得られる。即ち、図4に示されるような構造を採用することによって、LEDエピフィilm103の厚さを約2 μ mと薄くすることができ、発光効率を高くすることができる。なお、上記説明においては、エピタキシャル層としてホモ接合型LEDの製造方法を説明したが、ヘテロ接合型LEDとすることもできる。また、適宜用途に応じてAl組成の異なる半導体層を設けてもよい。

【0030】

次に、LED／駆動IC複合チップ100の製造方法を説明する。図5は、第1の実施形態に係るLED／駆動IC複合チップ100を基板（分離前）101a上に形成するプロセスを説明するための概略的な平面図である。また、図6（a）から（e）までは、第1の実施形態に係るLED／駆動IC複合チップ100の製造プロセスを概略的に示す平面図である。

10

20

30

40

50

【0031】

LED／駆動IC複合チップ100の製造に際しては、先ず、図5及び図6(a)に示されるように、基板101aのチップ形成領域101b内にメタル層102を形成する。メタル層102のパターンは、例えば、リフトオフ法により形成することができる。次に、図5及び図6(b)に示されるように、メタル層102上にLEDエピフィilm103を貼り付け、基板101a上に集積回路薄膜104を貼り付ける。次に、図6(c)に示されるように、LEDエピフィilm103上を含む所定領域を覆う絶縁膜117を形成し、図6(d)に示されるように、その上に、フォトリソグラフィ技術を用いて薄膜の個別配線層105を形成する。次に、図6(e)に示されるダイシング予定ライン118をダイシングして半導体複合チップ、即ち、LED／駆動IC複合チップ100を分離する。なお、絶縁膜118が形成される領域は、図示の領域に限定されず、例えば、LEDエピフィilm103の上面及び側面及びメタル層102上のみを覆うようにしてもよい。なお、LEDエピフィilm103の貼り付けと集積回路薄膜104の貼り付けの順番は、上記した順番と逆であってもよい。

10

【0032】

LEDエピフィilm103の裏面の共通端子領域(図示せず)とメタル層102との間、及び、メタル層102と基板101の共通端子領域(図示せず)との間にオーミックコンタクトを形成するためには、LEDエピフィilm103をメタル層102上に密着させた後、200℃～250℃でアニールを行い、強固なボンディング強度を得る。その後、個別配線層105をフォトリソグラフィ技術を用いて形成し、その後、例えば、約200℃でコンタクトアニールを行う方法がある。

20

【0033】

図7から図9までは、LEDエピフィilm103の製造プロセスを概略的に示す断面図であり、図10は、図9をS₁₀－S₁₀線で切る面を概略的に示す断面図である。なお、図9は、図10をS₉－S₉線で切る面を示す断面図に相当する。

【0034】

LEDエピタキシャル層103aの製造は、有機金属化学蒸着法(MOCVD法)や分子線エピタキシー法(MBE法)等によって行うことができる。LEDエピフィilm103の製造に際しては、図7に示されるように、GaAs基板121上に、GaAsバッファ層122、(AlGa)InPエッチングストップ層123、及びAlAs剥離層(犠牲層)124を順に成膜する。次に、AlAs剥離層124上に、GaAsコンタクト層111(n型GaAs層111)、AlGaAs下クラッド層112(n型Al_xGa_{1-x}As層112)、AlGaAs活性層113(n型Al_yGa_{1-y}As層113)、AlGaAs上クラッド層114(n型Al_zGa_{1-z}As層114)、及びGaAsコンタクト層115a(例えば、n型GaAs層)を順に成膜する。LEDエピフィilm103の剥離は、化学的リフトオフ法を用いて行うことができる。ここで、エッチングストップ層123を省くこともできる。また、LEDエピタキシャル層103a及びLEDエピフィilm形成用基板120に他の半導体エピタキシャル層を追加するなど種々の変形が可能である。

30

【0035】

次に、図8に示されるように、絶縁膜117aの成膜及び開口部の形成をし、固相拡散法等により亜鉛(Zn)からなるP型不純物を拡散し、Zn拡散領域116を形成する。その後、固相拡散時に用いた拡散源膜は除去し、GaAsコンタクト層のZn拡散領域表面を露出させる。次に、GaAsコンタクト層内に形成されたpn接合面を含む領域を除去することが望ましい。

40

【0036】

次に、図9及び図10に示されるように、例えば、10%HF(弗化水素)液により、AlAs剥離層124を選択的に除去する。AlAs剥離層124に対するエッチング速度は、AlGaAs層112～114、GaAs層111、115、121、122、及びエッチングストップ層123に対するエッチング速度に比べ格段に大きいので、AlA

50

s 剥離層 124 を選択的にエッチングすることができる。これにより、LED エピフィルム 103 を、LED エピフィルム製造用基板 120 から（リフトオフ法により）剥がすことが可能になる。なお、この LED エピフィルム 103 を薄くするとともに、比較的短い時間で LED エピフィルム製造用基板 120 から剥がすためには、例えば、LED エピフィルム 103 の幅を $300\ \mu\text{m}$ 以下、例えば、 $50\ \mu\text{m}$ 程度とすることが望ましい。このためには、図 10 に示されるように、幅 W_1 が $50\ \mu\text{m}$ となるように、各エピタキシャル層 111～115 をエッチングし、溝 125 を形成しておく。溝 125 の形成は、溝形成領域レジスト等によりマスクをしておき、燐酸過水によりエッチングするフォトリソグラフィ工程により行う。燐酸過水は、AlGaAs 層 112～114 及び GaAs 層 111, 115 は、エッチングするが、(AlGa) InP エッチングストップ層 123 に対するエッチング速度が遅いので、上面から溝 125 をエッチング形成する際に溝が基板 121 まで到達するのを防止することができる。したがって、溝 125 を形成するためのエッチングは、エッチングストップ層 123 の表面で停止する。溝 125 を形成するときには、剥離層 124 の表面の一部は、エッチング液にさらされるべきである。また、溝 125 を形成するにあたり溝形成予定領域上の絶縁膜をあらかじめ除去した構造とした後に、溝 125 を形成してもよい。溝 125 を形成するためのフォトリソ、エッチング工程で、溝 125 を形成するためのレジストマスクを使って溝形成予定領域上の絶縁膜を除去し、さらに溝形成のためのエッチングを行ってもよい。溝 125 を形成した後、HF 液によりエッチングすることにより、AlAs 剥離層 124 をエッチングし、LED エピフィルム 103 を剥離する。なお、図 10 には、AlAs 剥離層 124 が残されている状態（エッチング途中）が示されているが、LED エピフィルム 103 を保持した状態で、AlAs 剥離層 124 は完全に除去される。AlAs 剥離層 124 をエッチング除去した後、エッチング液が残留しないように純水による水洗処理を施す。LED エピフィルム 103 の剥離に際して、LED エピフィルムを支持及び保護する支持体を LED エピフィルム 103 上に設けることができる。例えば、LED エピフィルム 103 の上に支持体を設けた場合、LED エピフィルム支持体表面を、例えば、真空吸着により吸着し、支持体が設けられた LED エピフィルムをメタル層 102 上に移動し、所定の位置に貼り付けることができる。LED エピフィルム 103 を貼り付けた後、支持体を除去する。

【0037】

図 11 (a) から (c) までは、第 1 の実施形態に係る LED/駆動 IC 複合チップ 100 の集積回路薄膜 104 の製造プロセスを概略的に示す断面図である。集積回路薄膜 104 の製造には、例えば、SOI 基板 130 を用いる。SOI 基板 130 は、シリコン基板 131 と、その上に形成された埋め込み SiO_2 層 (BOX 層) 132 と、その上に形成されたシリコン層 (SOI 層) 133 とを有する。製造に際しては、先ず、図 11 (a) に示されるように、シリコン層 133 の表面付近に集積回路 133a を形成する。次に、図 11 (b) に示されるように、 SiO_2 層 132 を例えば、HF 液でエッチングし、図 11 (c) に示されるように、シリコン層 133 を剥離し、基板 (分離前) 101a 上に貼り付ける。シリコン層 133 の剥離工程では、シリコン層に形成されている集積回路領域が、シリコン層 133 の剥離のためのエッチング液、例えば、HF、によって破壊されないように保護することが望ましい。上で述べた LED エピフィルムの剥離、移動と同じように、集積回路を保護するための保護層をシリコン層 133 の支持体と兼用することもできる。剥離したシリコン層 133 を貼り付ける所定の位置に移動し貼り付ける工程では、LED エピフィルムの場合に説明したように、例えば、支持体表面を、例えば、真空吸着により吸着して、所定の位置まで移動し吸着を解除すればよい。

【0038】

以上説明したように、第 1 の実施形態に係る LED/駆動 IC 複合チップ 100 によれば、基板 101 上に貼り付けられた LED エピフィルム 103 と集積回路薄膜 104 の駆動 IC 107 とをフォトリソグラフィ技術により形成された薄膜の個別配線層 105 により電氣的に接続しているので、LED エピフィルム 103 及び集積回路薄膜 104 にワイヤボンド用の電極パッドを設ける必要がない。このため、LED エピフィルム 103 及び

集積回路薄膜 104 の面積を小さくでき、その結果、LED／駆動 IC 複合チップ 100 の小型化を実現できる。また、LED エピフィルム 103 及び集積回路薄膜 104 の面積を小さくできるので、材料コストの低減を図ることができる。

【0039】

また、第 1 の実施形態に係る LED／駆動 IC 複合チップ 100 によれば、基板 101 上に貼り付けられた LED エピフィルム 103 と基板 101 に貼り付けられた集積回路薄膜 104 とをフォトリソグラフィ技術により形成された薄膜の個別配線層 105 により電氣的に接続しているので、LED エピフィルム 103 及び集積回路薄膜 104 の厚さを厚くする必要がない。このように、LED エピフィルム 103 及び集積回路薄膜 104 の厚さを薄くできるので、材料コストの低減を図ることができる。

10

【0040】

さらに、第 1 の実施形態に係る LED／駆動 IC 複合チップ 100 によれば、LED エピフィルム 103 の複数の LED 106 と、集積回路薄膜 104 の複数の駆動 IC 107 とを、一対一に対向させているので、個別配線層 105 の長さを短くすることができ、個別配線層 105 の抵抗値を低くすることができる。

【0041】

さらにまた、第 1 の実施形態に係る LED／駆動 IC 複合チップ 100 によれば、従来のワイヤボンダに代えて個別配線層 105 を用いているので、接続不良発生率を低くすることができる。

さらに、第 1 の実施形態に係る LED／駆動 IC 複合チップ 100 によれば、エピフィルム 103 の下にメタル層 102 を有し、しかもエピフィルム 103 は 2 μm 程度と非常に薄いので、LED 106 から発生した光は直接上部に放射されるだけでなく、下面に放射しメタル層 102 に照射された光もこのメタル層表面で反射しエピフィルム 103 を透過し表面から照射される。そのため、発光強度が向上するという効果もある。

20

【0042】

<第 2 の実施形態>

図 12 は、本発明の第 2 の実施形態に係る半導体複合装置としての LED／駆動 IC 複合チップ 150 の一部を概略的に示す平面図である。図 12 において、図 3（第 1 の実施形態）の構成と同一又は対応する構成には、同じ符号を付す。

【0043】

図 12 に示されるように、第 2 の実施形態に係る LED／駆動 IC 複合チップ 150 は、LED エピフィルム 103 と集積回路薄膜 104 との間の基板 101 上に導電性材料からなる中継端子領域 151 を備えた点のみが、図 3（第 1 の実施形態）に示される LED／駆動 IC 複合チップ 100 と相違する。図 12 に示される LED／駆動 IC 複合チップ 150 の場合には、個別配線層 105 は、LED エピフィルム 103 の LED 106 の発光部上から基板 101 の中継端子領域 151 上を経由して集積回路薄膜 104 の個別端子領域 107 a までの領域に形成される。図 12 に示された LED／駆動 IC 複合チップ 150 によれば、中継端子領域 151 を備えたので、LED エピフィルム 103 と集積回路薄膜 104 の位置関係を変える（例えば、離す）ことが可能になる。

30

【0044】

なお、第 2 の実施形態において、上記以外の点は、上記第 1 の実施形態の場合と同じである。

40

【0045】

<第 3 の実施形態>

図 13 は、本発明の第 3 の実施形態に係る半導体複合装置としての LED／駆動 IC 複合チップ 160 の一部を概略的に示す平面図である。また、図 14 は、図 13 を S₁₄ - S₁₄ 線で切る面を概略的に示す断面図である。図 13 において、図 3（第 1 の実施形態）の構成と同一又は対応する構成には、同じ符号を付す。また、図 14 において、図 4（第 1 の実施形態）の構成と同一又は対応する構成には、同じ符号を付す。

【0046】

50

図13及び図14に示されるように、第3の実施形態に係るLED／駆動IC複合チップ160は、基板101とLEDエピフィilm103との間にメタル層102を備えていない点のみが、図3（第1の実施形態）に示されるLED／駆動IC複合チップ100と相違する。基板101の上面とLEDエピフィilm103の下面を、適当な化学的方法で表面処理し（汚染物質の除去及び平坦性、例えば、原子層オーダーでの平坦性を準備して、）両面を密着させ、加圧・加熱工程を経ることにより、両面を強固に接着（密着）することができる。強固な接着に必要な加熱温度は、メタル層を介した接着の場合に比べ高い温度になるが、このような接着方法を用いれば、メタル層の厚さバラツキに起因する誤差を排除できるので、平坦度の高い面同士を密着させることができる。また、第3の実施形態に係るLED／駆動IC複合チップ160によれば、メタル層の介在に伴う誤差を排除できるので、LED106の配列位置と駆動IC107の配列位置との整列度合い（アライメント精度）を高めることができる。

10

【0047】

なお、第3の実施形態において、上記以外の点は、上記第1及び第2の実施形態の場合と同じである。

【0048】

<第4の実施形態>

図15は、本発明の第4の実施形態に係る半導体複合装置であるLED／駆動IC複合チップ170の一部を概略的に示す平面図である。また、図16は、LED／駆動IC複合チップ170の一部を概略的に示す斜視図であり、図17は、図15をS₁₇-S₁₇線で切る面を概略的に示す断面図である。図15及び図16において、図3（第1の実施形態）の構成と同一又は対応する構成には、同じ符号を付す。

20

【0049】

図15及び図16に示されるように、第4の実施形態に係るLED／駆動IC複合チップ170は、メタル層102上に複数のLEDエピフィilm171を等ピッチに1列に貼り付け、且つ、各LEDエピフィilm171が1個のLEDを有する点が、図3（第1の実施形態）に示されるLED／駆動IC複合チップ100と相違する。

【0050】

図17に示されるように、LEDエピフィilm171は、GaAs層172上に、p型Al_xGa_{1-x}As層173、p型Al_yGa_{1-y}As層174、n型Al_zGa_{1-z}As層175、及びn型GaAs層176を順に形成した構造を持つ。n型GaAs層176上には絶縁膜177が成膜され、その開口部から駆動IC107の端子領域107aまでの領域に個別配線層105が形成されている。上記各層のAl組成は、x>y且つz>y（例えば、x=z=0.4、y=0.1）とすることができる。ただし、LEDエピフィilm171の構造及び組成は上記したものに限定されない。

30

【0051】

第4の実施形態に係るLED／駆動IC複合チップ170によれば、LEDエピフィilm171が小さく分割されているので、LEDエピフィilm171の熱膨張係数と基板101の熱膨張係数とが大きく異なる場合に問題となり得る、LEDエピフィilm171の内部応力を軽減でき、LEDエピフィilm171の欠陥の発生要因の一つを排除できる。このため、第4の実施形態に係るLED／駆動IC複合チップ170の信頼性を高めることができる。

40

【0052】

また、第4の実施形態に係るLED／駆動IC複合チップ170によれば、LEDエピフィilm171が小さく分割されており、接着領域が小さいので、LEDエピフィilm171をメタル層102に密着させるプロセスが容易であり、密着性の不完全さに起因する欠陥発生率を低減できる。

【0053】

さらに、第4の実施形態に係るLED／駆動IC複合チップ170によれば、LEDエピフィilm171が発光領域以外の部分を持たないので、個別配線層105の長さを短く

50

することができる。

【0054】

なお、第4の実施形態において、上記以外の点は、上記第1から第3までの実施形態の場合と同じである。

【0055】

<第5の実施形態>

図18は、本発明の第5の実施形態に係る半導体複合装置であるLED／駆動IC複合チップ180の一部を概略的に示す斜視図である。また、図19は、LED／駆動IC複合チップ180の一部を概略的に示す平面図である。

【0056】

図18に示されるように、第5の実施形態に係るLED／駆動IC複合チップ180は、基板181と、この基板181の表面に貼り付けられたシート状の半導体薄膜であるLEDエピフィilm183と、基板181の表面に貼り付けられたシート状の半導体薄膜である集積回路薄膜184と、複数の薄膜の個別配線層185、186（図19に示す）とを有する。第5の実施形態においては、1つのLEDエピフィilm183に対して1つの集積回路薄膜184を対向配置している。また、LED／駆動IC複合チップ180の基板181には、回路パターン182が備えられている。また、LED／駆動IC複合チップ180においては、集積回路薄膜184が端子領域184a、184bを有し、基板181が回路パターン182の端子領域182aを有する。

【0057】

LED／駆動IC複合チップ180においては、LEDエピフィilm183のLED106の発光部上から基板181の表面を経由して集積回路薄膜184の端子領域184a上までの領域に、LED106の発光部と集積回路薄膜184の端子領域184aとを電氣的に接続する薄膜の個別配線層185が備えられている。個別配線層185の下面には、電氣的なショート回避するために適宜、層間絶縁膜（図示せず）を設ける。

【0058】

また、LED／駆動IC複合チップ180においては、集積回路薄膜184の端子領域184b上から基板181の回路パターン182の端子領域182a上までの領域に、集積回路薄膜184の端子領域184bと基板181の回路パターン182の端子領域182aとを電氣的に接続する薄膜の個別配線層186が備えられている。個別配線層186は、例えば、集積回路薄膜184の駆動ICへの電気信号や電力の入出力のために使用される。また、個別配線層186の下面には、回路パターン182や集積回路薄膜184との電氣的なショート回避するために適宜、層間絶縁膜（図示せず）を設ける。

【0059】

第5の実施形態に係るLED／駆動IC複合チップ180によれば、従来のワイヤボンドに代えて個別配線層185及び186を用いているので、小型化及び材料の削減を果たすことができ、しかも接続不良発生率を低くすることができる。

【0060】

なお、第5の実施形態において、上記以外の点は、上記第1から第4までの実施形態の場合と同じである。

【0061】

<第6の実施形態>

図20は、本発明の第6の実施形態に係る半導体複合装置であるLED／駆動IC複合チップ190の一部を概略的に示す平面図である。

【0062】

図20に示されるように、第6の実施形態に係るLED／駆動IC複合チップ190は、基板191と、この基板191の表面に貼り付けられたシート状の半導体薄膜であるLEDエピフィilm193と、基板191の表面に貼り付けられたシート状の半導体薄膜である集積回路薄膜194と、複数の個別配線層195、196とを有する。第6の実施形態においては、3つのLEDエピフィilm193に対して1つの集積回路薄膜194を備

えている点が第5の実施形態の場合と相違する。また、LED／駆動IC複合チップ190の基板191には、回路パターン192が備えられている。また、集積回路薄膜194には個別配線層195、196用の端子領域が備えられ、基板191には個別配線層196用の端子領域（即ち、回路パターン192の端子領域）が備えられている。

【0063】

LED／駆動IC複合チップ190においては、LEDエピフィilm193のLEDの発光部上から基板191の表面を經由して集積回路薄膜194の端子領域上までの領域に、LEDの発光部と集積回路薄膜194の端子領域とを電氣的に接続する薄膜の個別配線層195が備えられている。個別配線層195の下面には、電氣的なショート回避のために適宜、層間絶縁膜（図示せず）を設ける。

10

【0064】

また、LED／駆動IC複合チップ190においては、集積回路薄膜194の端子領域上から基板191の回路パターン192の端子領域上までの領域に、集積回路薄膜194の端子領域と基板191の回路パターン192の端子領域とを電氣的に接続する薄膜の個別配線層196が備えられている。個別配線層196は、例えば、集積回路薄膜194の駆動ICへの電気信号や電力の入出力のために使用される。また、個別配線層196の下面には、回路パターン192や集積回路薄膜194との電氣的なショート回避のために適宜、層間絶縁膜（図示せず）を設ける。

【0065】

第6の実施形態に係るLED／駆動IC複合チップ190によれば、従来のワイヤボンダに代えて個別配線層195及び196を用いているので、小型化及び材料の削減を果たすことができ、しかも接続不良発生率を低くすることができる。

20

【0066】

なお、第6の実施形態において、上記以外の点は、上記第1から第5までの実施形態の場合と同じである。

【0067】

<第7の実施形態>

図21は、本発明の第7の実施形態に係る半導体複合装置であるLED／駆動IC複合チップ200の一部を概略的に示す平面図である。

【0068】

図21に示されるように、第7の実施形態に係るLED／駆動IC複合チップ200は、基板201と、この基板201上に密着形成されたメタル層201aと、メタル層201aの表面に貼り付けられたシート状の半導体薄膜であるLEDエピフィilm203と、基板201の表面に貼り付けられたシート状の半導体薄膜である集積回路薄膜204と、複数の個別配線層205、206とを有する。図21に示されるように、第7の実施形態に係るLED／駆動IC複合チップ200は、メタル層201a上に複数のLEDエピフィilm203を等ピッチに1列に貼り付け、且つ、各LEDエピフィilm203が1個のLED106を有する点が、図18（第5の実施形態）に示されるLED／駆動IC複合チップ180と相違する。また、LED／駆動IC複合チップ200の基板201には、回路パターン202が備えられている。ここで、回路パターンとは、基板201の電源及び必要な信号の入出力端子と、集積回路薄膜204の端子、基板201に設けられた集積回路薄膜204以外の駆動制御に必要な抵抗やコンデンサー、メモリーなどの部品の端子、を接続するための配線パターン及び集積回路基板204の端子と集積回路薄膜204以外の駆動制御に必要なコンデンサー、メモリーなどの部品の端子を接続するための配線パターンを意味する。また、集積回路薄膜204には個別配線層205、206用の端子領域が備えられ、基板201には個別配線層206用の端子領域（即ち、回路パターン202の端子領域）が備えられている。

30

40

【0069】

LED／駆動IC複合チップ200においては、LEDエピフィilm203のLEDの発光部上から基板201の表面を經由して集積回路薄膜204の端子領域上までの領域に

50

、LEDの発光部と集積回路薄膜204の端子領域とを電氣的に接続する薄膜の個別配線層205が備えられている。個別配線層205の下面には、電氣的なショートを回避するために適宜、層間絶縁膜（図示せず）を設ける。

【0070】

また、LED／駆動IC複合チップ200においては、集積回路薄膜204の端子領域204b上から基板201の回路パターン202の端子領域202a上までの領域に、集積回路薄膜204の端子領域204bと基板201の回路パターン202の端子領域202aとを電氣的に接続する薄膜の個別配線層206が備えられている。個別配線層206は、例えば、集積回路薄膜204の駆動ICへの電気信号や電力の入出力のために使用される。また、個別配線層206の下面には、回路パターン202や集積回路薄膜204との電氣的なショートを回避するために適宜、層間絶縁膜（図示せず）を設ける。

10

【0071】

第7の実施形態に係るLED／駆動IC複合チップ200によれば、従来のワイヤボンダに代えて個別配線層205及び206を用いているので、小型化及び材料の削減を果たすことができ、しかも接続不良発生率を低くすることができる。

【0072】

なお、第7の実施形態において、上記以外の点は、上記第1から第6までの実施形態の場合と同じである。

【0073】

<第8の実施形態>

20

図22は、本発明の第8の実施形態に係る半導体複合装置であるLED／駆動IC複合チップ210を概略的に示す平面図である。また、図23は、第8の実施形態に係る半導体複合装置であるLED／駆動IC複合チップ210の一部を概略的に示す斜視図である。

【0074】

図22又は図23に示されるように、第8の実施形態に係るLED／駆動IC複合チップ210は、基板211と、この基板211上に密着形成されたメタル層211aと、メタル層211aの表面に貼り付けられたシート状の半導体薄膜であるLEDエピフィilm213と、基板211の表面に貼り付けられたシート状の半導体薄膜である集積回路薄膜214と、複数の個別配線層215、216とを有する。図22又は図23に示されるように、第8の実施形態に係るLED／駆動IC複合チップ210は、メタル層211a上に複数のLEDエピフィilm213を1列に貼り付けている。また、LED／駆動IC複合チップ210の基板211には、回路パターン212が備えられている。また、集積回路薄膜214には個別配線層215、216用の端子領域が備えられ、基板211には個別配線層216用の端子領域（即ち、回路パターン212の端子領域）が備えられている。

30

【0075】

LED／駆動IC複合チップ210においては、LEDエピフィilm213のLEDの発光部上から基板211の表面を経由して集積回路薄膜214の端子領域上までの領域に、LEDの発光部と集積回路薄膜214の端子領域とを電氣的に接続する薄膜の個別配線層215が備えられている。個別配線層215の下面には、電氣的なショートを回避するために適宜、層間絶縁膜（図示せず）を設ける。

40

【0076】

また、LED／駆動IC複合チップ210においては、集積回路薄膜214の端子領域上から基板211の回路パターン212の端子領域上までの領域に、集積回路薄膜214の端子領域と基板211の回路パターン212の端子領域とを電氣的に接続する薄膜の個別配線層216が備えられている。個別配線層216は、例えば、集積回路薄膜214の駆動ICへの電気信号や電力の入出力のために使用される。また、個別配線層216の下面には、回路パターン212や集積回路薄膜214との電氣的なショートを回避するために適宜、層間絶縁膜（図示せず）を設ける。

50

【0077】

第8の実施形態に係るLED／駆動IC複合チップ210によれば、従来のワイヤボン
ドに代えて個別配線層215及び216を用いているので、小型化及び材料の削減を果た
すことができ、しかも接続不良発生率を低くすることができる。

【0078】

図24は、第8の実施形態に係るLED／駆動IC複合チップ210の集積回路薄膜2
14の製造プロセスを概略的に示す平面図である。図24に示されるように、集積回路薄
膜214を、集積回路薄膜形成用の基板217（例えば、ガラス基板）上に複数個一括に
形成し、各集積回路薄膜214をガラス基板217から剥離し、基板211上に貼り付け
る。このように、加熱工程を含む集積回路薄膜214の製造プロセスをガラス基板217
上で実行するので、実装基板には高い耐熱性が要求されず、実装基板の材料の選択肢が広
くなる。

10

【0079】

なお、第8の実施形態において、上記以外の点は、上記第1から第7までの実施形態の
場合と同じである。

【0080】

<第9の実施形態>

図25は、本発明の第9の実施形態に係る半導体複合装置であるLED／駆動IC複合
チップ220を概略的に示す平面図である。

【0081】

20

図25に示されるように、第9の実施形態に係るLED／駆動IC複合チップ220は
、基板221と、この基板221上に密着形成されたメタル層221aと、メタル層22
1aの表面に貼り付けられたシート状の半導体薄膜であるLEDエピフィilm223と、
基板221の表面に貼り付けられたシート状の半導体薄膜である集積回路薄膜224と、
複数の個別配線層225、226とを有する。図25に示されるように、第9の実施形態
に係るLED／駆動IC複合チップ220は、メタル層221a上に複数（図25では8
個）のLEDエピフィilm223を1列に貼り付けている。また、LED／駆動IC複合
チップ220には、2つの集積回路薄膜224が備えられている。また、LED／駆動I
C複合チップ220の基板221には、回路パターン222が備えられている。また、集
積回路薄膜224には個別配線層225、226用の端子領域が備えられ、基板221に
は個別配線層226用の端子領域（即ち、回路パターン222の端子領域）が備えられて
いる。なお、第9の実施形態においては、LED／駆動IC複合チップ220を2分割し
た場合を示したが、3分割以上に分割してもよい。

30

【0082】

LED／駆動IC複合チップ220においては、LEDエピフィilm223のLEDの
発光部上から基板221の表面を経由して集積回路薄膜224の端子領域上までの領域に
、LEDの発光部と集積回路薄膜224の端子領域とを電氣的に接続する薄膜の個別配線
層225が備えられている。個別配線層225の下面には、電氣的なショート回避する
ために適宜、層間絶縁膜（図示せず）を設ける。

【0083】

40

また、LED／駆動IC複合チップ220においては、集積回路薄膜224の端子領域
上から基板221の回路パターン222の端子領域上までの領域に、集積回路薄膜224
の端子領域と基板221の回路パターン222の端子領域とを電氣的に接続する薄膜の個
別配線層226が備えられている。個別配線層226は、例えば、集積回路薄膜224の
駆動ICへの電気信号や電力の入出力のために使用される。また、個別配線層226の下
面には、回路パターン222や集積回路薄膜224との電氣的なショート回避するため
に適宜、層間絶縁膜（図示せず）を設ける。

【0084】

第9の実施形態に係るLED／駆動IC複合チップ220によれば、従来のワイヤボン
ドに代えて個別配線層225及び226を用いているので、小型化及び材料の削減を果た

50

すことができ、しかも接続不良発生率を低くすることができる。

【0085】

なお、第9の実施形態において、上記以外の点は、上記第1から第8までの実施形態の場合と同じである。

【0086】

<本発明が適用されたLEDプリントヘッド>

図26は、本発明に係る半導体装置を組み込んだLEDプリントヘッド700を概略的に示す断面図である。図26に示されるように、LEDプリントヘッド700は、ベース部材701と、ベース部材701に固定されたLEDユニット702と、柱状の光学素子を多数配列したロッドレンズアレイ703と、ロッドレンズアレイ703を保持するホルダ704と、これらの構成701～704を固定するクランプ705とを有する。LEDユニット702には、上記実施形態の半導体装置であるLED/駆動ICチップ又はLEDアレイチップが搭載されている。LEDユニット702で発生した光はロッドレンズアレイ703を通して照射される。LEDプリントヘッド700は、電子写真プリンタや電子写真コピー装置等の露光装置として用いられる。なお、上記実施形態の半導体装置を含むLEDプリントヘッドの構造は、図26に示されたものに限定されない。

10

【0087】

第10の実施形態

図27は、本発明の第10の実施形態に係る画像形成装置の構成を概略的に示す断面図である。

20

【0088】

図27に示されるように、第10の実施形態の画像形成装置800は、イエロー（Y）、マゼンタ（M）、シアン（C）、及びブラック（K）の各色の画像を電子写真方式を用いて形成する4つのプロセスユニット801～804を有している。プロセスユニット801～804は、記録媒体805の搬送経路に沿ってタンデムに配置されている。各プロセスユニット801～804は、像担持体としての感光体ドラム803aと、この感光体ドラム803aの周囲に配置され、感光体ドラム803aの表面を帯電させる帯電装置803bと、帯電された感光体ドラム803aの表面に選択的に光を照射して静電潜像を形成する露光装置803cとを有している。この露光装置803cとしては、図26を用いて説明したLEDプリントヘッド700が用いられており、このLEDプリントヘッド700には、第1乃至第9の実施形態で説明した半導体複合装置が含まれている。

30

【0089】

また、画像形成装置800内は、静電潜像が形成された感光体ドラム803aの表面にトナーを搬送する現像装置803dと、感光体ドラム803aの表面に残留したトナーを除去するクリーニング装置803eとを有している。なお、感光体ドラム803aは、図示されていない駆動源及びギヤ等からなる駆動機構によって矢印方向に回転する。また、画像形成装置800は、紙等の記録媒体805を収納する用紙カセット806と、記録媒体805を1枚ずつ分離させ搬送するためのホッピングローラ807とを有している。ホッピングローラ807の記録媒体805搬送方向下流には、ピンチローラ808、809と、記録媒体805を挟み付け、ピンチローラ808、809とともに記録媒体805の斜行を修正してプロセスユニット801～804に搬送するレジストローラ810、811が備えられている。ホッピングローラ807及びレジストローラ810、811は、図示しない駆動源に連動して回転する。

40

【0090】

さらに、画像形成装置800は、感光体ドラム803aに対向配置された転写ローラ812を有している。転写ローラ812は、半導電性のゴム等から構成される。感光体ドラム803a上のトナー像を記録媒体805上に転写させるように、感光体ドラム803aの電位と転写ローラ812の電位が設定されている。さらにまた、画像形成装置は、記録媒体805上のトナー像を加熱・加圧して定着させる定着装置813と、定着装置813を通過した記録媒体805を排出するためのローラ814、816及び815、817が

50

備えられている。

【0091】

用紙カセット806に積載された記録媒体805はホッピングローラ807により1枚ずつ分離され搬送される。記録媒体805は、レジストローラ810、811及びピンチローラ808、809を通過してプロセスユニット801～804の順に通過する。各プロセスユニット801～804において、記録媒体805は、感光体ドラム803aと転写ローラ812の間を通過して、各色のトナー像が順に転写され、定着装置813によって過熱・加圧されて各色のトナー像が記録媒体805に定着される。その後、記録媒体805は、排出ローラによってスタッカ部818に排出される。なお、第1乃至第9の半導体複合装置又は図26の光プリントヘッドを含む画像形成装置の構造は、図27に示されたものに限定されない。

10

【0092】

第10の実施形態の画像形成装置800によれば、図26のLEDプリントヘッド700を使用しているので、露光装置の優れた発光特性により高品質な画像を形成できる。また、露光装置の小型化によるスペース効率の向上、及び材料コストの大幅な削減を実現できる。さらに、本発明は、モノクロプリンタにも適用可能であるが、露光装置が複数台備えられたフルカラープリンタにおいて特に大きな効果を発揮できる。

【0093】

<可能な変形例>

なお、上記実施形態においては、基板上にメタル層102を形成した場合を説明したが、メタル層102に代えてポリシリコン等の金属以外の導電性薄膜層を用いてもよい。

20

【0094】

また、上記実施形態においては、メタル層102を長方形に描いているが、角に切欠き部を備えたり、辺に凹凸部を備えてもよい。この場合には、切欠き部をチップの向きを判断する基準部として用いることができる。また、凹凸部をLEDの位置判定用の基準部として用いることができる。

【0095】

さらに、上記実施形態においては、半導体薄膜に備えられた半導体素子がLEDである場合を説明したが、半導体素子は、レーザー等の他の発光素子、受光素子、ホール素子、及び piezo 素子等のような他の素子であってもよい。

30

【0096】

さらにまた、上記実施形態においては、LEDエピフィilmがエピタキシャル層から構成された場合を説明したが、LEDエピフィilmに代えてエピタキシャル層ではない半導体薄膜を採用してもよい。

【0097】

また、上記実施形態においては、LEDエピフィilmを集積回路薄膜の近傍に備えた場合を説明したが、電圧降下が問題にならない場合には、集積回路薄膜から離れた位置にLEDエピフィilmを配置してもよい。

【0098】

さらに、上記実施形態においては、集積回路薄膜104の製造には、SOI基板130を用いる場合を説明したが、集積回路薄膜104を、ポリシリコンTFET駆動回路としてもよい。ポリシリコンTFET駆動回路の製造に際しては、例えば、数百nm厚のSiO₂層を形成したガラス基板上に、比較的低い加熱温度の下、CVD法などで、アモルファス状態のシリコン薄膜を形成する。その後、エキシマ・パルスレーザを照射するなどして、アモルファスシリコンの再結晶化を図り、多結晶シリコン層を得る。この多結晶シリコン層にトランジスタなどの回路要素を含む集積回路パターンを形成する。

40

【0099】

さらに、LEDエピフィilmの裏面に形成される共通電極を複数に分割することによって、複数のLEDを時分割駆動可能にすることもできる。

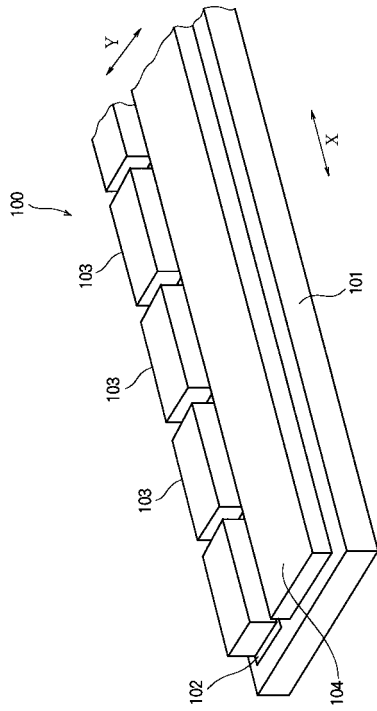
【符号の説明】

50

【0100】

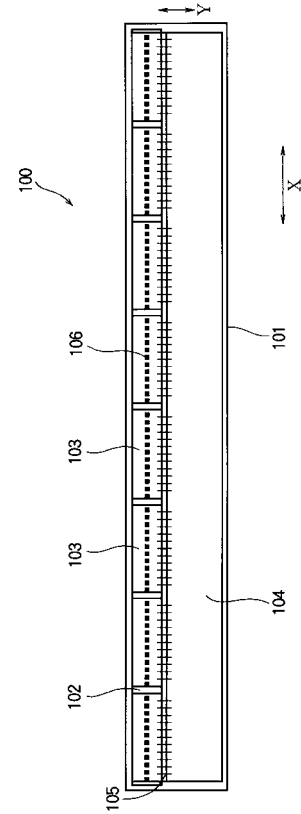
- 100, 150, 160, 170, 180, 190, 200, 210, 220 LED
 /駆動IC複合チップ、
 101, 181, 191, 201, 211, 221 基板、
 101a 分離前の基板、
 101b チップ形成領域、
 102 メタル層、
 103, 171, 183, 193, 203, 213, 223 エピタキシャルフィルム
 (LEDエピフィルム)、
 104, 184, 194, 204, 214, 224 集積回路薄膜、 10
 105, 185, 195, 205, 215, 225 個別配線層、
 106 LED(発光部又は発光領域)、
 107 駆動IC、
 107a 駆動ICの個別端子領域、
 111 GaAsコンタクト層(n型GaAs層)、
 112 AlGaAs下クラッド層(n型 $Al_xGa_{1-x}As$ 層)、
 113 AlGaAs活性層(n型 $Al_yGa_{1-y}As$ 層)、
 114 AlGaAs上クラッド層(n型 $Al_zGa_{1-z}As$ 層)、
 115 GaAsコンタクト層(GaAs層内のZn拡散領域)、
 115a GaAsコンタクト層、 20
 116 Zn拡散領域、
 117 絶縁膜、
 118 ダイシングライン(ダイシング予定領域)、
 120 LEDエピフィルム形成用基板、
 121 GaAs基板、
 122 GaAsバッファ層、
 123 (AlGa)InPエッチングストップ層、
 124 AlAs剥離層、
 125 エッチング溝、
 130 SOI基板、 30
 131 シリコン基板、
 132 埋め込み SiO_2 層(BOX層)、
 133 シリコン層(SOI層)、
 133a 集積回路(集積回路形成領域)、
 182, 192, 202, 212, 222 基板の回路パターン、
 186, 196, 206, 216, 226 個別配線層、
 700 LEDプリントヘッド、
 702 LEDユニット、
 703 ロッドレンズアレイ、
 800 画像形成装置、 40
 801~804 プロセスユニット、
 803a 感光体ドラム、
 803c 露光装置。

【図 1】



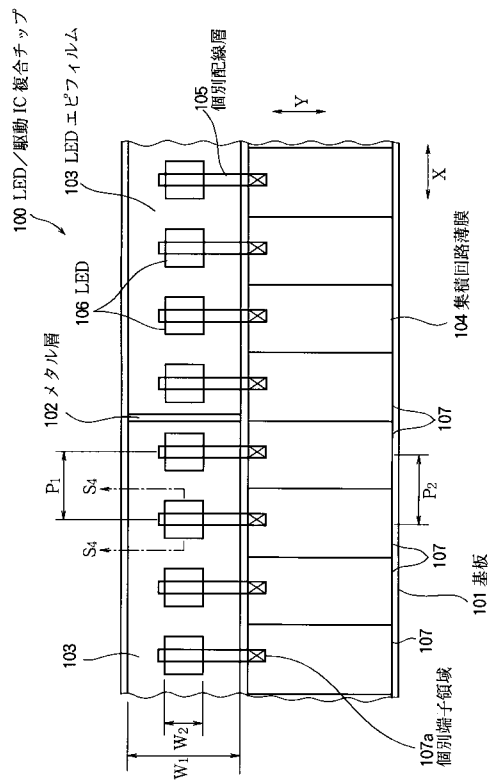
第 1 の実施形態

【図 2】



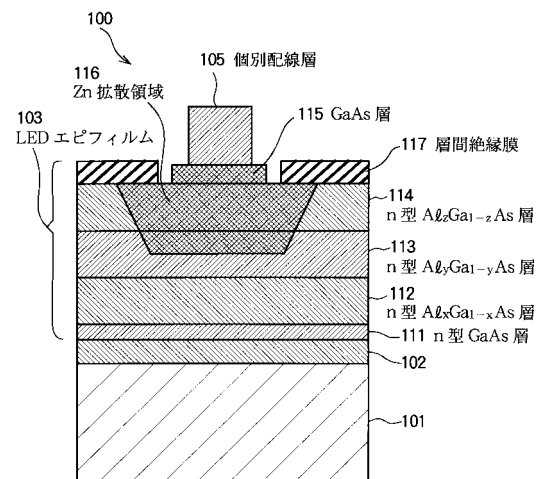
第 1 の実施形態

【図 3】

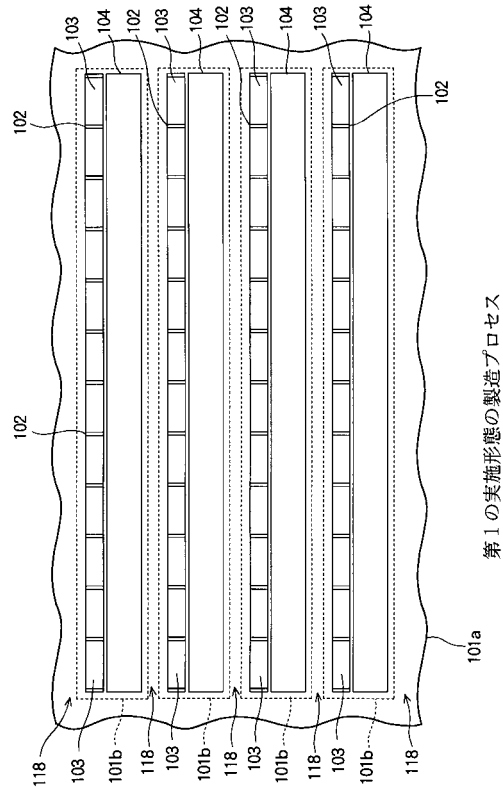


第 1 の実施形態

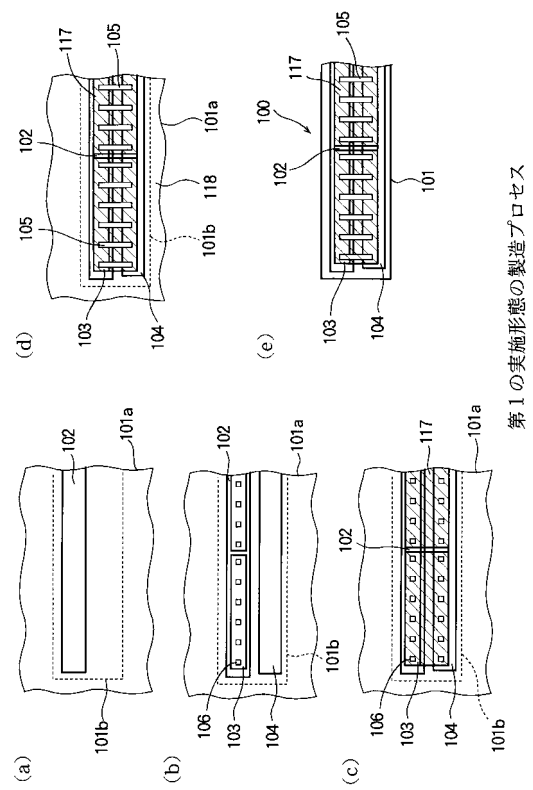
【図 4】

図 3 の S₄-S₄ 線断面

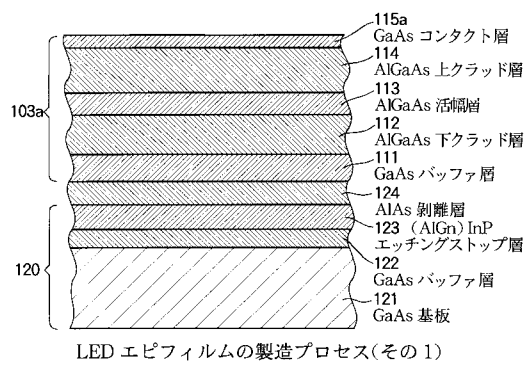
【図 5】



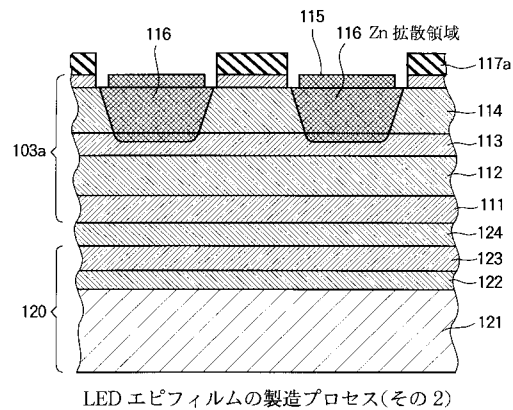
【図 6】



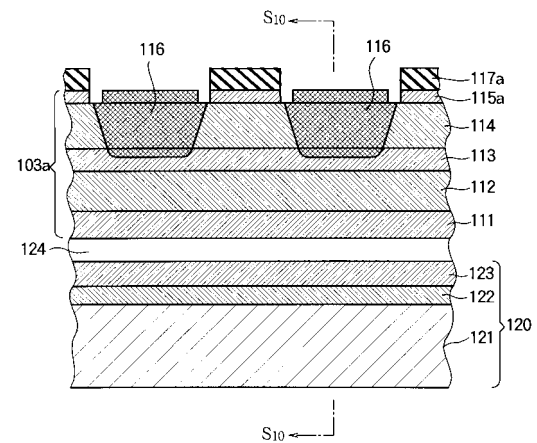
【図 7】



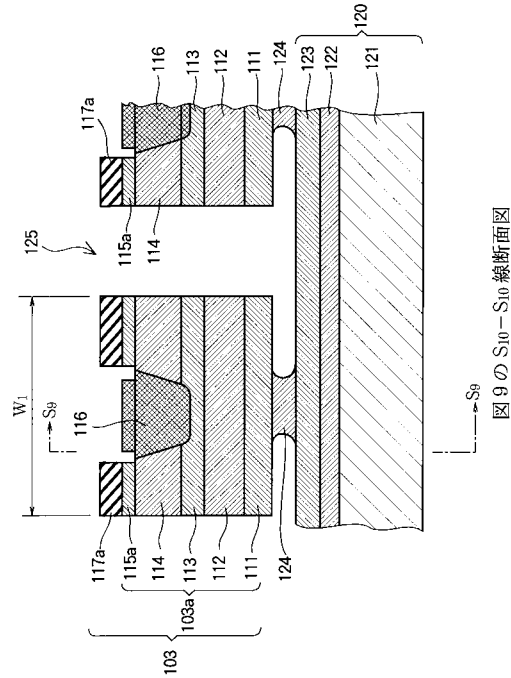
【図 8】



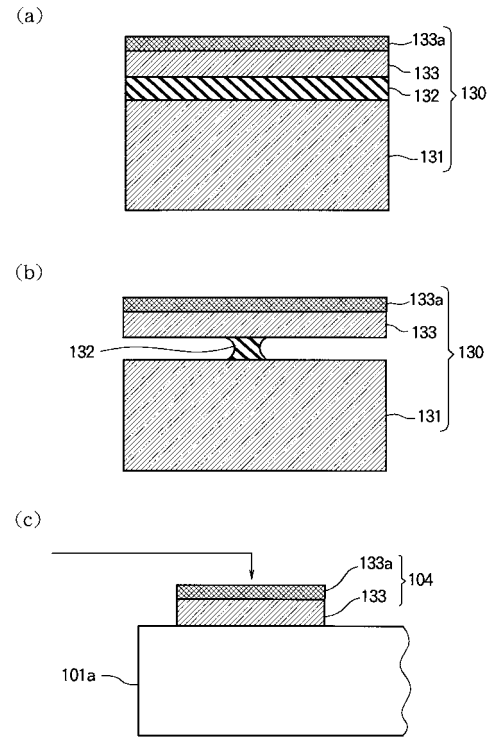
【図 9】



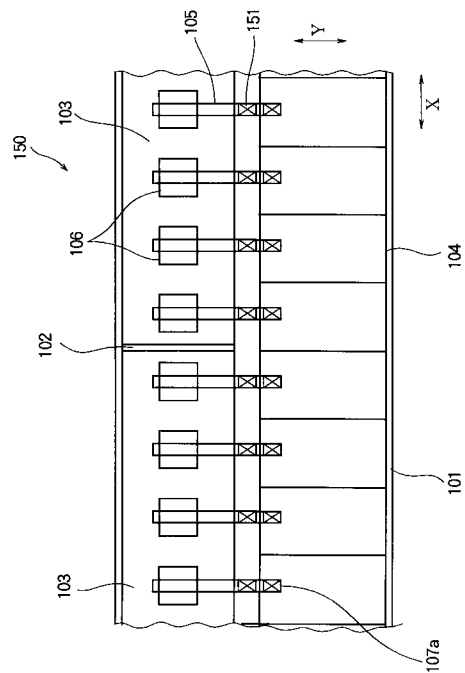
【図10】



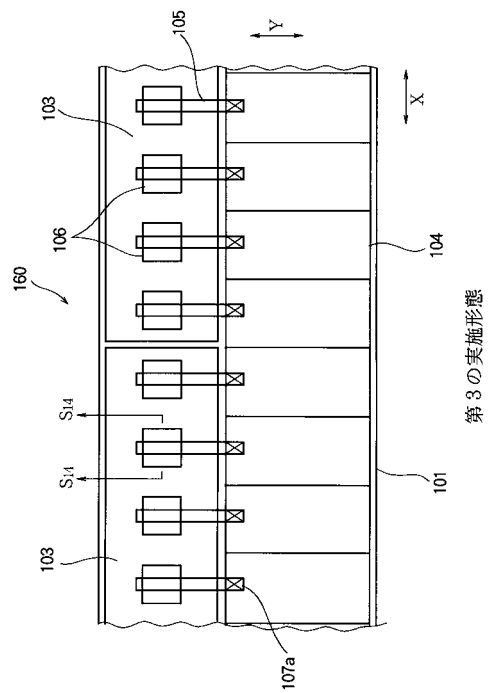
【図11】



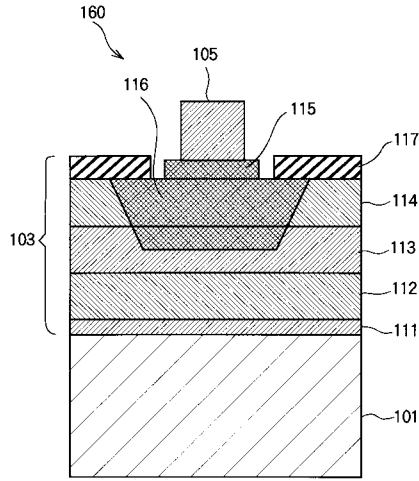
【図12】



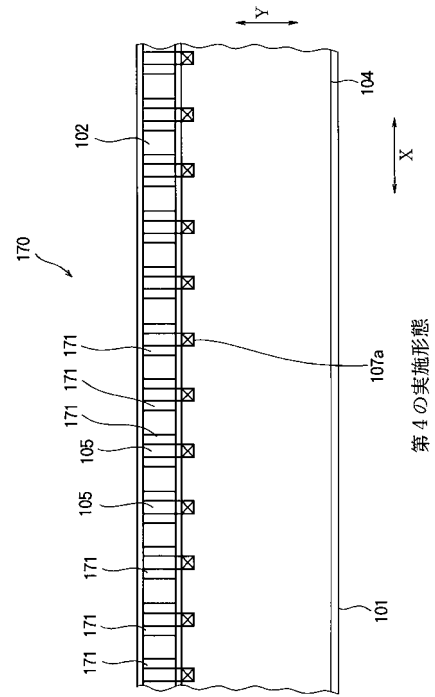
【図13】



【図 14】

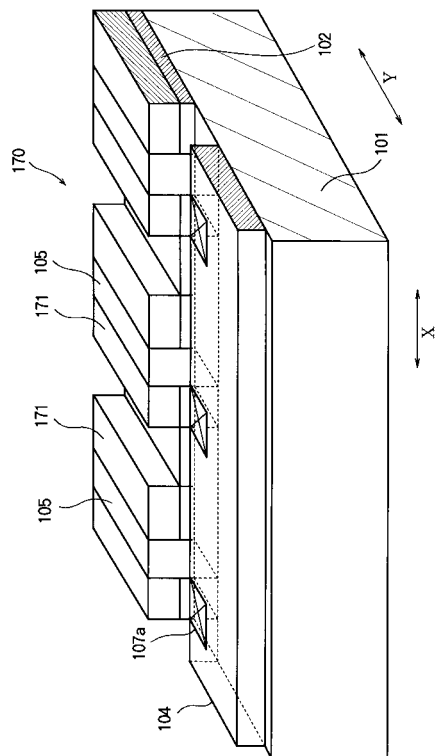
図 13 の S₁₄-S₁₄ 線断面図

【図 15】



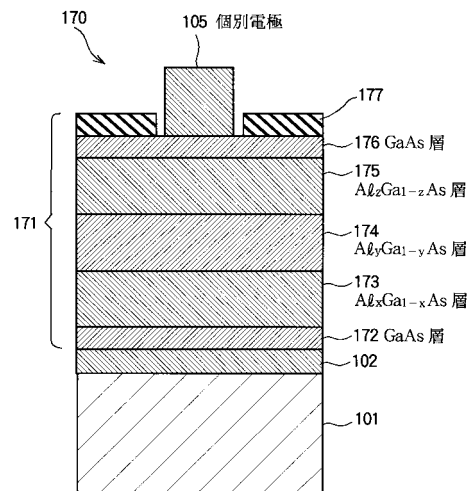
第 4 の実施形態

【図 16】

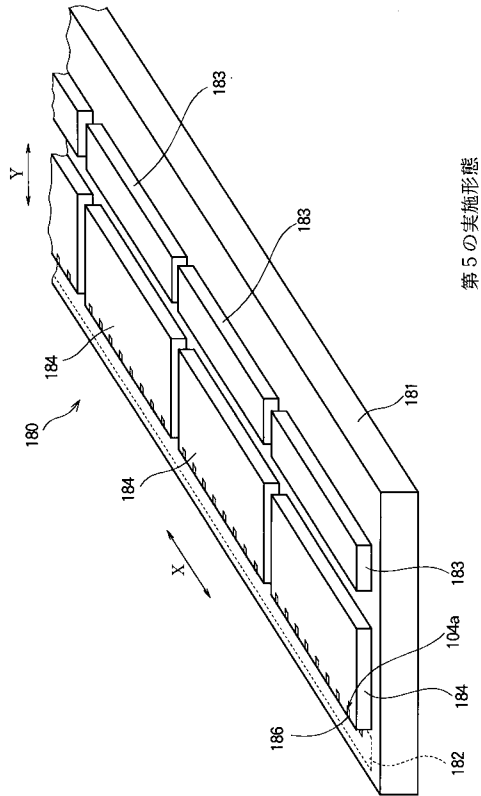


第 4 の実施形態

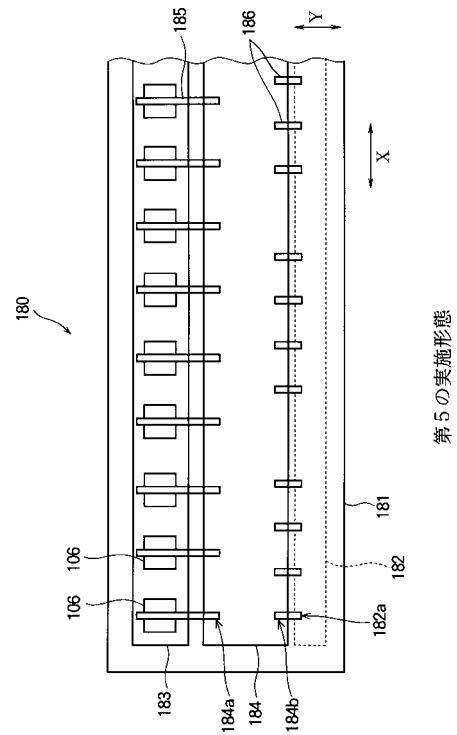
【図 17】

図 15 の S₁₇-S₁₇ 線断面

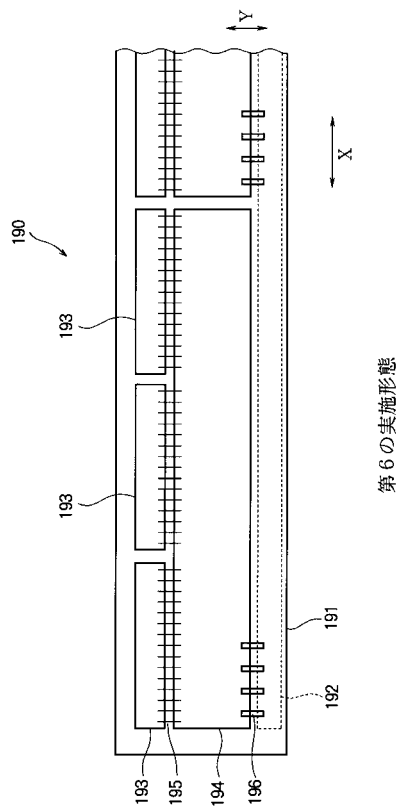
【図18】



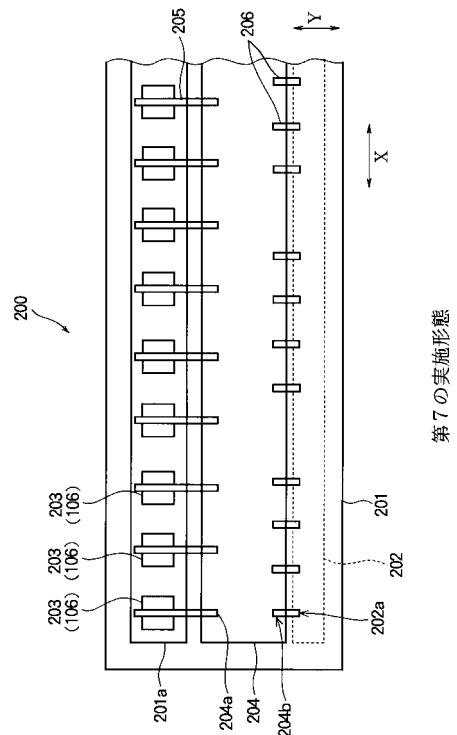
【図19】



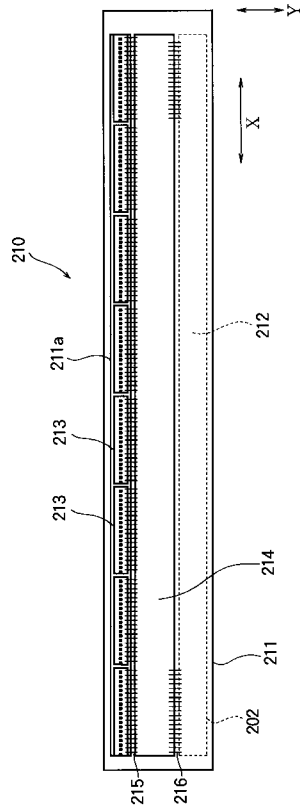
【図20】



【図21】

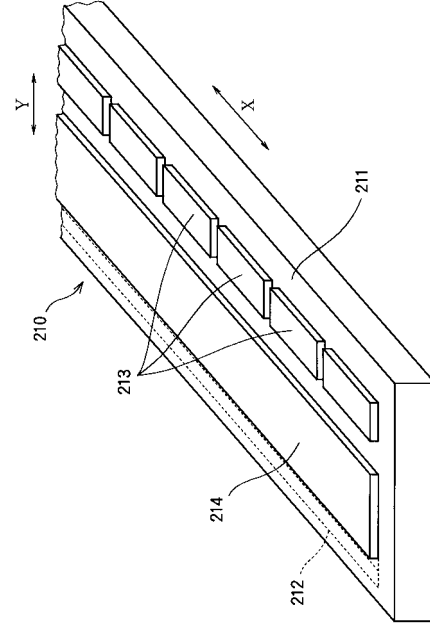


【図 2 2】



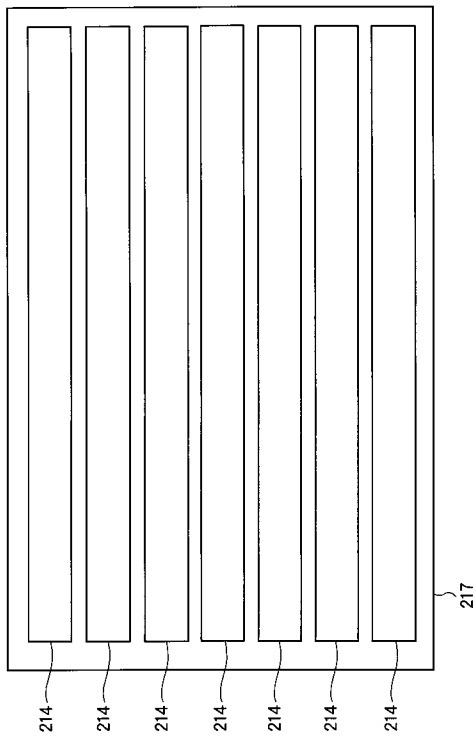
第 8 の実施形態

【図 2 3】



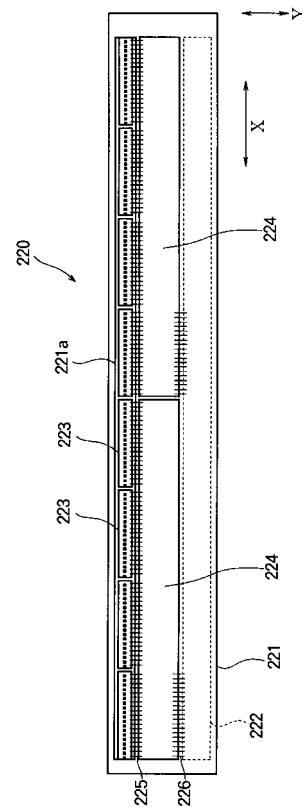
第 8 の実施形態

【図 2 4】



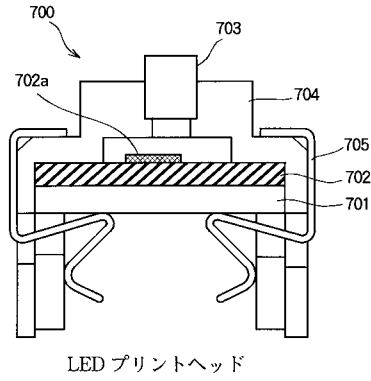
集積回路薄膜の製造プロセス

【図 2 5】

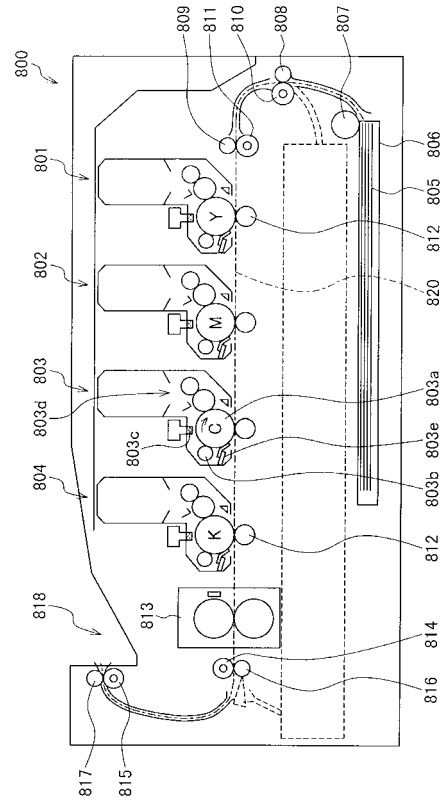


第 9 の実施形態

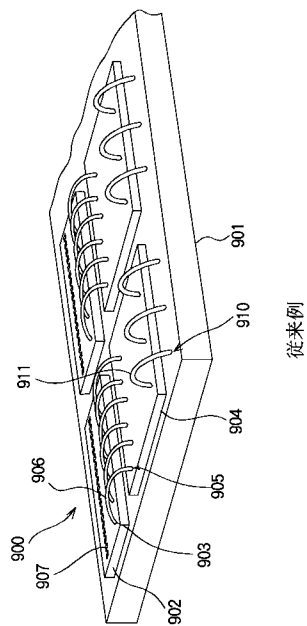
【図 26】



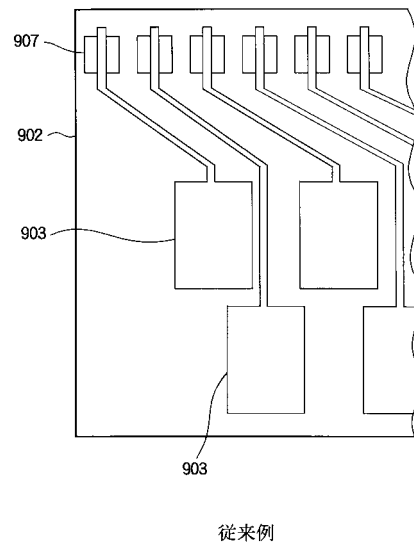
【図 27】



【図 28】



【図 29】



フロントページの続き

- (72)発明者 藤原 博之
東京都八王子市東浅川町550番地の1 株式会社沖デジタルイメージング内
- (72)発明者 佐久田 昌明
東京都港区芝浦4丁目11番17号 株式会社イー・イー・ジィ内
- (72)発明者 安孫子 一松
東京都港区芝浦4丁目11番17号 株式会社イー・イー・ジィ内

審査官 佐藤 俊彦

- (56)参考文献 特開平11-191642 (JP, A)
特開2002-326384 (JP, A)
特開2001-068795 (JP, A)
特開2002-036630 (JP, A)
特開2002-151677 (JP, A)
特開2002-033546 (JP, A)
特開2001-180037 (JP, A)
特開平06-198957 (JP, A)

- (58)調査した分野(Int.Cl., DB名)
H01L 33/00-33/64
H01S 5/00-5/50