

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2020 年 6 月 4 日 (04.06.2020)



(10) 国际公布号
WO 2020/107953 A1

(51) 国际专利分类号:
G09G 3/20 (2006.01) **G11C 19/00** (2006.01)

(21) 国际申请号: PCT/CN2019/101404

(22) 国际申请日: 2019 年 8 月 19 日 (19.08.2019)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201811437407.5 2018 年 11 月 28 日 (28.11.2018) CN

(71) 申请人: 武汉华星光电技术有限公司 (WUHAN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国湖北省武汉市东湖开发区高新大道 666 号生物城 C5 栋, Hubei 430079 (CN)。

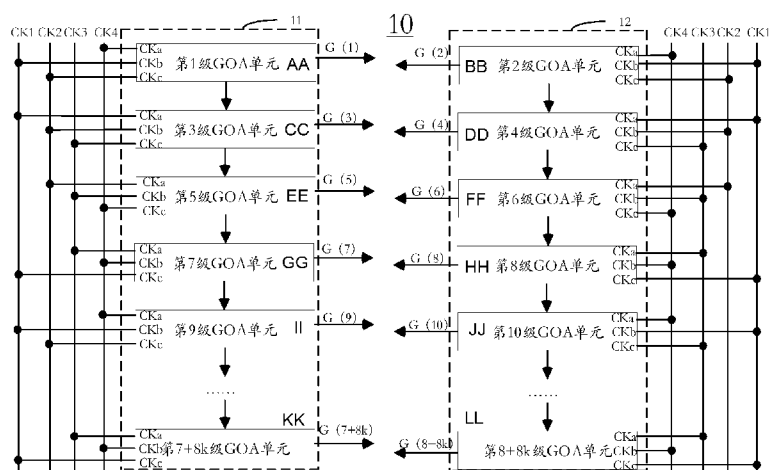
(72) 发明人: 赵莽 (ZHAO, Mang); 中国湖北省武汉市东湖开发区高新大道 666 号生物城 C5 栋, Hubei 430079 (CN)。

(74) 代理人: 深圳翼盛智成知识产权事务所 (普通合伙) (ESSEN PATENT & TRADEMARK AGENCY); 中国广东省深圳市福田区深南大道 6021 号喜年中心 A 座 1709-1711, Guangdong 518040 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,

(54) Title: GOA CIRCUIT AND DISPLAY PANEL

(54) 发明名称: GOA 电路及显示面板



AA First stage of GOA unit
BB Second stage of GOA unit
CC Third stage of GOA unit
DD Fourth stage of GOA unit
EE Fifth stage of GOA unit
FF Sixth stage of GOA unit
GG Seventh stage of GOA unit
HH Eighth stage of GOA unit
II Ninth stage of GOA unit
JJ Tenth stage of GOA unit
KK (7+8k)th stage of GOA unit
LL (8+8k)th stage of GOA unit

(57) Abstract: A GOA circuit (10) and a display panel. By adding a first control clock end (CKa) and a third control clock end (CKc) to a forward and reverse scanning module (101) to control a first node (Q(n)), so as to reduce electric leakage of the first node (Q(n)) during operation, thereby increasing the reliability of the GOA circuit (10).

(57) 摘要: 一种 GOA 电路 (10) 及显示面板, 通过在正反扫描模块 (101) 中增加第一控制时钟端 (CKa) 和第三控制时钟端 (CKc) 以控制第一节点 (Q(n)), 从而可以减小第一节点 (Q(n)) 在工作期间漏电, 进而提高 GOA 电路 (10) 的可靠性。

SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, ZA, ZM, ZW。

- (84) 指定国(除另有指明，要求每一种可提供的地区
保护)：ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM,
AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG,
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,
IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布：

- 包括国际检索报告(条约第21条(3))。

GOA电路及显示面板

技术领域

[0001] 本申请涉及显示技术领域，具体涉及一种GOA电路及显示面板。

背景技术

[0002] GOA(英文全称: Gate Driver on Array, 中文全称: 集成栅极驱动电路)技术将栅极驱动电路集成在显示面板的阵列基板上，从而可以省掉栅极驱动集成电路部分，以从材料成本和制作工艺两方面降低产品成本。

[0003] 现有的GOA电路存在漏电风险，可靠性较差。

发明概述

技术问题

[0004] 本申请实施例的目的在于提供一种GOA电路及显示面板，能够解决现有的GOA电路存在漏电风险，可靠性较差的技术问题。

问题的解决方案

技术解决方案

[0005] 本申请实施例提供一种GOA电路，包括：多级级联的GOA单元，每一级GOA单元均包括：正反扫描模块、输出模块以及下拉模块；

[0006] 所述正反扫描模块，接入上一级扫描驱动信号、正向扫描信号、下一级扫描驱动信号、反向扫描信号以及恒压低电平信号，并电性连接于第一控制时钟端、第三控制时钟端、第一节点以及第二节点，用于将所述正向扫描信号输出至所述第一节点，或用于将所述反向扫描信号输出至所述第一节点，并在所述第一节点的电位控制下将所述恒压低电平信号输出至所述第二节点；

[0007] 所述输出模块，接入所述恒压低电平信号以及恒压高电平信号，并电性连接于所述第一节点以及第二控制时钟端，用于输出本级扫描驱动信号；

[0008] 所述下拉模块，接入所述恒压低电平信号、所述正向扫描信号、所述反向扫描信号以及所述恒压高电平信号，并电性连接于所述第一控制时钟端、第三控制时钟端、所述第一节点以及所述本级扫描驱动信号，用于将所述第一节点的电

位以及所述本级扫描驱动信号的电位下拉至所述恒压低电平信号的电位；

[0009] 其中，所述正向扫描信号以及所述反向扫描信号均为直流电源，且所述正向扫描信号的电位与所述反向扫描信号的电位相反；

[0010] 所述正反扫描模块包括：第一晶体管、第二晶体管、第三晶体管、第四晶体管以及第五晶体管；

[0011] 所述第一晶体管的栅极电性连接于所述第一控制时钟端，所述第一晶体管的源极接入所述正向扫描信号，所述第一晶体管的漏极电性连接于所述第二晶体管的源极，所述第二晶体管的栅极接入所述上一级扫描驱动信号，所述第二晶体管的漏极电性连接于所述第一节点，所述第三晶体管的栅极电性连接于所述第三控制时钟端，所述第三晶体管的源极接入所述反向扫描信号，所述第三晶体管的漏极电性连接于所述第四晶体管的源极，所述第四晶体管的栅极接入所述下一级扫描驱动信号，所述第四晶体管的漏极电性连接于所述第一节点，所述第五晶体管的栅极电性连接于所述第一节点，所述第五晶体管的源极接入所述恒压低电平信号，所述第五晶体管的漏极电性连接于所述第二节点；

[0012] 所述输出模块包括：第六晶体管、第七晶体管以及第一电容；

[0013] 所述第六晶体管的栅极接入所述恒压高电平信号，所述第六晶体管的源极电性连接于所述第一节点，所述第六晶体管的漏极电性连接于所述第七晶体管的栅极，所述第七晶体管的源极电性连接于所述第一控制时钟端，所述第七晶体管的漏极电性连接于所述本级扫描驱动信号，所述第一电容的一端电性连接于所述第一节点，所述第一电容的另一端电性连接于所述恒压低电平信号。

[0014] 在本申请所述的GOA电路中，所述下拉模块包括：第八晶体管、第九晶体管、第十晶体管、第十一晶体管、第十二晶体管以及第二电容；

[0015] 所述第八晶体管的栅极接入所述正向扫描信号，所述第八晶体管的源极电性连接于所述第三控制时钟端，所述第九晶体管的栅极接入所述反向扫描信号，所述第九晶体管的源极电性连接于所述第一控制时钟端，所述第八晶体管的漏极、所述第九晶体管的漏极电性连接于所述第十晶体管的栅极，所述第十晶体管的源极接入所述恒压高电平信号，所述第十晶体管的漏极、所述第十一晶体管的栅极、所述第十二晶体管的栅极电性连接于所述第二节点，所述第十一晶体

管的源极以及所述第十二晶体管的源极接入所述恒压低电平信号，所述第十一晶体管的漏极电性连接于所述第一节点，所述第十二晶体管的漏极电性连接于所述本级扫描驱动信号，所述第二电容的一端电性连接于所述第二节点，所述第二电容的另一端电性连接于所述恒压低电平信号。

[0016] 在本申请所述的GOA电路中，所述GOA电路接收第一主时钟信号、第二主时钟信号、第三主时钟信号以及第四主时钟信号，所述第一主时钟信号、所述第二主时钟信号、所述第三主时钟信号以及所述第四主时钟信号在所述GOA电路的作用周期依次分时有效；

[0017] 其中，在第1+8k级GOA单元和第2+8k级GOA单元中，所述第二控制时钟端接入所述第一主时钟信号，所述第三控制时钟端接入所述第二主时钟信号，所述第一控制时钟端接入所述第四主时钟信号；

[0018] 在第3+8k级GOA单元和第4+8k级GOA单元中，所述第二控制时钟端接入所述第二主时钟信号，所述第三控制时钟端接入所述第三主时钟信号，所述第一控制时钟端接入所述第一主时钟信号；

[0019] 在第5+8k级GOA单元和第6+8k级GOA单元中，所述第二控制时钟端接入所述第三主时钟信号，所述第三控制时钟端接入所述第四主时钟信号，所述第一控制时钟端接入所述第二主时钟信号；

[0020] 在第7+8k级GOA单元和第8+8k级GOA单元中，所述第二控制时钟端接入所述第四主时钟信号，所述第三控制时钟端接入所述第一主时钟信号，所述第一控制时钟端接入所述第三主时钟信号；k为正整数。

[0021] 在本申请所述的GOA电路中，所述GOA电路接收第一次时钟信号、第二次时钟信号、第三次时钟信号、第四次时钟信号、第五次时钟信号、第六次时钟信号、第七次时钟信号以及第八次时钟信号，所述第一次时钟信号、所述第二次时钟信号、所述第三次时钟信号、所述第四次时钟信号、所述第五次时钟信号、所述第六次时钟信号、所述第七次时钟信号以及所述第八次时钟信号在所述GOA电路的作用周期依次分时有效；

[0022] 其中，在第1+8k级GOA单元中，所述第二控制时钟端接入所述第一次时钟信号，所述第三控制时钟端接入所述第三次时钟信号，所述第一控制时钟端接入所

述第七次时钟信号；

[0023] 在第2+8k级GOA单元中，所述第二控制时钟端接入所述第二次时钟信号，所述第三控制时钟端接入所述第四次时钟信号，所述第一控制时钟端接入所述第八次时钟信号；

[0024] 在第3+8k级GOA单元中，所述第二控制时钟端接入所述第三次主时钟信号，所述第三控制时钟端接入所述第五次时钟信号，所述第一控制时钟端接入所述第一次时钟信号；

[0025] 在第4+8k级GOA单元中，所述第二控制时钟端接入所述第四次主时钟信号，所述第三控制时钟端接入所述第六次时钟信号，所述第一控制时钟端接入所述第二次时钟信号；

[0026] 在第5+8k级GOA单元中，所述第二控制时钟端接入所述第五次时钟信号，所述第三控制时钟端接入所述第七次时钟信号，所述第一控制时钟端接入所述第三次时钟信号；

[0027] 在第6+8k级GOA单元中，所述第二控制时钟端接入所述第六次时钟信号，所述第三控制时钟端接入所述第八次时钟信号，所述第一控制时钟端接入所述第四次时钟信号；

[0028] 在第7+8k级GOA单元中，所述第二控制时钟端接入所述第七次时钟信号，所述第三控制时钟端接入所述第一次时钟信号，所述第一控制时钟端接入所述第五次时钟信号；

[0029] 在第8+8k级GOA单元中，所述第二控制时钟端接入所述第八次时钟信号，所述第三控制时钟端接入所述第二次时钟信号，所述第一控制时钟端接入所述第六次时钟信号；k为正整数。

[0030] 在本申请所述的GOA电路中，所述GOA单元还包括功能控制模块，所述功能控制模块接入第一功能控制信号和第二功能控制信号，并电性连接于所述第一节点、所述第二节点以及所述本级扫描驱动信号，用于实现所述GOA电路的所有扫描驱动信号打开功能以及关闭功能。

[0031] 在本申请所述的GOA电路中，所述功能控制模块包括：第十三晶体管、第十四晶体管、第十五晶体管以及第十六晶体管；

- [0032] 所述第十三晶体管的栅极、所述第十四晶体管的栅极以及所述第十五晶体管的源极、栅极接入所述第一功能控制信号，所述第十六晶体管的栅极接入所述第二功能控制信号，所述第十三晶体管的源极、所述第十四晶体管的源极以及所述第十六晶体管的源极接入所述恒压低电平信号，所述第十三晶体管的漏极电性连接于所述第一节点，所述第十四晶体管的漏极电性连接于所述第二节点，所述第十五晶体管的漏极以及所述第十六晶体管的漏极电性连接于所述本级扫描驱动信号。
- [0033] 在本申请所述的GOA电路中，所述GOA电路包括打开功能阶段以及关闭功能阶段；其中，在所述打开功能阶段，所述第一功能控制信号为高电平，所述第二功能控制信号为低电平；在所述关闭功能阶段，所述第一功能控制信号为低电平，所述第二功能控制信号为高电平。
- [0034] 本申请实施例还提供一种GOA电路，包括：多级级联的GOA单元，每一级GOA单元均包括：正反扫描模块、输出模块以及下拉模块；
- [0035] 所述正反扫描模块，接入上一级扫描驱动信号、正向扫描信号、下一级扫描驱动信号、反向扫描信号以及恒压低电平信号，并电性连接于第一控制时钟端、第三控制时钟端、第一节点以及第二节点，用于将所述正向扫描信号输出至所述第一节点，或用于将所述反向扫描信号输出至所述第一节点，并在所述第一节点的电位控制下将所述恒压低电平信号输出至所述第二节点；
- [0036] 所述输出模块，接入所述恒压低电平信号以及恒压高电平信号，并电性连接于所述第一节点以及第二控制时钟端，用于输出本级扫描驱动信号；
- [0037] 所述下拉模块，接入所述恒压低电平信号、所述正向扫描信号、所述反向扫描信号以及所述恒压高电平信号，并电性连接于所述第一控制时钟端、第三控制时钟端、所述第一节点以及所述本级扫描驱动信号，用于将所述第一节点的电位以及所述本级扫描驱动信号的电位下拉至所述恒压低电平信号的电位；
- [0038] 其中，所述正向扫描信号以及所述反向扫描信号均为直流电源，且所述正向扫描信号的电位与所述反向扫描信号的电位相反。
- [0039] 在本申请所述的GOA电路中，所述正反扫描模块包括：第一晶体管、第二晶体管、第三晶体管、第四晶体管以及第五晶体管；

[0040] 所述第一晶体管的栅极电性连接于所述第一控制时钟端，所述第一晶体管的源极接入所述正向扫描信号，所述第一晶体管的漏极电性连接于所述第二晶体管的源极，所述第二晶体管的栅极接入所述上一级扫描驱动信号，所述第二晶体管的漏极电性连接于所述第一节点，所述第三晶体管的栅极电性连接于所述第三控制时钟端，所述第三晶体管的源极接入所述反向扫描信号，所述第三晶体管的漏极电性连接于所述第四晶体管的源极，所述第四晶体管的栅极接入所述下一级扫描驱动信号，所述第四晶体管的漏极电性连接于所述第一节点，所述第五晶体管的栅极电性连接于所述第一节点，所述第五晶体管的源极接入所述恒压低电平信号，所述第五晶体管的漏极电性连接于所述第二节点。

[0041] 在本申请所述的GOA电路中，所述输出模块包括：第六晶体管、第七晶体管以及第一电容；

[0042] 所述第六晶体管的栅极接入所述恒压高电平信号，所述第六晶体管的源极电性连接于所述第一节点，所述第六晶体管的漏极电性连接于所述第七晶体管的栅极，所述第七晶体管的源极电性连接于所述第一控制时钟端，所述第七晶体管的漏极电性连接于所述本级扫描驱动信号，所述第一电容的一端电性连接于所述第一节点，所述第一电容的另一端电性连接于所述恒压低电平信号。

[0043] 在本申请所述的GOA电路中，所述下拉模块包括：第八晶体管、第九晶体管、第十晶体管、第十一晶体管、第十二晶体管以及第二电容；

[0044] 所述第八晶体管的栅极接入所述正向扫描信号，所述第八晶体管的源极电性连接于所述第三控制时钟端，所述第九晶体管的栅极接入所述反向扫描信号，所述第九晶体管的源极电性连接于所述第一控制时钟端，所述第八晶体管的漏极、所述第九晶体管的漏极电性连接于所述第十晶体管的栅极，所述第十晶体管的源极接入所述恒压高电平信号，所述第十晶体管的漏极、所述第十一晶体管的栅极、所述第十二晶体管的栅极电性连接于所述第二节点，所述第十一晶体管的源极以及所述第十二晶体管的源极接入所述恒压低电平信号，所述第十一晶体管的漏极电性连接于所述第一节点，所述第十二晶体管的漏极电性连接于所述本级扫描驱动信号，所述第二电容的一端电性连接于所述第二节点，所述第二电容的另一端电性连接于所述恒压低电平信号。

[0045] 在本申请所述的GOA电路中，所述GOA电路接收第一主时钟信号、第二主时钟信号、第三主时钟信号以及第四主时钟信号，所述第一主时钟信号、所述第二主时钟信号、所述第三主时钟信号以及所述第四主时钟信号在所述GOA电路的作用周期依次分时有效；

[0046] 其中，在第1+8k级GOA单元和第2+8k级GOA单元中，所述第二控制时钟端接入所述第一主时钟信号，所述第三控制时钟端接入所述第二主时钟信号，所述第一控制时钟端接入所述第四主时钟信号；

[0047] 在第3+8k级GOA单元和第4+8k级GOA单元中，所述第二控制时钟端接入所述第二主时钟信号，所述第三控制时钟端接入所述第三主时钟信号，所述第一控制时钟端接入所述第一主时钟信号；

[0048] 在第5+8k级GOA单元和第6+8k级GOA单元中，所述第二控制时钟端接入所述第三主时钟信号，所述第三控制时钟端接入所述第四主时钟信号，所述第一控制时钟端接入所述第二主时钟信号；

[0049] 在第7+8k级GOA单元和第8+8k级GOA单元中，所述第二控制时钟端接入所述第四主时钟信号，所述第三控制时钟端接入所述第一主时钟信号，所述第一控制时钟端接入所述第三主时钟信号；k为正整数。

[0050] 在本申请所述的GOA电路中，所述GOA电路接收第一次时钟信号、第二次时钟信号、第三次时钟信号、第四次时钟信号、第五次时钟信号、第六次时钟信号、第七次时钟信号以及第八次时钟信号，所述第一次时钟信号、所述第二次时钟信号、所述第三次时钟信号、所述第四次时钟信号、所述第五次时钟信号、所述第六次时钟信号、所述第七次时钟信号以及所述第八次时钟信号在所述GOA电路的作用周期依次分时有效；

[0051] 其中，在第1+8k级GOA单元中，所述第二控制时钟端接入所述第一次时钟信号，所述第三控制时钟端接入所述第三次时钟信号，所述第一控制时钟端接入所述第七次时钟信号；

[0052] 在第2+8k级GOA单元中，所述第二控制时钟端接入所述第二次时钟信号，所述第三控制时钟端接入所述第四次时钟信号，所述第一控制时钟端接入所述第八次时钟信号；

- [0053] 在第3+8k级GOA单元中, 所述第二控制时钟端接入所述第三次主时钟信号, 所述第三控制时钟端接入所述第五次时钟信号, 所述第一控制时钟端接入所述第一次时钟信号;
- [0054] 在第4+8k级GOA单元中, 所述第二控制时钟端接入所述第四次主时钟信号, 所述第三控制时钟端接入所述第六次时钟信号, 所述第一控制时钟端接入所述第二次时钟信号;
- [0055] 在第5+8k级GOA单元中, 所述第二控制时钟端接入所述第五次时钟信号, 所述第三控制时钟端接入所述第七次时钟信号, 所述第一控制时钟端接入所述第三次时钟信号;
- [0056] 在第6+8k级GOA单元中, 所述第二控制时钟端接入所述第六次时钟信号, 所述第三控制时钟端接入所述第八次时钟信号, 所述第一控制时钟端接入所述第四次时钟信号;
- [0057] 在第7+8k级GOA单元中, 所述第二控制时钟端接入所述第七次时钟信号, 所述第三控制时钟端接入所述第一次时钟信号, 所述第一控制时钟端接入所述第五次时钟信号;
- [0058] 在第8+8k级GOA单元中, 所述第二控制时钟端接入所述第八次时钟信号, 所述第三控制时钟端接入所述第二次时钟信号, 所述第一控制时钟端接入所述第六次时钟信号; k为正整数。
- [0059] 在本申请所述的GOA电路中, 所述GOA单元还包括功能控制模块, 所述功能控制模块接入第一功能控制信号和第二功能控制信号, 并电性连接于所述第一节点、所述第二节点以及所述本级扫描驱动信号, 用于实现所述GOA电路的所有扫描驱动信号打开功能以及关闭功能。
- [0060] 在本申请所述的GOA电路中, 所述功能控制模块包括: 第十三晶体管、第十四晶体管、第十五晶体管以及第十六晶体管;
- [0061] 所述第十三晶体管的栅极、所述第十四晶体管的栅极以及所述第十五晶体管的源极、栅极接入所述第一功能控制信号, 所述第十六晶体管的栅极接入所述第二功能控制信号, 所述第十三晶体管的源极、所述第十四晶体管的源极以及所述第十六晶体管的源极接入所述恒压低电平信号, 所述第十三晶体管的漏极电

性连接于所述第一节点，所述第十四晶体管的漏极电性连接于所述第二节点，所述第十五晶体管的漏极以及所述第十六晶体管的漏极电性连接于所述本级扫描驱动信号。

[0062] 在本申请所述的GOA电路中，所述GOA电路包括打开功能阶段以及关闭功能阶段；其中，在所述打开功能阶段，所述第一功能控制信号为高电平，所述第二功能控制信号为低电平；在所述关闭功能阶段，所述第一功能控制信号为低电平，所述第二功能控制信号为高电平。

[0063] 本申请实施例还提供一种显示面板，其包括GOA电路，所述GOA电路包括：多级级联的GOA单元，每一级GOA单元均包括：正反扫描模块、输出模块以及下拉模块；

[0064] 所述正反扫描模块，接入上一级扫描驱动信号、正向扫描信号、下一级扫描驱动信号、反向扫描信号以及恒压低电平信号，并电性连接于第一控制时钟端、第三控制时钟端、第一节点以及第二节点，用于将所述正向扫描信号输出至所述第一节点，或用于将所述反向扫描信号输出至所述第一节点，并在所述第一节点的电位控制下将所述恒压低电平信号输出至所述第二节点；

[0065] 所述输出模块，接入所述恒压低电平信号以及恒压高电平信号，并电性连接于所述第一节点以及第二控制时钟端，用于输出本级扫描驱动信号；

[0066] 所述下拉模块，接入所述恒压低电平信号、所述正向扫描信号、所述反向扫描信号以及所述恒压高电平信号，并电性连接于所述第一控制时钟端、第三控制时钟端、所述第一节点以及所述本级扫描驱动信号，用于将所述第一节点的电位以及所述本级扫描驱动信号的电位下拉至所述恒压低电平信号的电位。

[0067] 在本申请所述的显示面板中，所述正反扫描模块包括：第一晶体管、第二晶体管、第三晶体管、第四晶体管以及第五晶体管；

[0068] 所述第一晶体管的栅极电性连接于所述第一控制时钟端，所述第一晶体管的源极接入所述正向扫描信号，所述第一晶体管的漏极电性连接于所述第二晶体管的源极，所述第二晶体管的栅极接入所述上一级扫描驱动信号，所述第二晶体管的漏极电性连接于所述第一节点，所述第三晶体管的栅极电性连接于所述第三控制时钟端，所述第三晶体管的源极接入所述反向扫描信号，所述第三晶体

管的漏极电性连接于所述第四晶体管的源极，所述第四晶体管的栅极接入所述下一级扫描驱动信号，所述第四晶体管的漏极电性连接于所述第一节点，所述第五晶体管的栅极电性连接于所述第一节点，所述第五晶体管的源极接入所述恒压低电平信号，所述第五晶体管的漏极电性连接于所述第二节点。

[0069] 在本申请所述的显示面板中，所述输出模块包括：第六晶体管、第七晶体管以及第一电容；

[0070] 所述第六晶体管的栅极接入所述恒压高电平信号，所述第六晶体管的源极电性连接于所述第一节点，所述第六晶体管的漏极电性连接于所述第七晶体管的栅极，所述第七晶体管的源极电性连接于所述第一控制时钟端，所述第七晶体管的漏极电性连接于所述本级扫描驱动信号，所述第一电容的一端电性连接于所述第一节点，所述第一电容的另一端电性连接于所述恒压低电平信号。

[0071] 在本申请所述的显示面板中，所述下拉模块包括：第八晶体管、第九晶体管、第十晶体管、第十一晶体管、第十二晶体管以及第二电容；

[0072] 所述第八晶体管的栅极接入所述正向扫描信号，所述第八晶体管的源极电性连接于所述第三控制时钟端，所述第九晶体管的栅极接入所述反向扫描信号，所述第九晶体管的源极电性连接于所述第一控制时钟端，所述第八晶体管的漏极、所述第九晶体管的漏极电性连接于所述第十晶体管的栅极，所述第十晶体管的源极接入所述恒压高电平信号，所述第十晶体管的漏极、所述第十一晶体管的栅极、所述第十二晶体管的栅极电性连接于所述第二节点，所述第十一晶体管的源极以及所述第十二晶体管的源极接入所述恒压低电平信号，所述第十一晶体管的漏极电性连接于所述第一节点，所述第十二晶体管的漏极电性连接于所述本级扫描驱动信号，所述第二电容的一端电性连接于所述第二节点，所述第二电容的另一端电性连接于所述恒压低电平信号。

发明的有益效果

有益效果

[0073] 本申请实施例提供的GOA电路及显示面板，通过在正反扫描模块中增加第一控制时钟端和第三控制时钟端以控制第一节点，从而可以减小第一节点在工作期间漏电，进而提高GOA电路的可靠性；另外，本申请实施例在打开功能阶段，

通过第一控制时钟端和第三控制时钟端隔绝正向扫描信号/反向扫描信号与第一节点的通路，采用高电平的正向扫描信号/反向扫描信号进行驱动，同时通过第一功能控制信号控制第一节点的通路，可以将第二控制时钟端的信号连通到GOA电路的不可控节点，避免GOA电路出现竞争通路。

对附图的简要说明

附图说明

[0074] 为了更清楚地说明本申请实施例中的技术方案，下面将对实施例描述中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本申请的一些实施例，对于本领域技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

[0075] 图1为本申请实施例提供的GOA电路的第一种结构示意图；

[0076] 图2为图1所示的GOA电路中一GOA单元的第一种电路示意图；

[0077] 图3为图1所示的GOA电路对应的第3级GOA单元的时序示意图；

[0078] 图4为图1所示的GOA电路中一GOA单元的第二种电路示意图；

[0079] 图5为图1所示的GOA电路中一GOA单元的第三种电路示意图；

[0080] 图6为本申请实施例提供的GOA电路的第二种结构示意图；

[0081] 图7为图6所示的GOA电路对应的第3级GOA单元的时序示意图；

[0082] 图8为本申请实施例提供的显示面板的结构示意图。

发明实施例

本发明的实施方式

[0083] 下面将结合本申请实施例中的附图，对本申请实施例中的技术方案进行清楚、完整地描述。显然，所描述的实施例仅仅是本申请一部分实施例，而不是全部的实施例。基于本申请中的实施例，本领域技术人员在没有作出创造性劳动前提下所获得的所有其他实施例，都属于本申请保护的范围。

[0084] 本申请所有实施例中采用的晶体管可以为薄膜晶体管或场效应管或其他特性相同的器件，由于这里采用的晶体管的源极、漏极是对称的，所以其源极、漏极是可以互换的。在本申请实施例中，为区分晶体管除栅极之外的两极，将其中一极称为源极，另一极称为漏极。按附图中的形态规定开关晶体管的中间端为

栅极、信号输入端为源极、输出端为漏极。此外本申请实施例所采用的晶体管可以包括P型晶体管和/或N型晶体管两种，其中，P型晶体管在栅极为低电平时导通，在栅极为高电平时截止，N型晶体管为在栅极为高电平时导通，在栅极为低电平时截止。

[0085] 请参阅图1，图1为本申请实施例提供的GOA电路的第一种结构示意图。如图1所示，本申请实施例的GOA电路10包括多级级联的GOA单元。其中，第n级GOA单元用于输出第n级扫描驱动信号以对显示区域中对应的第n条扫描线进行充电，从而实现显示面板的正常显示。

[0086] 具体来说，本申请实施例的GOA电路10包括奇数级GOA单元级联形成的第一GOA子电路11和偶数级GOA单元级联形成的第二GOA子电路12。本申请实施例的GOA电路采用隔行扫描的驱动方式，第一GOA子电路11和第二GOA子电路12同时输出扫描驱动信号。

[0087] 其中，本申请实施例的GOA电路10接收第一主时钟信号CK1、第二主时钟信号CK2、第三主时钟信号CK3以及第四主时钟信号CK4。第一主时钟信号CK1、第二主时钟信号CK2、第三主时钟信号CK3以及第四主时钟信号CK4在GOA电路10的作用周期依次分时有效。

[0088] 在一些实施例中，在第1+8k级GOA单元和第2+8k级GOA单元中，第二控制时钟端CKb接入第一主时钟信号CK1，第三控制时钟端CKc接入第二主时钟信号CK2，第一控制时钟端CKa接入第四主时钟信号CK4，其中，k为正整数。例如，在第1级GOA单元、第2级GOA单元、第9级GOA单元、第10级GOA单元中，第二控制时钟端CKb接入第一主时钟信号CK1，第三控制时钟端CKc接入第二主时钟信号CK2，第一控制时钟端CKa接入第四主时钟信号CK4。

[0089] 在一些实施例中，在第3+8k级GOA单元和第4+8k级GOA单元中，第二控制时钟端CKb接入第二主时钟信号CK2，第三控制时钟端CKc接入第三主时钟信号CK3，第一控制时钟端CKa接入第一主时钟信号CK1，其中，k为正整数。例如，在第3级GOA单元、第4级GOA单元中，第二控制时钟端CKb接入第二主时钟信号CK2，第三控制时钟端CKc接入第三主时钟信号CK3，第一控制时钟端CKa接入第一主时钟信号CK1。

- [0090] 在一些实施例中，在第 $5+8k$ 级GOA单元和第 $6+8k$ 级GOA单元中，第二控制时钟端CKb接入第三主时钟信号CK3，第三控制时钟端CKc接入第四主时钟信号CK4，第一控制时钟端CKa接入第二主时钟信号CK2，其中， k 为正整数。例如，在第5级GOA单元、第6级GOA单元中，第二控制时钟端CKb接入第三主时钟信号CK3，第三控制时钟端CKc接入第四主时钟信号CK4，第一控制时钟端CKa接入第二主时钟信号CK2。
- [0091] 在一些实施例中，在第 $7+8k$ 级GOA单元和第 $8+8k$ 级GOA单元中，第二控制时钟端CKb接入第四主时钟信号CK4，第三控制时钟端CKc接入第一主时钟信号CK1，第一控制时钟端CKa接入第三主时钟信号CK3，其中， k 为正整数。例如，在第7级GOA单元、第8级GOA单元中，第二控制时钟端CKb接入第四主时钟信号CK4，第三控制时钟端CKc接入第一主时钟信号CK1，第一控制时钟端CKa接入第三主时钟信号CK3。
- [0092] 进一步的，请参阅图2，图2为图1所示的GOA电路中一GOA单元的第一种电路示意图。结合图1、图2所示，该GOA单元包括：正反扫描模块101、输出模块102以及下拉模块103。
- [0093] 其中，正反扫描模块101接入上一级扫描驱动信号 $G(n-2)$ 、正向扫描信号 $U2D$ 、下一级扫描驱动信号 $G(n+2)$ 、反向扫描信号 $D2U$ 以及恒压低电平信号 VGL ，并电性连接于第一控制时钟端CKa、第三控制时钟端CKc、第一节点 $Q(n)$ 以及第二节点 $P(n)$ ，用于将正向扫描信号 $U2D$ 输出至第一节点 $Q(n)$ ，或用于将反向扫描信号 $D2U$ 输出至第一节点 $Q(n)$ ，并在第一节点 $Q(n)$ 的电位控制下将恒压低电平信号 VGL 输出至第二节点 $P(n)$ 。
- [0094] 其中，输出模块102接入恒压低电平信号 VGL 以及恒压高电平信号 VGH ，并电性连接于第一节点 $Q(n)$ 以及第二控制时钟端CKb，用于输出本级扫描驱动信号 $G(n)$ 。
- [0095] 其中，下拉模块103接入恒压低电平信号 VGL 、正向扫描信号 $U2D$ 、反向扫描信号 $D2U$ 以及恒压高电平信号 VGH ，并电性连接于第一控制时钟端CKa、第三控制时钟端CKc、第一节点 $Q(n)$ 以及本级扫描驱动信号 $G(n)$ ，用于将第一节点 $Q(n)$ 的电位以及本级扫描驱动信号 $G(n)$ 的电位下拉至恒压低电平信号 VGL 。

L的电位。

[0096] 具体的，正反扫描模块101包括：第一晶体管T1、第二晶体管T2、第三晶体管T3、第四晶体管T4以及第五晶体管T5。

[0097] 其中，第一晶体管T1的栅极电性连接于第一控制时钟端CKa，第一晶体管T1的源极接入正向扫描信号U2D，第一晶体管T1的漏极电性连接于第二晶体管T2的源极，第二晶体管T2的栅极接入上一级扫描驱动信号G (n-2)，第二晶体管T2的漏极电性连接于第一节点Q (n)，第三晶体管T3的栅极电性连接于第三控制时钟端CKc，第三晶体管T3的源极接入反向扫描信号D2U，第三晶体管T3的漏极电性连接于第四晶体管T4的源极，第四晶体管T4的栅极接入下一级扫描驱动信号G (n+2)，第四晶体管T4的漏极电性连接于第一节点Q (n)，第五晶体管T5的栅极电性连接于第一节点Q (n)，第五晶体管T5的源极接入恒压低电平信号VGL，第五晶体管T5的漏极电性连接于第二节点P (n)。

[0098] 具体的，输出模块102包括：第六晶体管T6、第七晶体管T7以及第一电容C1。

[0099] 其中，第六晶体管T6的栅极接入恒压高电平信号VGH，第六晶体管T6的源极电性连接于第一节点Q (n)，第六晶体管T6的漏极电性连接于第七晶体管T7的栅极，第七晶体管T7的源极电性连接于第一控制时钟端CKa，第七晶体管T7的漏极电性连接于本级扫描驱动信号G (n)，第一电容C1的一端电性连接于第一节点Q (n)，第一电容C1的另一端电性连接于恒压低电平信号VGL。

[0100] 具体的，下拉模块103包括：第八晶体管T8、第九晶体管T9、第十晶体管T10、第十一晶体管T11、第十二晶体管T12以及第二电容C2。

[0101] 其中，第八晶体管T8的栅极接入正向扫描信号U2D，第八晶体管T8的源极电性连接于第三控制时钟端CKc，第九晶体管T9的栅极接入反向扫描信号D2U，第九晶体管T9的源极电性连接于第一控制时钟端CKa，第八晶体管T8的漏极、第九晶体管T9的漏极电性连接于第十晶体管T10的栅极，第十晶体管T10的源极接入恒压高电平信号VGH，第十晶体管T10的漏极、第十一晶体管T11的栅极、第十二晶体管T12的栅极电性连接于第二节点P (n)，第十一晶体管T11的源极以及第十二晶体管T12的源极接入恒压低电平信号VGL，第十一晶体管T11的漏极电性连接于第一节点Q (n)，第十二晶体管T12的漏极电性连接于本级扫描驱动信

号G (n) , 第二电容C2的一端电性连接于所述第二节点P (n) , 第二电容C2的另一端电性连接于恒压低电平信号VGL。

[0102] 下面以第3级GOA单元为例说明图1所示的GOA电路对应的第3级GOA单元的工作原理。请参阅图3, 图3为图1所示的GOA电路对应的第3级GOA单元的时序示意图。其中, 第一主时钟信号CK1、第二主时钟信号CK2、第三主时钟信号CK3以及第四主时钟信号CK4为周期相同, 且具有相位差的时钟信号。需要说明的是, 在第3级GOA单元中, 第二控制时钟端CKb接入第二主时钟信号CK2, 第三控制时钟端CKc接入第三主时钟信号CK3, 第一控制时钟端CKa接入第一主时钟信号CK1。

[0103] 结合图1、图2、图3所示, 当GOA电路进行正向扫描时, 正向扫描信号U2D为高电平, 反向扫描信号D2U为低电平。在第一时间段t1, 第一主时钟信号CK1为高电平, 上一级扫描驱动信号G1为高电平, 此时, 第一晶体管T1和第二晶体管T2打开, 正向扫描信号U2D经第一晶体管T1和第二晶体管T2输出至第一节点Q (3) , 第一节点Q (3) 的电位被抬高。由于第一节点Q (3) 的电位被抬高, 使得第五晶体管T5打开, 恒压低电平信号输出至第二节点P (3) , 使得第十一晶体管T11和第十二晶体管T12关闭。与此同时, 由于第一节点Q (3) 的电位被抬高, 使得第七晶体管T7打开, 第二主时钟信号CK2为低电位, 第二主时钟信号CK2经第七晶体管T7输出, 因此本级扫描驱动信号G (3) 为低电位。

[0104] 在第二时间段t2, 由于第一电容C1和第二电容C2的作用, 使得此时第一节点Q (3) 的电位仍为高电位, 第二节点P (3) 的电位仍为低电位。此时, 第二主时钟信号CK2为高电位, 第二主时钟信号CK2经第七晶体管T7输出, 因此本级扫描驱动信号G (3) 为高电位。

[0105] 在第三时间段t3, 第三主时钟信号CK3为高电位, 使得第十晶体管T10打开, 恒压高电平信号VGH经第十晶体管T10输出至第二节点P (3) , 第十一晶体管T11和第十二晶体管T12打开, 恒压低电平信号VGL经第十一晶体管T11输出至第一节点Q (3) , 恒压低电平信号VGL经第十二晶体管T12输出至本级扫描驱动信号G (3) , 此时, 第一节点Q (3) 的电位和本级扫描驱动信号G (3) 的电位被下拉至恒压低电平信号VGL的电位。

[0106] 同样，当GOA电路进行反向扫描时，正向扫描信号U2D为低电平，反向扫描信号D2U为高电平。在第三时间段t3，第三主时钟信号CK3为高电平，下一级扫描驱动信号G5为高电平，此时，第三晶体管T3和第四晶体管T4打开，反向扫描信号D2U经第三晶体管T3和第四晶体管T4输出至第一节点Q（3），第一节点Q（3）的电位被抬高。由于第一节点Q（3）的电位被抬高，使得第五晶体管T5打开，恒压低电平信号输出至第二节点P（3），使得第十一晶体管T11和第十二晶体管T12关闭。与此同时，由于第一节点Q（3）的电位被抬高，使得第七晶体管T7打开，第二主时钟信号CK2为低电位，第二主时钟信号CK2经第七晶体管T7输出，因此本级扫描驱动信号G（3）为低电位。

[0107] 在第二时间段t2，由于第一电容C1和第二电容C2的作用，使得此时第一节点Q（3）的电位仍为高电位，第二节点P（3）的电位仍为低电位。此时，第二主时钟信号CK2为高电位，第二主时钟信号CK2经第七晶体管T7输出，因此本级扫描驱动信号G（3）为高电位。

[0108] 在第一时间段t1，第一主时钟信号CK1为高电位，使得第十晶体管T10打开，恒压高电平信号VGH经第十晶体管T10输出至第二节点P（3），第十一晶体管T11和第十二晶体管T12打开，恒压低电平信号VGL经第十一晶体管T11输出至第一节点Q（3），恒压低电平信号VGL经第十二晶体管T12输出至本级扫描驱动信号G（3），此时，第一节点Q（3）的电位和本级扫描驱动信号G（3）的电位被下拉至恒压低电平信号VGL的电位。

[0109] 需要说明的是，本申请实施例的GOA电路10通过在正反扫描模块101中增加第一控制时钟端CKa和第三控制时钟端CKc以控制第一节点Q（n），从而可以减小第一节点Q（n）在工作期间漏电，进而提高GOA电路10的可靠性。

[0110] 请参阅图4，图4为图1所示的GOA电路中一GOA单元的第二种电路示意图。其中，图4所示的GOA单元与图2所示的GOA单元的区别在于：图4所示的GOA单元还包括：功能控制模块104，该功能控制模块104接入第一功能控制信号Gas1和第二功能控制信号Gas2，并电性连接于第一节点Q（n）、第二节点P（n）以及本级扫描驱动信号G（n），用于实现GOA电路10的所有扫描驱动信号打开功能以及关闭功能。

- [0111] 具体的，功能控制模块104包括：第十三晶体管T13、第十四晶体管T14、第十五晶体管T15以及第十六晶体管T16。
- [0112] 第十三晶体管T13的栅极、第十四晶体管T14的栅极以及第十五晶体管T15的源极、栅极接入第一功能控制信号Gas1，第十六晶体管T16的栅极接入第二功能控制信号Gas2，第十三晶体管T13的源极、第十四晶体管T14的源极以及第十六晶体管T16的源极接入恒压低电平信号VGL，第十三晶体管T13的漏极电性连接于第一节点Q（n），第十四晶体管T14的漏极电性连接于第二节点P（n），第十五晶体管T15的漏极以及第十六晶体管T16的漏极电性连接于本级扫描驱动信号G（n）。
- [0113] 其中，GOA电路10包括打开功能阶段以及关闭功能阶段。在打开功能阶段，第一功能控制信号Gas1为高电平，第二功能控制信号Gas2为低电平；在关闭功能阶段，第一功能控制信号Gas1为低电平，第二功能控制信号Gas2为高电平。
- [0114] 需要说明的是，本申请实施例的GOA电路10在打开功能阶段，通过第一控制时钟端CKa和第三控制时钟端CKc隔绝正向扫描信号U2D/反向扫描信号D2U与第一节点Q（n）的通路，采用高电平的正向扫描信号U2D/反向扫描信号D2U进行驱动，同时通过第一功能控制信号Gas1控制第一节点Q（n）的通路，可以将第二控制时钟端CKb的信号连通到GOA电路10的不可控节点，避免GOA电路10出现竞争通路。
- [0115] 请参阅图5，图5为图1所示的GOA电路中一GOA单元的第三种电路示意图。其中，图5所示的GOA单元与图4所示的GOA单元的区别在于：图4所示的第十三晶体管T13的漏极与第六晶体管T6的源极电性连接，图5所示的第十三晶体管T13的漏极与第六晶体管T6的漏极电性连接。由于第六晶体管T6的栅极接入恒压高电平信号，因此，图5所示的GOA单元与图4所示的GOA单元的工作原理一致，在此不做赘述。
- [0116] 请参阅图6，图6为本申请实施例提供的GOA电路的第二种结构示意图。图6所示的GOA电路20与图1所示的GOA电路10的区别在于：第一控制时钟端CKa、第二控制时钟端CKb和第三控制时钟端CKc接入的时钟信号不同。
- [0117] 其中，本申请实施例的GOA电路20接收第一次时钟信号CK11、第二次时钟信

号CK12、第三次时钟信号CK13、第四次时钟信号CK14、第五次时钟信号CK15、第六次时钟信号CK16、第七次时钟信号CK17以及第八次时钟信号CK18，第一次时钟信号CK11、第二次时钟信号CK12、第三次时钟信号CK13、第四次时钟信号CK14、第五次时钟信号CK15、第六次时钟信号CK16、第七次时钟信号CK17以及第八次时钟信号CK18在GOA电路20的作用周期依次分时有效。

[0118] 在一些实施例中，在第 $1+8k$ 级GOA单元中，第二控制时钟端CKb接入第一次时钟信号CK11，第三控制时钟端CKc接入第三次时钟信号CK13，第一控制时钟端CKa接入第七次时钟信号CK17，其中， k 为正整数。例如，在第1级GOA单元、第9级GOA单元中，第二控制时钟端CKb接入第一次时钟信号CK11，第三控制时钟端CKc接入第三次时钟信号CK13，第一控制时钟端CKa接入第七次时钟信号CK17。

[0119] 在一些实施例中，在第 $2+8k$ 级GOA单元中，第二控制时钟端CKb接入第二次时钟信号CK12，第三控制时钟端CKc接入第四次时钟信号CK14，第一控制时钟端CKa接入第八次时钟信号CK18，其中， k 为正整数。例如，在第2级GOA单元、第10级GOA单元中，第二控制时钟端CKb接入第二次时钟信号CK12，第三控制时钟端CKc接入第四次时钟信号CK14，第一控制时钟端CKa接入第八次时钟信号CK18。

[0120] 在一些实施例中，在第 $3+8k$ 级GOA单元中，第二控制时钟端CKb接入第三次主时钟信号，第三控制时钟端CKc接入第五次时钟信号CK15，第一控制时钟端CKa接入第一次时钟信号CK11，其中， k 为正整数。例如，在第3级GOA单元中，第二控制时钟端CKb接入第三次主时钟信号，第三控制时钟端CKc接入第五次时钟信号CK15，第一控制时钟端CKa接入第一次时钟信号CK11。

[0121] 在一些实施例中，在第 $4+8k$ 级GOA单元中，第二控制时钟端CKb接入第四次主时钟信号，第三控制时钟端CKc接入第六次时钟信号CK16，第一控制时钟端CKa接入第二次时钟信号CK12，其中， k 为正整数。例如，在第4级GOA单元中，第二控制时钟端CKb接入第四次主时钟信号，第三控制时钟端CKc接入第六次时钟信号CK16，第一控制时钟端CKa接入第二次时钟信号CK12。

[0122] 在一些实施例中，在第 $5+8k$ 级GOA单元中，第二控制时钟端CKb接入第五次时

钟信号CK15，第三控制时钟端CKc接入第七次时钟信号CK17，第一控制时钟端CKa接入第三次时钟信号CK13，其中，k为正整数。例如，在第5级GOA单元中，第二控制时钟端CKb接入第五次时钟信号CK15，第三控制时钟端CKc接入第七次时钟信号CK17，第一控制时钟端CKa接入第三次时钟信号CK13。

[0123] 在一些实施例中，在第6+8k级GOA单元中，第二控制时钟端CKb接入第六次时钟信号CK16，第三控制时钟端CKc接入第八次时钟信号CK18，第一控制时钟端CKa接入第四次时钟信号CK14，其中，k为正整数。例如，在第6级GOA单元中，第二控制时钟端CKb接入第六次时钟信号CK16，第三控制时钟端CKc接入第八次时钟信号CK18，第一控制时钟端CKa接入第四次时钟信号CK14。

[0124] 在一些实施例中，在第7+8k级GOA单元中，第二控制时钟端CKb接入第七次时钟信号CK17，第三控制时钟端CKc接入第一次时钟信号CK11，第一控制时钟端CKa接入第五次时钟信号CK15，其中，k为正整数。例如，在第7级GOA单元中，第二控制时钟端CKb接入第七次时钟信号CK17，第三控制时钟端CKc接入第一次时钟信号CK11，第一控制时钟端CKa接入第五次时钟信号CK15。

[0125] 在一些实施例中，在第8+8k级GOA单元中，第二控制时钟端CKb接入第八次时钟信号CK18，第三控制时钟端CKc接入第二次时钟信号CK12，第一控制时钟端CKa接入第六次时钟信号CK16，其中，k为正整数。例如，在第8级GOA单元中，第二控制时钟端CKb接入第八次时钟信号CK18，第三控制时钟端CKc接入第二次时钟信号CK12，第一控制时钟端CKa接入第六次时钟信号CK16。

[0126] 需要说明的是，图6所示的GOA电路20中的GOA单元的电路示意图与图1所示的GOA电路10中的GOA单元的电路示意图一致，具体可参照图2、图4、图5中的描述，在此不做赘述。

[0127] 下面以第3级GOA单元为例说明图6所示的GOA电路对应的第3级GOA单元的工作原理。

[0128] 请参阅图7，图7为图6所示的GOA电路对应的第3级GOA单元的时序示意图。其中，第一次时钟信号CK11、第二次时钟信号CK12、第三次时钟信号CK13、第四次时钟信号CK14、第五次时钟信号CK15、第六次时钟信号CK16、第七次时钟信号CK17以及第八次时钟信号CK18为周期相同，且具有相位差的时钟信号

。需要说明的是，在第3级GOA单元中，第二控制时钟端CKb接入第三次时钟信号CK13，第三控制时钟端CKc接入第五次时钟信号CK15，第一控制时钟端CKa接入第一次时钟信号CK11。

[0129] 结合图6、图7、图3所示，当GOA电路进行正向扫描时，正向扫描信号U2D为高电平，反向扫描信号D2U为低电平。在第一时间段t11，第一次时钟信号CK11为高电平，上一级扫描驱动信号G1为高电平，此时，第一晶体管T1和第二晶体管T2打开，正向扫描信号U2D经第一晶体管T1和第二晶体管T2输出至第一节点Q（3），第一节点Q（3）的电位被抬高。由于第一节点Q（3）的电位被抬高，使得第五晶体管T5打开，恒压低电平信号输出至第二节点P（3），使得第十一晶体管T11和第十二晶体管T12关闭。与此同时，由于第一节点Q（3）的电位被抬高，使得第七晶体管T7打开，第三次时钟信号CK13为低电位，第三次时钟信号CK13经第七晶体管T7输出，因此本级扫描驱动信号G（3）为低电位。

[0130] 在第二时间段t12，由于第一电容C1和第二电容C2的作用，使得此时第一节点Q（3）的电位仍为高电位，第二节点P（3）的电位仍为低电位。此时，第三次时钟信号CK13为高电位，第三次时钟信号CK13经第七晶体管T7输出，因此本级扫描驱动信号G（3）为高电位。

[0131] 在第三时间段t13，第五次时钟信号CK15为高电位，使得第十晶体管T10打开，恒压高电平信号VGH经第十晶体管T10输出至第二节点P（3），第十一晶体管T11和第十二晶体管T12打开，恒压低电平信号VGL经第十一晶体管T11输出至第一节点Q（3），恒压低电平信号VGL经第十二晶体管T12输出至本级扫描驱动信号G（3），此时，第一节点Q（3）的电位和本级扫描驱动信号G（3）的电位被下拉至恒压低电平信号VGL的电位。

[0132] 同样，当GOA电路进行反向扫描时，正向扫描信号为低电平，反向扫描信号为高电平。在第三时间段t13，第五次时钟信号CK15为高电平，下一级扫描驱动信号G5为高电平，此时，第三晶体管T3和第四晶体管T4打开，反向扫描信号D2U经第三晶体管T3和第四晶体管T4输出至第一节点Q（3），第一节点Q（3）的电位被抬高。由于第一节点Q（3）的电位被抬高，使得第五晶体管T5打开，恒压低电平信号输出至第二节点P（3），使得第十一晶体管T11和第十二晶体管T12

关闭。与此同时，由于第一节点Q（3）的电位被抬高，使得第七晶体管T7打开，第三次时钟信号CK13为低电位，第三次时钟信号CK13经第七晶体管T7输出，因此本级扫描驱动信号G（3）为低电位。

[0133] 在第二时间段t12，由于第一电容C1和第二电容C2的作用，使得此时第一节点Q（3）的电位仍为高电位，第二节点P（3）的电位仍为低电位。此时，第三次时钟信号CK13为高电位，第三次时钟信号CK13经第七晶体管T7输出，因此本级扫描驱动信号G（3）为高电位。

[0134] 在第一时间段t11，第一次时钟信号CK11为高电位，使得第十晶体管T10打开，恒压高电平信号VGH经第十晶体管T10输出至第二节点P（3），第十一晶体管T11和第十二晶体管T12打开，恒压低电平信号VGL经第十一晶体管T11输出至第一节点Q（3），恒压低电平信号VGL经第十二晶体管T12输出至本级扫描驱动信号G（3），此时，第一节点Q（3）的电位和本级扫描驱动信号G（3）的电位被下拉至恒压低电平信号VGL的电位。

[0135] 请参阅图8，图8为本申请实施例提供的显示面板的结构示意图。如图8所示，该显示面板包括显示区域100以及集成设置在显示区域100边缘上的GOA电路200；其中，该GOA电路200与上述的GOA电路的结构和原理类似，这里不再赘述。

[0136] 以上仅为本发明的实施例，并非因此限制本发明的专利范围，凡是利用本发明说明书及附图内容所作的等效结构或等效流程变换，或直接或间接运用在其他相关的技术领域，均同理包括在本发明的专利保护范围内。

权利要求书

[权利要求 1]

一种GOA电路，其包括：多级级联的GOA单元，每一级GOA单元均包括：正反扫描模块、输出模块以及下拉模块；

所述正反扫描模块，接入上一级扫描驱动信号、正向扫描信号、下一级扫描驱动信号、反向扫描信号以及恒压低电平信号，并电性连接于第一控制时钟端、第三控制时钟端、第一节点以及第二节点，用于将所述正向扫描信号输出至所述第一节点，或用于将所述反向扫描信号输出至所述第一节点，并在所述第一节点的电位控制下将所述恒压低电平信号输出至所述第二节点；

所述输出模块，接入所述恒压低电平信号以及恒压高电平信号，并电性连接于所述第一节点以及第二控制时钟端，用于输出本级扫描驱动信号；

所述下拉模块，接入所述恒压低电平信号、所述正向扫描信号、所述反向扫描信号以及所述恒压高电平信号，并电性连接于所述第一控制时钟端、第三控制时钟端、所述第一节点以及所述本级扫描驱动信号，用于将所述第一节点的电位以及所述本级扫描驱动信号的电位下拉至所述恒压低电平信号的电位；

其中，所述正向扫描信号以及所述反向扫描信号均为直流电源，且所述正向扫描信号的电位与所述反向扫描信号的电位相反；

所述正反扫描模块包括：第一晶体管、第二晶体管、第三晶体管、第四晶体管以及第五晶体管；

所述第一晶体管的栅极电性连接于所述第一控制时钟端，所述第一晶体管的源极接入所述正向扫描信号，所述第一晶体管的漏极电性连接于所述第二晶体管的源极，所述第二晶体管的栅极接入所述上一级扫描驱动信号，所述第二晶体管的漏极电性连接于所述第一节点，所述第三晶体管的栅极电性连接于所述第三控制时钟端，所述第三晶体管的源极接入所述反向扫描信号，所述第三晶体管的漏极电性连接于所述第四晶体管的源极，所述第四晶体管的栅极接入所述下一级扫描驱

动信号，所述第四晶体管的漏极电性连接于所述第一节点，所述第五晶体管的栅极电性连接于所述第一节点，所述第五晶体管的源极接入所述恒压低电平信号，所述第五晶体管的漏极电性连接于所述第二节点；

所述输出模块包括：第六晶体管、第七晶体管以及第一电容；

所述第六晶体管的栅极接入所述恒压高电平信号，所述第六晶体管的源极电性连接于所述第一节点，所述第六晶体管的漏极电性连接于所述第七晶体管的栅极，所述第七晶体管的源极电性连接于所述第一控制时钟端，所述第七晶体管的漏极电性连接于所述本级扫描驱动信号，所述第一电容的一端电性连接于所述第一节点，所述第一电容的另一端电性连接于所述恒压低电平信号。

[权利要求 2]

根据权利要求1所述的GOA电路，其中，所述下拉模块包括：第八晶体管、第九晶体管、第十晶体管、第十一晶体管、第十二晶体管以及第二电容；

所述第八晶体管的栅极接入所述正向扫描信号，所述第八晶体管的源极电性连接于所述第三控制时钟端，所述第九晶体管的栅极接入所述反向扫描信号，所述第九晶体管的源极电性连接于所述第一控制时钟端，所述第八晶体管的漏极、所述第九晶体管的漏极电性连接于所述第十晶体管的栅极，所述第十晶体管的源极接入所述恒压高电平信号，所述第十晶体管的漏极、所述第十一晶体管的栅极、所述第十二晶体管的栅极电性连接于所述第二节点，所述第十一晶体管的源极以及所述第十二晶体管的源极接入所述恒压低电平信号，所述第十一晶体管的漏极电性连接于所述第一节点，所述第十二晶体管的漏极电性连接于所述本级扫描驱动信号，所述第二电容的一端电性连接于所述第二节点，所述第二电容的另一端电性连接于所述恒压低电平信号。

[权利要求 3]

根据权利要求1所述的GOA电路，其中，所述GOA电路接收第一主时钟信号、第二主时钟信号、第三主时钟信号以及第四主时钟信号，所述第一主时钟信号、所述第二主时钟信号、所述第三主时钟信号以及

所述第四主时钟信号在所述GOA电路的作用周期依次分时有效；

其中，在第 $1+8k$ 级GOA单元和第 $2+8k$ 级GOA单元中，所述第二控制时钟端接入所述第一主时钟信号，所述第三控制时钟端接入所述第二主时钟信号，所述第一控制时钟端接入所述第四主时钟信号；

在第 $3+8k$ 级GOA单元和第 $4+8k$ 级GOA单元中，所述第二控制时钟端接入所述第二主时钟信号，所述第三控制时钟端接入所述第三主时钟信号，所述第一控制时钟端接入所述第一主时钟信号；

在第 $5+8k$ 级GOA单元和第 $6+8k$ 级GOA单元中，所述第二控制时钟端接入所述第三主时钟信号，所述第三控制时钟端接入所述第四主时钟信号，所述第一控制时钟端接入所述第二主时钟信号；

在第 $7+8k$ 级GOA单元和第 $8+8k$ 级GOA单元中，所述第二控制时钟端接入所述第四主时钟信号，所述第三控制时钟端接入所述第一主时钟信号，所述第一控制时钟端接入所述第三主时钟信号； k 为正整数。

[权利要求 4]

根据权利要求1所述的GOA电路，其中，所述GOA电路接收第一次时钟信号、第二次时钟信号、第三次时钟信号、第四次时钟信号、第五次时钟信号、第六次时钟信号、第七次时钟信号以及第八次时钟信号，所述第一次时钟信号、所述第二次时钟信号、所述第三次时钟信号、所述第四次时钟信号、所述第五次时钟信号、所述第六次时钟信号、所述第七次时钟信号以及所述第八次时钟信号在所述GOA电路的作用周期依次分时有效；

其中，在第 $1+8k$ 级GOA单元中，所述第二控制时钟端接入所述第一次时钟信号，所述第三控制时钟端接入所述第三次时钟信号，所述第一控制时钟端接入所述第七次时钟信号；

在第 $2+8k$ 级GOA单元中，所述第二控制时钟端接入所述第二次时钟信号，所述第三控制时钟端接入所述第四次时钟信号，所述第一控制时钟端接入所述第八次时钟信号；

在第 $3+8k$ 级GOA单元中，所述第二控制时钟端接入所述第三次主时钟信号，所述第三控制时钟端接入所述第五次时钟信号，所述第一控

制时钟端接入所述第一次时钟信号；

在第 $4+8k$ 级GOA单元中，所述第二控制时钟端接入所述第四次主时钟信号，所述第三控制时钟端接入所述第六次时钟信号，所述第一控制时钟端接入所述第二次时钟信号；

在第 $5+8k$ 级GOA单元中，所述第二控制时钟端接入所述第五次时钟信号，所述第三控制时钟端接入所述第七次时钟信号，所述第一控制时钟端接入所述第三次时钟信号；

在第 $6+8k$ 级GOA单元中，所述第二控制时钟端接入所述第六次时钟信号，所述第三控制时钟端接入所述第八次时钟信号，所述第一控制时钟端接入所述第四次时钟信号；

在第 $7+8k$ 级GOA单元中，所述第二控制时钟端接入所述第七次时钟信号，所述第三控制时钟端接入所述第一次时钟信号，所述第一控制时钟端接入所述第五次时钟信号；

在第 $8+8k$ 级GOA单元中，所述第二控制时钟端接入所述第八次时钟信号，所述第三控制时钟端接入所述第二次时钟信号，所述第一控制时钟端接入所述第六次时钟信号； k 为正整数。

[权利要求 5] 根据权利要求1所述的GOA电路，其中，所述GOA单元还包括功能控制模块，所述功能控制模块接入第一功能控制信号和第二功能控制信号，并电性连接于所述第一节点、所述第二节点以及所述本级扫描驱动信号，用于实现所述GOA电路的所有扫描驱动信号打开功能以及关闭功能。

[权利要求 6] 根据权利要求5所述的GOA电路，其中，所述功能控制模块包括：第十三晶体管、第十四晶体管、第十五晶体管以及第十六晶体管；所述第十三晶体管的栅极、所述第十四晶体管的栅极以及所述第十五晶体管的源极、栅极接入所述第一功能控制信号，所述第十六晶体管的栅极接入所述第二功能控制信号，所述第十三晶体管的源极、所述第十四晶体管的源极以及所述第十六晶体管的源极接入所述恒压低电平信号，所述第十三晶体管的漏极电性连接于所述第一节点，所述第

十四晶体管的漏极电性连接于所述第二节点，所述第十五晶体管的漏极以及所述第十六晶体管的漏极电性连接于所述本级扫描驱动信号。

[权利要求 7] 根据权利要求6所述的GOA电路，其中，所述GOA电路包括打开功能阶段以及关闭功能阶段；其中，在所述打开功能阶段，所述第一功能控制信号为高电平，所述第二功能控制信号为低电平；在所述关闭功能阶段，所述第一功能控制信号为低电平，所述第二功能控制信号为高电平。

[权利要求 8] 一种GOA电路，其包括：多级级联的GOA单元，每一级GOA单元均包括：正反扫描模块、输出模块以及下拉模块；
所述正反扫描模块，接入上一级扫描驱动信号、正向扫描信号、下一级扫描驱动信号、反向扫描信号以及恒压低电平信号，并电性连接于第一控制时钟端、第三控制时钟端、第一节点以及第二节点，用于将所述正向扫描信号输出至所述第一节点，或用于将所述反向扫描信号输出至所述第一节点，并在所述第一节点的电位控制下将所述恒压低电平信号输出至所述第二节点；
所述输出模块，接入所述恒压低电平信号以及恒压高电平信号，并电性连接于所述第一节点以及第二控制时钟端，用于输出本级扫描驱动信号；
所述下拉模块，接入所述恒压低电平信号、所述正向扫描信号、所述反向扫描信号以及所述恒压高电平信号，并电性连接于所述第一控制时钟端、第三控制时钟端、所述第一节点以及所述本级扫描驱动信号，用于将所述第一节点的电位以及所述本级扫描驱动信号的电位下拉至所述恒压低电平信号的电位；
其中，所述正向扫描信号以及所述反向扫描信号均为直流电源，且所述正向扫描信号的电位与所述反向扫描信号的电位相反。

[权利要求 9] 根据权利要求8所述的GOA电路，其中，所述正反扫描模块包括：第一晶体管、第二晶体管、第三晶体管、第四晶体管以及第五晶体管；所述第一晶体管的栅极电性连接于所述第一控制时钟端，所述第一晶

体管的源极接入所述正向扫描信号，所述第一晶体管的漏极电性连接于所述第二晶体管的源极，所述第二晶体管的栅极接入所述上一级扫描驱动信号，所述第二晶体管的漏极电性连接于所述第一节点，所述第三晶体管的栅极电性连接于所述第三控制时钟端，所述第三晶体管的源极接入所述反向扫描信号，所述第三晶体管的漏极电性连接于所述第四晶体管的源极，所述第四晶体管的栅极接入所述下一级扫描驱动信号，所述第四晶体管的漏极电性连接于所述第一节点，所述第五晶体管的栅极电性连接于所述第一节点，所述第五晶体管的源极接入所述恒压低电平信号，所述第五晶体管的漏极电性连接于所述第二节点。

[权利要求 10] 根据权利要求8所述的GOA电路，其中，所述输出模块包括：第六晶体管、第七晶体管以及第一电容；所述第六晶体管的栅极接入所述恒压高电平信号，所述第六晶体管的源极电性连接于所述第一节点，所述第六晶体管的漏极电性连接于所述第七晶体管的栅极，所述第七晶体管的源极电性连接于所述第一控制时钟端，所述第七晶体管的漏极电性连接于所述本级扫描驱动信号，所述第一电容的一端电性连接于所述第一节点，所述第一电容的另一端电性连接于所述恒压低电平信号。

[权利要求 11] 根据权利要求8所述的GOA电路，其中，所述下拉模块包括：第八晶体管、第九晶体管、第十晶体管、第十一晶体管、第十二晶体管以及第二电容；所述第八晶体管的栅极接入所述正向扫描信号，所述第八晶体管的源极电性连接于所述第三控制时钟端，所述第九晶体管的栅极接入所述反向扫描信号，所述第九晶体管的源极电性连接于所述第一控制时钟端，所述第八晶体管的漏极、所述第九晶体管的漏极电性连接于所述第十晶体管的栅极，所述第十晶体管的源极接入所述恒压高电平信号，所述第十晶体管的漏极、所述第十一晶体管的栅极、所述第十二晶体管的栅极电性连接于所述第二节点，所述第十一晶体管的源极以及

所述第十二晶体管的源极接入所述恒压低电平信号，所述第十一晶体管的漏极电性连接于所述第一节点，所述第十二晶体管的漏极电性连接于所述本级扫描驱动信号，所述第二电容的一端电性连接于所述第二节点，所述第二电容的另一端电性连接于所述恒压低电平信号。

[权利要求 12] 根据权利要求8所述的GOA电路，其中，所述GOA电路接收第一主时钟信号、第二主时钟信号、第三主时钟信号以及第四主时钟信号，所述第一主时钟信号、所述第二主时钟信号、所述第三主时钟信号以及所述第四主时钟信号在所述GOA电路的作用周期依次分时有效；其中，在第 $1+8k$ 级GOA单元和第 $2+8k$ 级GOA单元中，所述第二控制时钟端接入所述第一主时钟信号，所述第三控制时钟端接入所述第二主时钟信号，所述第一控制时钟端接入所述第四主时钟信号；在第 $3+8k$ 级GOA单元和第 $4+8k$ 级GOA单元中，所述第二控制时钟端接入所述第二主时钟信号，所述第三控制时钟端接入所述第三主时钟信号，所述第一控制时钟端接入所述第一主时钟信号；在第 $5+8k$ 级GOA单元和第 $6+8k$ 级GOA单元中，所述第二控制时钟端接入所述第三主时钟信号，所述第三控制时钟端接入所述第四主时钟信号，所述第一控制时钟端接入所述第二主时钟信号；在第 $7+8k$ 级GOA单元和第 $8+8k$ 级GOA单元中，所述第二控制时钟端接入所述第四主时钟信号，所述第三控制时钟端接入所述第一主时钟信号，所述第一控制时钟端接入所述第三主时钟信号； k 为正整数。

[权利要求 13] 根据权利要求8所述的GOA电路，其中，所述GOA电路接收第一次时钟信号、第二次时钟信号、第三次时钟信号、第四次时钟信号、第五次时钟信号、第六次时钟信号、第七次时钟信号以及第八次时钟信号，所述第一时钟信号、所述第二时钟信号、所述第三次时钟信号、所述第四次时钟信号、所述第五次时钟信号、所述第六次时钟信号、所述第七次时钟信号以及所述第八次时钟信号在所述GOA电路的作用周期依次分时有效；其中，在第 $1+8k$ 级GOA单元中，所述第二控制时钟端接入所述第一

次时钟信号，所述第三控制时钟端接入所述第三次时钟信号，所述第一控制时钟端接入所述第七次时钟信号；

在第 $2+8k$ 级GOA单元中，所述第二控制时钟端接入所述第二次时钟信号，所述第三控制时钟端接入所述第四次时钟信号，所述第一控制时钟端接入所述第八次时钟信号；

在第 $3+8k$ 级GOA单元中，所述第二控制时钟端接入所述第三次主时钟信号，所述第三控制时钟端接入所述第五次时钟信号，所述第一控制时钟端接入所述第一次时钟信号；

在第 $4+8k$ 级GOA单元中，所述第二控制时钟端接入所述第四次主时钟信号，所述第三控制时钟端接入所述第六次时钟信号，所述第一控制时钟端接入所述第二次时钟信号；

在第 $5+8k$ 级GOA单元中，所述第二控制时钟端接入所述第五次时钟信号，所述第三控制时钟端接入所述第七次时钟信号，所述第一控制时钟端接入所述第三次时钟信号；

在第 $6+8k$ 级GOA单元中，所述第二控制时钟端接入所述第六次时钟信号，所述第三控制时钟端接入所述第八次时钟信号，所述第一控制时钟端接入所述第四次时钟信号；

在第 $7+8k$ 级GOA单元中，所述第二控制时钟端接入所述第七次时钟信号，所述第三控制时钟端接入所述第一次时钟信号，所述第一控制时钟端接入所述第五次时钟信号；

在第 $8+8k$ 级GOA单元中，所述第二控制时钟端接入所述第八次时钟信号，所述第三控制时钟端接入所述第二次时钟信号，所述第一控制时钟端接入所述第六次时钟信号； k 为正整数。

[权利要求 14]

根据权利要求8所述的GOA电路，其中，所述GOA单元还包括功能控制模块，所述功能控制模块接入第一功能控制信号和第二功能控制信号，并电性连接于所述第一节点、所述第二节点以及所述本级扫描驱动信号，用于实现所述GOA电路的所有扫描驱动信号打开功能以及关闭功能。

- [权利要求 15] 根据权利要求14所述的GOA电路，其中，所述功能控制模块包括：
第十三晶体管、第十四晶体管、第十五晶体管以及第十六晶体管；
所述第十三晶体管的栅极、所述第十四晶体管的栅极以及所述第十五晶体管的源极、栅极接入所述第一功能控制信号，所述第十六晶体管的栅极接入所述第二功能控制信号，所述第十三晶体管的源极、所述第十四晶体管的源极以及所述第十六晶体管的源极接入所述恒压低电平信号，所述第十三晶体管的漏极电性连接于所述第一节点，所述第十四晶体管的漏极电性连接于所述第二节点，所述第十五晶体管的漏极以及所述第十六晶体管的漏极电性连接于所述本级扫描驱动信号。
- [权利要求 16] 根据权利要求15所述的GOA电路，其中，所述GOA电路包括打开功能阶段以及关闭功能阶段；其中，在所述打开功能阶段，所述第一功能控制信号为高电平，所述第二功能控制信号为低电平；在所述关闭功能阶段，所述第一功能控制信号为低电平，所述第二功能控制信号为高电平。
- [权利要求 17] 一种显示面板，其包括GOA电路，所述GOA电路包括：多级级联的GOA单元，每一级GOA单元均包括：正反扫描模块、输出模块以及下拉模块；
所述正反扫描模块，接入上一级扫描驱动信号、正向扫描信号、下一级扫描驱动信号、反向扫描信号以及恒压低电平信号，并电性连接于第一控制时钟端、第三控制时钟端、第一节点以及第二节点，用于将所述正向扫描信号输出至所述第一节点，或用于将所述反向扫描信号输出至所述第一节点，并在所述第一节点的电位控制下将所述恒压低电平信号输出至所述第二节点；
所述输出模块，接入所述恒压低电平信号以及恒压高电平信号，并电性连接于所述第一节点以及第二控制时钟端，用于输出本级扫描驱动信号；
所述下拉模块，接入所述恒压低电平信号、所述正向扫描信号、所述反向扫描信号以及所述恒压高电平信号，并电性连接于所述第一控制

时钟端、第三控制时钟端、所述第一节点以及所述本级扫描驱动信号，用于将所述第一节点的电位以及所述本级扫描驱动信号的电位下拉至所述恒压低电平信号的电位。

[权利要求 18] 根据权利要求17所述的显示面板，其中，所述正反扫描模块包括：第一晶体管、第二晶体管、第三晶体管、第四晶体管以及第五晶体管；所述第一晶体管的栅极电性连接于所述第一控制时钟端，所述第一晶体管的源极接入所述正向扫描信号，所述第一晶体管的漏极电性连接于所述第二晶体管的源极，所述第二晶体管的栅极接入所述上一级扫描驱动信号，所述第二晶体管的漏极电性连接于所述第一节点，所述第三晶体管的栅极电性连接于所述第三控制时钟端，所述第三晶体管的源极接入所述反向扫描信号，所述第三晶体管的漏极电性连接于所述第四晶体管的源极，所述第四晶体管的栅极接入所述下一级扫描驱动信号，所述第四晶体管的漏极电性连接于所述第一节点，所述第五晶体管的栅极电性连接于所述第一节点，所述第五晶体管的源极接入所述恒压低电平信号，所述第五晶体管的漏极电性连接于所述第二节点。

[权利要求 19] 根据权利要求17所述的显示面板，其中，所述输出模块包括：第六晶体管、第七晶体管以及第一电容；所述第六晶体管的栅极接入所述恒压高电平信号，所述第六晶体管的源极电性连接于所述第一节点，所述第六晶体管的漏极电性连接于所述第七晶体管的栅极，所述第七晶体管的源极电性连接于所述第一控制时钟端，所述第七晶体管的漏极电性连接于所述本级扫描驱动信号，所述第一电容的一端电性连接于所述第一节点，所述第一电容的另一端电性连接于所述恒压低电平信号。

[权利要求 20] 根据权利要求17所述的显示面板，其中，所述下拉模块包括：第八晶体管、第九晶体管、第十晶体管、第十一晶体管、第十二晶体管以及第二电容；所述第八晶体管的栅极接入所述正向扫描信号，所述第八晶体管的源

极电性连接于所述第三控制时钟端，所述第九晶体管的栅极接入所述反向扫描信号，所述第九晶体管的源极电性连接于所述第一控制时钟端，所述第八晶体管的漏极、所述第九晶体管的漏极电性连接于所述第十晶体管的栅极，所述第十晶体管的源极接入所述恒压高电平信号，所述第十晶体管的漏极、所述第十一晶体管的栅极、所述第十二晶体管的栅极电性连接于所述第二节点，所述第十一晶体管的源极以及所述第十二晶体管的源极接入所述恒压低电平信号，所述第十一晶体管的漏极电性连接于所述第一节点，所述第十二晶体管的漏极电性连接于所述本级扫描驱动信号，所述第二电容的一端电性连接于所述第二节点，所述第二电容的另一端电性连接于所述恒压低电平信号。

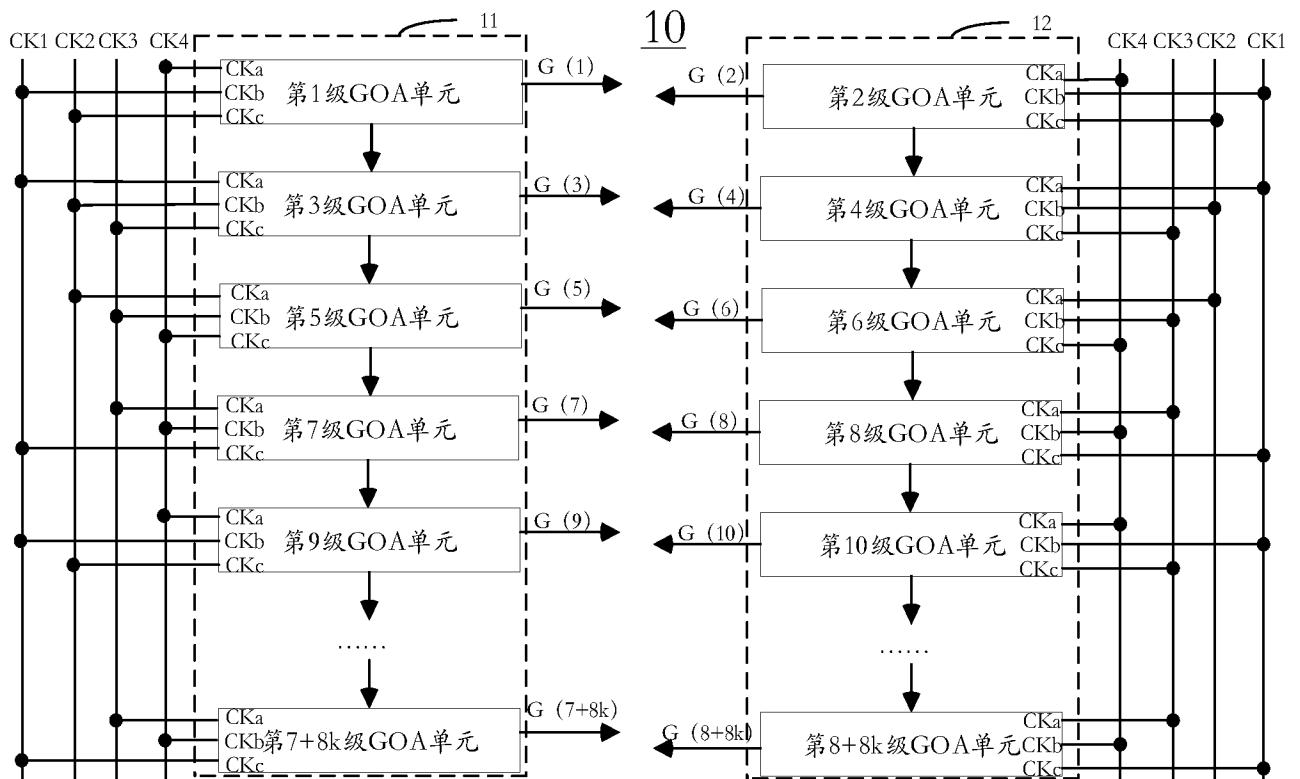


图 1

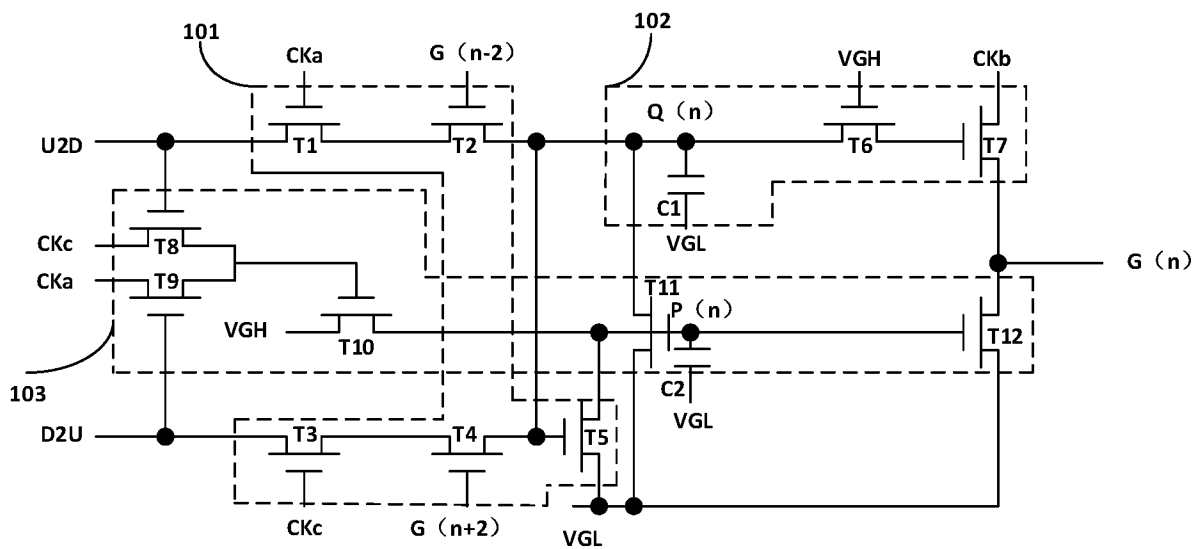


图 2

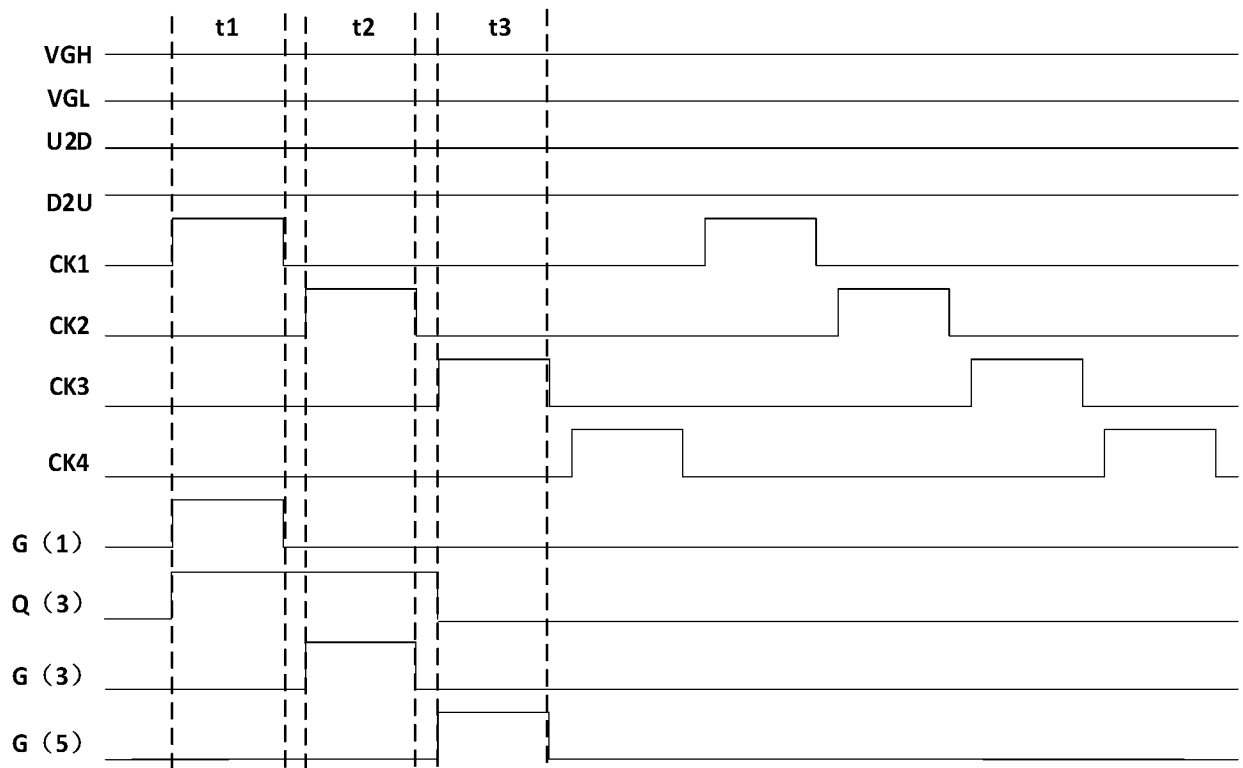


图 3

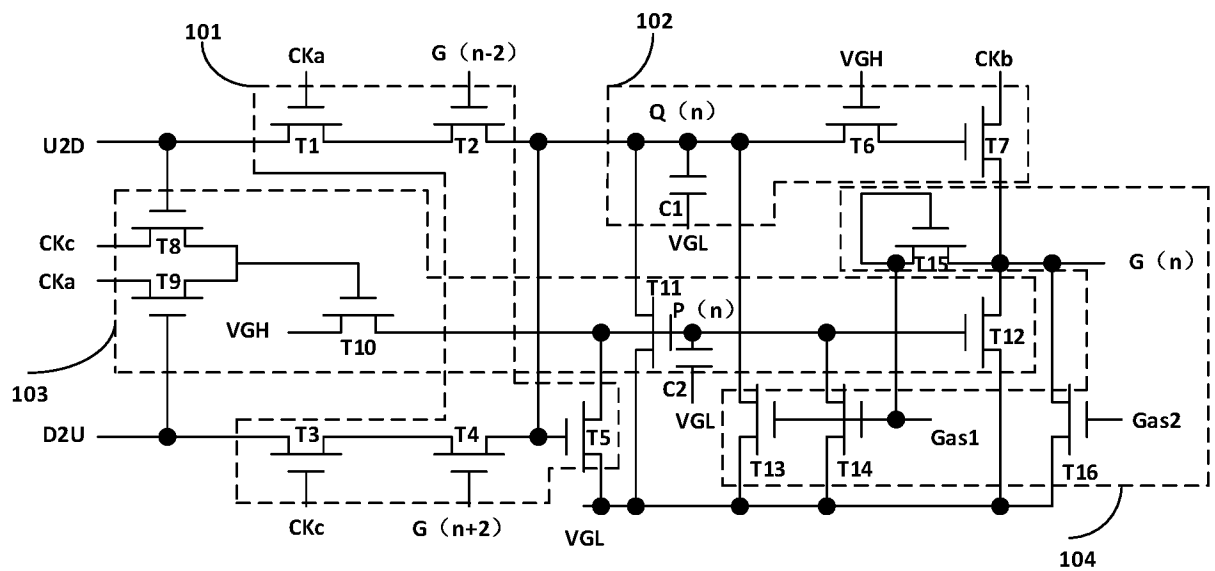


图 4

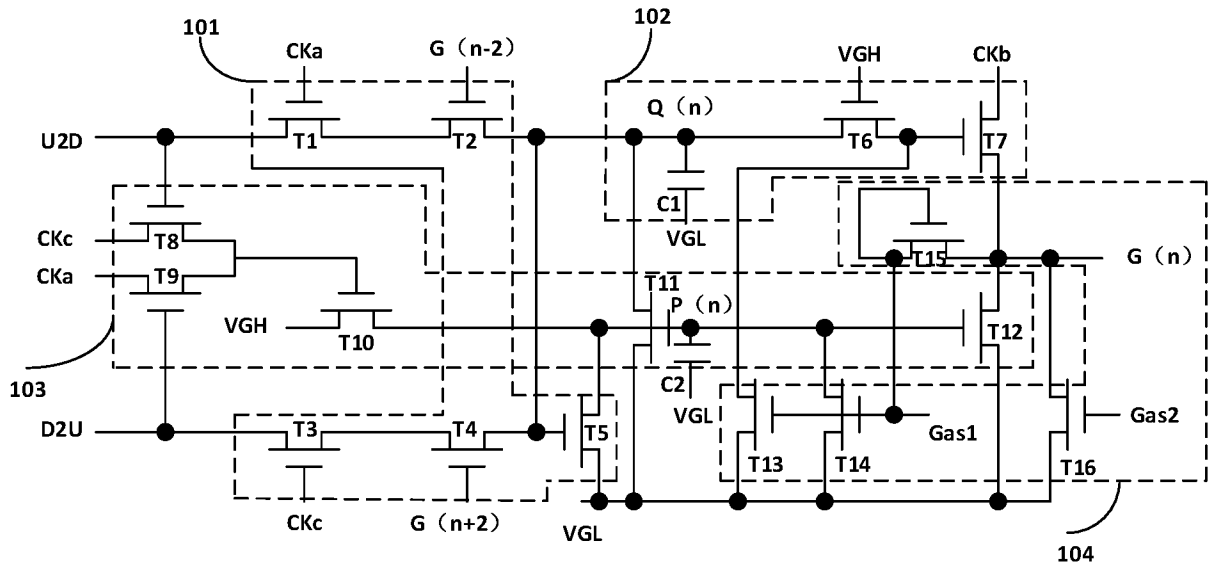


图 5

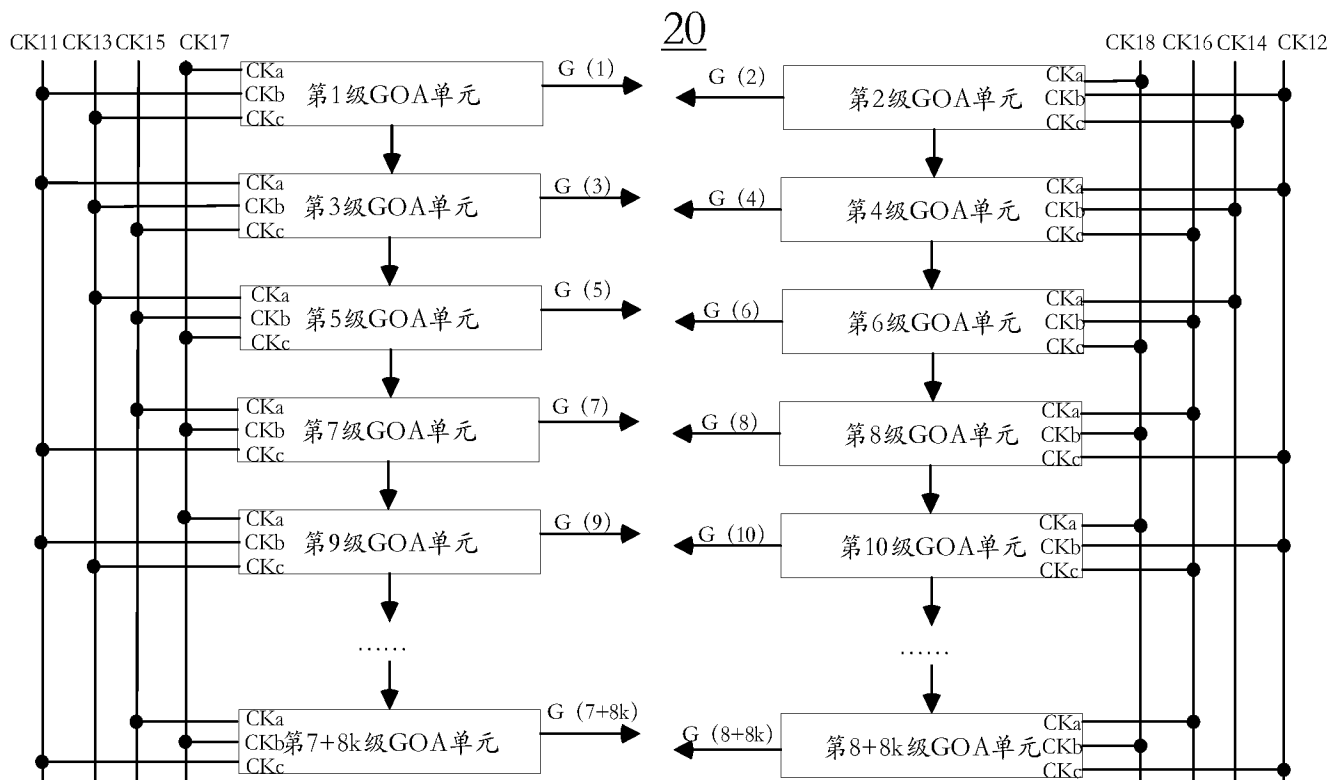


图 6

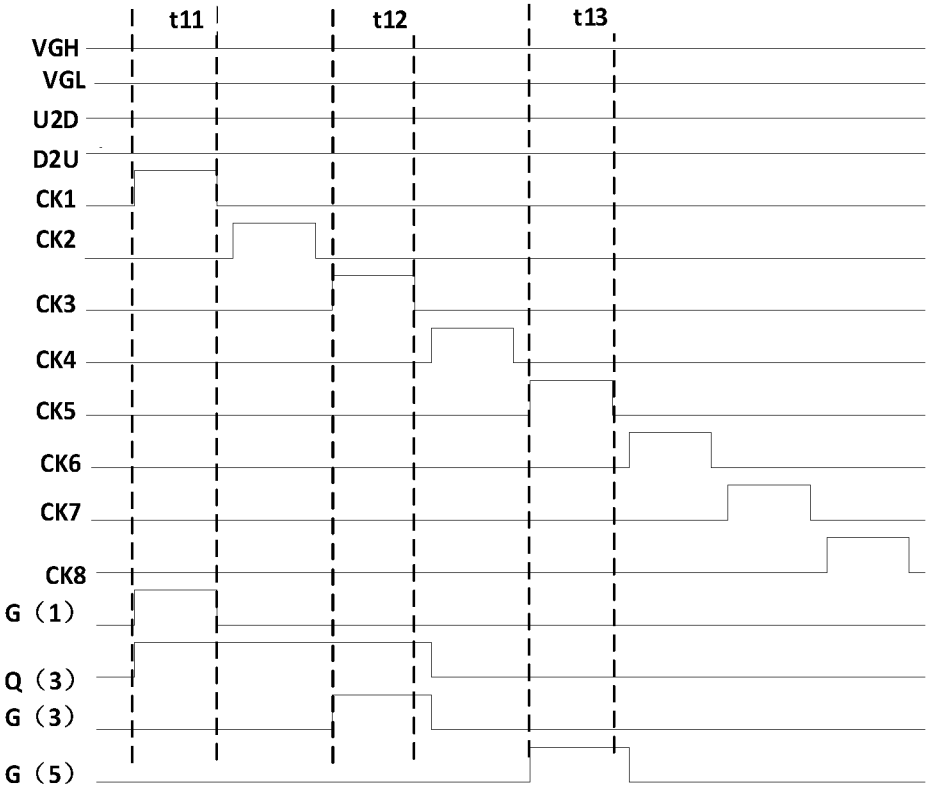


图 7

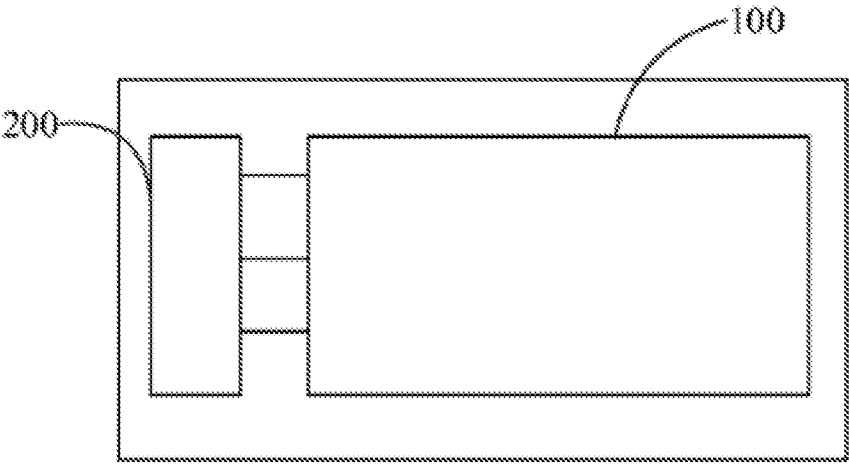


图 8

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2019/101404

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/20(2006.01)i; G11C 19/00(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G3+,G02F1/13+,G11C19+

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS, CNTXT, VEN: 栅, 门, 闸, 扫描, 水平, 正, 反, 双向, 顺, 逆, 晶体管, 开关, 十二, 漏电, 串, 三, 时钟, gate, scan+, horizontal, inver+, rever+, dual, double, transistor?, TFT?, twelfth, leak+, series, cascade+, third, clock

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 109300428 A (WUHAN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 01 February 2019 (2019-02-01) description, paragraphs 45-96, and figures 1-8	1-20
Y	CN 108091308 A (WUHAN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 29 May 2018 (2018-05-29) description, paragraphs 46-104, and figure 8	1-20
Y	CN 104732940 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 24 June 2015 (2015-06-24) description, paragraphs 39-76, and figures 5-7	1-20
Y	CN 107767834 A (WUHAN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 06 March 2018 (2018-03-06) description, paragraphs 44-79, and figures 1-3	1-20
A	US 2017287427 A1 (SAMSUNG DISPLAY CO., LTD.) 05 October 2017 (2017-10-05) entire document	1-20
A	CN 105469759 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 06 April 2016 (2016-04-06) entire document	1-20



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

04 November 2019

Date of mailing of the international search report

14 November 2019

Name and mailing address of the ISA/CN

China National Intellectual Property Administration
No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing
100088
China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2019/101404

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	109300428	A	01 February 2019	CN	109979370	A	05 July 2019
CN	108091308	A	29 May 2018	WO	2019109454	A1	13 June 2019
				CN	108091308	B	22 March 2019
				US	10339887	B1	02 July 2019
				US	2019180708	A1	13 June 2019
CN	104732940	A	24 June 2015	WO	2016155052	A1	06 October 2016
				CN	104732940	B	15 March 2017
				US	9672784	B2	06 June 2017
				US	2016307533	A1	20 October 2016
CN	107767834	A	06 March 2018	WO	2019095429	A1	23 May 2019
				US	2019156777	A1	23 May 2019
US	2017287427	A1	05 October 2017	US	10096294	B2	09 October 2018
				KR	20170115183	A	17 October 2017
CN	105469759	A	06 April 2016	WO	2017101158	A1	22 June 2017
				CN	105469759	B	19 October 2018
				US	2018040283	A1	08 February 2018
				US	10115355	B2	30 October 2018

国际检索报告

国际申请号

PCT/CN2019/101404

A. 主题的分类 G09G 3/20(2006.01)i; G11C 19/00(2006.01)i 按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类																							
B. 检索领域 检索的最低限度文献(标明分类系统和分类号) G09G3+, G02F1/13+, G11C19+ 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用)) CNABS, CNTXT, VEN:栅, 门, 闸, 扫描, 水平, 正, 反, 双向, 顺, 逆, 晶体管, 开关, 十二, 漏电, 串, 三, 时钟, gate, scan+, horizontal, inver+, rever+, dual, double, transistor?, TFT?, twelfth, leak+, series, cascade+, third, clock																							
C. 相关文件 <table border="1"> <thead> <tr> <th>类 型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>PX</td> <td>CN 109300428 A (武汉华星光电技术有限公司) 2019年 2月 1日 (2019 - 02 - 01) 说明书第45-96段, 图1-8</td> <td>1-20</td> </tr> <tr> <td>Y</td> <td>CN 108091308 A (武汉华星光电技术有限公司) 2018年 5月 29日 (2018 - 05 - 29) 说明书第46-104段, 图8</td> <td>1-20</td> </tr> <tr> <td>Y</td> <td>CN 104732940 A (深圳市华星光电技术有限公司) 2015年 6月 24日 (2015 - 06 - 24) 说明书第39-76段, 图5-7</td> <td>1-20</td> </tr> <tr> <td>Y</td> <td>CN 107767834 A (武汉华星光电技术有限公司) 2018年 3月 6日 (2018 - 03 - 06) 说明书第44-79段, 图1-3</td> <td>1-20</td> </tr> <tr> <td>A</td> <td>US 2017287427 A1 (SAMSUNG DISPLAY CO LTD) 2017年 10月 5日 (2017 - 10 - 05) 全文</td> <td>1-20</td> </tr> <tr> <td>A</td> <td>CN 105469759 A (深圳市华星光电技术有限公司) 2016年 4月 6日 (2016 - 04 - 06) 全文</td> <td>1-20</td> </tr> </tbody> </table>			类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求	PX	CN 109300428 A (武汉华星光电技术有限公司) 2019年 2月 1日 (2019 - 02 - 01) 说明书第45-96段, 图1-8	1-20	Y	CN 108091308 A (武汉华星光电技术有限公司) 2018年 5月 29日 (2018 - 05 - 29) 说明书第46-104段, 图8	1-20	Y	CN 104732940 A (深圳市华星光电技术有限公司) 2015年 6月 24日 (2015 - 06 - 24) 说明书第39-76段, 图5-7	1-20	Y	CN 107767834 A (武汉华星光电技术有限公司) 2018年 3月 6日 (2018 - 03 - 06) 说明书第44-79段, 图1-3	1-20	A	US 2017287427 A1 (SAMSUNG DISPLAY CO LTD) 2017年 10月 5日 (2017 - 10 - 05) 全文	1-20	A	CN 105469759 A (深圳市华星光电技术有限公司) 2016年 4月 6日 (2016 - 04 - 06) 全文	1-20
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求																					
PX	CN 109300428 A (武汉华星光电技术有限公司) 2019年 2月 1日 (2019 - 02 - 01) 说明书第45-96段, 图1-8	1-20																					
Y	CN 108091308 A (武汉华星光电技术有限公司) 2018年 5月 29日 (2018 - 05 - 29) 说明书第46-104段, 图8	1-20																					
Y	CN 104732940 A (深圳市华星光电技术有限公司) 2015年 6月 24日 (2015 - 06 - 24) 说明书第39-76段, 图5-7	1-20																					
Y	CN 107767834 A (武汉华星光电技术有限公司) 2018年 3月 6日 (2018 - 03 - 06) 说明书第44-79段, 图1-3	1-20																					
A	US 2017287427 A1 (SAMSUNG DISPLAY CO LTD) 2017年 10月 5日 (2017 - 10 - 05) 全文	1-20																					
A	CN 105469759 A (深圳市华星光电技术有限公司) 2016年 4月 6日 (2016 - 04 - 06) 全文	1-20																					
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。																							
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件																							
国际检索实际完成的日期 2019年 11月 4日		国际检索报告邮寄日期 2019年 11月 14日																					
ISA/CN的名称和邮寄地址 中国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451		授权官员 姜颖婷 电话号码 62085786																					

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2019/101404

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	109300428	A	2019年 2月 1日	CN	109979370	A	2019年 7月 5日
CN	108091308	A	2018年 5月 29日	WO	2019109454	A1	2019年 6月 13日
				CN	108091308	B	2019年 3月 22日
				US	10339887	B1	2019年 7月 2日
				US	2019180708	A1	2019年 6月 13日
CN	104732940	A	2015年 6月 24日	WO	2016155052	A1	2016年 10月 6日
				CN	104732940	B	2017年 3月 15日
				US	9672784	B2	2017年 6月 6日
				US	2016307533	A1	2016年 10月 20日
CN	107767834	A	2018年 3月 6日	WO	2019095429	A1	2019年 5月 23日
				US	2019156777	A1	2019年 5月 23日
US	2017287427	A1	2017年 10月 5日	US	10096294	B2	2018年 10月 9日
				KR	20170115183	A	2017年 10月 17日
CN	105469759	A	2016年 4月 6日	WO	2017101158	A1	2017年 6月 22日
				CN	105469759	B	2018年 10月 19日
				US	2018040283	A1	2018年 2月 8日
				US	10115355	B2	2018年 10月 30日

表 PCT/ISA/210 (同族专利附件) (2015年1月)