



(12) 发明专利

(10) 授权公告号 CN 101925961 B

(45) 授权公告日 2014. 02. 12

(21) 申请号 200880125502. X

(22) 申请日 2008. 12. 19

(30) 优先权数据

11/959, 515 2007. 12. 19 US

(85) PCT国际申请进入国家阶段日

2010. 07. 23

(86) PCT国际申请的申请数据

PCT/US2008/087741 2008. 12. 19

(87) PCT国际申请的公布数据

W02009/079660 EN 2009. 06. 25

(73) 专利权人 高通股份有限公司

地址 美国加利福尼亚州

(72) 发明人 杨赛森 钟成 朴东奎

穆罕默德·H·阿布-拉赫马

(74) 专利代理机构 北京律盟知识产权代理有限

责任公司 11287

代理人 刘国伟

(51) Int. Cl.

G11C 11/16(2006. 01)

(56) 对比文件

US 2007/0279968 A1, 2007. 12. 06, 说明书第 0031 段至第 0040 段以及附图 4.

US 2007/0279968 A1, 2007. 12. 06, 说明书第 0031 段至第 0040 段以及附图 4.

CN 101075631 A, 2007. 11. 21, 权利要求 1 以及权利要求 3.

US 2005/0122768 A1, 2005. 06. 09, 全文.

US 2002/0089024 A1, 2002. 07. 11, 说明书第 12 段至第 15 段.

US 5640343 A, 1997. 06. 17, 全文.

审查员 谢萍

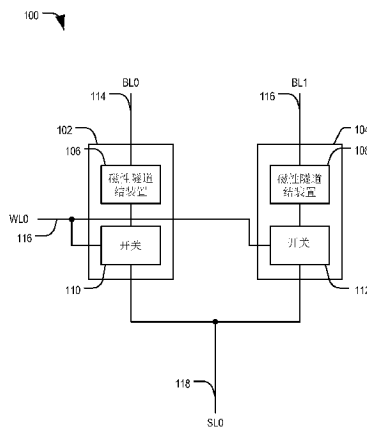
权利要求书2页 说明书6页 附图5页

(54) 发明名称

具有共享源极线的 MRAM 装置

(57) 摘要

在特定实施例中,一种存储器装置包含第一存储器单元和第二存储器单元。所述存储器装置还包含:第一位线,其与所述第一存储器单元相关联;以及第二位线,其与所述第二存储器单元相关联。所述存储器装置还包含源极线,其耦合到所述第一存储器单元且耦合到所述第二存储器单元。所述存储器单元可由具有选择场效应晶体管的自旋转移矩磁致电阻存储器单元形成。所述存储器单元还可形成为互补单元对。对半选择单元供电或在其上供电以防止读取干扰。



1. 一种存储器装置,其包括:

第一列存储器单元包括第一存储器单元,其中所述第一存储器单元包括第一磁性隧道结 MTJ 装置和第二磁性隧道结 MTJ 装置;

第二列存储器单元包括第二存储器单元,其中所述第二存储器单元包括第三磁性隧道结 MTJ 装置;

第一位线,其与所述第一列存储器单元和所述第一磁性隧道结 MTJ 装置相关联;

第二位线,其与所述第一列存储器单元和所述第二磁性隧道结 MTJ 装置相关联;

第三位线,其与所述第二列存储器单元和所述第三磁性隧道结 MTJ 装置相关联;

第一源极线,其与所述第一列存储器单元相关联;

第二源极线,其在所述第一列存储器单元和所述第二列存储器单元之间共享;以及

读取电路,其经配置以读取存储在所述第一和第二磁性隧道结 MTJ 装置内的数据值,

其中在所述第一存储器单元的读取期间,所述第一位线携带第一电压,所述第二位线携带第二电压,所述第三位线携带第三电压,且所述第二源极线携带第四电压,其中所述第三电压和所述第四电压相同,且其中所述读取电路进一步经配置以比较通过所述第一位线的所述第一电流和通过所述第二位线的第二电流。

2. 根据权利要求 1 所述的存储器装置,其中所述第二电压与所述第三电压之间的差没有大到足以干扰所述第二存储器单元。

3. 根据权利要求 1 所述的存储器装置,其中所述第一位线与所述第二位线不同。

4. 根据权利要求 1 所述的存储器装置,其中:

所述第一存储器单元,其包含所述第二磁性隧道结 MTJ 装置和第二晶体管;

所述第二存储器单元,其包含所述第三磁性隧道结 MTJ 装置和第三晶体管;

第一导体,其耦合到所述第二晶体管的第一栅极端子且耦合到所述第三晶体管的第二栅极端子;以及

所述第二源极线,其耦合到所述第二晶体管的第一源极端子且耦合到所述第三晶体管的第二源极端子。

5. 根据权利要求 4 所述的存储器装置,其中所述第一导体为字线。

6. 根据权利要求 4 所述的存储器装置,其中所述第一源极线和所述第二源极线的至少一者在读取操作期间和写入操作期间起作用。

7. 根据权利要求 1 所述的存储器装置,其中所述第一存储器单元包含耦合到所述第一磁性隧道结 MTJ 装置的第一晶体管和耦合到所述第二磁性隧道结 MTJ 装置的第二晶体管,且其中所述第二源极线耦合到所述第一晶体管和所述第二晶体管中的至少一者。

8. 根据权利要求 7 所述的存储器装置,其中所述第二存储器单元包含耦合到第三磁性隧道结 MTJ 装置的第三晶体管和耦合到第四磁性隧道结 MTJ 装置的第四晶体管,且其中所述第二源极线耦合到所述第三晶体管和所述第四晶体管中的至少一者。

9. 根据权利要求 8 所述的存储器装置,其中所述第一存储器单元和所述第二存储器单元各自耦合到字线。

10. 根据权利要求 9 所述的存储器装置,其中所述字线耦合到所述第一晶体管、所述第二晶体管、所述第三晶体管和所述第四晶体管中的每一者的相应控制端子。

11. 一种使用存储器装置的一源极线的方法,所述源极线耦合到第一列存储器单元且

耦合到第二列存储器单元，

其中所述第一列存储器单元包括第一存储器单元，所述第一存储器单元包括第一磁性隧道结 MTJ 装置和第二磁性隧道结 MTJ 装置，所述第一列存储器单元与第一位线相关联，其中所述第一位线耦合到所述第一磁性隧道结 MTJ 装置，

其中所述第二列存储器单元包括第二存储器单元，所述第二存储器单元包括第三磁性隧道结 MTJ 装置，所述第二列存储器单元与第二位线相关联，其中所述第二位线耦合到所述第二磁性隧道结 MTJ 装置，

所述方法包括：

将第一电流施加于所述第一列存储器单元；

将第二电流施加于所述第二列存储器单元；

在所述存储器装置的数据操作期间将第三电流施加于所述源极线，其中所述第三电流与所述第二电流相同；以及

比较所述第一电流和所述第二电流。

12. 根据权利要求 11 所述的方法，其中所述第一存储器单元是包含多个互补磁性隧道结 MTJ 装置的组合单元，且其中所述多个互补磁性隧道结 MTJ 装置各自包含用以存储第一数据项目的相应第一磁性隧道结 MTJ 装置和用以存储第二数据项目的相应第二磁性隧道结 MTJ 装置。

13. 根据权利要求 11 所述的方法，其中将所述第一存储器单元的一个或多个输出和所述第二存储器单元的一个或多个输出提供到多路复用器。

## 具有共享源极线的 MRAM 装置

### 技术领域

[0001] 本发明大体上涉及具有共享源极线的磁致电阻随机存取存储器 (MRAM) 装置。

### 背景技术

[0002] 常规自旋转移矩磁致电阻随机存取存储器 (STT-MRAM) 位单元包含晶体管和磁性隧道结 (MTJ) 结构。基本 MTJ 结构由夹住隧道势垒层的两个磁电极组成。每一磁电极的磁矩沿着伸长元件的长轴定向。在隧道势垒的任一侧上两个磁性层之间的平行和反平行磁矩定向带来跨越势垒的两个不同电阻, 导致两个存储器状态。磁电极中的一者具有可基于所施加电流密度和方向而切换的磁矩方向。另一磁电极具有固定在特定方向的磁化。

[0003] 存储器阵列中的常规 STT-MRAM 位单元按列布置, 其中对于每一列有个别位线和源极线。特定列的位线和源极线提供用于将数据值读取和写入到列的一个或一个以上位单元的双向电流路径。字线耦合到位单元的每一行以使得能够选择特定行的位单元用于数据读取和写入操作。

[0004] 常规 STT-MRAM 装置的一个限制是因由于存储器阵列中的源极线配置带来的位线与源极线间距引起的低阵列密度。因为 STT-MRAM 使用双向电流来写入补充数据, 所以源极线无法连接到接地也无法在整个阵列上共享, 而在其它存储器技术中这是可能的。事实上, 常规 MRAM 存储器阵列每列具有一个源极线, 由于存储器阵列中密集金属线的数目增多而与其它存储器技术相比具有对应增大的面积。

### 发明内容

[0005] 在特定实施例中, 揭示一种存储器装置。所述存储器装置包含第一存储器单元和第二存储器单元。所述存储器装置包含: 第一位线, 其与所述第一存储器单元相关联; 以及第二位线, 其与所述第二存储器单元相关联。所述存储器装置进一步包含共享源极线, 其耦合到所述第一存储器单元和所述第二存储器单元。

[0006] 在另一实施例中, 存储器装置包含第一存储器单元, 其包含第一磁性隧道结 (MTJ) 装置和第一晶体管。存储器装置还包含第二存储器单元, 其包含第二 MTJ 装置和第二晶体管。存储器装置包含第一导体, 其耦合到所述第一晶体管的第一栅极端子且耦合到所述第二晶体管的第二栅极端子。存储器装置进一步包含第二导体, 其耦合到所述第一晶体管的第一源极端子且耦合到所述第二晶体管的第二源极端子。

[0007] 在另一实施例中, 存储器装置包含第一存储器单元, 其包含第一 MTJ 装置和第二 MTJ 装置。存储器装置还包含第二存储器单元, 其包含第三 MTJ 装置和第四 MTJ 装置。存储器装置包含第一位线, 其与所述第一存储器单元相关联; 以及第二位线, 其与所述第二存储器单元相关联。存储器装置进一步包含源极线, 其耦合到所述第一存储器单元且耦合到所述第二存储器单元。

[0008] 在另一实施例中, 揭示一种使用耦合到存储器装置的多个单元的共享源极线的方法。所述方法包含在所述存储器装置的数据操作期间将电流施加于源极线。所述源极线耦

合到所述存储器装置的第一数据存储单元和第二数据存储单元。

[0009] 所揭示实施例提供的一个特定优点是减小的装置面积。需要较少的线来存取 MTJ 存储器阵列的单元,且因此较少的装置面积被保留用于线之间的分隔。阵列密度可增加,因为需要较少的线。另一优点是源于源极线的数目减少带来的简化的源极线布线。所揭示实施例的 MRAM 装置可比相当的 SRAM 装置小,且制造起来可较为便宜。另外,所揭示实施例的 MRAM 装置可比相当的快闪存储器装置速度快。

[0010] 在审阅整个申请案之后将明了本发明的其它方面、优点和特征,整个申请案包含以下部分:附图说明、具体实施方式和权利要求书。

## 附图说明

[0011] 图 1 是具有共享源极线的 MRAM 装置的特定说明性实施例的框图;

[0012] 图 2 是具有共享源极线的 MRAM 装置的第二说明性实施例的图;

[0013] 图 3 是具有共享源极线的 MRAM 装置的第三说明性实施例的图;

[0014] 图 4 是使用耦合到存储器装置的多个单元的共享源极线的方法的特定说明性实施例的流程图;以及

[0015] 图 5 是包含存储器装置的通信装置的框图,所述存储器装置包含多个磁性隧道结 (MTJ) 单元。

## 具体实施方式

[0016] 参看图 1,描绘具有共享源极线的 MRAM 装置的特定说明性实施例的框图,且所述 MRAM 装置大体上指定为 100。装置 100 包含第一代表性存储器单元 102 和第二代表性存储器单元 104。第一位线 (BL0) 114 耦合到第一存储器单元 102。与第一位线 114 不同的第二位线 (BL1) 116 耦合到第二存储器单元 104。共享源极线 (SL0) 118 耦合到第一存储器单元 102 和第二存储器单元 104。字线 (WL0) 116 耦合到第一存储器单元 102 和第二存储器单元 104。

[0017] 第一存储器单元 102 包含耦合到第一位线 114 的磁性隧道结 (MTJ) 装置 106。MTJ 装置 106 还耦合到开关 110,例如晶体管。开关 110 经配置以响应于经由字线 116 接收的控制信号而将 MTJ 装置 106 选择性耦合到源极线 118。

[0018] 在特定实施例中,MTJ 装置 106 是自旋转移矩 (STT) 装置,其适于在平行于或反平行于参考场的方向上存储可编程的磁场。当磁场平行时,MTJ 装置 106 展现比当磁场反平行时低的电阻。存储在 MTJ 装置 106 处的数据值(例如,“0”或“1”)对应于磁场的平行或反平行状态,所述状态可通过 MTJ 装置 106 的所得电阻确定。

[0019] 第二存储器单元 104 包含耦合到第二位线 116 的磁性隧道结 (MTJ) 装置 108。MTJ 装置 108 还耦合到开关 112,例如晶体管。开关 112 经配置以响应于经由字线 116 接收的控制信号而将 MTJ 装置 108 选择性耦合到共享源极线 118。

[0020] 在特定实施例中,MTJ 装置 108 是 STT 装置,其适于在平行于或反平行于参考场的方向上存储可编程的磁场。可存储在 MTJ 装置 108 处的数据值(例如,“0”或“1”)对应于磁场的平行或反平行状态,所述状态可通过 MTJ 装置 108 的所得电阻确定。

[0021] 在操作期间,可使用相关联位线 114、116 和共同(即,共享)源极线 118 从第一存

存储器单元 102 或第二存储器单元 104 读取数据或向第一存储器单元 102 或第二存储器单元 104 写入数据。可通过在源极线 118 和与选定存储器单元 102 或 104 相关联的相应位线 114 或 116 之间施加电位差来读取数据。可经由字线 116 发送控制信号以使得电流能够流过开关 110、112。可将经过源极线 118 或经过相关联位线 114 或 116 的所得电流与参考电流进行比较以确定选定存储器单元 102 或 104 处的数据值。还可通过施加大到足以改变选定存储器单元 102 或 104 的相应 MTJ 装置 106 或 108 的可编程磁场的方向的电流而将数据存储存储在选定存储器单元 102 或 104 处。

[0022] 在第一存储器单元 102 的读取操作期间,第一位线 114 携带第一电压,第二位线 116 携带第二电压,且源极线 118 携带第三电压。为了防止第二存储器单元 104 将电流引入到源极线 118,第二位线 116 处的第二电压可与源极线 118 处的第三电压相同。在特定实施例中,第二位线 116 和源极线 118 经偏置,以使得第二电压与第三电压之间的差不会大到足以干扰第二存储器单元 104。

[0023] 在替代实施例中,单独的字线(未图示)可耦合到第一存储器单元 102 和第二存储器单元 104 以独立地操作开关 110、112 且选择性地激活或减活存储器单元 102、104 处的数据操作。可将电流施加于源极线 118,且可将经激活存储器单元 102 或 104 的位线 114 或 116 处的所得电压与参考电压进行比较以确定存储在经激活(即,选定)存储器单元 102 或 104 处的数据值。

[0024] 参看图 2,描绘具有共享源极线的 MRAM 装置的第二说明性实施例的图,且所述 MRAM 装置大体上指定为 200。装置 200 包含第一代表性存储器单元 202 和第二代表性存储器单元 204。选择存储器单元,且经由各种导体处的信号执行存储器操作,所述导体例如代表性第一位线 (BL0) 206、第二位线 (BL1) 208、源极线 (SL0) 210 以及字线 (WL0) 214。包含第一存储器单元 202 的第一列存储器单元与包含第二存储器单元 204 的第二列存储器单元共享源极线 210。例如代表性多路复用器 212 的一个或一个以上多路复用器耦合到位线和源极线。

[0025] 第一存储器单元 202 包含第一磁性隧道结 (MTJ) 装置 220,其耦合到第一位线 206 和第一晶体管 222。第二存储器单元 204 包含第二 MTJ 装置 230,其耦合到第二位线 208 和第二晶体管 232。第一晶体管 222 的第一源极端子和第二晶体管 232 的第二源极端子各自耦合到源极线 210。第一晶体管 222 的第一栅极端子和第二晶体管 232 的第二栅极端子各自耦合到字线 214。

[0026] 可在例如与第一位线 206 和源极线 210 相关联的第一存储器单元 202 的选定单元处执行读取或写入操作。多路复用器 212 将第一位线 206 和源极线 210 连接到读取或写入电路(未图示)。因为第一存储器单元 202 与第二存储器单元 204 共享源极线 210,所以当执行读取操作时,读取电路可将第二位线 208 连接到与源极线 210 相同的电压电平以防止第二存储器单元 204 处的不希望的操作。举例来说,读取电路可将第一位线 206 耦合到电源电压,且可在发送激活信号之前将源极线 210 和第二位线 208 两者耦合到字线 214。

[0027] 为了在第一存储器单元 202 处执行读取操作,可以读取电压电平偏置第一位线 206,且可将源极线 210 和第二位线 208 连接到不同电压电平。可将控制电压施加于字线 214 以激活对应行的存储器单元,包含存储器单元 202 和 204。第一位线 206 与源极线 210 之间的电压差引起电流流过第一位线 206、第一 MTJ 装置 220、第一开关 222 和源极线 210。

可将所述电流与参考电流进行比较以确定是“0”值还是“1”值存储在第一存储器单元 202 处。

[0028] 为了在第二存储器单元 204 处执行读取操作,可以与源极线 210 大体上相同的电压电平偏置第一位线 206,且可以读取电压电平偏置第二位线 208。可将第二位线 208 或源极线 210 上的所得电流与参考电流进行比较以确定存储在第二存储器单元 204 处的数据值。

[0029] 可通过经由字线选择行且将写入电流施加到选定位线来执行写入操作。举例来说,可通过选择字线 214 且将电流施加到第一位线 206 来在第一存储器单元 202 处执行写入操作,其中返回路径经过源极线 210。第一位线 206 与源极线 210 之间电流的方向确定了写入到选定单元 202 的数据值。源极线 210 在包含第一存储器单元 206 的第一列存储器单元和包含第二存储器单元 208 的第二列存储器单元两者处的读取操作期间和写入操作期间起作用。

[0030] 参看图 3,其描绘具有共享源极线的 MRAM 装置的第三说明性实施例的图,且所述 MRAM 装置大体上指定为 300。装置 300 包含例如第一代表性存储器单元 302 和第二代表性存储器单元 304 的存储器单元的阵列。第一源极线 (SL0) 306、第一位线 (BL1) 308 和第二位线 (BL2) 310 耦合到第一存储器单元 302。第二源极线 (SL1) 312 耦合到第一存储器单元 302 和第二存储器单元 304。第三位线 (BL3) 314、第四位线 (BL4) 316 和第三源极线 (SL2) 318 耦合到第二存储器单元 304。第一存储器单元 302 和第二存储器单元 304 各自耦合到字线 (WL0) 322。多路复用器 324 耦合到与阵列的多个存储器单元相关联的位线和源极线。

[0031] 第一存储器单元 302 包含第一磁性隧道结 (MTJ) 装置 330 和第二 MTJ 装置 332。第一晶体管 334 耦合到第一 MTJ 装置 330 且第二晶体管 336 耦合到第二 MTJ 装置 332。晶体管 334 和 336 中的至少一者耦合到第二源极线 312,第二源极线 312 是与第二存储器单元 304 共享。如所描绘,第一源极线 306 耦合到第一晶体管 334 且第二源极线 312 耦合到第二晶体管 336。字线 322 耦合到第一和第二晶体管 334、336 中的每一者的控制端子。在特定实施例中,第一存储器单元 302 作为互补装置单元操作,其中第一 MTJ 装置 330 和第二 MTJ 装置 332 存储互补的数据值。

[0032] 第二存储器单元 304 包含第三 MTJ 装置 340 和第四 MTJ 装置 342。第三晶体管 344 耦合到第三 MTJ 装置 340 且第四晶体管 346 耦合到第四 MTJ 装置 342。晶体管 344 和 346 中的至少一者耦合到第二源极线 312,第二源极线 312 是与第一存储器单元 302 共享。如所描绘,第二源极线 312 耦合到第三晶体管 344 且第三源极线 318 耦合到第四晶体管 346。字线 322 耦合到第三和第四晶体管 344、346 中的每一者的控制端子。在特定实施例中,第二存储器单元 304 作为互补装置单元操作,其中第三 MTJ 装置 340 和第四 MTJ 装置 342 存储互补的数据值。

[0033] 在特定实施例中,可通过经由字线 322 选择第一行存储器单元而在第一存储器单元 302 处执行读取操作。施加于字线 322 的控制信号启用了穿过相关联行中的包含 MTJ 装置 330、332、340 和 342 的 MTJ 装置中的每一者的电流路径。多路复用器 324 处的读取电路(未图示)将第一组读取信号施加于第一源极线 306 和第一位线 308 以读取存储在第一 MTJ 装置 330 处的第一数据值。多路复用器 324 的读取电路还将第二组读取信号施加于第二源极线 312 和第二位线 310 以读取存储在第二 MTJ 装置 332 处的第二数据值。

[0034] 在特定实施例中,读取信号可包含施加于位线和源极线上的电压差。因为第二存储器单元 304 与第一存储器单元 302 共享第二源极线 312,所以将至少第三位线 314 设定于与第二源极线 312 相同的电压以防止穿过第三 MTJ 装置 340 的去往或来自第二源极线 312 的额外电流路径。

[0035] 在特定实施例中,读取电路将通过第一位线 308 的电流与通过第二位线 310 的电流进行比较以确定存储在第一存储器单元 302 处的数据值。使用第一存储器单元 302 中的互补 MTJ 装置 330 和 332 使得能够在不产生用于比较的参考电流或电压的情况下确定存储的数据值。

[0036] 在特定实施例中,可通过将控制信号施加于字线 322 以启用穿过相关联行中的包含 MTJ 装置 330、332、340 和 342 的 MTJ 装置中的每一者的电流路径来在第一存储器单元 302 处执行写入操作。多路复用器 324 处的写入电路(未图示)将第一组写入信号施加于第一源极线 306 和第一位线 308 以在第一 MTJ 装置 330 处写入第一数据值。写入电路还将第二组写入信号施加于第二源极线 312 和第二位线 310 以在第二 MTJ 装置 332 处写入互补的数据值。将至少第三位线 314 设定于与第二源极线 312 相同的电压以防止穿过第三 MTJ 装置 340 的去往或来自第二源极线 312 的额外电流路径。

[0037] 参看图 4,描绘使用存储器装置的多个单元的共享源极线的方法的特定说明性实施例的流程图。在 402 处,在特定实施例中,在耦合到存储器装置的第一数据存储单元的第一位线处设定第一电压,且在耦合到存储器装置的第二数据存储单元的第二位线处设定第二电压。在说明性实施例中,第一和第二数据存储单元可为图 1 到 3 中说明的装置的存储器单元。

[0038] 移动到 404,在存储器装置的数据操作期间将电流施加于源极线。源极线耦合到存储器装置的第一数据存储单元和第二数据存储单元。可经由电流源将电流提供到源极线,或可响应于源极线与存储器装置的位线之间的电位差而在源极线处产生电流。在特定实施例中,数据操作是数据读取操作或数据写入操作。第一数据存储单元和第二数据存储单元的输出可提供到多路复用器。

[0039] 在特定实施例中,第一数据存储单元是包含单个磁性隧道结(MTJ)装置的第一存储器单元。在另一特定实施例中,第一数据存储单元是包含多个互补 MTJ 装置的组合单元。多个互补 MTJ 装置包含用以存储第一数据项目的第一 MTJ 装置和用以存储第二数据项目的第二 MTJ 装置。

[0040] 图 5 是包含存储器装置的通信装置 500 的框图,所述存储器装置包含多个磁性隧道结(MTJ)单元。通信装置 500 包含 MTJ 单元的存储器阵列 532 和 MTJ 单元的高速缓存存储器 564,其耦合到例如数字信号处理器(DSP)510 等处理器。通信装置 500 还包含磁致电阻随机存取存储器(MRAM)装置 566,其耦合到 DSP510。在特定实例中,MTJ 单元的存储器阵列 532、MTJ 单元的高速缓存存储器 564 和 MRAM 装置 566 中的一者或一者以上被实施为包含共享源极线以减少 MRAM 阵列面积的多个 MTJ 单元的装置,如参看图 1 到 4 所描述。

[0041] 图 5 还展示显示器控制器 526,其耦合到数字信号处理器 510 和显示器 528。编码器/解码器(CODEC)534 也可耦合到数字信号处理器 510。扬声器 536 和麦克风 538 可耦合到 CODEC534。

[0042] 图 5 还指示无线控制器 540 可耦合到数字信号处理器 510 和无线天线 542。在特



定实施例中,输入装置 530 和电源 544 耦合到芯片上系统 522。此外,在特定实施例中,如图 5 中说明,显示器 528、输入装置 530、扬声器 536、麦克风 538、无线天线 542 和电源 544 在芯片上系统 522 的外部。然而,每一者可耦合到芯片上系统 522 的组件,例如接口或控制器。

[0043] 所属领域的技术人员将进一步了解,结合本文所揭示的实施例描述的各种说明性逻辑块、配置、模块、电路和算法步骤可实施为电子硬件、计算机软件或所述两者的组合。为了清楚说明硬件与软件的这种可交换性,上文已大体上在其功能性方面描述了各种说明性组件、块、配置、模块、电路和步骤。将此类功能性实施为硬件还是软件取决于特定应用和对整个系统施加的设计限制。熟练的技术人员可针对每一特定应用以不同方式实施所描述的功能性,但不应将此类实施决策解释为造成与本发明范围的脱离。

[0044] 结合本文所揭示的实施例描述的方法或算法的步骤可直接在硬件中、在由处理器执行的软件模块中或在所述两者的组合中实施。软件模块可驻留在 RAM 存储器、快闪存储器、ROM 存储器、PROM 存储器、EPROM 存储器、EEPROM 存储器、寄存器、硬盘、可换式磁盘、CD-ROM 或此项技术中已知的任何其它形式的存储媒体中。示范性存储媒体耦合到处理器,使得处理器可从存储媒体读取信息和向存储媒体写入信息。在替代方案中,存储媒体可与处理器成一体式。处理器和存储媒体可驻留在 ASIC 中。ASIC 可驻留在计算装置或用户终端中。在替代方案中,处理器和存储媒体可作为离散组件驻留在计算装置或用户终端中。

[0045] 提供先前对所揭示实施例的描述是为了使得所属领域的技术人员能够制作或使用所揭示实施例。所属领域的技术人员可容易了解对这些实施例的各种修改,且在不脱离本发明精神或范围的情况下,本文所界定的一般原理可适用于其它实施例。因此,本发明不希望限于本文展示的实施例,而是应符合与所附权利要求书所界定的原理和新颖特征一致的最广可能范围。

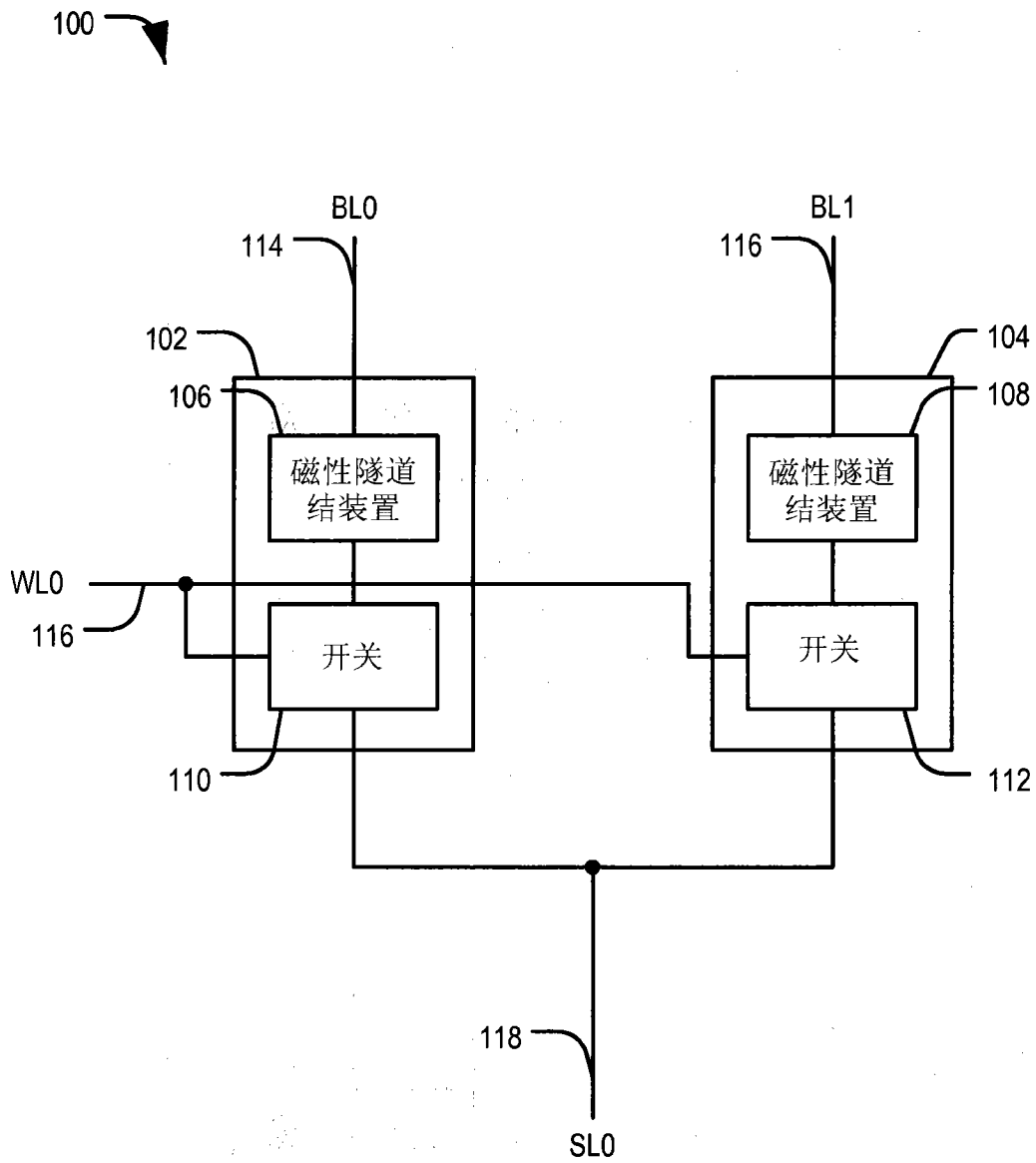


图 1

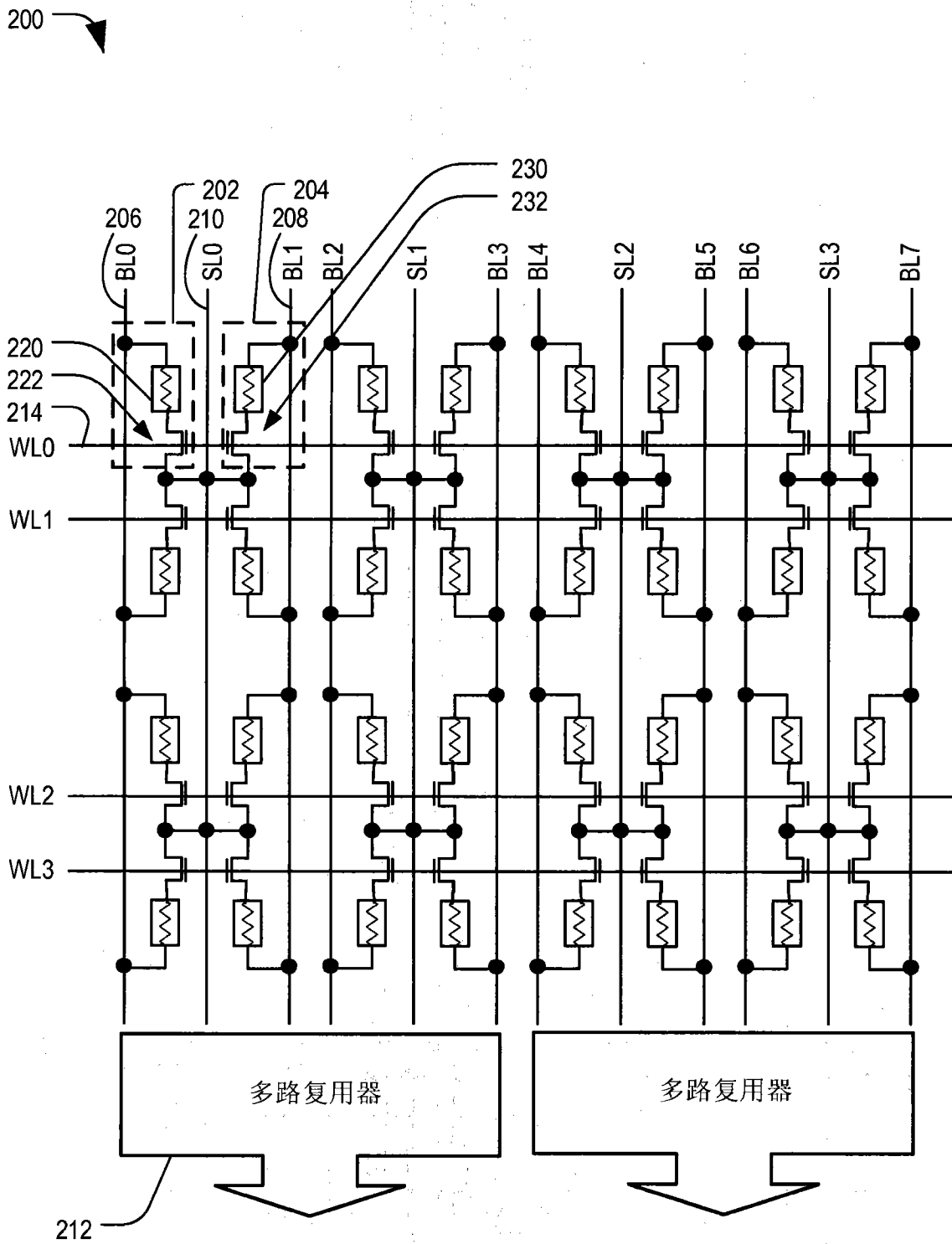


图 2

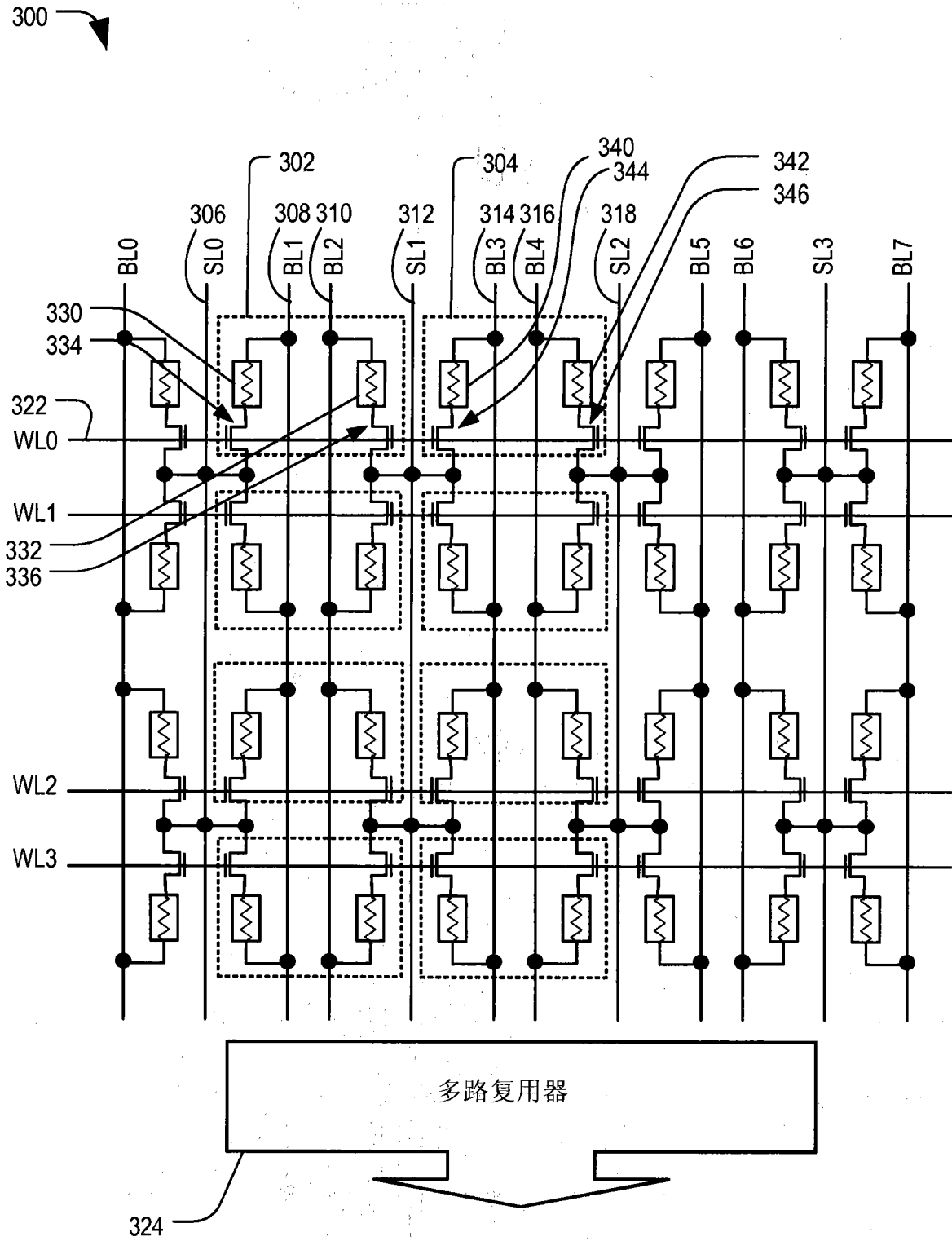


图 3

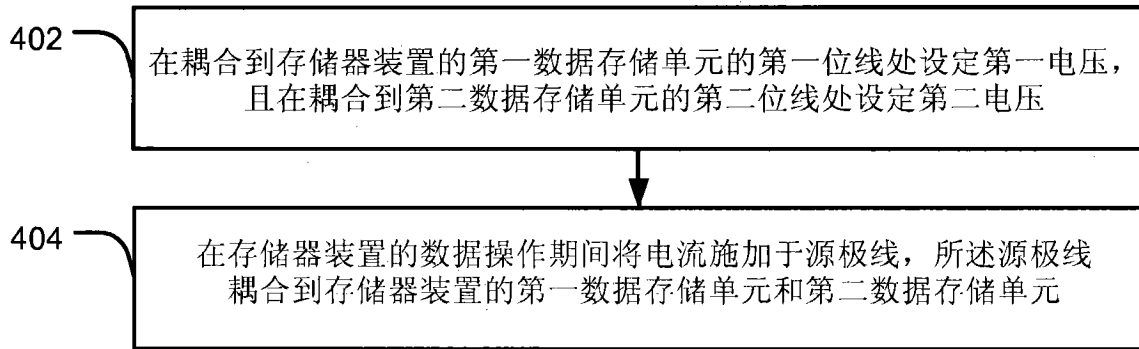


图 4

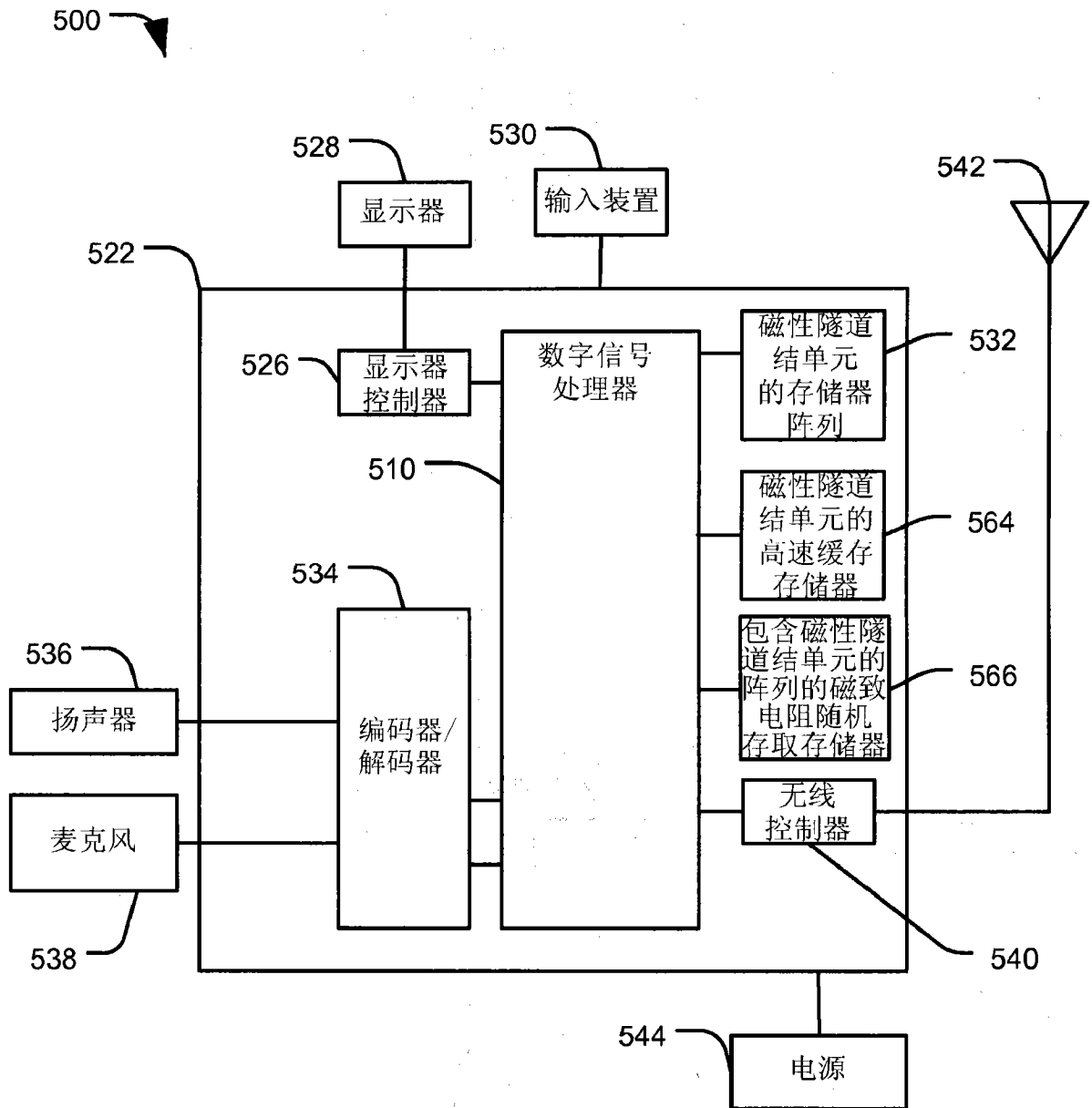


图 5