



(12) 发明专利申请

(10) 申请公布号 CN 101807573 A

(43) 申请公布日 2010.08.18

(21) 申请号 201010142391.2

(22) 申请日 2006.02.14

(30) 优先权数据

037129/2005 2005.02.15 JP

(62) 分案原申请数据

200610007481.4 2006.02.14

(71) 申请人 株式会社瑞萨科技

地址 日本东京都

(72) 发明人 铃木进也 樋口和久

(74) 专利代理机构 北京市金杜律师事务所

11256

代理人 王茂华 郑菊

(51) Int. Cl.

H01L 27/02(2006.01)

H01L 23/528(2006.01)

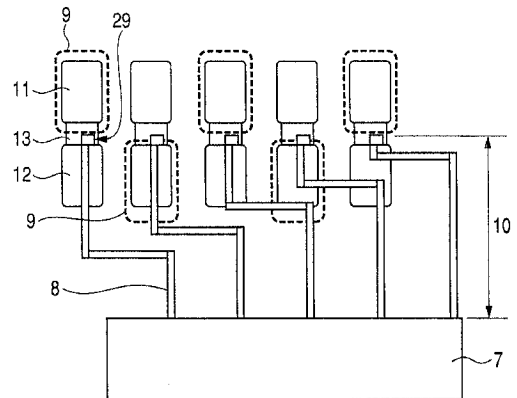
权利要求书 2 页 说明书 12 页 附图 17 页

(54) 发明名称

半导体器件

(57) 摘要

将提供从内部电路至保护元件的电连接的信号线, 从在保护元件之间布置的布线上形成的输出端口引出, 并且在保护元件上方及在电极焊盘下方提供由信号线所占用的信号线区域, 其中内部电路形成在一个半导体芯片的主表面上并且包括例如 MIS 晶体管, 保护元件例如由二极管构成。在不增加芯片面积的情况下, 能扩大半导体芯片的主表面上的布线区域。



1. 一种半导体器件,包括:

矩形形状的半导体衬底,所述半导体衬底具有第一长边,与所述第一长边相对的第二长边,第一短边以及与所述第一短边相对的第二短边;

多个第一突起,形成在所述半导体衬底上方并且沿着所述第一长边安置;

多个第二突起,形成在所述半导体衬底上方并且沿着所述第二长边安置;

多个布线,形成在所述第一突起下方;以及

多个虚设布线,形成在所述第一突起下方并且与所述布线形成在同一层,

其中安置在所述第一短边或者所述第二短边附近的所述虚设布线的数目大于安置在所述第一长边的中心部分附近的所述虚设布线的数目。

2. 根据权利要求 1 所述的半导体器件,

其中所述半导体器件是液晶显示驱动器芯片。

3. 根据权利要求 2 所述的半导体器件,

其中所述第一突起是输出突起,以及

其中所述第二突起是输入突起。

4. 根据权利要求 3 所述的半导体器件,

其中将所述第一突起安置为在平面图中形成 Z 字形。

5. 根据权利要求 1 所述的半导体器件,

其中所述虚设布线是浮动状态。

6. 一种半导体器件,包括:

矩形形状的半导体衬底,所述半导体衬底具有第一长边,与所述第一长边相对的第二长边,第一短边以及与所述第一短边相对的第二短边;

多个第一突起,形成在所述半导体衬底上方并且沿着所述第一长边安置;

多个第二突起,形成在所述半导体衬底上方并且沿着所述第二长边安置;

多个布线,形成在所述第一突起下方;

多个虚设布线,形成在所述第一突起下方并且与所述布线形成在同一层;

多个保护元件,形成在所述半导体衬底上,与所述布电线连接并且在平面图中安置在所述第一突起下方,

其中所述虚设布线不与保护元件电连接,以及

其中安置在所述第一短边或者所述第二短边附近的所述虚设布线的数目大于安置在所述第一长边的中心部分附近的所述虚设布线的数目。

7. 根据权利要求 6 所述的半导体器件,

其中所述半导体器件是液晶显示驱动器芯片。

8. 根据权利要求 7 所述的半导体器件,

其中所述第一突起是输出突起,以及

其中所述第二突起是输入突起。

9. 根据权利要求 8 所述的半导体器件,

其中将所述第一突起安置为在平面图中形成 Z 字形。

10. 根据权利要求 6 所述的半导体器件,

其中所述虚设布线是浮动状态。

11. 根据权利要求 6 所述的半导体器件，  
其中所述保护元件是 PN 结二极管。

## 半导体器件

### [0001] 分案申请

[0002] 本申请是申请号为“200610007481.4”、申请日为“2006年2月14日”、发明名称为“半导体器件”的发明专利申请的分案申请。

### [0003] 相关申请的交叉引用

[0004] 本申请要求于2005年2月15日提交的日本专利申请 No. 2005-037129 的优先权，其内容据此通过参考引入本申请。

### 技术领域

[0005] 本发明涉及一种半导体器件，并且特别地涉及一种技术，该技术可有效适用于在便携式电话或大尺寸显示器中使用的液晶显示 (LCD) 驱动器。

### 背景技术

[0006] 例如，在如 LCD 驱动器这样的半导体器件中，随着液晶显示屏的分辨率变得更高，从半导体器件向液晶显示面板发送非常大量的信号，并且因此现在存在对半导体器件的多输出的需求，也就是，要使作为半导体器件的外部终端的突起 (bump) 数和在突起下方形成的电极焊盘数增加。

[0007] 由于需要保证在半导体芯片安装侧上建立高键合强度和键合精度及标准等，所以与半导体元件和布线的尺寸减小相比，不能使各个这样的电极焊盘的尺寸太小。因此，在多输出型半导体器件中，例如采用一种方法，其中在朝向布置有半导体元件和布线的半导体芯片的内侧的区域中，设置电极焊盘。

[0008] 在专利文献 1 中，描述了使半导体芯片的主表面的一个区域内布置的多个电极焊盘的基础 (base) 一致，以使多个电极焊盘的高度一致的效果，在这个区域内布置有半导体元件和布线。

[0009] 在专利文献 2 中，描述了在 LCD 驱动器中形成的内部电路与电极焊盘之间设置保护元件的效果。

[0010] [专利文献 1]

[0011] 日本未审专利公开 No. 2004-95577

[0012] [专利文献 2]

[0013] 日本未审专利公开 No. 2002-246470

### 发明内容

[0014] 对于如 LCD 驱动器这样的半导体器件，存在有减小半导体芯片的面积的需求。然而，如上所述，与半导体元件的尺寸和布线的尺寸相比，难以减小电极焊盘的尺寸。因而，需要有效地使用由布线等占用的区域。

[0015] 本发明的一个目的是提供一种技术，它能扩大在一个半导体芯片的主表面上的布线区域，特别是在一个 LCD 驱动器的半导体芯片主表面中的信号布线区域，而不增加芯片

面积。

[0016] 从以下描述及附图,本发明的以上和其他目的及新颖特征将变得显而易见。

[0017] 以下是对这里公开的本发明的典型方式的概要。

[0018] 一种半导体器件,包括一个第一区域,布置在例如 LCD 驱动器的半导体器件的半导体芯片的端侧上,在第一区域内形成有一个第一保护元件;一个第二区域,关于第一区域布置在半导体芯片的内侧上,在第二区域内形成有一个第二保护元件;和一个第三区域,关于第二区域布置在半导体芯片的内侧上,在第三区域内形成有一个内部电路,其中在第二区域的第一区域侧上,设置一个输出端口(outlet port),用于来自第一和第二保护元件的布线,该布线提供内部电路与第一和第二保护元件之间的电连接。

[0019] 本发明还提供一种半导体器件,包括:矩形形状的半导体衬底,所述半导体衬底具有第一长边,与所述第一长边相对的第二长边,第一短边以及与所述第一短边相对的第二短边;多个第一突起,形成在所述半导体衬底上方并且沿着所述第一长边安置;多个第二突起,形成在所述半导体衬底上方并且沿着所述第二长边安置;多个布线,形成在所述第一突起下方;以及多个虚设布线,形成在所述第一突起下方并且与所述布线形成在同一层,其中安置在所述第一短边或者所述第二短边附近的所述虚设布线的数目大于安置在所述第一长边的中心部分附近的所述虚设布线的数目。

[0020] 本发明还提供一种半导体器件,包括:矩形形状的半导体衬底,所述半导体衬底具有第一长边,与所述第一长边相对的第二长边,第一短边以及与所述第一短边相对的第二短边;多个第一突起,形成在所述半导体衬底上方并且沿着所述第一长边安置;多个第二突起,形成在所述半导体衬底上方并且沿着所述第二长边安置;多个布线,形成在所述第一突起下方;多个虚设布线,形成在所述第一突起下方并且与所述布线形成在同一层;多个保护元件,形成在所述半导体衬底上,与所述布电线连接并且在平面图中安置在所述第一突起下方,其中所述虚设布线不与保护元件电连接,以及其中安置在所述第一短边或者所述第二短边附近的所述虚设布线的数目大于安置在所述第一长边的中心部分附近的所述虚设布线的数目。

[0021] 以下是对这里公开的本发明的典型方式所获得的效果的简短描述。

[0022] 可以在不增加半导体芯片的面积情况下,扩大半导体芯片的主表面上的布线面积。

#### 附图说明

[0023] 图 1 是示意表示根据本发明的第一实施例的半导体器件的主要部分的平面图;

[0024] 图 2 是示意表示第一实施例的半导体器件中的内部电路与保护元件之间的连接的平面图;

[0025] 图 3 是图 2 所示的半导体器件中的内部电路与保护元件之间的连接的连接示图;

[0026] 图 4 是示意表示图 1 中的半导体器件的主要部分的平面图;

[0027] 图 5 是示意表示图 4 中的半导体器件的主要部分的平面图;

[0028] 图 6 是沿图 5 中的 X-X' 线所取的截面图;

[0029] 图 7 是示意表示根据第一实施例的半导体器件的制造过程中的半导体器件的主要部分的平面图;

[0030] 图 8 是示意表示根据第一实施例的半导体器件的制造过程中的半导体器件的主要部分的平面图；

[0031] 图 9 是示意表示根据第一实施例的半导体器件的制造过程中的半导体器件的主要部分的平面图；

[0032] 图 10 是示意表示根据第一实施例的半导体器件的制造过程中的半导体器件的主要部分的平面图；

[0033] 图 11 是示意表示根据第一实施例的半导体器件的制造过程中的半导体器件的主要部分的平面图；

[0034] 图 12 是示意表示根据本发明的第二实施例的半导体器件中的内部电路与保护元件之间的连接的平面图；

[0035] 图 13 是示意表示根据本发明的第三实施例的半导体器件中的内部电路与保护元件之间的连接的平面图；

[0036] 图 14 是示意表示根据本发明的第四实施例的半导体器件中的内部电路与保护元件之间的连接的平面图；

[0037] 图 15(a) 和图 15(b) 是各自示意表示 LCD 面板的一例的平面图；

[0038] 图 16 是示意表示 LCD 驱动器的一例的平面图；

[0039] 图 17 是示意表示本发明人作了研究的 LCD 驱动器的主要部分的平面图；

[0040] 图 18 是示意表示本发明人作了研究的 LCD 驱动器中的内部电路与保护元件之间的连接的一例的平面图；

[0041] 图 19 是示意表示本发明人作了研究的 LCD 驱动器中的内部电路与保护元件之间的连接的另一例的平面图；和

[0042] 图 20 是表示作为设置有根据本发明的 LCD 驱动器的系统的一例，一个便携式电话的整个配置的方块图。

## 具体实施方式

[0043] 以下将参照附图详细描述本发明的实施例。在用于说明实施例的所有附图中，相同部件用相同的参考标号识别，并且将省略其重复解释。

[0044] 图 20 是表示作为设置有根据本发明的 LCD 驱动器的系统的一例，一个便携式电话的整个配置的方块图。

[0045] 本例的便携式电话包括一个作为显示装置的 LCD 显示区域（液晶显示区域）103，一个用于发射和接收的天线 310，一个用于声音输出的扬声器 320，一个例如由 CCD（电荷耦合装置）或 MOS 传感器构成的固体图像拾取装置 340，一个例如由 DSP（数字信号处理器）构成，用于对从固体图像拾取装置 340 提供的图像信号进行处理的图像信号处理器 230，一个根据本发明的作为液晶显示驱动控制器的 LCD 驱动器 104，一个关于扬声器 320 和麦克风 330 用于输入和输出信号的声音接口 241，一个在它和天线 310 之间用于输入和输出信号的高频接口 242，一个适合对声音信号和发射 / 接收信号执行信号处理等的基带部分 250，一个例如由具有多媒体处理功能，例如，根据 MPEG（活动图像专家组）方法的活动画面处理、分辨率调整功能和 Java 高速处理功能的微处理器所构成的应用处理器 260，一个用于电源的 IC 270，和用于数据存储的存储器 281 和 282。

[0046] 应用处理器 260 还拥有一种功能,即,除从固体图像拾取装置 340 提供的图像信号外,还对通过高频接口 242 从另一个便携式电话接收的活动画面数据进行处理。液晶控制器驱动器 104、基带部分 250、应用处理器 260、存储器 281、282 和图像信号处理电路 230 连接在一起,以便允许通过系统总线 291 传送数据。在图 20 所示的便携式电话系统中,除系统总线 291 外,还设置有显示器数据总线 292,并且液晶控制器驱动器 104、应用处理器 260 和存储器 281 与显示器数据总线 292 连接。

[0047] 基带部分 250 由一个声音信号处理器 251、一个 ASIC(专用集成电路)252 和一个微型计算机 253 构成。声音信号处理器 251 例如由一个 DSP(数字信号处理器)构成,并且适合执行声音信号处理。ASIC 252 提供定制功能(用户逻辑)。微型计算机 253 作为一个系统控制器,产生基带信号,执行显示控制,并且控制整个系统。

[0048] 在存储器 281、282 中,存储器 281 是一个通常由 SRAM 或 SDRAM 构成的易失性存储器,并且例如用作一个帧缓存器,其中存储从各种图像处理所产生的图像数据。存储器 282 是一个非易失性存储器,并且例如由一个能够每次以预定块单元擦除的闪速存储器构成。存储器 282 用于存储对整个便携式电话系统的控制程序和控制数据,包括显示器控制。

[0049] 在使用这样的 LCD 驱动器的系统中,可以把一个点阵型的彩色 TFT 液晶显示面板用作液晶显示区域 103,其中按矩阵形状排列显示像素。此外,在液晶显示区域 103 具有两个 TFT 液晶面板的情况下,也能由单个 LCD 驱动器来驱动它。

[0050] 例如,在如 LCD 驱动器这样的半导体器件中,与减小半导体芯片的面积和获得多输出结构有关,以下将参照图 15 至图 19 关于本发明人作了研究的内容给出描述。

[0051] 图 15(a) 和图 15(b) 是各自示意表示 LCD 面板(液晶显示面板)101 的平面图。图 16 是示意表示 LCD 驱动器 104 的平面图。图 17 是示意表示 LCD 驱动器 104 的主要部分的平面图。图 18 是示意表示内部电路 108 与保护元件 118、119 的连接平面图,其中使电极焊盘 110 以 Z 字形排列。图 19 是示意表示内部电路 108 与保护元件 118、119 的连接平面图,其中使电极焊盘 110 以直线排列。

[0052] 如图 15 所示,LCD 面板 101 包括一个布置在衬底 102,例如玻璃衬底上的 LCD 显示区域 103,一个布置在 LCD 显示区域 103 附近的 LCD 驱动器 104,和一个布置在 LCD 显示区域 103 的背侧上的作为光源的背光(未表示)。在 LCD 显示区域 103 内,在衬底 102 上以矩阵形状排列用于显示屏的多个像素,以便分别定位在像素选择栅极线和源极线的交叉点上(未表示)。此外,在衬底 102 上形成多条衬底布线 105,以将栅极线和源极线与 LCD 驱动器 104 的突起(外部输出端子)电连接。因此,从 LCD 驱动器 104 提供的输出信号通过衬底布线 105 使 LCD 显示区域 103 内的像素置为 ON 或 OFF。

[0053] 经过关于减小 LCD 面板的尺寸的研究,本发明人首次发现有以下问题。

[0054] 更特别地,如在图 15(a) 和图 15(b) 中以比较方式所示的那样,如果使 LCD 面板 101 的尺寸,即衬底 102 的尺寸减小,即使 LCD 显示区域 103 的尺寸保持不变,也使一般为平面矩形的 LCD 驱动器 104 的芯片面积减小。而且,如图 15(b) 所示,因为 LCD 驱动器 104 布置成靠近并沿着 LCD 显示区域 103,所以从减小芯片面积的观点来说,有效的是,从位于 LCD 显示区域 103 的 LCD 驱动器 104 的长边引出所有输出,也就是,采用所谓的单边输出,而不从 LCD 驱动器 104 的短边引出输出。也就是,在 LCD 驱动器 104 的四边中的长边上设置电极焊盘 110,并且在短边上不设置。因此,如图 15(b) 所示,LCD 驱动器 104 的长边变得更长,

并且其短边变得更短,使得 LCD 驱动器 104 的平面形状趋于变得更细,并且可以实现芯片面积的减小,即 LCD 面板的减小。

[0055] 然而,如以下将详细描述,出现多输出结构在 LCD 驱动器 104 的长边上带来的问题。

[0056] 如图 16 所示,一般为平面矩形的 LCD 驱动器 104 包括输入侧内部电路 107 和输出侧内部电路 108,例如包括 MIS 晶体管和二极管,它们在一个构成半导体芯片的半导体衬底 106 上形成。通过与内部电路 107 电连接的用于输入的多个电极焊盘 109,从外部向内部电路 107 输入信号。另一方面,通过与内部电路 108 电连接的用于输出的多个电极焊盘 110,将来自内部电路 108 的输出信号输出。布置在右边和左边的内部电路 108 是用于 LCD 面板 101 中 TFT 晶体管的栅极的输出电路,而中央的内部电路 108 是用于 TFT 晶体管的源极的输出电路。在半导体衬底 106 上形成多条信号线 111,以将内部电路 108 和电极焊盘 110 相互电连接。标号 112 指示在半导体衬底 106 上由信号线 111 占用的信号线区域。

[0057] 例如,如图 17 所示,用于 LCD 驱动器 104 的输出的电极焊盘 110 沿 LCD 驱动器 104 的芯片端侧按两行以 Z 字形排列。在图 17 中,标号 113 指示划线区域,用于从半导体晶片分割出各半导体芯片,标号 114 和 115 指示元件区域,其中形成保护元件(未表示),标号 116 指示元件区域,其中形成内部电路 108,以及标号 117 指示元件隔离区域,用于使元件区域 115 与 116 之间绝缘和隔离。例如,在电源内部电路 108 与 GND 内部电路 108 之间设置两个保护元件,用于静电保护。

[0058] 图 16 所示的信号线 111 形成在元件隔离区域 117 上方。因此,在图 17 中,将图 16 所示的信号线区域 112 和元件隔离区域 117 以重叠状态表示。

[0059] 也就是,如图 17 所示,按从芯片端侧向芯片中央侧的次序,排列划线区域 113、元件区域 114、元件区域 115、元件隔离区域 117 和元件区域 116。

[0060] 在图 18 中,表示出一种状态,其中用于输出的电极焊盘 110 以 Z 字形排列,并且保护元件 118 和 119 与一个内部电路 108 电连接。保护元件 118 和 119 通过布线 120 电连接。内部电路 108 和保护元件 119 通过信号线 111 电连接。更特别地,信号线 111 的一端从保护元件 119 引出,并且其相对端与内部电路 108 电连接。因而,从保护元件 119 引出并且与内部电路 108 连接的信号线 111 所占用的区域是信号线区域 112。

[0061] 在图 19 中,用于输出的电极焊盘 110 以直线排列,但是如以上 Z 字形布局的情况那样,信号线 111 的一端从保护元件 119 引出,并且其相对端与内部电路 108 电连接。

[0062] 如先前所述,液晶显示屏上的像素在液晶显示区域内以矩阵形状排列,以便分别定位在像素选择栅极线和源极线的交叉点上。因此,随着液晶显示屏的分辨率变得更高,像素选择栅极线和源极线数也增加,也就是,从 LCD 驱动器 104 向栅极线和源极线提供的用于输出的电极焊盘 110 数增加。

[0063] 而且,因为必须保证要求的键合强度和键合精度,并且满足应用于作为芯片安装侧的 LCD 面板 101 的标准,所以与信号线 111 等的尺寸减小相比,不能使各电极焊盘 110 的尺寸较小。由于这个原因,看情况,芯片面积由电极焊盘数来确定。

[0064] 此外,如图 16 所示,为了形成作为 LCD 驱动器 104 的外部输出端子的突起,必须以间距 P1 来排列用作突起的基础的用于输出的电极焊盘 110。因此,用于输出的电极焊盘 110 的间距 P1 比内部电路 108 侧上的信号线 111 的间距 P2 大,在该侧,信号线与电极焊盘 110

电连接。作为结果,由信号线 111 占用的信号线区域 112 也变得较大。

[0065] 也就是,当减小 LCD 驱动器 104 的芯片面积时,出现这样的问题,即位于 LCD 驱动器 104 的长边上的用于输出的电极焊盘 110 的数目增加,不仅带来信号线 111 的数目增加,而且带来信号线区域 112 的尺寸增加,以及芯片面积的增加。

[0066] (第一实施例)

[0067] 参照图 1 至图 11,以下将就根据应用于 LCD 驱动器的本发明的第一实施例的半导体器件,给出描述,对其要求半导体芯片的面积减小和多输出结构。

[0068] 图 1 是示意表示以 1 指示的半导体器件的主要部分的平面图。在同一图中还以透视状态表示了电极焊盘 9。

[0069] 在半导体器件 1 的半导体芯片的主表面上,按从芯片端侧向芯片中央侧(沿图 1 中的垂直方向)的次序排列划线区域 2、元件区域 3、元件区域 4、元件隔离区域 5 和元件区域 6。

[0070] 元件区域 6 是一个其中形成例如包括 MIS 晶体管和二极管的内部电路 7 的区域。元件隔离区域 5 是一个其中例如形成 LOCOS(硅的局部氧化)的区域,用于绝缘和隔离例如其中形成如 MIS 晶体管这样元件的区域。有时有这样一种情况,其中在一个不是元件隔离区域 5 的区域内也形成 LOCOS,但是在本实施例中,位于元件区域 4 与 6 之间的区域指定为元件隔离区域 5。可以使用称为 SGI(浅槽隔离)或 STI(浅沟隔离)的槽或沟型隔离区域,形成元件隔离区域 5。例如,通过在半导体衬底中形成的沟中沉积一个绝缘膜,例如氧化膜或氮化膜,来形成 STI。如后面将要详细描述,信号线 8 越过(passover)元件隔离区域 5,信号线 8 布置在内部电路 7 与电极焊盘 9 之间,以将两者相互电连接。

[0071] 划线区域 2 是一个用于从半导体晶片切割出半导体芯片的区域。元件区域 3 和 4 是其中形成保护元件的区域,以保护内部电路 7 免遭静电影响,并且由此防止例如 MIS 晶体管的栅绝缘膜的静电击穿。

[0072] 电极焊盘 9 沿半导体器件 1 的芯片端侧按两行以 Z 字形排列。在本实施例中,电极焊盘 9 排列在元件区域 3、4、元件隔离区域 5 和元件区域 6 上。通过信号线 8,从内部电路 7 向电极焊盘 9 输出信号。

[0073] 用 10 指示的信号线区域是一个在半导体器件 1 的半导体芯片上由信号线 8 占用的区域,其信号线将内部电路 7 和电极焊盘 9 相互电连接。图 1 表示这样一种情况,其中信号线区域 10 从其中形成内部电路 7 的元件区域 6 伸出,然后通过元件隔离区域 5,并且进一步至元件区域 4 的一部分。

[0074] 现在将对图 1 与在本发明的这个详细描述开始处参考的图 17 之间作一比较。假定图 1 中从芯片端到元件区域 6 的尺寸以及从芯片端到元件区域 116 的尺寸(沿图 1 和图 17 各自所示的垂直方向的尺寸)几乎一致,则由信号线 8 占用的信号线区域 10 的尺寸比由信号线 111 占用的信号线区域 112 的尺寸大。换句话说,图 1 所示的信号线 8 的数目比图 17 所示的信号线 111 的数目大。这表明在图 1 所示的半导体器件 1 中,能增加信号线 8 的数目,而不扩大其芯片面积。

[0075] 图 2 是示意表示图 1 所示的半导体器件 1 中的主要部分的连接的平面图,还以透视状态表示了电极焊盘 9。

[0076] 标号 11 指示在图 1 所示的元件区域 3 内形成的保护元件,以及标号 12 指示在图

1 所示的元件区域 4 内形成的保护元件。标号 13 指示布线,用于将保护元件 11 和 12 相互电连接。如图 2 所示,信号线 8 各自在其一端与内部电路 7 电连接,并且在其相对端与一个输出端口 29 连接。图 3 是表示图 2 所示的半导体器件 1 中的主要部分的连接的连接示意图。图 3 表示一种例如将二极管用作保护元件 11 和 12 的情况。

[0077] 如图 3 所示,内部电路 7 和电极焊盘 9 电连接在一起,并且来自内部电路 7 的信号通过信号线 8 输出到用于输出的电极焊盘 9。用于保护内部电路 7 免遭静电击穿的保护元件 11 和 12 电连接在内部电路 7 与各电极焊盘 9 之间,并且分别与电源侧和 GND 侧电连接。

[0078] 现在将对图 2 与先前参考的图 18 之间作一比较。图 2 表示了由信号线 8 占用的信号线区域 10,而在图 18 中表示了由信号线 111 占用的信号线区域 112。在图 18 中,从内部电路 108 伸出的信号线 111 与保护元件 118 的内部电路 108 侧连接,并且因此由信号线 111 占用的信号线区域 112 既不越过保护元件 118,也不越过保护元件 119。另一方面,在图 2 中,从内部电路 7 伸出的信号线 8 各自与位于关联保护元件 11 与 12 之间的布线 13 连接,并且因此由信号线 8 占用的信号线区域 10 越过保护元件 12。如以上结合图 1 所述,通过在保护元件 12 上方设置信号线区域 10,可以增加信号线 8 的数目,而不扩大半导体器件 1 的芯片面积。

[0079] 因而,因为用于保护元件 11、12 与内部电路 7 之间的电连接的信号线 8 是从位于保护元件 11 和 12 之间的布线 13 引出,所以变得可以在保护元件 12 上方布置信号线 8,使得即便信号线数增加,也不需要增加芯片面积。也就是,因为在保护元件 12 上方设置由信号线 8 占用的信号线区域 10,所以不必增加芯片面积。

[0080] 因此,在信号线数相同的条件下,通过应用本发明,能减小半导体芯片的主表面上的布线区域,特别是具有多输出结构的 LCD 驱动器的半导体芯片主表面之内占用的信号线区域。

[0081] 现在将就本实施例的半导体器件 1 中位于电极焊盘 9 下面的部分提供以下描述。图 4 是示意表示图 1 所示的半导体器件 1 的主要部分的平面图,电极焊盘 9 以透视状态表示。

[0082] 图 4 中的标号 9a 和 9b 指示定位在沿半导体器件 1 的芯片端侧按两行以 Z 字形排列的电极焊盘的内侧(沿图 4 中垂直方向之下部)的电极焊盘。电极焊盘 9a 和 9b 用于输出来自内部电路 7 的信号。另一方面,标号 9c 和 9d 指示定位在沿半导体器件 1 的芯片端侧按两行以 Z 字形排列的电极焊盘的外侧(沿图 4 中垂直方向之上部)的电极焊盘。电极焊盘 9c 和 9d 也布置成用于输出来自内部电路 7 的信号。信号线 8 从内部电路 7 向以上提到的输出端口 29 逐步排列。这是因为内部电路 7 中的布线间距和相邻电极焊盘 9 之间的间隔相互不同,并且后者较大。

[0083] 标号 14 指示与内部电路 7 和保护元件 11、12 中任何一个都不电连接的虚设线(dummy line)。在图 4 中,虚设线 14 位于电极焊盘 9b 和 9d 下面。在位于作为 LCD 驱动器的半导体器件 1 的外围边沿部分的电极焊盘 9 下方,信号线 8 的数目比在 LCD 驱动器的中央部分的电极焊盘 9 下方的信号线 8 的数目小,所以位于外围边沿部分的电极焊盘 9 下方的布线占用率变低。因此,布置虚设线 14,以使布线占用率均匀。

[0084] 由 15 指示的区域表示一个在半导体器件 1 的半导体芯片上由虚设线 14 占用的虚设线区域。信号线区域 10 与虚设线区域 15 之间的比较表示,信号线区域 10 内的虚设线 14

的数目比虚设线区域 15 内的虚设线 14 的数目大。换句话说,布置在 LCD 驱动器 104 的外围边沿部分(图 4 中右侧)的虚设线的数目比布置在 LCD 驱动器 104 的中央部分(图 4 中左侧)的虚设线 14 的数目大。

[0085] 用于内部电路 7 等的电源和 GND 线布置在电极焊盘 9c 和 9d 下方,但是在图中未表示,因为这里的描述是针对分别在电极焊盘 9a 和 9b 下面的信号线 8 和虚设线 4。

[0086] 如上所述,从保护元件 11 和 12 之间形成的布线 13 上的输出端口 29 引出信号线 8,以将保护元件 11 和 12 与内部电路 7 电连接,由此可以将信号线 8 布置在保护元件 12 上方。因此,在电极焊盘 9a 下方存在多条信号线 8。在这种情况下,通过使电极焊盘 9a 下方布置的信号线的布线占用均匀,可以使电极焊盘 9a 的上表面相互几乎齐平,也就是,能改善电极焊盘 9a 的上表面的平度。而且,通过使电极焊盘 9a 的上表面相互几乎齐平,可以使接合到其上的突起的顶部相互几乎齐平。

[0087] 在本实施例中,当描述为布线占用几乎相等时,将 10% 之内的范围,更优选地 5% 之内的范围识别为制造过程中的误差,并且表达为布线占用均匀。形成各电极焊盘 9 下方的布线,使得在各电极焊盘下方并且在各布线层中,其布线占用为 50% 或更多。

[0088] 形成虚设线 14,以使电极焊盘 9 下方的区域内的布线占用均匀。因而,在电极焊盘 9b 下方存在多条虚设线 14,并且因此,通过使电极焊盘 9b 下方布置的布线的布线占用均匀,可以使电极焊盘 9b 的上表面相互几乎齐平。而且,通过使电极焊盘 9b 的上表面相互几乎齐平,可以使接合到其上的突起的顶部相互几乎齐平。布置成用于使电极焊盘 9 下方区域内的布线占用均匀的虚设线 14,可以补充为电极焊盘 9d 下方的区域。

[0089] 因而,由于在半导体器件 1 的半导体芯片上形成的电极焊盘 9 的上表面平度优良,所以能以不引起任何不便的满意方式,通过突起,将多个电极焊盘 9(9a 至 9d) 上分别形成的突起与半导体芯片的封装连接在一起。

[0090] 其次,将就根据本实施例的半导体器件 1 的主要部分的结构给出描述。图 5 是一个平面图,示意表示图 4 中的半导体器件 1 的主要部分,更具体地,表示在沿芯片端侧按两行以 Z 字形排列的电极焊盘外侧(沿图 4 中垂直方向之上)定位的电极焊盘 9 的附近。图 6 是沿图 5 中的 X-X' 线所取的截面图。在图 5 中,为了表示布线层 M1 至 M4 之间的布局关系,没有对布线层 M1 和 M4 画阴影线,但是对布线层 M2 和 M3 画阴影线。在图 5 中,对一个扩散层 23 也画阴影线。此外,图 6 所示的突起 16 在图 5 中未表示。然而,在突起 16 下方,形成有布线层 M1 至 M4 以及期望的半导体元件(例如,作为保护元件 11 和 12 的 pn 结二极管)。

[0091] 半导体衬底 21 例如由 p 型单硅(Si)晶体构成,并且在其主表面中的器件形成表面上,形成有元件隔离区域 22 和与其邻近的扩散层 23。元件隔离区域 22 各自由例如用 LOCOS(硅的局部氧化)方法形成的氧化硅(例如, $\text{SiO}_2$ )膜构成。元件隔离区域 22 可以按槽形或沟形(SGI:浅槽隔离,或 STI:浅沟隔离)形成。

[0092] 在半导体衬底 21 的主表面上,形成有一个内部电路(未表示),例如包括 MIS 晶体管,以及例如由 pn 结二极管构成的保护元件 11 和 12。作为保护元件 11 和 12 的 pn 结二极管用于防止静电击穿,并且由半导体衬底 21 的 n 型或 p 型阱 24 与上覆的 p 型或 n 型扩散层 23 之间的 pn 结形成。

[0093] 在内部电路与保护元件 11 和 12 上方,形成有布线层 M1 至 M4,它们通过层间绝缘

膜 25 相互绝缘和隔开。布线层 M1 至 M4 例如用铝（或铝合金）作为主要成分形成，但是可以用铜（或铜合金）作为主要成分形成的嵌入（damascene）结构的布线层。通过将包含铜作为主要成分的导电膜，嵌入到相邻布线层之间布置的层间膜之内形成的槽中，使嵌入结构的布线层各自形成。

[0094] 布线层 M1 通过接触孔 H1，与位于布线层 M1 下面的内部电路和保护元件 11、12 电连接。布线层 M2 通过接触孔 H2，与布线层 M1 电连接。布线层 M3 通过接触孔 H3，与布线层 M2 电连接。此外，布线层 M4 通过接触孔 H4，与布线层 M3 电连接。

[0095] 电极焊盘 9 由布线层 M4 构成。同样地，布线 8 由布线层 M2 和 M3 构成。此外，布线 13 由布线层 M1 构成。突起 16 通过布线层 M4（电极焊盘 9）上形成的金属基膜 26 接合到布线层 M4。金属基膜 26 具有改善突起 16 对电极焊盘 9 和层间绝缘膜 25 的附着的功能。例如，金属基膜 26 由单一高熔点金属膜，例如钛（Ti）或钛钨（TiW）膜，或一个将镍（Ni）膜和金（Au）膜从下到上按这样次序层叠在钛膜上的层叠膜构成。突起 16 例如通过使用金（Au）的电镀法形成。

[0096] 如图 5 和图 6 所示，半导体器件 1 包括一个在半导体衬底 21 的主表面上由信号线 8 占用的信号线区域 10，和一个在主表面上由电源线 27 占用的电源线区域 28。

[0097] 信号线 8 和电源线 27 由布线层 M2 和 M3 构成。与作为外部输出端子的突起 16 电连接的电极焊盘 9，由覆盖在布线层 M3 上面的布线层 M4 构成。此外，将保护元件 11 和 12 相互电连接的布线 13，由位于布线层 M2 下面的布线层 M1 构成。

[0098] 从形成在半导体器件 1 的主表面上的内部电路伸出的信号线 8 越过保护元件 12，并且通过在布线 13 上形成的输出端口 29 中的接触孔 H2 和 H3，与布线 13 电连接。此外，布线 13 通过接触孔 H2、H3 和 H4，与电极焊盘 9 电连接。来自内部电路的信号通过这些连接输出到外部。

[0099] 另一方面，为了防止例如从外部施加在内部电路上的静电所引起的内部电路的击穿，例如为了防止 MIS 晶体管的栅绝缘膜的击穿，在内部电路与电极焊盘 9 之间电连接保护元件 11 和 12。

[0100] 如图 6 所示，在大约定位于保护元件 11 和 12 之间的布线 13 上，设置输出端口 29，用于从关联保护元件 11 和 12 引出各信号线 8。因而，在其中形成保护元件 11 和 12 的区域上方，构成一个能够用作信号线区域 10 的区域。根据现有技术，例如，在位于内部电路侧（沿图 6 中横向的左侧）的布线 13 上设置各信号线 8 的输出端口 29 的情况下，关于信号线区域 10，信号线 8 不设置在保护元件 11 上方。然而，在一个半导体器件中，其中从像 LCD 驱动器那样的内部电路扩展了（develop）大量输出，则由信号线数增加所引起的信号线区域 10 的尺寸增加对芯片面积施加了较大影响。因此，通过采用这样的结构，其中在大约定位在两个保护元件之间的布线上，设置输出端口 29，以从关联保护元件 11 和 12 引出各信号线，则变得可以在保护元件 12 上方，并且进一步在迄今还未用作信号线区域 10 的保护元件 11 上方，布置信号线 8。因此，即使信号线区域 10 变得更大，也可以避免芯片面积的增加。换句话说，通过在大约定位于两个保护元件之间的布线 13 上，设置从保护元件 11 和 12 的信号线输出端口 29，变得可以将信号线 8 也布置在迄今还未用作信号线区域 10 的电极焊盘 9 下面的区域内，所以即使信号线区域 10 变得更大，也能避免芯片面积的增加。此外，在将信号线 8 布置在电极焊盘 9 下方的情况下，通过使电极焊盘 9 下方布置的布线的布线占用均

匀,能使电极焊盘 9 的上表面相互接近齐平,也就是,能改善它们的平度。此外,通过使电极焊盘 9 的上表面相互接近齐平,可以使接合到其上的突起 16 的顶部相互接近齐平。

[0101] 其次,以下关于半导体器件的制造过程的一例提供描述。图 7 至图 11 是示意表示制造过程中半导体器件的主要部分的平面图。沿图 5 中 X-X' 线所取的图 6 的截面图,与沿图 7 至图 11 中 X-X' 线所取的截面图相应。

[0102] 首先,如图 6 所示,在半导体衬底 21 的主表面上,例如通过 LOCOS 方法形成元件隔离区域 22,随后形成内部电路(未表示)以及保护元件 11 和 12,其中该半导体衬底 21 构成具有基本平面圆形的半导体晶片。

[0103] 随后,通过 CVD(化学气相沉积)在半导体衬底 21 的主表面上沉积一个绝缘膜,并且然后通过光刻或干法蚀刻技术,在绝缘膜的预定位置形成接触孔 H1。

[0104] 随后,例如通过溅射,在绝缘膜上从下到上依次沉积例如氮化钛膜、钛膜、铝膜和氮化钛膜。然后通过光刻或干法蚀刻技术,使这样层叠的金属膜经历构图,以形成布线层 M1。图 7 是示意表示布线层 M1 的平面图。也就是,在元件区域 3 和 4 内形成越过保护元件 11 和 12 的布线层 M1。

[0105] 同样地,然后在层间绝缘膜 25 中形成接触孔 H2,并且在层间绝缘膜 25 上形成布线层 M2。图 8 是示意表示布线层 M2 的平面图。也就是,在元件区域 3 内形成越过保护元件 11 的电源线 27,而在元件区域 4 和 5 内形成越过保护元件 12 的信号线 8。如上关于图 4 所述,从内部电路 7 向输出端口 29 逐步地排列信号线 8。看情况,如上关于图 4 所述,来形成虚设线 14。

[0106] 同样地,然后在层间绝缘膜 25 中形成接触孔 H3,并且在层间绝缘膜 25 上形成布线层 M3。图 9 是示意表示布线层 M3 的平面图。也就是,在元件区域 3 内形成越过保护元件 11 的电源线 27,而在元件区域 4 和 5 内形成越过保护元件 12 的信号线 8。如上关于图 4 所述,从内部电路 7 向输出端口 29 逐步地排列信号线 8。看情况,如上关于图 4 所述,来形成虚设线 14。

[0107] 同样地,然后在层间绝缘膜 25 中形成接触孔 H4,并且在层间绝缘膜 25 上形成布线层 M4。图 10 是示意表示布线层 M4 的平面图。也就是,在元件区域 3、4 和元件隔离区域 5 内,形成包括电极焊盘 9 的布线层 M4。布线层 M1 至 M3 及作为半导体元件的保护元件 11 和 12 位于电极焊盘 9 下面,并且在布线层 M1 至 M3 中的电极焊盘 9 下方的布线占用相等。形成布线,以便在各电极焊盘 9 下方的布线占用相等。

[0108] 随后,沉积用于表面保护的层间绝缘膜 25,然后形成孔,对其部分地暴露布线层 M4,并且形成电极焊盘 9。图 11 是示意表示电极焊盘的平面图。

[0109] 其次,例如通过溅射,在层间绝缘膜 25 上沉积一个诸如单一高熔点金属膜的导体膜,例如钛膜或钛钨膜,或者一个通过在钛膜上从下到上依次层叠镍膜和金膜而形成的层叠膜,并且在导体膜上形成一个光致抗蚀剂图形,以使突起形成区域暴露,并且覆盖另外区域。

[0110] 然后,例如通过使用金的喷镀来形成突起 16,随后除去光致抗蚀剂图形,并且随后通过蚀刻除去作为基膜的导体膜,以形成金属基膜 26。这样完成在电极焊盘 9 上具有突起 16 的半导体器件 1。

[0111] (第二实施例)

[0112] 在先前第一实施例中,如图 2 所示,在沿芯片端侧按两行以 Z 字形排列有电极焊盘 9 的半导体器件中,在保护元件 11 和 12 之间设置用于信号线 8 的输出端口 29。在本第二实施例中,将就一种其中在芯片端侧上形成用于信号线 8 的输出端口的半导体器件给出描述。

[0113] 图 12 是示意表示根据本第二实施例的半导体器件中的主要部分的连接的平面图,其中电极焊盘 9 以透视状态表示。

[0114] 如图 12 所示,在保护元件 11 的芯片端侧(沿图 12 中垂直方向的上侧),形成用于信号线 8 的输出端口 29,信号线 8 提供从保护元件 11 和 12 至内部电路 7 的电连接,由此信号线 8 能布置在保护元件 12 上方,并且进一步布置在保护元件 11 上方。因此,即使信号线数增加,也不需要扩大芯片面积。更特别地,因为在保护元件 12 上方设置一个信号线区域 10 作为信号线 8 所占用的区域,所以不必扩大芯片面积。

[0115] 因此,在信号线数相同的条件下,通过应用本发明,能减小半导体芯片的主表面上的布线区域,特别是具有多输出结构的 LCD 驱动器的半导体芯片主表面之内占用的信号线区域。

[0116] (第三实施例)

[0117] 在先前第一实施例中,如图 2 所示,在沿芯片端侧按两行以 Z 字形排列有电极焊盘 9 的半导体器件中,在保护元件 11 和 12 之间设置用于信号线 8 的输出端口 29。在本第三实施例中,将就一种沿芯片端侧按一行直线排列电极焊盘 9 的半导体器件给出描述。

[0118] 图 13 是示意表示根据本第三实施例的半导体器件中的主要部分的连接的平面图,其中电极焊盘 9 以透视状态表示。

[0119] 如图 13 所示,即使在电极焊盘 9 的直线布局的情况下,也能从位于保护元件 11 和 12 之间的布线 13 上形成的输出端口 29,引出提供从保护元件 11 和 12 至内部电路 7 的电连接的信号线 8,并且能布置在保护元件 12 上方。因此,即使信号线数增加,也不需要扩大芯片面积。更特别地,因为在保护元件 12 上方设置一个信号线区域 10 作为信号线 8 所占用的区域,所以不必扩大芯片面积。

[0120] 因此,在信号线数相同的条件下,通过应用本发明,能减小在半导体芯片的主表面上的布线区域,特别是在具有多输出结构的 LCD 驱动器的半导体芯片主表面之内占用的信号线区域。

[0121] (第四实施例)

[0122] 在先前第三实施例中,如图 13 所示,在沿芯片端侧按一行直线排列有电极焊盘 9 的半导体器件中,在保护元件 11 和 12 之间设置用于信号线 8 的输出端口 29。在本第四实施例中,以下将就一种其中在芯片端侧形成用于信号线 8 的输出端口 29 的半导体器件给出描述。

[0123] 图 14 是示意表示根据本第四实施例的半导体器件中的主要部分的连接的平面图,其中电极焊盘 9 以透视状态表示。

[0124] 如图 14 所示,在保护元件 11 的芯片端侧(沿图 14 中垂直方向的上侧),形成用于信号线 8 的输出端口 29,提供从保护元件 11 和 12 至内部电路 7 的电连接,由此信号线 8 能布置在保护元件 12 上方,并且进一步布置在保护元件 11 上方。因此,即使信号线数增加,也不需要增加芯片面积。更特别地,因为在保护元件 12 上方提供一个由信号线 8 所占用的

信号线区域 10, 所以不必增加芯片面积。

[0125] 因此, 在信号线数相同的条件下, 通过应用本发明, 能减小在半导体芯片的主表面上的布线区域, 特别是具有多输出结构的 LCD 驱动器的半导体芯片主表面之内占用的信号线区域。

[0126] 虽然以上通过其实施例具体地描述了本发明, 但是不用说本发明不限于以上实施例, 而是在不违反本发明的精神的范围下, 可以进行各种改变。

[0127] 虽然在以上描述中本发明主要应用于 LCD 驱动器, 它作为本发明的背景属于应用领域, 但是对此不作限制。例如, 本发明也可应用于具有如 SRAM(静态随机存取存储器) 或闪速存储器 (EEPROM: 电可擦除可编程只读存储器) 这样的存储电路的半导体器件, 或应用于一种在同一衬底上具有存储电路和逻辑电路两者的组合型的半导体器件。

[0128] 虽然第一实施例所示的半导体器件是四层的布线衬底, 但是对其不作限制, 而是本发明也可应用于具有较大布线层数的半导体器件。

[0129] 此外, 虽然在第一实施例中, 虚设线与内部电路和保护元件中的任何一个都不电连接, 也就是, 虚设线整个是虚设的并且处于浮动状态, 它们可以由内部电路中布线的一部分来形成。

[0130] 本发明可广泛用于半导体制造工业。

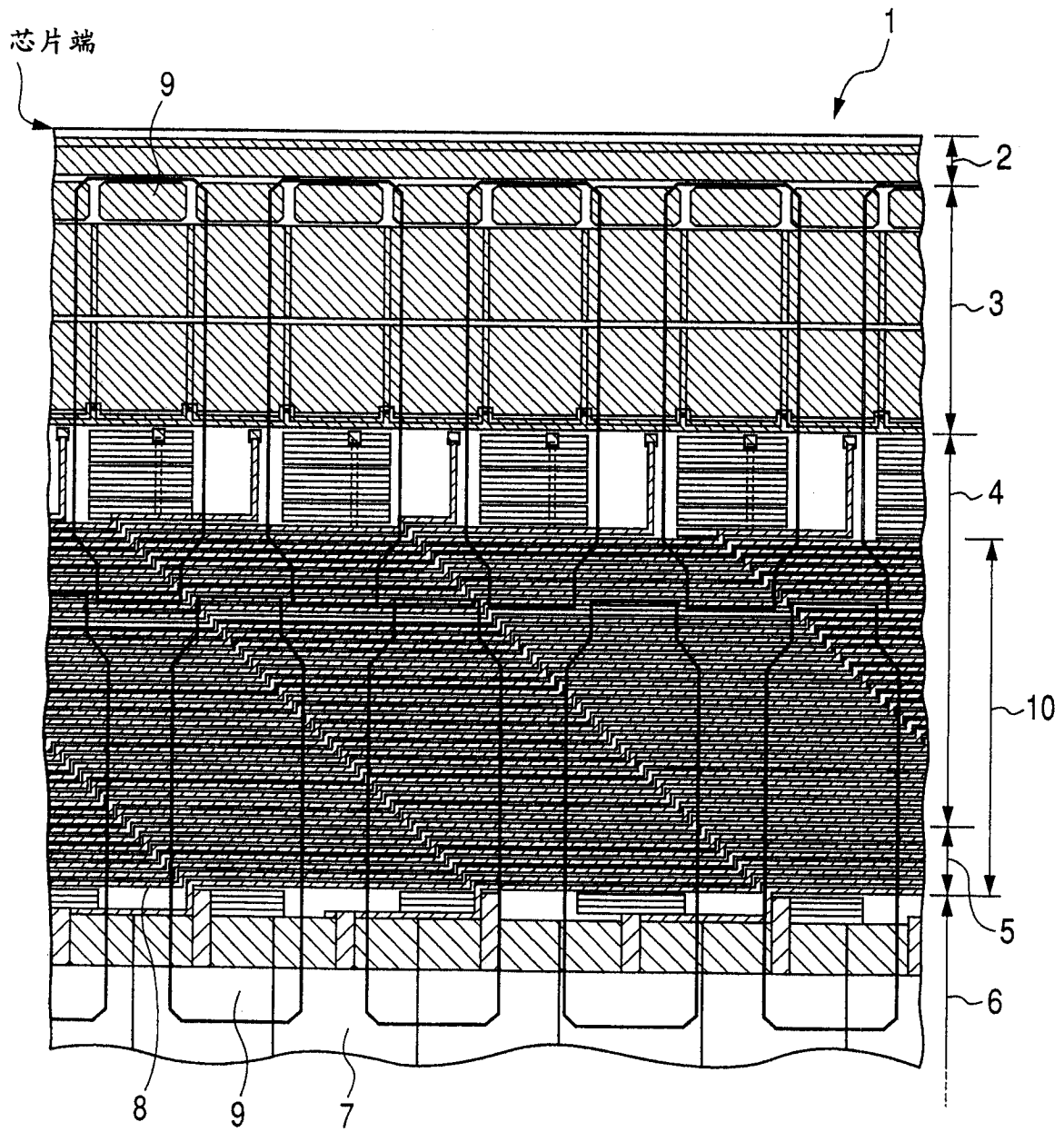


图 1

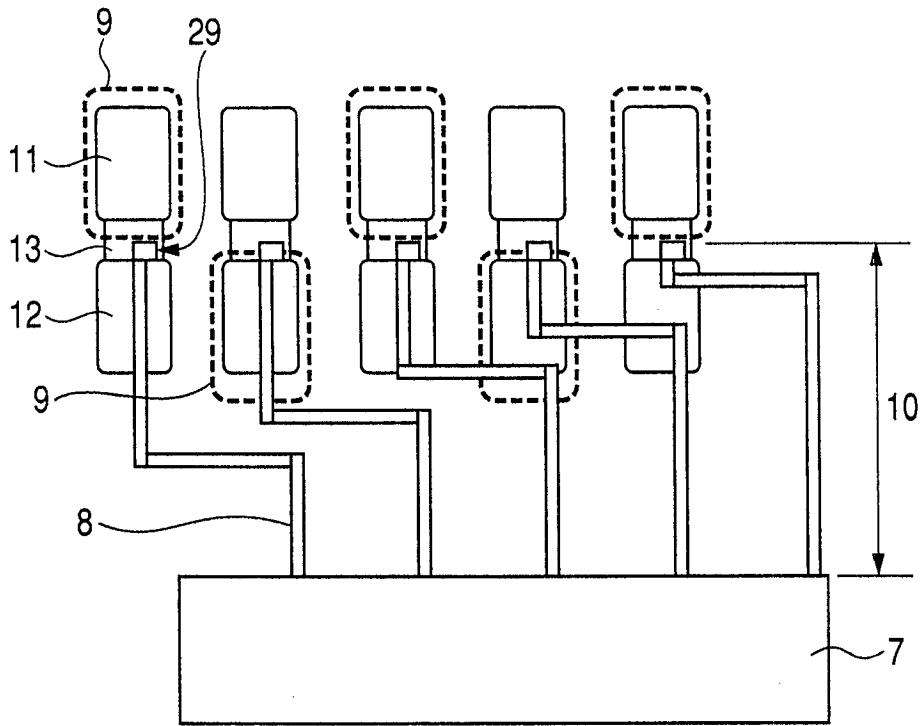


图 2

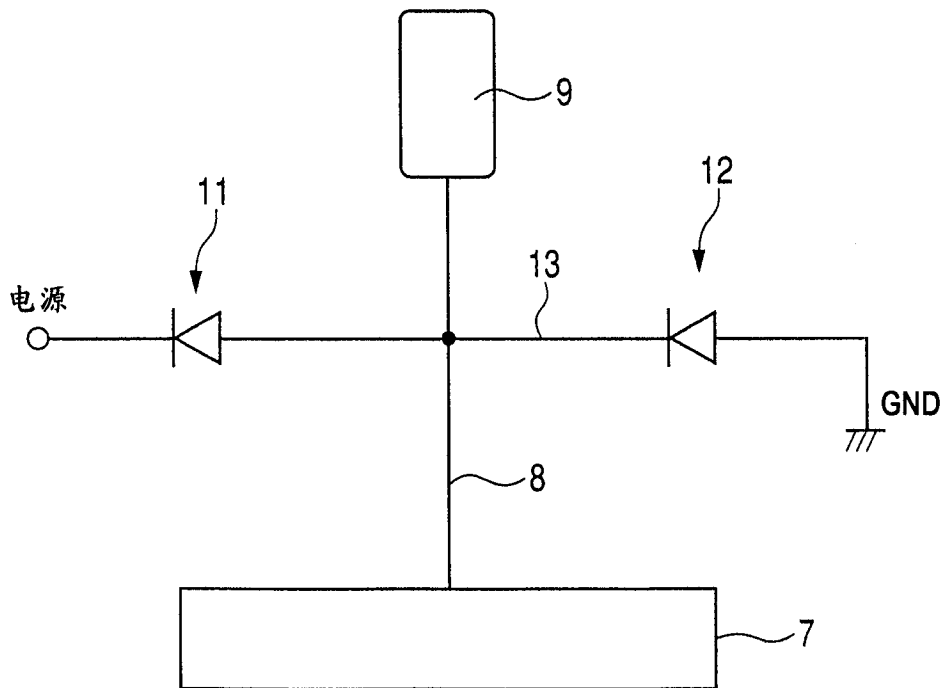


图 3

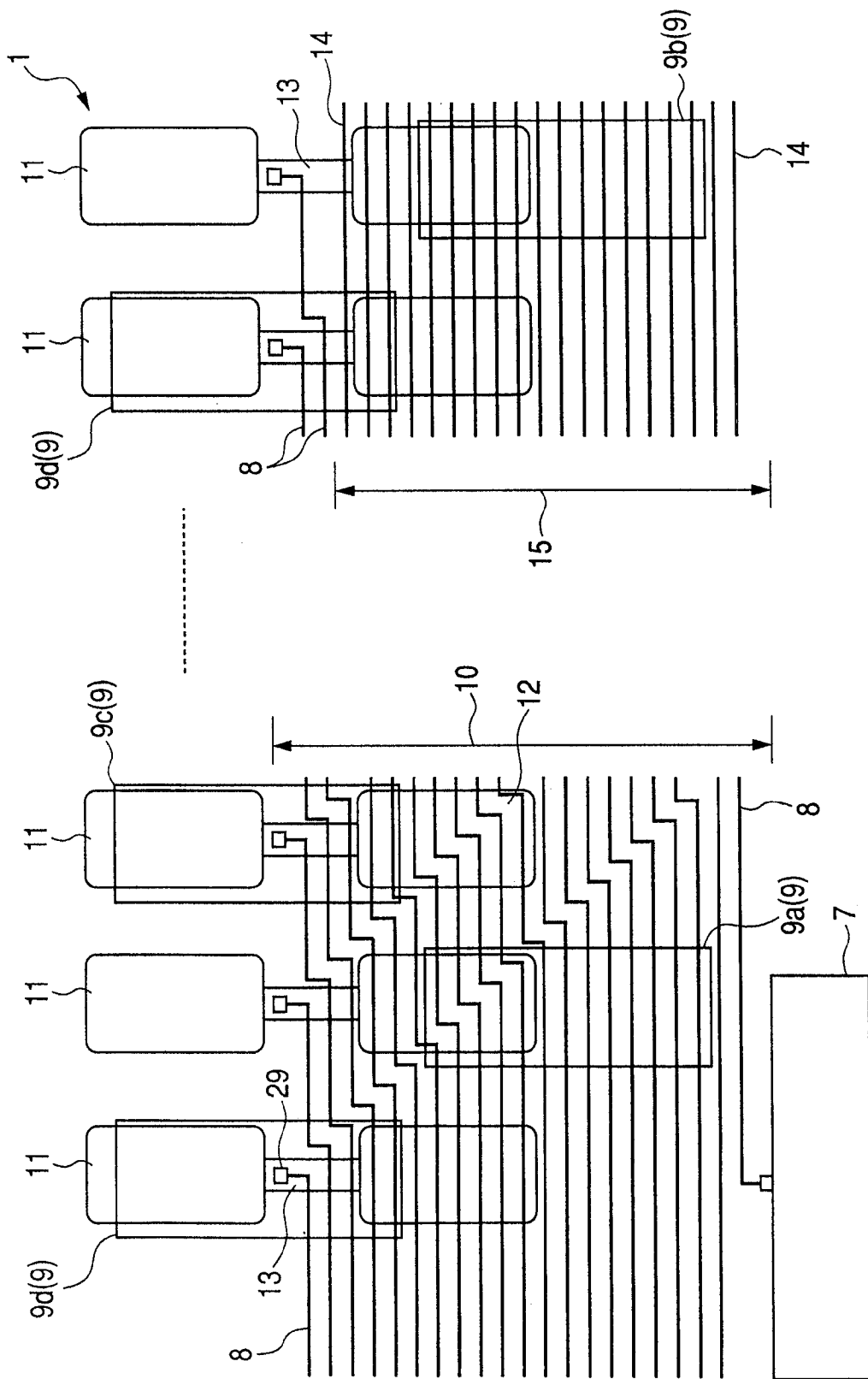


图 4

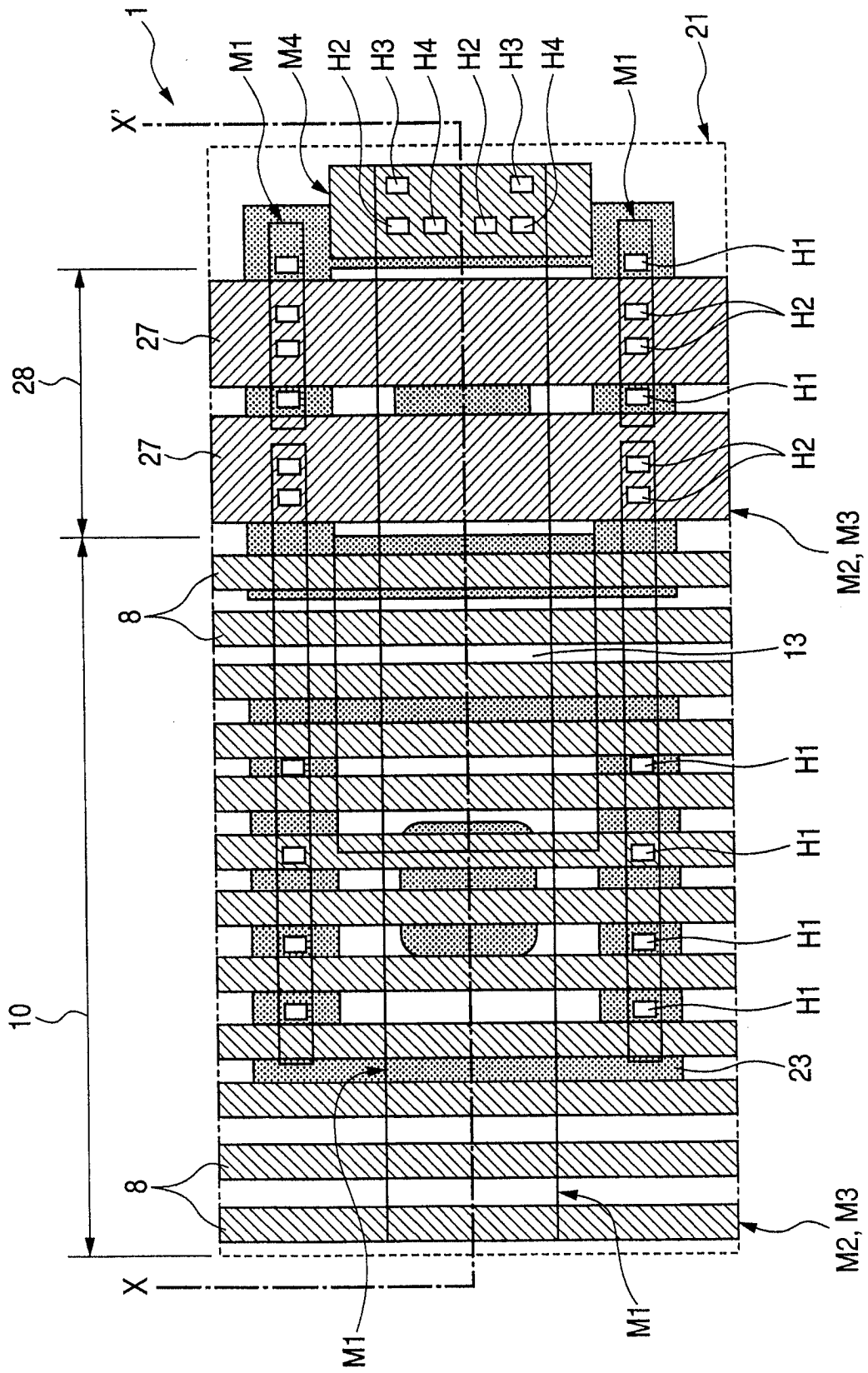


图 5



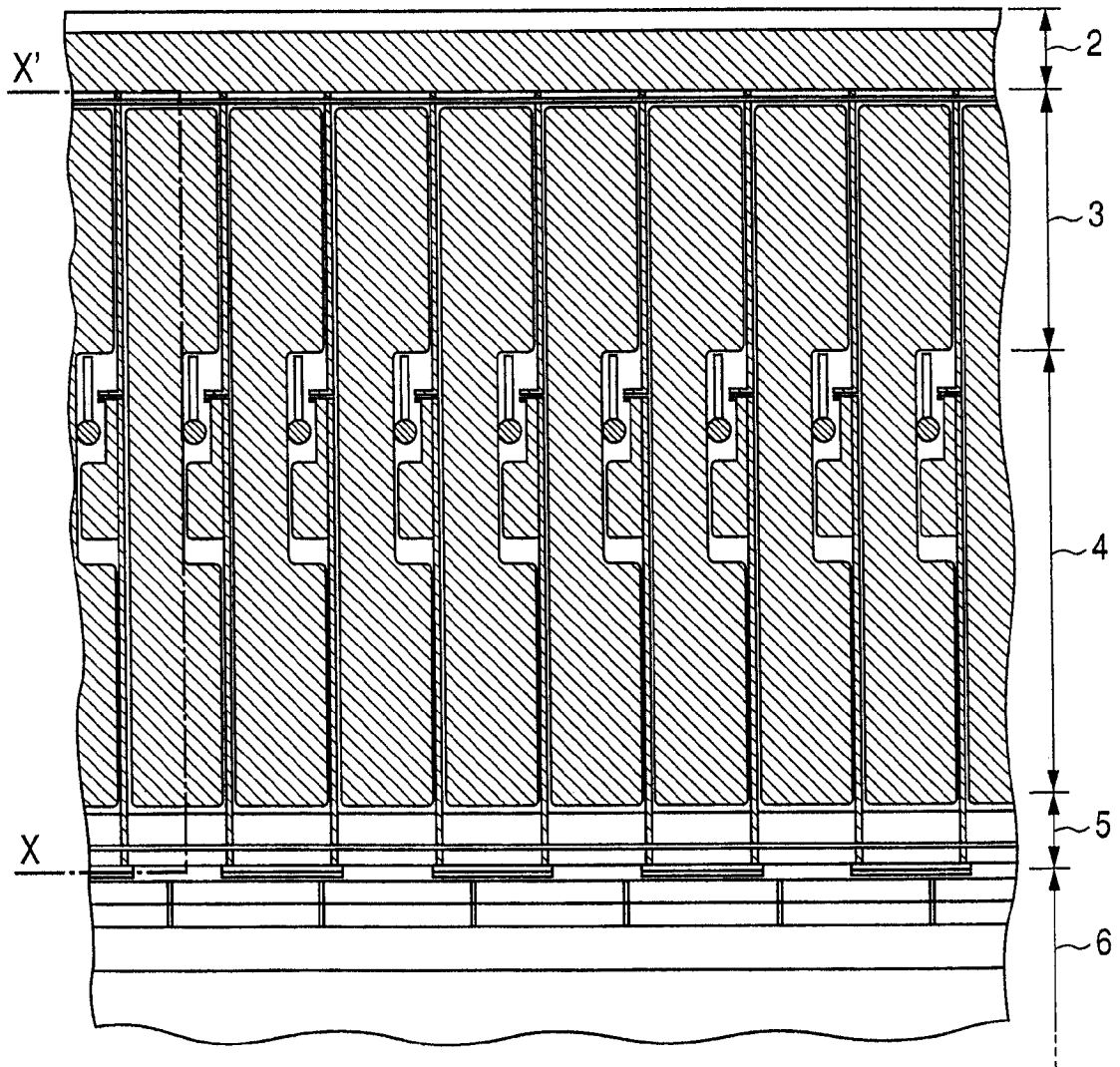


图 7

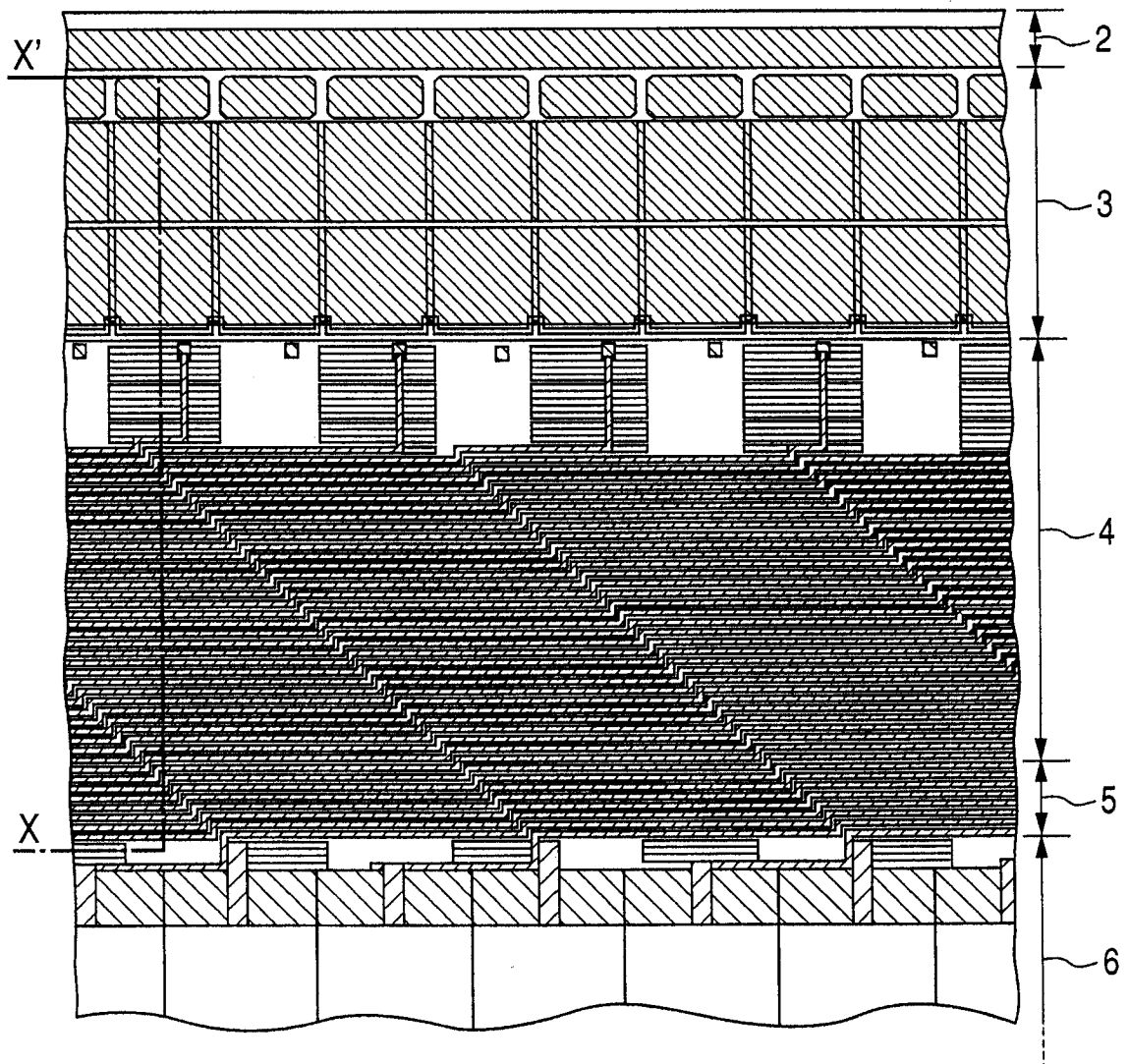


图 8

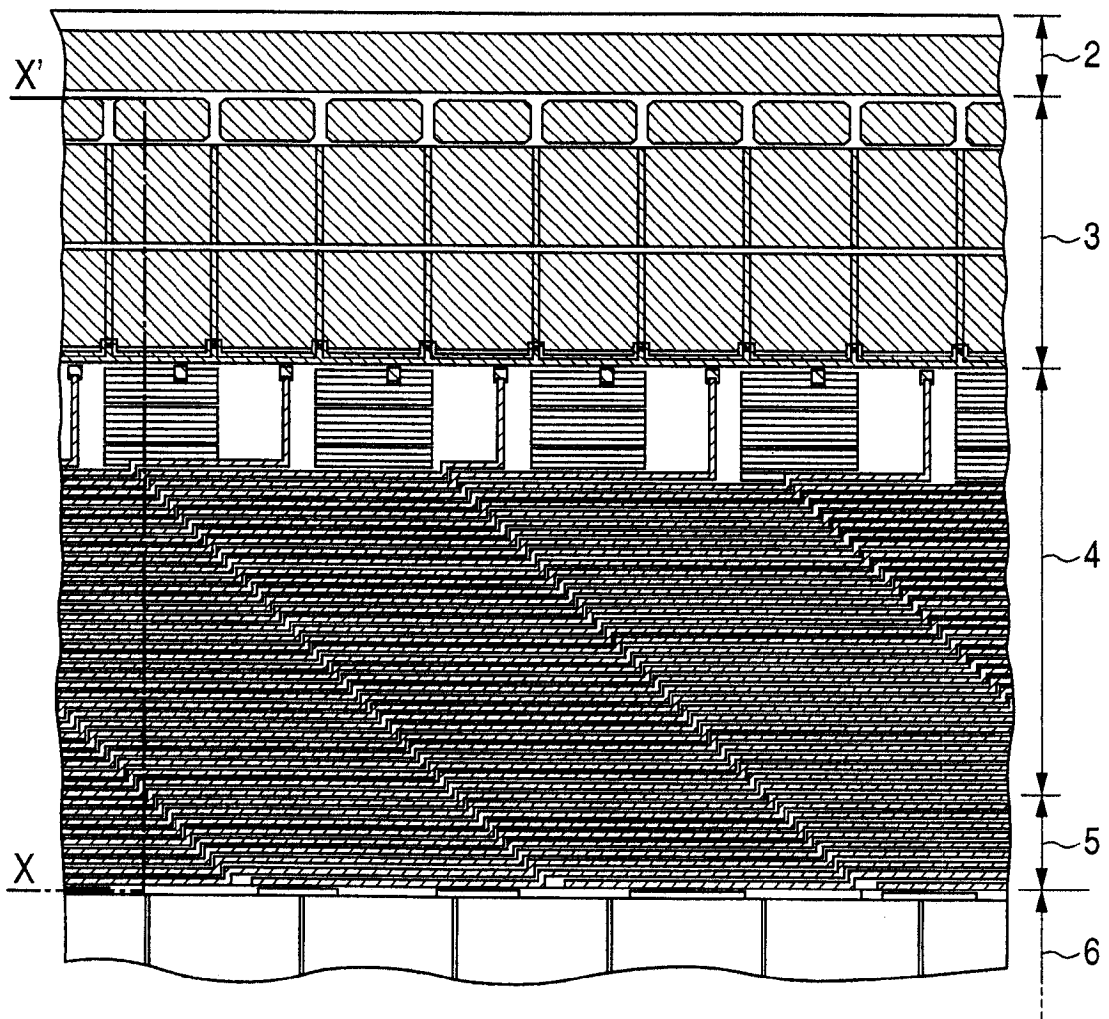


图 9

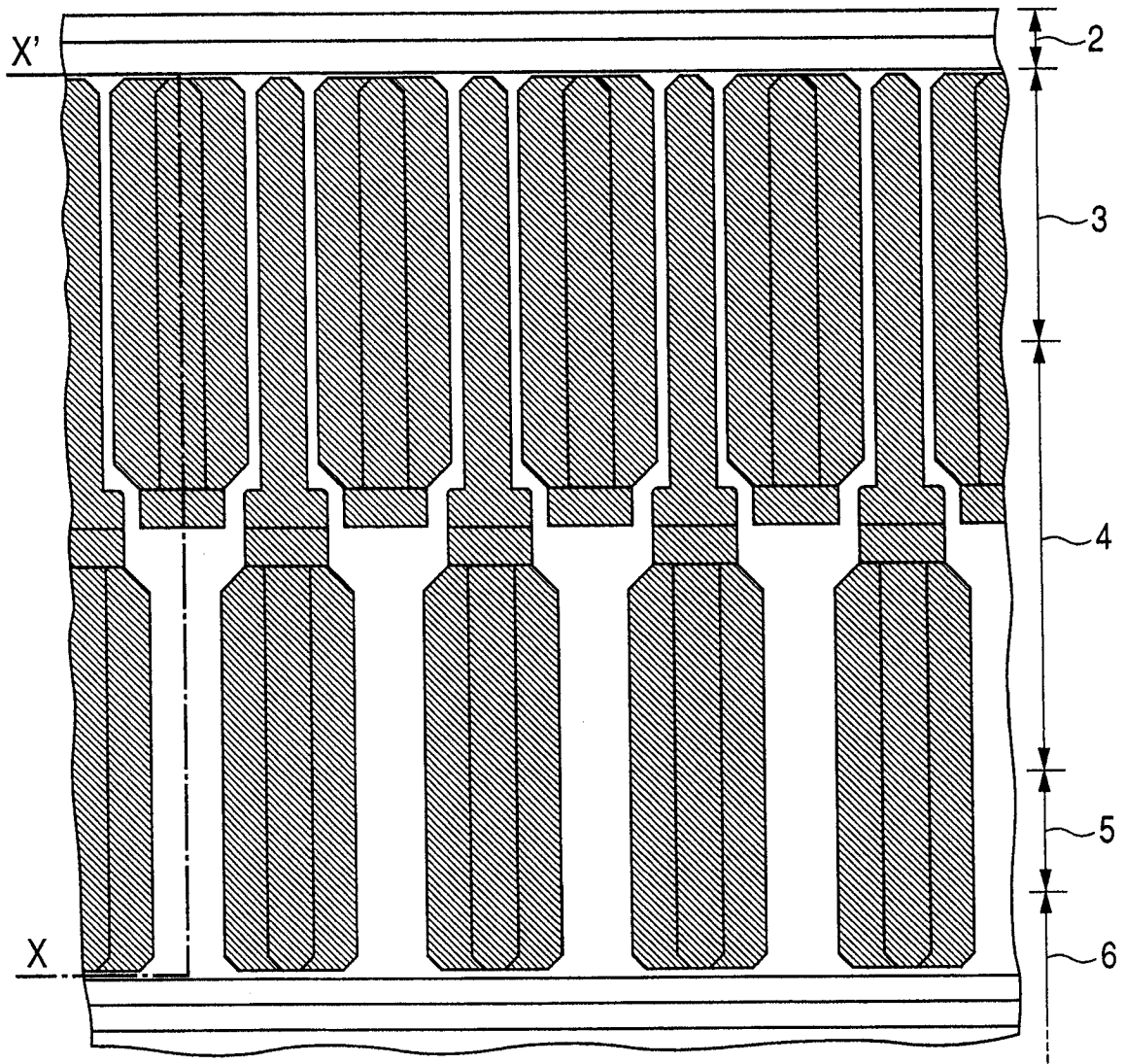


图 10

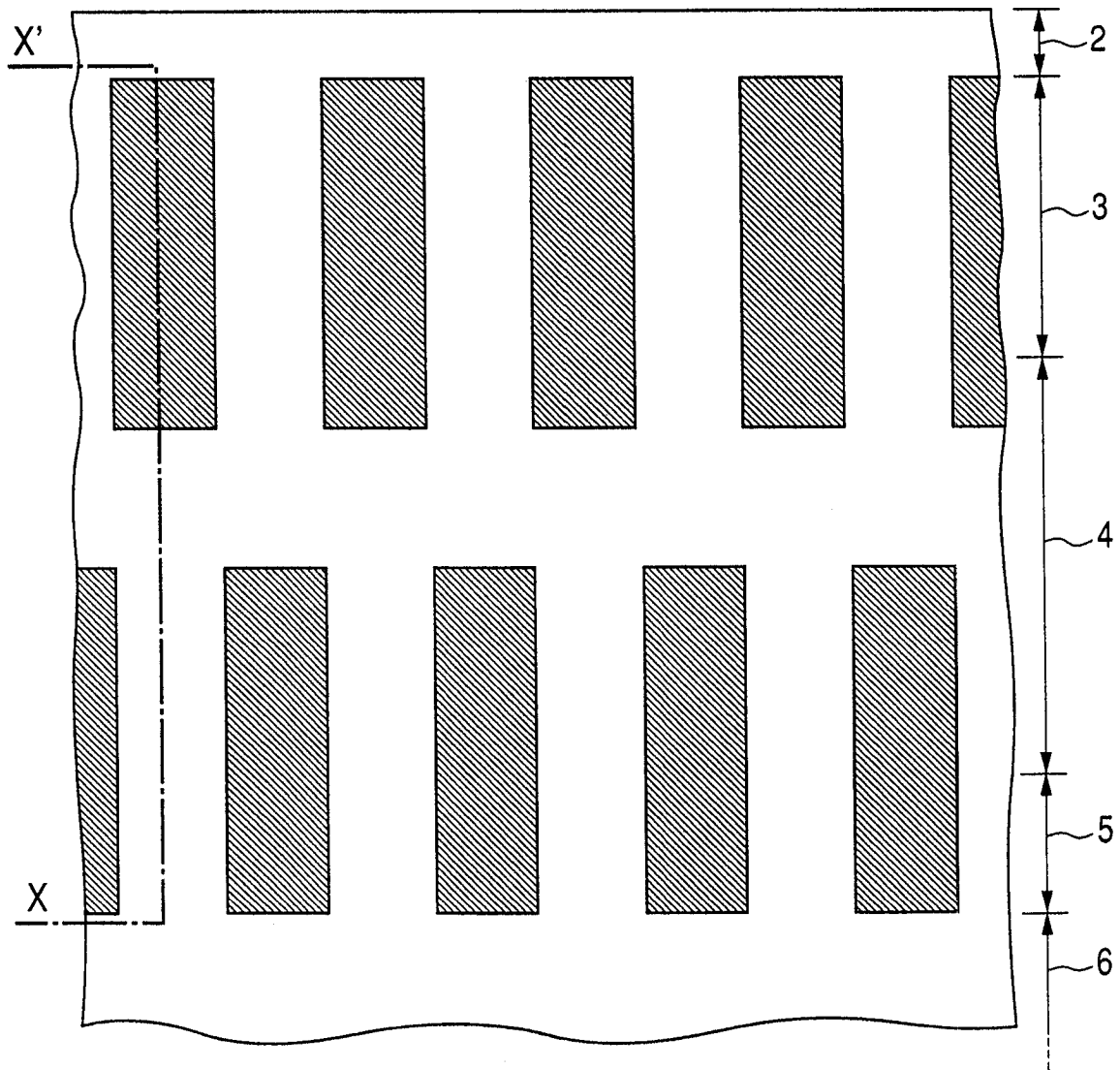


图 11

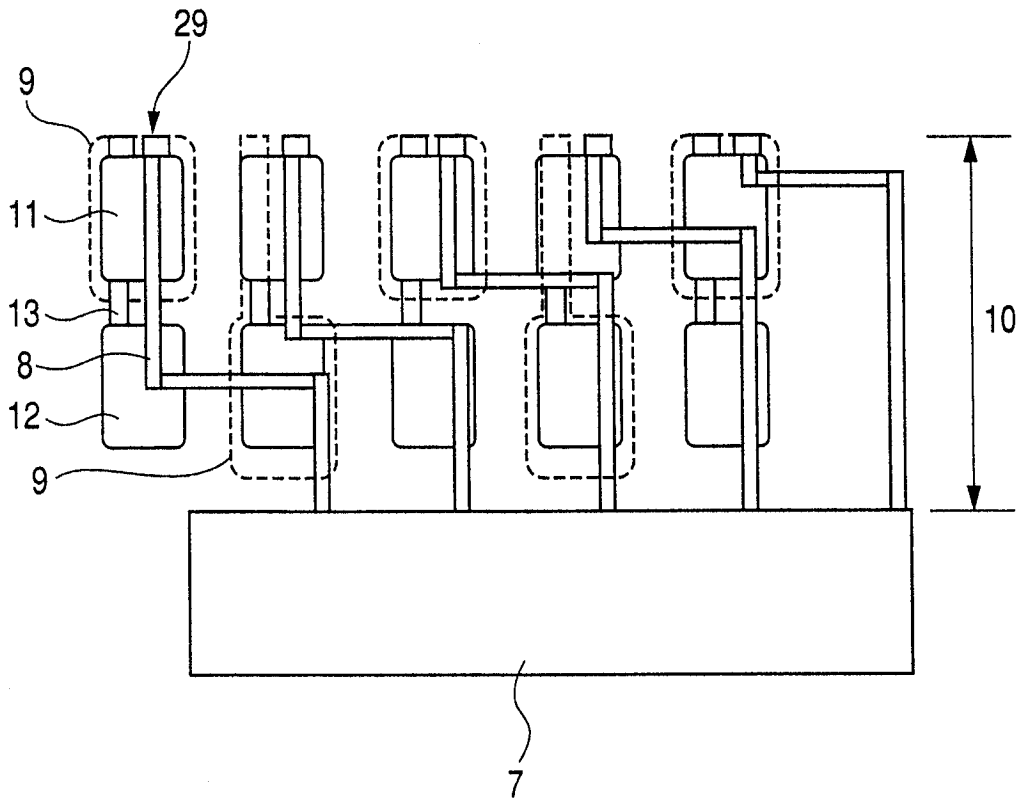


图 12

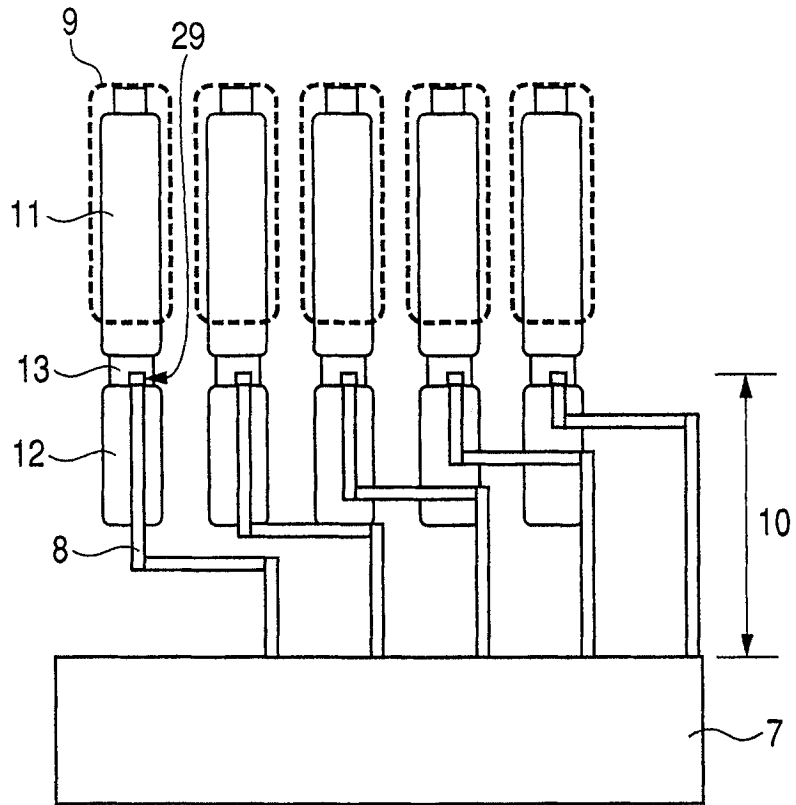


图 13

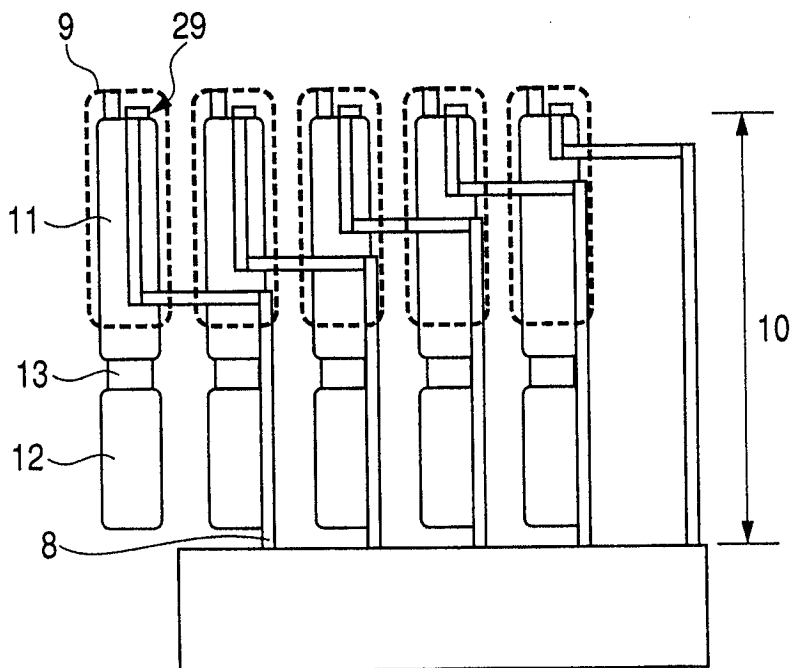


图 14

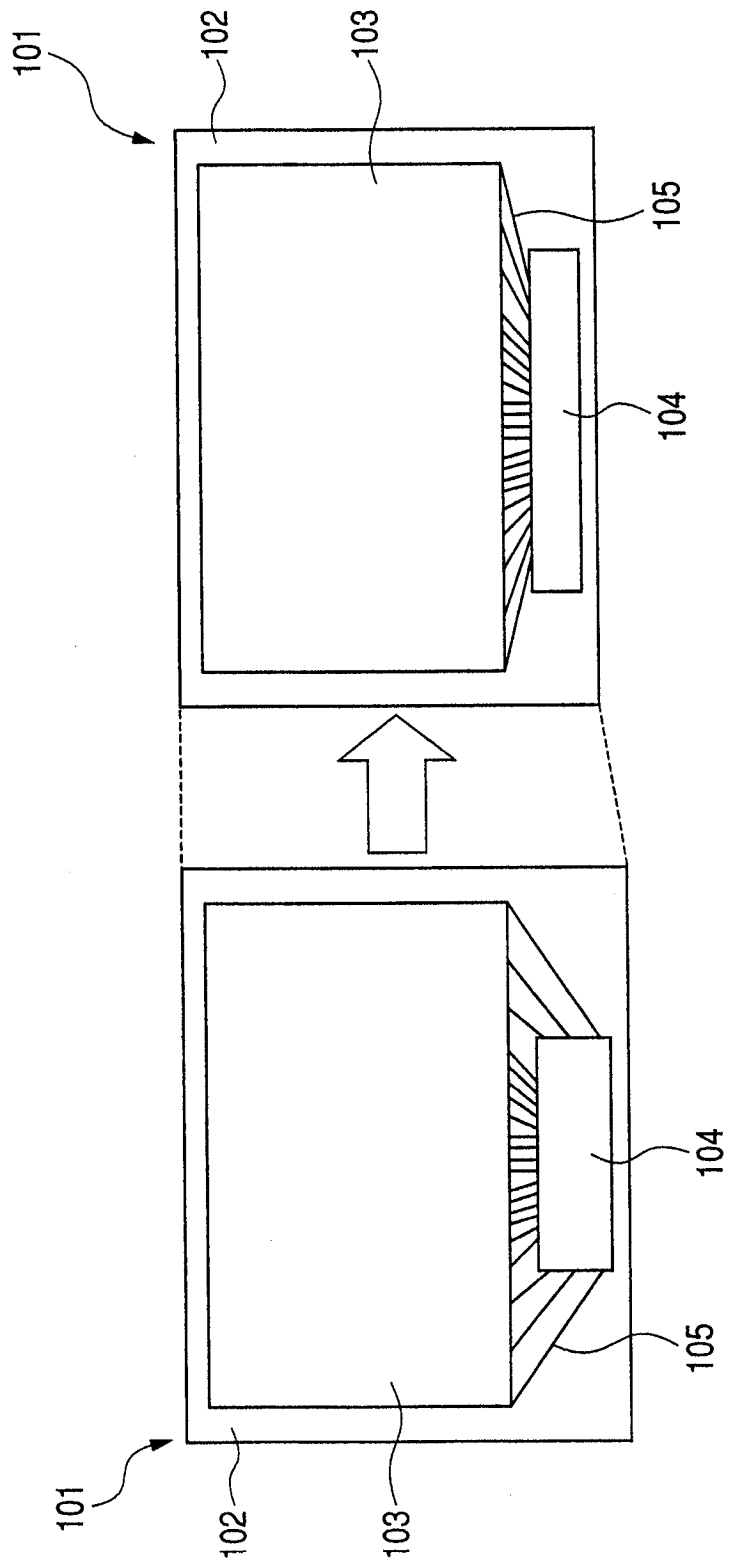


图 15 ( b )

图 15 ( a )

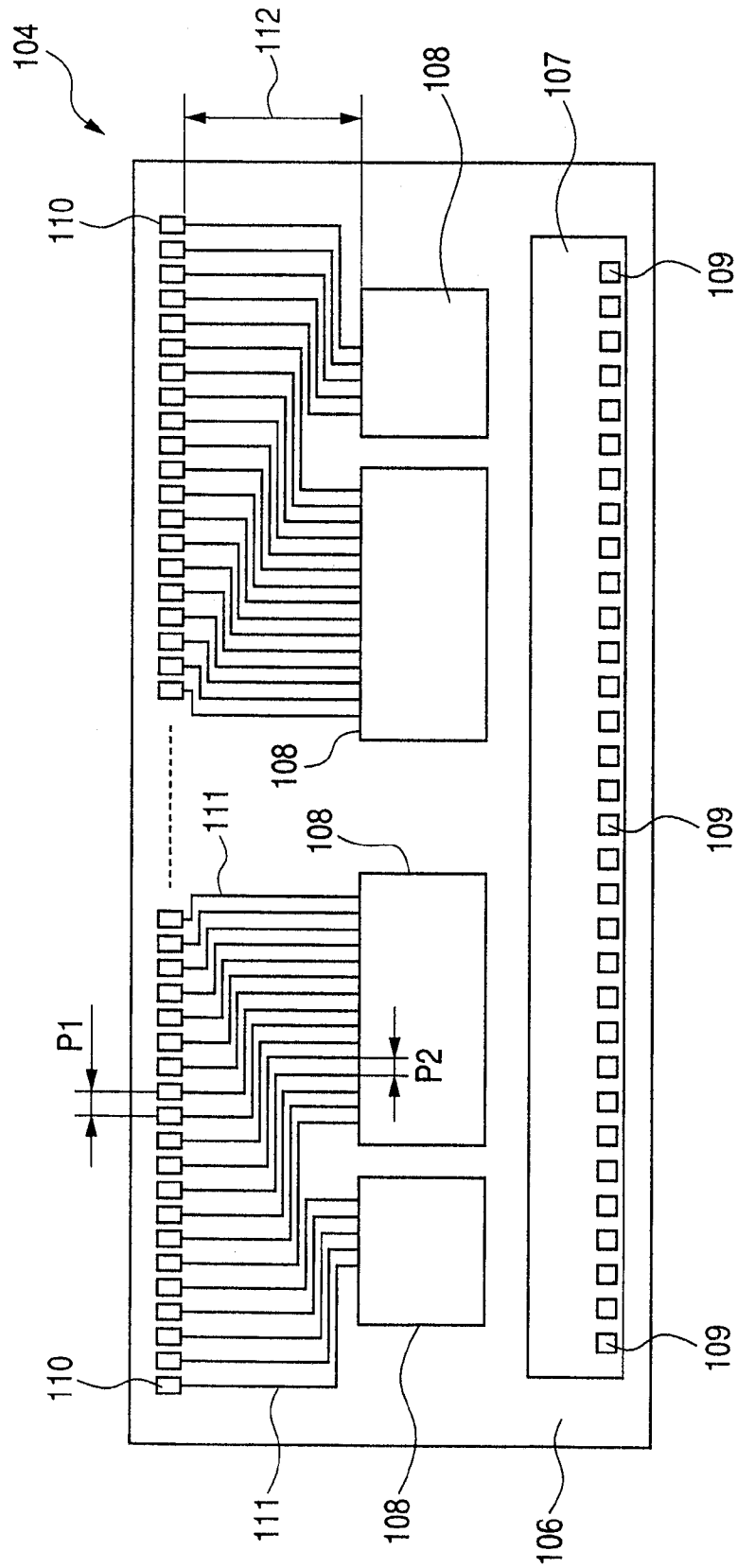


图 16

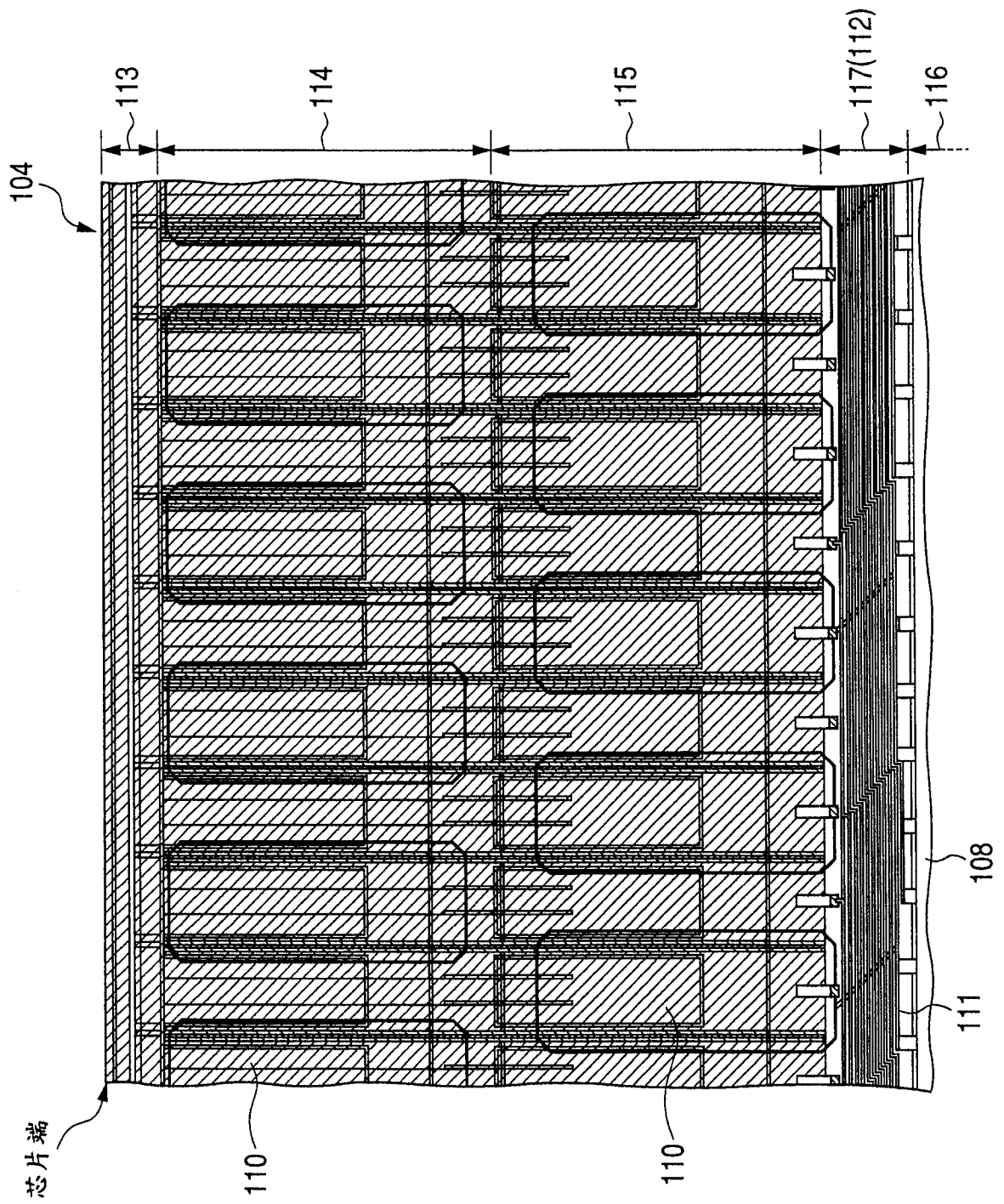


图 17

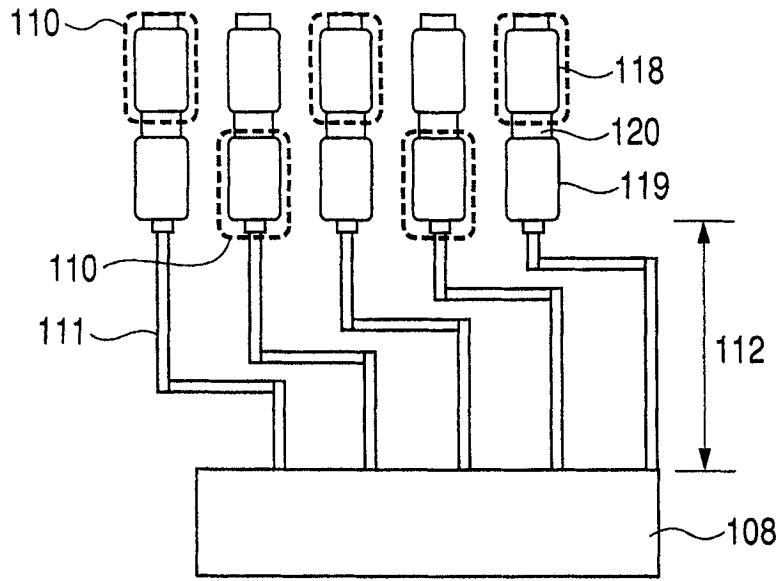


图 18

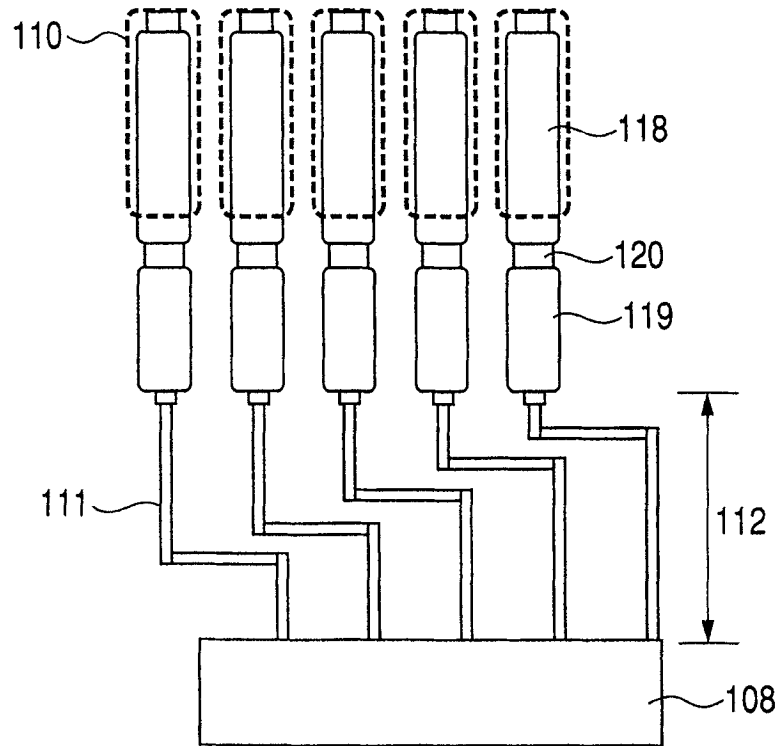


图 19

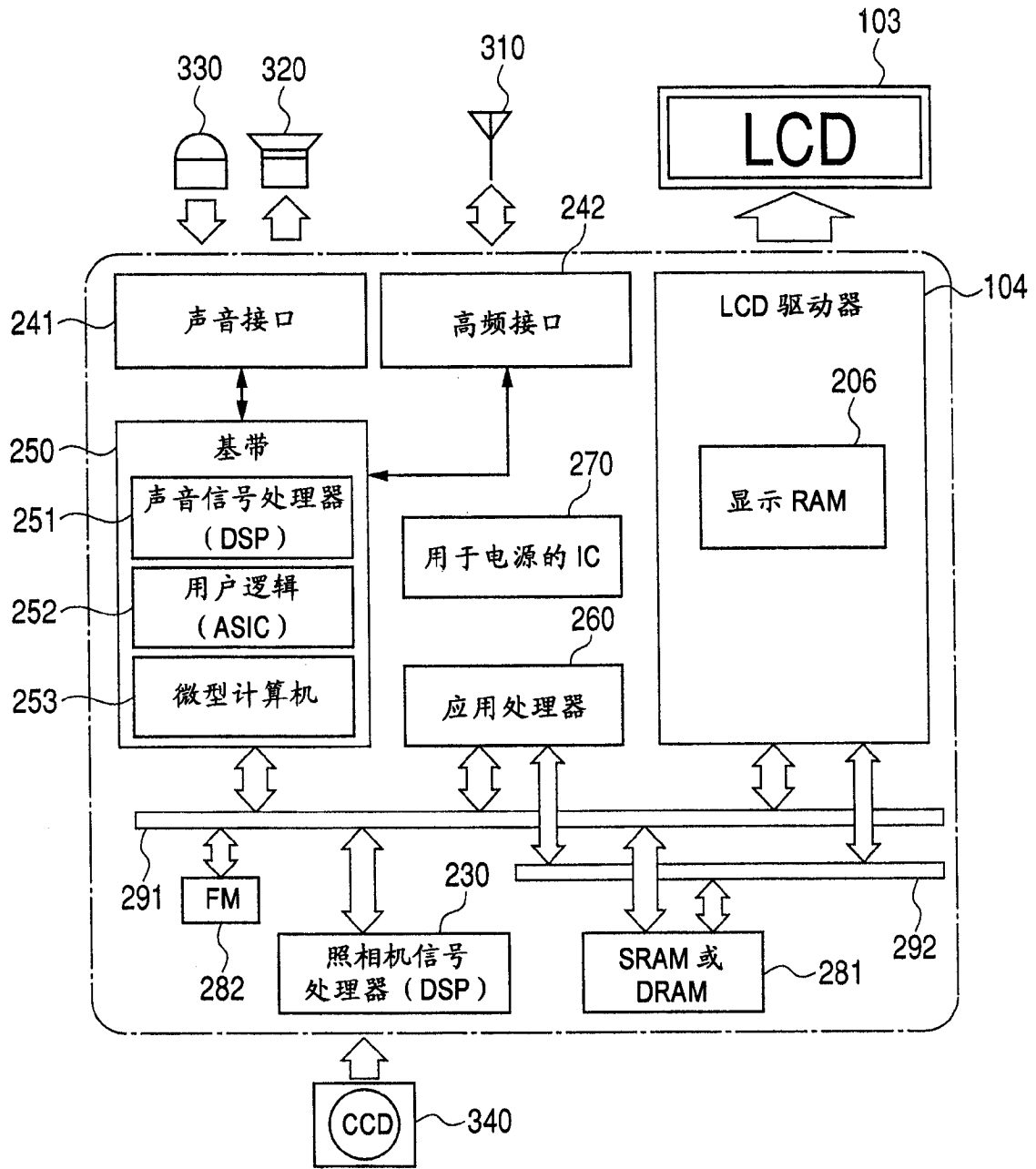


图 20