

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年5月22日(22.05.2020)



(10) 国際公開番号

WO 2020/100700 A1

(51) 国際特許分類:

H04L 12/711 (2013.01)

(21) 国際出願番号:

PCT/JP2019/043587

(22) 国際出願日:

2019年11月7日(07.11.2019)

(25) 国際出願の言語:

日本語

(26) 国際公開の言語:

日本語

(30) 優先権データ:

特願 2018-212831 2018年11月13日(13.11.2018) JP

(71) 出願人: 日本電信電話株式会社 (NIPPON TELEGRAPH AND TELEPHONE CORPORATION) [JP/JP]; 〒1008116 東京都千代田区大手町一丁目5番1号 Tokyo (JP).

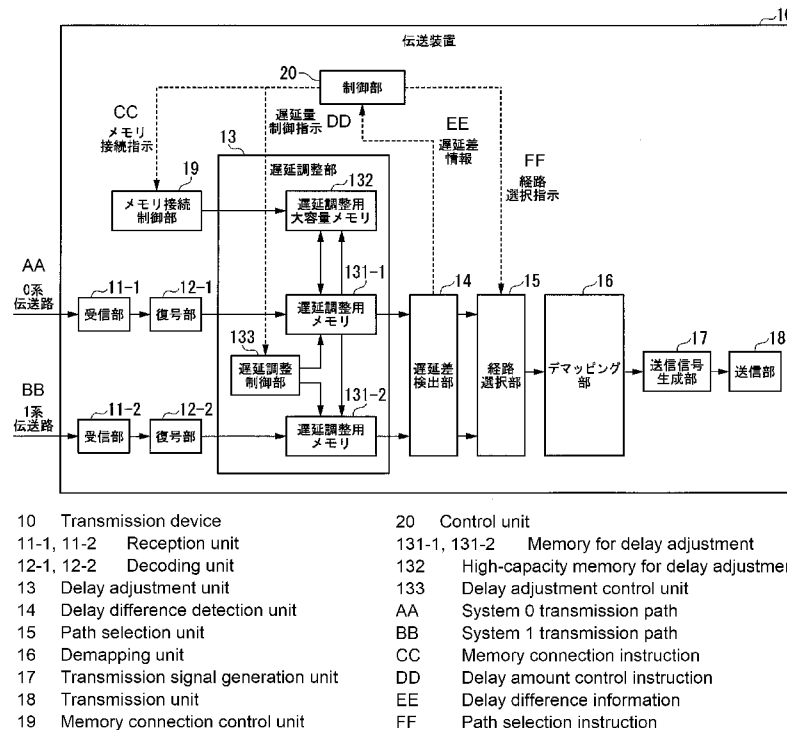
(72) 発明者: 北村 圭(KITAMURA Kei); 〒1808585

東京都武蔵野市緑町3丁目9-11 NTT 知的財産センタ内 Tokyo (JP). 犬塚 史一(INUZUKA Fumikazu); 〒1808585 東京都武蔵野市緑町3丁目9-11 NTT 知的財産センタ内 Tokyo (JP). 平野 章(HIRANO Akira); 〒1808585 東京都武蔵野市緑町3丁目9-11 NTT 知的財産センタ内 Tokyo (JP). 富沢 将人(TOMIZAWA Masahito); 〒1808585 東京都武蔵野市緑町3丁目9-11 NTT 知的財産センタ内 Tokyo (JP). 大原 拓也(OHARA Takuya); 〒1808585 東京都武蔵野市緑町3丁目9-11 NTT 知的財産センタ内 Tokyo (JP).

(74) 代理人: 特許業務法人 志賀国際特許事務所 (SHIGA INTERNATIONAL PATENT

(54) Title: TRANSMISSION DEVICE, TRANSMISSION SYSTEM, AND DELAY ADJUSTMENT METHOD

(54) 発明の名称: 伝送装置、伝送システム及び遅延調整方法



(57) Abstract: Provided is a transmission device for communicating with a sending-side transmission device via an active transmission path and a backup transmission path, said transmission device comprising: memory having the capacity to permit delays caused by the maximum path difference between the active transmission path and the backup transmission path; and a memory connection control unit for switching a memory connection and storing, in the memory, a signal from either the active transmission path or the backup transmission path.

OFFICE); 〒1006620 東京都千代田区丸の内
一丁目9番2号 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告(条約第21条(3))

(57) 要約: 現用系の伝送路と、予備系の伝送路とを介して送信側の伝送装置との間で通信を行う伝送装置であって、現用系の伝送路と予備系の伝送路との最大の経路差による遅延を許容できる容量を有するメモリと、メモリの接続を切り替えて、現用系の伝送路又は予備系の伝送路のいずれか一方の信号をメモリに蓄積させるメモリ接続制御部と、を備える伝送装置。

明 細 書

発明の名称： 伝送装置、伝送システム及び遅延調整方法

技術分野

[0001] 本発明は、伝送装置、伝送システム及び遅延調整方法に関する。

背景技術

[0002] 従来、信頼性の高いネットワークサービスを提供するため、SDH (Synchronous Digital Hierarchy) には、支障移転や回線断時にビット落ちなく経路切替を行うためのプロテクション機能が含まれている。このような経路切替機能は、送信側の伝送装置において信号を複製して、現用系の伝送路（以下、「0系伝送路」という。）と、予備系の伝送路（以下、「1系伝送路」という。）にそれぞれ信号を送信する機能と、受信側の伝送装置において0系伝送路と1系伝送路との経路差を補償した後に、0系伝送路と1系伝送路とを切り替える機能とで構成されている。受信側の伝送装置は、オペレータの指示や信号断などを経路の切替トリガとして、0系伝送路と1系伝送路との信号切替を実行する。

[0003] 特許文献1には、送信側の伝送装置と、受信側の伝送装置との間を0系伝送路と1系伝送路とで接続した伝送システムにおいて、遅延を抑制しながら無瞬断で伝送路の切替を実現する装置が開示されている。一般的に、0系伝送路の長さ、1系伝送路の長さは異なっているため、無瞬断で切り替えるためにはデータバッファメモリを用いた遅延調整が必要になる。特許文献1に開示された伝送装置は、0系伝送路と1系伝送路それぞれから受信した信号を蓄積するための複数のメモリを備え、メモリから信号を読み出すタイミングを遅らせて信号に遅延を付加する、又は、読み出すタイミングを早めて遅延を削除することによって遅延調整を行う。

先行技術文献

特許文献

[0004] 特許文献1：特開2008-48213号公報

発明の概要

発明が解決しようとする課題

[0005] しかしながら、特許文献 1 に開示された伝送装置では、遅延差調整部において、遅延調整を目的としたデータバッファ用の大容量のメモリを、0 系伝送路用と 1 系伝送路用にそれぞれ備える必要があった。大容量のメモリは高価であるため、装置のコストが高価になってしまうという問題があった。

[0006] 上記事情に鑑み、本発明は、装置のコストを抑えることができる技術の提供を目的としている。

課題を解決するための手段

[0007] 本発明の一態様は、現用系の伝送路と、予備系の伝送路とを介して送信側の伝送装置との間で通信を行う伝送装置であって、前記現用系の伝送路と前記予備系の伝送路との最大の経路差による遅延を許容できる容量を有するメモリと、前記メモリの接続を切り替えて、前記現用系の伝送路又は前記予備系の伝送路のいずれか一方の信号を前記メモリに蓄積させるメモリ接続制御部と、を備える伝送装置である。

[0008] 本発明の一態様は、上記の伝送装置であって、前記メモリ接続制御部は、遅延が少ない前記現用系の伝送路又は前記予備系の伝送路のいずれか一方の信号を前記メモリに蓄積させる。

[0009] 本発明の一態様は、上記の伝送装置であって、前記現用系の伝送路又は前記予備系の伝送路のうち、信号の取得元の経路を選択する経路選択部をさらに備え、前記メモリ接続制御部は、前記現用系の伝送路又は前記予備系の伝送路のいずれかの伝送路において疎通待機中に前記メモリの接続を切断し、疎通が回復した後に、遅延が少ない前記現用系の伝送路又は前記予備系の伝送路のいずれか一方の信号を蓄積させるために前記メモリを再度接続しなおし、前記経路選択部は、前記メモリの接続がなされた後に、信号の取得元の経路を選択した経路に切り替える。

[0010] 本発明の一態様は、現用系の伝送路と、予備系の伝送路とを介して送信側の伝送装置との間で通信を行う伝送装置と、前記伝送装置を制御する制御シ

ステムとを備える伝送システムであって、前記伝送装置は、前記現用系の伝送路と前記予備系の伝送路との最大の経路差による遅延を許容できる容量を有するメモリと、前記制御システムからの指示に従って前記メモリの接続を切り替えて、前記現用系の伝送路又は前記予備系の伝送路のいずれか一方の信号を前記メモリに蓄積させるメモリ接続制御部と、を備え、前記制御システムは、前記メモリの接続先を前記メモリ接続制御部に対して指示する制御部、を備える伝送システムである。

[0011] 本発明の一態様は、現用系の伝送路と、予備系の伝送路とを介して送信側の伝送装置との間で通信を行う伝送装置における遅延調整方法であって、前記現用系の伝送路と前記予備系の伝送路との最大の経路差による遅延を許容できる容量を有するメモリの接続を切り替えて、前記現用系の伝送路又は前記予備系の伝送路のいずれか一方の信号を前記メモリに蓄積させるメモリ接続制御ステップ、を有する遅延調整方法である。

発明の効果

[0012] 本発明により、装置のコストを抑えることが可能となる。

図面の簡単な説明

[0013] [図1]第1の実施形態における伝送装置の機能構成を表すブロック図である。
[図2]第1の実施形態における伝送装置の処理の流れを示すフローチャートである。
[図3]第2の実施形態における伝送装置の機能構成を表すブロック図である。
[図4]第2の実施形態における伝送装置の処理を説明するための図である。
[図5]第2の実施形態における伝送装置の処理を説明するための図である。
[図6]第2の実施形態における伝送装置の処理の流れを示すフローチャートである。
[図7]第3の実施形態における伝送システムのシステム構成を示す図である。
[図8]第3の実施形態における伝送システムの処理の流れを示すシーケンス図である。
[図9]第4の実施形態における伝送システムのシステム構成を示す図である。

[図10]第4の実施形態における伝送システムの処理の流れを示すシーケンス図である。

発明を実施するための形態

[0014] 以下、本発明の一実施形態を、図面を参照しながら説明する。

(第1の実施形態)

図1は、第1の実施形態における伝送装置10の機能構成を表すブロック図である。

第1の実施形態における伝送装置10は、送信側の伝送装置から0系伝送路と1系伝送路それぞれで送信された複数の信号を受信し、受信した複数の信号のうちいずれかの伝送路で受信された信号を他の装置に伝送する。

[0015] 伝送装置10は、受信部11-1、11-2、復号部12-1、12-2、遅延調整部13、遅延差検出部14、経路選択部15、デマッピング部16、送信信号生成部17、送信部18、メモリ接続制御部19及び制御部20を備える。

[0016] 受信部11-1は、0系伝送路から信号を受信するインタフェースである。

受信部11-2は、1系伝送路から信号を受信するインタフェースである。

[0017] 復号部12-1は、受信した電気信号からOTUフレームを復元し、フレーム同期を確立した後に、復元したOTUフレームを遅延調整部13に出力する。OTUフレームは、OTU (Optical-channel Transport Unit) 1、OTU2、OTU3及びOTU4のいずれであってもよい。

復号部12-2は、受信した電気信号からOTUフレームを復元し、フレーム同期を確立した後に、復元したOTUフレームを遅延調整部13に出力する。

[0018] 遅延調整部13は、0系伝送路と1系伝送路との間の遅延を調整する。具体的には、遅延調整部13は、制御部20からの指示に従って、0系伝送路と1系伝送路とで受信された同一の信号の出力を調整する。例えば、遅延調

整部 13 は、メモリの読み出し速度を調整することによって遅延を調整する。遅延調整部 13 は、0 系伝送路と 1 系伝送路との間で遅延差がなくなるまで調整を行う。遅延調整部 13 は、遅延調整用メモリ 131-1、131-2、遅延調整用大容量メモリ 132 及び遅延調整制御部 133 で構成される。

[0019] 遅延調整用メモリ 131-1 は、復号部 12-1 から出力された OTU フレームを蓄積し、FIFO (First In First Out) 方式で出力する。遅延調整用メモリ 131-1 は、容量が小さいメモリであり、例えば 0 系伝送路と 1 系伝送路との最大の経路差（遅延差）を調整できるだけの容量を有していないメモリである。

[0020] 遅延調整用メモリ 131-2 は、復号部 12-2 から出力された OTU フレームを蓄積し、FIFO 方式で出力する。遅延調整用メモリ 131-2 は、容量が小さいメモリであり、例えば 0 系伝送路と 1 系伝送路との最大の経路差（遅延差）による遅延を許容できる容量を有していないメモリである。0 系伝送路と 1 系伝送路との最大の経路差（遅延差）による遅延を許容できる容量とは、0 系伝送路と 1 系伝送路との最大の経路差（遅延差）による遅延がなくなるまでに発生した全てのデータを蓄積できる容量である。

なお、以下の説明において、遅延調整用メモリ 131-1 及び 131-2 を特に区別しない場合には遅延調整用メモリ 131 と記載する。

[0021] 遅延調整用大容量メモリ 132 は、復号部 12-1 又は復号部 12-2 から出力された OTU フレームを蓄積する。遅延調整用大容量メモリ 132 は、遅延調整用メモリ 131-1 及び遅延調整用メモリ 131-2 において容量不足により蓄積できない信号を蓄積するための補助メモリである。遅延調整用大容量メモリ 132 は、0 系伝送路と 1 系伝送路との最大の経路差（遅延差）による遅延を許容できる容量を有するメモリである。

[0022] 遅延調整用大容量メモリ 132 は、遅延調整用メモリ 131-1 及び遅延調整用メモリ 131-2 との物理的な接続を切替可能である。例えば、遅延調整用大容量メモリ 132 は、メモリ接続制御部 19 による制御により接続

先を切り替えてもよいし、スイッチで接続先を切り替えてもよいし、運用者が物理的に接続先を切り替えてもよい。遅延調整用大容量メモリ 132 は、利用時には、遅延調整用メモリ 131-1 及び遅延調整用メモリ 131-2 のいずれか一方と接続が可能であり、他方のメモリとは接続されない。遅延調整用大容量メモリ 132 は、チップ内メモリであってもよいし、チップ外の外付けメモリであってもよい。

[0023] 遅延調整制御部 133 は、制御部 20 から通知される遅延量制御指示にしたがって、遅延調整用メモリ 131-1 及び遅延調整用メモリ 131-2 から信号を読み出すタイミングを遅らせることにより信号に遅延を付加したり、読み出すタイミングを早めることにより遅延を削除して遅延調整を行う。遅延量制御指示とは、遅延調整を行うことを指示する通知であり、例えば遅延量制御指示には 0 系伝送路と 1 系伝送路との間の遅延差の情報が含まれる。

[0024] また、遅延調整制御部 133 は、遅延調整用大容量メモリ 132 が接続されている遅延調整用メモリ 131-1 又は遅延調整用メモリ 131-2 から信号の読み出しを行った後、遅延調整用大容量メモリ 132 に蓄積されている信号を自メモリに蓄積するように遅延調整用メモリ 131-1 又は遅延調整用メモリ 131-2 に指示する。なお、遅延調整制御部 133 は、遅延調整用大容量メモリ 132 から信号を直接読み出して、遅延調整用大容量メモリ 132 が接続されている遅延調整用メモリ 131-1 又は遅延調整用メモリ 131-2 に蓄積させてもよい。また、遅延調整制御部 133 は、遅延調整用大容量メモリ 132 が接続されている遅延調整用メモリ 131-1 又は遅延調整用メモリ 131-2 の容量が不足したことにより信号を蓄積できない場合や容量が不足しそうな場合には、遅延調整用大容量メモリ 132 に信号を蓄積させる。なお、遅延調整制御部 133 は、遅延調整用大容量メモリ 132 が接続されている遅延調整用メモリ 131-1 又は遅延調整用メモリ 131-2 に信号を蓄積させず、遅延調整用大容量メモリ 132 に直接信号を蓄積させてもよい。

- [0025] 遅延差検出部 14 は、遅延調整用メモリ 131-1 及び遅延調整用メモリ 131-2 に蓄積されている OTU フレームに基づいて、0 系伝送路と 1 系伝送路との間の遅延差を算出する。遅延差検出部 14 は、算出した遅延差の値を含む情報（以下、「遅延差情報」という。）を制御部 20 に出力するとともに、OTU フレームを経路選択部 15 に出力する。遅延差検出部 14 と、経路選択部 15 との間は、第 1 の経路及び第 2 の経路の 2 つの経路で接続されている。第 1 の経路は、遅延調整用メモリ 131-1 に蓄積されている OTU フレームが出力される経路、すなわち 0 系伝送路に対応する経路である。第 2 の経路は、遅延調整用メモリ 131-2 に蓄積されている OTU フレームが出力される経路、すなわち 1 系伝送路に対応する経路である。
- [0026] 経路選択部 15 は、制御部 20 から通知される経路選択指示にしたがって信号の取得元の経路を選択する。経路選択指示とは、信号の取得経路を選択させる指示であり、例えば経路選択指示には 0 系伝送路及び 1 系伝送路のいずれかを指定する情報が含まれる。経路選択部 15 は、0 系伝送路を指定する情報が経路選択指示に含まれる場合には第 1 の経路を選択する。また、経路選択部 15 は、1 系伝送路を指定する情報が経路選択指示に含まれる場合には第 2 の経路を選択する。例えば、経路選択部 15 は、スイッチであり、制御部 20 からの指示に応じて、選択した経路に接続を切り替えることによって、選択した経路から出力される OTU フレームをデマッピング部 16 に出力する。
- [0027] デマッピング部 16 は、経路選択部 15 から出力された OTU フレームにおける OH（Over Head）の終端処理を行うことによって、クライアント信号を復元する。例えば、OTU フレームの種類が OTU4 である場合、デマッピング部 16 は OTU フレームのペイロードから 100GE クライアント信号を復元する。
- [0028] 送信信号生成部 17 は、デマッピング部 16 によって復元されたクライアント信号に対して、OH の挿入処理を行った後、送信用の電気信号に変換することによって送信信号を生成する。

送信部 18 は、送信信号生成部 17 によって生成された送信信号を電気－光変換した後に、伝送装置 10 外部へ送信する。

[0029] メモリ接続制御部 19 は、制御部 20 から通知されるメモリ接続指示にしたがって、遅延調整用大容量メモリ 132 の接続先を制御する。より具体的には、メモリ接続制御部 19 は、遅延調整用大容量メモリ 132 の物理的な接続を切り替えて、0 系伝送路又は 1 系伝送路のいずれか一方の信号を遅延調整用大容量メモリ 132 に蓄積させる。メモリ接続指示とは、遅延調整用大容量メモリ 132 の接続に関する指示であり、例えばメモリ接続指示には遅延調整が必要な経路における遅延調整用メモリ 131 を指定する情報が含まれる。遅延調整が必要な経路とは、同一の信号が早く受信された伝送路である。遅延調整用メモリ 131 を指定する情報は、例えば遅延調整用メモリ 131 の識別情報でもよいし、遅延調整用メモリ 131 の名称であってもよい。

[0030] 制御部 20 は、伝送装置 10 の各機能部を制御する。例えば、制御部 20 は、遅延差検出部 14 から得られる遅延差情報に基づいて、同一の信号が早く受信された伝送路を判定する。すなわち、制御部 20 は、0 系伝送路又は 1 系伝送路のいずれの伝送路の信号が早く受信されたかを判定する。

[0031] また、例えば、制御部 20 は、遅延差情報による判定結果に基づいてメモリ接続指示を生成する。また、例えば、制御部 20 は、遅延差情報に基づいて遅延量制御指示を生成する。また、例えば、制御部 20 は、遅延差情報や経路の故障を示す故障情報に基づいて経路選択指示を生成する。本明細書における故障は、予期せずに起こる一般的な故障のみならず、計画的な伝送路工事に伴って伝送路が切断される事象等を含む。

[0032] 故障情報は、遅延差検出部 14 や運用者が操作する外部の通信装置より入力されてもよい。遅延差検出部 14 が故障情報を出力する場合、遅延差検出部 14 は、ある系の伝送路からの信号が一定時間取得できなかった場合に当該系が故障であると判定して故障情報を制御部 20 に出力してもよい。また、制御部 20 は、受信部 11-1 で検出された光信号の異常を示す情報や、

復号部 12-1 で復号された OTN-OH (OTU-OH, ODU-OH, OP U-OH) の情報から故障情報を取得してもよい。

[0033] 図 2 は、第 1 の実施形態における伝送装置 10 の処理の流れを示すフローチャートである。なお、図 2 の処理開始時には、遅延調整用大容量メモリ 132 は、遅延調整用メモリ 131-1 及び 131-2 のいずれにも接続されていないものとする。

伝送装置 10 は、2 系統で信号を受信する (ステップ S101)。具体的には、受信部 11-1 は、0 系伝送路から信号を受信する。また、受信部 11-2 は、1 系伝送路から信号を受信する。受信部 11-1 は、受信した信号を光-電気変換して、光-電気変換後の信号を復号部 12-1 に出力する。また、受信部 11-2 は、受信した信号を光-電気変換して、光-電気変換後の信号を復号部 12-2 に出力する (ステップ S102)。

[0034] 復号部 12-1 は、受信した電気信号から OTU フレームを復元する。復号部 12-1 は、フレーム同期を確立した後に、復元した OTU フレームを遅延調整用メモリ 131-1 に蓄積する。また、復号部 12-2 は、受信した電気信号から OTU フレームを復元する (ステップ S103)。復号部 12-2 は、フレーム同期を確立した後に、復元した OTU フレームを遅延調整用メモリ 131-2 に蓄積する。

[0035] 遅延差検出部 14 は、遅延調整用メモリ 131-1 及び遅延調整用メモリ 131-2 に蓄積されている OTU フレームに基づいて、0 系伝送路と 1 系伝送路との間の遅延差を算出する (ステップ S104)。具体的には、遅延差検出部 14 は、遅延調整用メモリ 131-1 に蓄積されている OTU フレーム及び遅延調整用メモリ 131-2 に蓄積されている OTU フレームをそれぞれ取得する。遅延差検出部 14 は、取得した OTU フレームそれぞれから MFAS を検出し、MFAS 同期を確立する。次に、遅延差検出部 14 は、遅延調整用メモリ 131-1 から取得した OTU フレームにおける MFAS の値と、遅延調整用メモリ 131-2 から取得した OTU フレームにおける MFAS の値とを比較することによって遅延差を算出する。

- [0036] なお、遅延差検出部 14 は、MFAS 値を用いたカウンタだけでは遅延差の算出に不足する場合、OTN (Optical Transport Network) フレームの OH の任意の領域を拡張 MFAS と定義して利用しても良い。遅延差検出部 14 は、算出した遅延差の情報を制御部 20 に出力するとともに、OTU フレームを経路選択部 15 に出力する。なお、遅延差検出部 14 は、遅延調整用メモリ 131-1 から取得した OTU フレームと、遅延調整用メモリ 131-2 から取得した OTU フレーム中の TTI (Trial Trace Identifier) を比較することで、受信データ同一性チェックを行っても良い。
- [0037] 制御部 20 は、遅延差検出部 14 から出力された遅延差の情報に基づいて、同一の信号が早く受信された伝送路を判定する (ステップ S105)。制御部 20 は、判定結果に応じてメモリ接続指示を生成し、生成したメモリ接続指示をメモリ接続制御部 19 に出力する。
- [0038] 例えば、制御部 20 は、0 系伝送路の信号が 1 系伝送路の信号よりも早く受信されたと判定した場合、0 系伝送路から受信された信号を蓄積する遅延調整用メモリ 131、すなわち遅延調整用メモリ 131-1 に遅延調整用大容量メモリ 132 を接続させる旨の指示を含むメモリ接続指示を生成する。そして、制御部 20 は、生成したメモリ接続指示をメモリ接続制御部 19 に出力する。
- [0039] また、例えば、制御部 20 は、1 系伝送路の信号が 0 系伝送路の信号よりも早く受信されたと判定した場合、1 系伝送路から受信された信号を蓄積する遅延調整用メモリ 131、すなわち遅延調整用メモリ 131-2 に遅延調整用大容量メモリ 132 を接続させる旨の指示を含むメモリ接続指示を生成する。そして、制御部 20 は、生成したメモリ接続指示をメモリ接続制御部 19 に出力する。
- [0040] メモリ接続制御部 19 は、制御部 20 から出力されたメモリ接続指示にしたがって、遅延調整用メモリ 131-1 又は遅延調整用メモリ 131-2 のいずれかに遅延調整用大容量メモリ 132 を接続する (ステップ S106)。例えば、メモリ接続制御部 19 は、遅延調整用メモリ 131-1 に遅延調

整用大容量メモリ 132 を接続させる旨の指示がメモリ接続指示に含まれる場合、遅延調整用大容量メモリ 132 を遅延調整用メモリ 131-1 に接続する。また、例えば、メモリ接続制御部 19 は、遅延調整用メモリ 131-2 に遅延調整用大容量メモリ 132 を接続させる旨の指示がメモリ接続指示に含まれる場合、遅延調整用大容量メモリ 132 を遅延調整用メモリ 131-2 に接続する。

[0041] メモリ接続制御部 19 は、遅延調整用メモリ 131 と遅延調整用大容量メモリ 132 との接続が完了すると、遅延調整用大容量メモリ 132 を接続したことを制御部 20 に応答する。制御部 20 は、遅延調整用大容量メモリ 132 が接続された応答を受けた後、遅延量制御指示を生成し、生成した遅延量制御指示を遅延調整制御部 133 に出力する（ステップ S107）。

[0042] 遅延調整制御部 133 は、制御部 20 から出力された遅延量制御指示にしたがって、メモリの読み出し速度を調整する等して遅延調整を行う（ステップ S108）。遅延差検出部 14 は、遅延差がなくなったことを検出したか否かを判定する（ステップ S109）。

遅延差検出部 14 は、遅延差がなくなったことを検出した場合（ステップ S109-YES）、遅延差がなくなったことを制御部 20 に通知する。

一方、遅延差検出部 14 は、遅延差がなくなったことを検出していない場合（ステップ S109-NO）、遅延差がなくなったことを検出するまで待機する。

[0043] 制御部 20 は、遅延差がなくなったことを遅延差検出部 14 から通知されると、遅延調整を終了するように遅延調整制御部 133 に指示を出力する。これにより、遅延調整制御部 133 は、遅延調整を終了する。また、制御部 20 は、遅延差がなくなった後、経路選択部 15 に対して経路選択指示を出力する。例えば、制御部 20 は、遅延が少ない、すなわち信号が早く受信された伝送路を指定する情報を含む経路選択指示を生成し、生成した経路選択指示を経路選択部 15 に出力する。なお、制御部 20 は、遅延差検出部 14 から故障情報の入力、又は、運用者により外部の通信装置から故障情報の入

力がなされた場合、故障情報で示される伝送路と異なる伝送路を指定する情報を含む経路選択指示を生成し、生成した経路選択指示を経路選択部 15 に出力する。

[0044] 経路選択部 15 は、経路選択指示にしたがって信号の取得元の経路を選択する（ステップ S 110）。例えば、経路選択部 15 は、0 系伝送路を指定する情報が経路選択指示に含まれていて、経路選択指示の取得時点で 0 系伝送路の経路（第 1 の経路）と接続している場合には、第 1 の経路を選択するが接続の切替などの動作は行わない。このように、経路選択指示で指定された経路と、経路選択指示の取得時点で接続している経路とが同じである場合には、経路選択部 15 は経路の切り替えを行わない。

[0045] 一方、経路選択部 15 は、0 系伝送路を指定する情報が経路選択指示に含まれていて、経路選択指示の取得時点で 1 系伝送路の経路（第 2 の経路）と接続している場合には、第 1 の経路を選択して、接続先を第 2 の経路から第 1 の経路へ切替動作を行う。このように、経路選択指示で指定された経路と、経路選択指示の取得時点で接続している経路とが異なる場合には、経路選択部 15 は経路の切り替えを行う。

[0046] 上記の処理により、経路選択部 15 と遅延差検出部 14 とが接続された経路から OTU フレームがデマッピング部 16 に出力される。デマッピング部 16 は、経路選択部 15 から出力された OTU フレームにおける OH の終端処理を行った後、ペイロードから所定のクライアント信号（例えば、100 GE クライアント信号）を復元する（ステップ S 111）。デマッピング部 16 は、復元したクライアント信号を送信信号生成部 17 に出力する。

[0047] 送信信号生成部 17 は、デマッピング部 16 によって復元されたクライアント信号に対して、OH の挿入処理を行った後、送信用の電気信号に変換することによって送信信号を生成する（ステップ S 112）。送信信号生成部 17 は、生成した送信信号に出力する。

送信部 18 は、送信信号生成部 17 によって生成された送信信号を電気－光変換した後に、伝送装置 10 外部へ送信する（ステップ S 113）。

[0048] 以上のように構成された伝送装置 10 によれば、0 系伝送路と 1 系伝送路との間の遅延差に基づいて遅延調整用大容量メモリ 132 の接続を切り替える。例えば、伝送装置 10 は、遅延調整が必要となる伝送路、すなわち同一の信号の受信が早かった伝送路の遅延調整用メモリ 131 に対して遅延調整用大容量メモリ 132 を接続するように制御する。これにより、0 系伝送路と 1 系伝送路との最大の経路差（遅延差）による遅延を調整できるだけの容量を有する大容量のメモリを 1 つ備えて共用することができる。したがって、このような大容量のメモリを伝送路毎に備える必要がない。そのため、メモリの総容量を削減することができる。その結果、装置のコストを抑えることが可能となる。

[0049] （第 2 の実施形態）

第 2 の実施形態は、経路切替の実施後において 0 系伝送路又は 1 系伝送路のいずれかの伝送路で通信を行っている状況から、経路切替前の伝送路に接続を切り替える（以下、「経路の切戻し」という。）際の問題点を解消する実施形態である。すなわち、第 2 の実施形態は、経路切替の実施後において 0 系伝送路で通信を行っている場合には経路切替前の伝送路である 1 系伝送路に接続を切り替え、経路切替の実施後において 1 系伝送路で通信を行っている場合には経路切替前の伝送路である 0 系伝送路に接続を切り替える際の問題点を解消する実施形態である。

[0050] まず、第 2 の実施形態の説明を行う前に問題点について説明する。問題点を説明するにあたり、第 1 の実施形態において経路切替を実行した後、以下の状況になっていることを想定して説明する。

- ・ 0 系伝送路が故障により通信ができない、すなわち 0 系伝送路で疎通待機中の場合・遅延調整用大容量メモリ 132 が遅延調整用メモリ 131-1 に接続されている・経路切替で 0 系伝送路から 1 系伝送路に経路を切り替えて 1 系伝送路で通信を行っている

- ・ 0 系伝送路の疎通が回復した際に、ルート延長やルート中に新たな装置が導入される等の復旧作業により、0 系伝送路の遅延量が 1 系伝送路の遅延量

よりも大きい（0系伝送路の遅延量＞1系伝送路の遅延量）

[0051] 上記のような状況である場合に、遅延調整用大容量メモリ132を0系伝送路における遅延調整用メモリ131-1に接続したままの状態、経路選択部15により1系伝送路から0系伝送路に経路の切戻しを行おうとすると、遅延調整を行った際に、1系伝送路における遅延調整用メモリ131-2で、メモリ容量の不足によるデータ破棄が生じてしまう。そこで、第2の実施形態では、このような問題点を回避する方法について説明する。

[0052] 図3は、第2の実施形態における伝送装置10aの機能構成を表すブロック図である。

第2の実施形態における伝送装置10aは、伝送装置10と同様の処理を行う。また、伝送装置10aは、経路切替を実行した後、所定のタイミングで経路の切戻しを行う。所定のタイミングとは、例えば故障中の経路の疎通が回復したタイミングや運用者から指示がなされたタイミングである。

[0053] 伝送装置10aは、受信部11-1、11-2、復号部12-1、12-2、遅延調整部13、遅延差検出部14、経路選択部15、デマッピング部16、送信信号生成部17、送信部18、メモリ接続制御部19a及び制御部20aを備える。

[0054] 伝送装置10aは、メモリ接続制御部19及び制御部20に代えて、メモリ接続制御部19a及び制御部20aを備える点で伝送装置10と構成が異なる。伝送装置10aは、他の構成については伝送装置10と同様である。そのため、伝送装置10a全体の説明は省略し、メモリ接続制御部19a及び制御部20aについて説明する。

[0055] メモリ接続制御部19aは、メモリ接続制御部19と同様の処理を行う。また、メモリ接続制御部19aは、経路切替実施後に、遅延調整用メモリ131に接続されている遅延調整用大容量メモリ132の接続を切断する。具体的には、メモリ接続制御部19aは、遅延調整用メモリ131と遅延調整用大容量メモリ132との接続を物理的に切断する。

[0056] 制御部20aは、制御部20と同様の処理を行う。また、制御部20aは

、経路切替実施後、すなわち経路選択部 15 により経路の切り替えがなされた後に、遅延調整用大容量メモリ 132 の接続を解除させる指示を含むメモリ接続指示をメモリ接続制御部 19a に出力する。また、制御部 20a は、遅延調整により遅延差がなくなった後に、切替前の経路へ接続させる指示を含む経路選択指示を経路選択部 15 に出力する。

[0057] 図 4 及び図 5 は、第 2 の実施形態における伝送装置 10a の処理を説明するための図である。

図 4 (A) に示すように、0 系伝送路が故障などの影響により通信が行えず 0 系伝送路の復旧中で、かつ、1 系伝送路のみで通信を行っている際に、メモリ接続制御部 19a は制御部 20a からの指示にしたがって、0 系伝送路における遅延調整用メモリ 131-1 と遅延調整用大容量メモリ 132 との接続を切断する。

[0058] その後、図 4 (B) に示すように、0 系伝送路が復旧し、疎通が回復した後、遅延差検出部 14 において、遅延調整用メモリ 131-1 から取得した OTU フレームにおける MFAS の値と、遅延調整用メモリ 131-2 から取得した OTU フレームにおける MFAS の値とを比較することによって遅延差を算出する。ここで、同一の信号において 0 系伝送路の信号が 1 系伝送路の信号よりも遅く受信された場合、図 5 に示すように、メモリ接続制御部 19a はより遅延の少ない伝送路である 1 系伝送路における遅延調整用メモリ 131-2 に遅延調整用大容量メモリ 132 を接続し直す。そして、遅延差検出部 14 で遅延調整を行い、遅延差をなくした後、経路選択部 15 で 1 系伝送路から 0 系伝送路に切戻しを行う。

[0059] 図 6 は、第 2 の実施形態における伝送装置 10a の処理の流れを示すフローチャートである。なお、図 6 の処理は、経路選択部 15 により経路の切替がなされた後に実行される。

制御部 20a は、経路選択部 15 により経路の切り替えがなされた後に、遅延調整用大容量メモリ 132 の接続を解除させる指示を含むメモリ接続指示を生成する。制御部 20a は、生成したメモリ接続指示をメモリ接続制御

部 19 a に出力する。メモリ接続制御部 19 a は、制御部 20 a から出力されたメモリ接続指示にしたがって、遅延調整用メモリ 131 と遅延調整用大容量メモリ 132 との接続を切断する（ステップ S 201）。

[0060] 例えば、メモリ接続制御部 19 a は、遅延調整用メモリ 131-1 と遅延調整用大容量メモリ 132 とが接続されている場合には、遅延調整用メモリ 131-1 と遅延調整用大容量メモリ 132 との接続を切断する。

また、例えば、メモリ接続制御部 19 a は、遅延調整用メモリ 131-2 と遅延調整用大容量メモリ 132 とが接続されている場合には、遅延調整用メモリ 131-2 と遅延調整用大容量メモリ 132 との接続を切断する。

これにより、遅延調整用大容量メモリ 132 は、遅延調整用メモリ 131-1 及び 131-2 のいずれにも接続されていない状態になる。

[0061] 制御部 20 a は、遅延差検出部 14 からの故障回復を示す通知又は運用者からの切り戻しの指示により伝送路の復旧を検出する（ステップ S 202）。遅延差検出部 14 は、遅延調整用メモリ 131-1 及び遅延調整用メモリ 131-2 に蓄積されている OTU フレームに基づいて、0 系伝送路と 1 系伝送路との間の遅延差を算出する（ステップ S 203）。

[0062] 制御部 20 a は、遅延差検出部 14 から出力された遅延差の情報に基づいて、同一の信号が早く受信された伝送路を判定する（ステップ S 204）。制御部 20 a は、判定結果に応じてメモリ接続指示を生成し、生成したメモリ接続指示をメモリ接続制御部 19 a に出力する。

[0063] 例えば、制御部 20 a は、0 系伝送路の信号が 1 系伝送路の信号よりも早く受信されたと判定した場合、0 系伝送路から受信された信号を蓄積する遅延調整用メモリ 131、すなわち遅延調整用メモリ 131-1 に遅延調整用大容量メモリ 132 を接続させる旨の指示を含むメモリ接続指示を生成する。そして、制御部 20 a は、生成したメモリ接続指示をメモリ接続制御部 19 a に出力する。

[0064] また、例えば、制御部 20 a は、1 系伝送路の信号が 0 系伝送路の信号よりも早く受信されたと判定した場合、1 系伝送路から受信された信号を蓄積

する遅延調整用メモリ131、すなわち遅延調整用メモリ131-2に遅延調整用大容量メモリ132を接続させる旨の指示を含むメモリ接続指示を生成する。そして、制御部20aは、生成したメモリ接続指示をメモリ接続制御部19aに出力する。

[0065] メモリ接続制御部19aは、制御部20aから出力されたメモリ接続指示にしたがって、遅延調整用メモリ131-1又は遅延調整用メモリ131-2のいずれかに遅延調整用大容量メモリ132を接続する（ステップS205）。例えば、メモリ接続制御部19aは、遅延調整用メモリ131-1に遅延調整用大容量メモリ132を接続させる旨の指示がメモリ接続指示に含まれる場合、遅延調整用大容量メモリ132を遅延調整用メモリ131-1に接続する。また、例えば、メモリ接続制御部19aは、遅延調整用メモリ131-2に遅延調整用大容量メモリ132を接続させる旨の指示がメモリ接続指示に含まれる場合、遅延調整用大容量メモリ132を遅延調整用メモリ131-2に接続する。

[0066] メモリ接続制御部19aは、遅延調整用メモリ131と遅延調整用大容量メモリ132との接続が完了すると、遅延調整用大容量メモリ132を接続したことを制御部20aに応答する。制御部20aは、遅延調整用大容量メモリ132が接続された応答を受けた後、遅延量制御指示を生成し、生成した遅延量制御指示を遅延調整制御部133に出力する（ステップS206）。

[0067] 遅延調整制御部133は、制御部20aから出力された遅延量制御指示にしたがって、メモリの読み出し速度を調整する等して遅延調整を行う（ステップS207）。遅延差検出部14は、遅延差がなくなったことを検出したか否かを判定する（ステップS208）。遅延差検出部14は、遅延差がなくなったことを検出した場合（ステップS208-YES）、遅延差がなくなったことを制御部20aに通知する。

一方、遅延差検出部14は、遅延差がなくなったことを検出していない場合（ステップS208-NO）、遅延差がなくなったことを検出するまで待

機する。

[0068] 制御部20aは、遅延差がなくなったことを遅延差検出部14から通知されると、遅延調整を終了するように遅延調整制御部133に指示を出力する。これにより、遅延調整制御部133は、遅延調整を終了する。また、制御部20aは、遅延差がなくなった後、経路選択部15に対して経路選択指示を出力する。例えば、制御部20aは、遅延が少ない、すなわち信号が早く受信された伝送路を指定する情報を含む経路選択指示を生成し、生成した経路選択指示を経路選択部15に出力する。なお、制御部20aは、遅延差検出部14から故障情報の入力、又は、運用者により外部の通信装置から故障情報の入力となされた場合、故障情報で示される伝送路と異なる伝送路を指定する情報を含む経路選択指示を生成し、生成した経路選択指示を経路選択部15に出力する。

[0069] 経路選択部15は、経路選択指示にしたがって信号の取得元の経路を選択する（ステップS209）。例えば、経路選択部15は、0系伝送路を指定する情報が経路選択指示に含まれていて、経路選択指示の取得時点で0系伝送路の経路（第1の経路）と接続している場合には、第1の経路を選択するが接続の切替などの動作は行わない。このように、経路選択指示で指定された経路と、経路選択指示の取得時点で接続している経路とが同じである場合には、経路選択部15は経路の切り替えを行わない。

[0070] 一方、経路選択部15は、0系伝送路を指定する情報が経路選択指示に含まれていて、経路選択指示の取得時点で1系伝送路の経路（第2の経路）と接続している場合には、第1の経路を選択して、接続先を第2の経路から第1の経路へ切替動作を行う。このように、経路選択指示で指定された経路と、経路選択指示の取得時点で接続している経路とが異なる場合には、経路選択部15は経路の切り替えを行う。

[0071] 上記の処理により、経路選択部15と遅延差検出部14とが接続された経路からOTUフレームがデマッピング部16に出力される。デマッピング部16は、経路選択部15から出力されたOTUフレームにおけるOHの終端

処理を行った後、ペイロードから所定のクライアント信号（例えば、100GEクライアント信号）を復元する（ステップS210）。デマッピング部16は、復元したクライアント信号を送信信号生成部17に出力する。

[0072] 送信信号生成部17は、デマッピング部16によって復元されたクライアント信号に対して、OHの挿入処理を行った後、送信用の電気信号に変換することによって送信信号を生成する（ステップS211）。送信信号生成部17は、生成した送信信号に出力する。

送信部18は、送信信号生成部17によって生成された送信信号を電気－光変換した後に、伝送装置10外部へ送信する（ステップS212）。

[0073] 第2の実施形態において、経路の切替前後の遅延調整用大容量メモリ132の接続関係について具体例を挙げて説明する。ここで、経路の切替前における遅延調整用大容量メモリ132の接続の処理は、図2におけるステップS103～ステップS106の処理であり、経路の切替後における遅延調整用大容量メモリ132の接続の処理は、図6におけるステップS201～ステップS206の処理である。

[0074] 経路の切替前後の遅延調整用大容量メモリ132の接続関係として以下の4つのパターンが想定される。

- 1) 切替前：0系伝送路遅延<1系伝送路遅延→切替後：0系伝送路遅延<1系伝送路遅延
- 2) 切替前：0系伝送路遅延>1系伝送路遅延→切替後：0系伝送路遅延>1系伝送路遅延
- 3) 切替前：0系伝送路遅延<1系伝送路遅延→切替後：0系伝送路遅延>1系伝送路遅延
- 4) 切替前：0系伝送路遅延>1系伝送路遅延→切替後：0系伝送路遅延<1系伝送路遅延

[0075] 上記の4つのパターンにおける遅延調整用大容量メモリ132の接続動作について詳細に説明する。

まず、1)のパターンについて説明する。1)のパターンは、図2のステ

ップS 1 0 5 の処理において0系伝送路の信号が1系伝送路の信号よりも早く受信されたと判定され、かつ、図6のステップS 2 0 4 の処理において0系伝送路の信号が1系伝送路の信号よりも早く受信されたと判定された場合である。この場合、メモリ接続制御部1 9 a は、ステップS 1 0 6 の処理において、遅延が少ない0系伝送路における遅延調整用メモリ1 3 1 - 1 に遅延調整用大容量メモリ1 3 2 を接続する。そして、メモリ接続制御部1 9 a は、ステップS 2 0 5 の処理において、遅延が少ない0系伝送路における遅延調整用メモリ1 3 1 - 1 に遅延調整用大容量メモリ1 3 2 を再度接続する。

[0076] 次に、2)のパターンについて説明する。2)のパターンは、図2のステップS 1 0 5 の処理において1系伝送路の信号が0系伝送路の信号よりも早く受信されたと判定され、かつ、図6のステップS 2 0 4 の処理において1系伝送路の信号が0系伝送路の信号よりも早く受信されたと判定された場合である。この場合、メモリ接続制御部1 9 a は、ステップS 1 0 6 の処理において、遅延が少ない1系伝送路における遅延調整用メモリ1 3 1 - 2 に遅延調整用大容量メモリ1 3 2 を接続する。そして、メモリ接続制御部1 9 a は、ステップS 2 0 5 の処理において、遅延が少ない1系伝送路における遅延調整用メモリ1 3 1 - 2 に遅延調整用大容量メモリ1 3 2 を再度接続する。

[0077] 次に、3)のパターンについて説明する。3)のパターンは、図2のステップS 1 0 5 の処理において0系伝送路の信号が1系伝送路の信号よりも早く受信されたと判定され、かつ、図6のステップS 2 0 4 の処理において1系伝送路の信号が0系伝送路の信号よりも早く受信されたと判定された場合である。この場合、メモリ接続制御部1 9 a は、ステップS 1 0 6 の処理において、遅延が少ない0系伝送路における遅延調整用メモリ1 3 1 - 1 に遅延調整用大容量メモリ1 3 2 を接続する。そして、メモリ接続制御部1 9 a は、ステップS 2 0 5 の処理において、遅延が少ない1系伝送路における遅延調整用メモリ1 3 1 - 2 に遅延調整用大容量メモリ1 3 2 を接続する。

このように、３）のパターンでは、経路の切替前後で遅延調整用大容量メモリ１３２の接続先が切り替わっている。これにより、遅延が少ない伝送路の遅延調整を行う際のオーバーフローによるデータの廃棄を抑制することができる。

[0078] 次に、４）のパターンについて説明する。４）のパターンは、図２のステップＳ１０５の処理において１系伝送路の信号が０系伝送路の信号よりも早く受信されたと判定され、かつ、図６のステップＳ２０４の処理において０系伝送路の信号が１系伝送路の信号よりも早く受信されたと判定された場合である。この場合、メモリ接続制御部１９ａは、ステップＳ１０６の処理において、遅延が少ない１系伝送路における遅延調整用メモリ１３１－２に遅延調整用大容量メモリ１３２を接続する。そして、メモリ接続制御部１９ａは、ステップＳ２０５の処理において、遅延が少ない０系伝送路における遅延調整用メモリ１３１－１に遅延調整用大容量メモリ１３２を接続する。

このように、４）のパターンにおいても、経路の切替前後で遅延調整用大容量メモリ１３２の接続先が切り替わっている。これにより、遅延が少ない伝送路の遅延調整を行う際のオーバーフローによるデータの廃棄を抑制することができる。

[0079] 以上のように構成された伝送装置１０ａによれば、第１の実施形態と同様の効果を得ることができる。

また、伝送装置１０ａは、第１の実施形態のように経路の切り替えを実施した後に、所定のタイミングが経過するまでの間に遅延調整用メモリ１３１と遅延調整用大容量メモリ１３２との接続を切断する。そして、伝送装置１０ａは、所定のタイミングが経過した後に、０系伝送路と１系伝送路との間の遅延差を算出し、遅延が少ない伝送路の遅延調整用メモリ１３１に遅延調整用大容量メモリ１３２を接続しなおす。これにより、メモリ容量の不足によるデータ破棄を抑制することができる。

[0080] （第３の実施形態）

第３の実施形態は、伝送装置が備える制御部が他のシステムに実装されて

いる場合の実施形態である。

図 7 は、第 3 の実施形態における伝送システム 100b のシステム構成を示す図である。伝送システム 100b は、伝送装置 10b 及び制御システム 30 を備える。伝送装置 10b と制御システム 30 との間の通信は、有線通信であってもよいし、無線通信であってもよい。

[0081] 伝送装置 10b は、送信側の伝送装置から 0 系伝送路と 1 系伝送路それぞれで送信された複数の信号を受信し、受信した複数の信号のうちいずれかの伝送路で受信された信号を他の装置に伝送する。伝送装置 10b は、制御システム 30 から指示にしたがって、遅延調整用大容量メモリの接続、遅延調整及び経路の選択を行う。

[0082] 制御システム 30 は、伝送装置 10b から得られる情報に基づいて、伝送装置 10b に対して遅延調整用大容量メモリの接続、遅延調整及び経路の選択を指示することによって伝送装置 10b を制御する。制御システム 30 は、例えば伝送装置 10b が設置された場所とは異なる場所であり、運用者が位置している場所に設けられる。

[0083] 次に、伝送装置 10b 及び制御システム 30 の具体的な構成について説明する。

伝送装置 10b は、受信部 11-1、11-2、復号部 12-1、12-2、遅延調整部 13b、遅延差検出部 14b、経路選択部 15b、デマッピング部 16、送信信号生成部 17、送信部 18、メモリ接続制御部 19b 及び通信部 21 を備える。

[0084] 伝送装置 10b は、遅延調整部 13、遅延差検出部 14、経路選択部 15 及びメモリ接続制御部 19 に代えて遅延調整部 13b、遅延差検出部 14b、経路選択部 15b 及びメモリ接続制御部 19b を備える点、制御部 20 を備えない点、通信部 21 を新たに備える点で伝送装置 10 と構成が異なる。伝送装置 10b は、他の構成については伝送装置 10 と同様である。そのため、伝送装置 10b 全体の説明は省略し、遅延調整部 13b、遅延差検出部 14b、経路選択部 15b、メモリ接続制御部 19b 及び通信部 21 につい

て説明する。

[0085] 通信部 21 は、制御システム 30 との間で通信を行う。通信部 21 は、遅延差情報を制御システム 30 に送信し、メモリ接続指示、遅延量制御指示及び経路選択指示を制御システム 30 から受信する。

[0086] 遅延調整部 13b は、遅延調整部 13 と同様の動作を行う。遅延調整部 13b が行う動作で遅延調整部 13 が行う動作と異なる点は、制御部 20 からの指示ではなく、制御システム 30 から送信された指示に基づいて動作する点である。

[0087] 遅延差検出部 14b は、遅延差検出部 14 と同様の動作を行う。遅延差検出部 14b が行う動作で遅延差検出部 14 が行う動作と異なる点は、遅延差情報を制御部 20 に出力するのではなく、通信部 21 を介して遅延差情報を制御システム 30 に出力する点である。

[0088] 経路選択部 15b は、経路選択部 15 と同様の動作を行う。経路選択部 15b が行う動作で経路選択部 15 が行う動作と異なる点は、制御部 20 からの指示ではなく、制御システム 30 から送信された指示に基づいて動作する点である。

[0089] メモリ接続制御部 19b は、メモリ接続制御部 19 と同様の動作を行う。メモリ接続制御部 19b が行う動作でメモリ接続制御部 19 が行う動作と異なる点は、制御部 20 からの指示ではなく、制御システム 30 から送信された指示に基づいて動作する点である。

[0090] 次に、制御システム 30 の構成について説明する。

制御システム 30 は、通信部 31 及び制御部 32 を備える。

通信部 31 は、伝送装置 10b との間で通信を行う。通信部 31 は、遅延差情報を伝送装置 10b から受信し、メモリ接続指示、遅延量制御指示及び経路選択指示を伝送装置 10b に送信する。

[0091] 制御部 32 は、伝送装置 10b から得られた情報に基づいて伝送装置 10b を制御する。例えば、制御部 32 は、伝送装置 10b から得られた遅延差情報に基づいて、同一の信号が早く受信された伝送路を判定する。すなわち

、制御部 32 は、伝送装置 10b において 0 系伝送路又は 1 系伝送路のいずれの伝送路の信号が早く受信されたかを判定する。

[0092] また、例えば、制御部 32 は、遅延差情報による判定結果に基づいてメモリ接続指示を生成する。また、例えば、制御部 32 は、遅延差情報に基づいて遅延量制御指示を生成する。また、例えば、制御部 32 は、遅延差情報や経路の故障を示す故障情報に基づいて経路選択指示を生成する。

[0093] 図 8 は、第 3 の実施形態における伝送システム 100b の処理の流れを示すシーケンス図である。なお、図 8 の処理開始時には、遅延調整用大容量メモリ 132 は、遅延調整用メモリ 131-1 及び 131-2 のいずれにも接続されていないものとする。

伝送装置 10b は、2 系統で信号を受信する（ステップ S301）。具体的には、受信部 11-1 は、0 系伝送路から信号を受信する。また、受信部 11-2 は、1 系伝送路から信号を受信する。受信部 11-1 は、受信した信号を光-電気変換して、光-電気変換後の信号を復号部 12-1 に出力する。また、受信部 11-2 は、受信した信号を光-電気変換して、光-電気変換後の信号を復号部 12-2 に出力する（ステップ S302）。

[0094] 復号部 12-1 は、受信した電気信号から OTU フレームを復元する。復号部 12-1 は、フレーム同期を確立した後に、復元した OTU フレームを遅延調整用メモリ 131-1 に蓄積する。また、復号部 12-2 は、受信した電気信号から OTU フレームを復元する（ステップ S303）。復号部 12-2 は、フレーム同期を確立した後に、復元した OTU フレームを遅延調整用メモリ 131-2 に蓄積する。

[0095] 遅延差検出部 14b は、遅延調整用メモリ 131-1 及び遅延調整用メモリ 131-2 に蓄積されている OTU フレームに基づいて、0 系伝送路と 1 系伝送路との間の遅延差を算出する（ステップ S304）。なお、遅延差の算出方法は、第 1 の実施形態と同様であるため説明を省略する。遅延差検出部 14b は、算出した遅延差の情報を通信部 21 に出力するとともに、OTU フレームを経路選択部 15b に出力する。

[0096] 通信部 21 は、遅延差検出部 14b から出力された遅延差の情報を制御システム 30 に送信する（ステップ S305）。

制御システム 30 の通信部 31 は、伝送装置 10b から送信された遅延差の情報を受信する。通信部 31 は、受信した遅延差の情報を制御部 32 に出力する。制御部 32 は、通信部 31 から出力された遅延差の情報に基づいて、同一の信号が早く受信された伝送路を判定する（ステップ S306）。制御部 32 は、判定結果に応じてメモリ接続指示を生成し、生成したメモリ接続指示を通信部 31 に出力する。

[0097] 通信部 31 は、制御部 32 から出力されたメモリ接続指示を伝送装置 10b に送信する（ステップ S307）。

伝送装置 10b の通信部 21 は、制御システム 30 から送信されたメモリ接続指示を受信する。通信部 21 は、受信したメモリ接続指示をメモリ接続制御部 19b に出力する。

メモリ接続制御部 19b は、通信部 21 から出力されたメモリ接続指示にしたがって、遅延調整用メモリ 131-1 又は遅延調整用メモリ 131-2 のいずれかに遅延調整用大容量メモリ 132 を接続する（ステップ S308）。

[0098] 例えば、メモリ接続制御部 19b は、遅延調整用メモリ 131-1 に遅延調整用大容量メモリ 132 を接続させる旨の指示がメモリ接続指示に含まれる場合、遅延調整用大容量メモリ 132 を遅延調整用メモリ 131-1 に接続する。また、例えば、メモリ接続制御部 19b は、遅延調整用メモリ 131-2 に遅延調整用大容量メモリ 132 を接続させる旨の指示がメモリ接続指示に含まれる場合、遅延調整用大容量メモリ 132 を遅延調整用メモリ 131-2 に接続する。

[0099] メモリ接続制御部 19b は、遅延調整用メモリ 131 と遅延調整用大容量メモリ 132 との接続が完了すると、遅延調整用大容量メモリ 132 を接続したことを示す応答を生成して、通信部 21 を介して制御システム 30 に応答を送信する。

制御システム 30 の通信部 31 は、伝送装置 10 b から送信された応答を受信し、受信した応答を制御部 32 に出力する。制御部 32 は、遅延調整用大容量メモリ 132 が接続された応答を受けた後、遅延量制御指示を生成し、生成した遅延量制御指示を通信部 31 に出力する（ステップ S309）。通信部 31 は、制御部 32 から出力された遅延量制御指示を伝送装置 10 b に送信する（ステップ S310）。

[0100] 伝送装置 10 b の通信部 21 は、制御システム 30 から送信された遅延量制御指示を受信する。通信部 21 は、受信した遅延量制御指示を遅延調整制御部 133 b に出力する。

遅延調整制御部 133 b は、通信部 21 から出力された遅延量制御指示にしたがって、メモリの読み出し速度を調整する等して遅延調整を行う（ステップ S311）。遅延差検出部 14 b は、遅延差がなくなったことを検出すると（ステップ S312）、遅延差がなくなったことを示す通知を生成し、生成した通知を通信部 21 に出力する。通信部 21 は、遅延差検出部 14 b から出力された通知を制御システム 30 に送信する（ステップ S313）。

[0101] 制御システム 30 の通信部 31 は、伝送装置 10 b から送信された通知を受信する。通信部 31 は、受信した通知を制御部 32 に出力する。制御部 32 は、通信部 31 から出力された通知において遅延差がなくなったことを検出すると、遅延調整を終了する指示を含む遅延調整終了指示を生成する。制御部 32 は、生成した遅延調整終了指示を通信部 31 に出力する。通信部 31 は、制御部 32 から出力された遅延調整終了指示を伝送装置 10 b に送信する（ステップ S314）。

[0102] 伝送装置 10 b の通信部 21 は、制御システム 30 から送信された遅延調整終了指示を受信する。通信部 21 は、受信した遅延調整終了指示を遅延調整制御部 133 b に出力する。これにより、遅延調整制御部 133 b は、遅延調整を終了する（ステップ S315）。

制御システム 30 の制御部 32 は、遅延調整終了指示が送信された後、経路選択指示を生成する。例えば、制御部 32 は、遅延が少ない、すなわち信

号が早く受信された伝送路を指定する情報を含む経路選択指示を生成し、生成した経路選択指示を通信部 31 に出力する。通信部 31 は、制御部 32 から出力された経路選択指示を伝送装置 10b に送信する（ステップ S 316）。

[0103] 伝送装置 10b の通信部 21 は、制御システム 30 から送信された経路選択指示を受信する。通信部 21 は、受信した経路選択指示を経路選択部 15b に出力する。経路選択部 15b は、通信部 21 から出力された経路選択指示にしたがって信号の取得元の経路を選択する（ステップ S 317）。例えば、経路選択部 15b は、0 系伝送路を指定する情報が経路選択指示に含まれていて、経路選択指示の取得時点で 0 系伝送路の経路（第 1 の経路）と接続している場合には、第 1 の経路を選択するが接続の切替などの動作は行わない。このように、経路選択指示で指定された経路と、経路選択指示の取得時点で接続している経路とが同じである場合には、経路選択部 15b は経路の切り替えを行わない。

[0104] 一方、経路選択部 15b は、0 系伝送路を指定する情報が経路選択指示に含まれていて、経路選択指示の取得時点で 1 系伝送路の経路（第 2 の経路）と接続している場合には、第 1 の経路を選択して、接続先を第 2 の経路から第 1 の経路へ切替動作を行う。このように、経路選択指示で指定された経路と、経路選択指示の取得時点で接続している経路とが異なる場合には、経路選択部 15b は経路の切り替えを行う。

[0105] 上記の処理により、経路選択部 15b と遅延差検出部 14b とが接続された経路から OTU フレームがデマッピング部 16 に出力される。デマッピング部 16 は、経路選択部 15b から出力された OTU フレームにおける OH の終端処理を行った後、ペイロードから所定のクライアント信号（例えば、100GE クライアント信号）を復元する（ステップ S 318）。デマッピング部 16 は、復元したクライアント信号を送信信号生成部 17 に出力する。

[0106] 送信信号生成部 17 は、デマッピング部 16 によって復元されたクライアント信号に対して、OH の挿入処理を行った後、送信用の電気信号に変換す

ることによって送信信号を生成する（ステップS 3 1 9）。送信信号生成部 1 7 は、生成した送信信号に出力する。

送信部 1 8 は、送信信号生成部 1 7 によって生成された送信信号を電気－光変換した後に、伝送装置 1 0 外部へ送信する（ステップS 3 2 0）。

[0107] 以上のように構成された伝送システム 1 0 0 bによれば、第 1 の実施形態と同様の効果を得ることができる。

また、伝送システム 1 0 0 bは、第 1 の実施形態における伝送装置 1 0 の一部の機能部が他のシステムに実装される。これにより、第 1 の実施形態と比較して伝送装置 1 0 bにおける処理負荷を軽減することが可能になる。

[0108] <変形例>

本実施形態では、制御システム 3 0 が、1 台の伝送装置 1 0 bを制御する構成を示したが、制御システム 3 0 は複数台の伝送装置 1 0 bを制御するように構成されてもよい。

[0109] （第 4 の実施形態）

第 4 の実施形態は、伝送装置が備える制御部が他のシステムに実装されている構成であって、経路切替の実施後において 0 系伝送路又は 1 系伝送路のいずれかの伝送路で通信を行っている状況から、経路切替前の伝送路に接続を切り替える（以下、「経路の切戻し」という。）際の問題点を解消する実施形態である。

[0110] 図 9 は、第 4 の実施形態における伝送システム 1 0 0 c のシステム構成を示す図である。伝送システム 1 0 0 c は、伝送装置 1 0 c 及び制御システム 3 0 c を備える。

伝送装置 1 0 c は、伝送装置 1 0 b と同様の処理を行う。また、伝送装置 1 0 c は、経路切替を実行した後、所定のタイミングで経路の切戻しを行う。

制御システム 3 0 c は、制御システム 3 0 と同様の処理を行う。また、制御システム 3 0 c は、経路切替を実行した後、所定のタイミングで伝送装置 1 0 c に対して経路の切戻しを指示する。

[0111] 次に、伝送装置 10c 及び制御システム 30c の具体的な構成について説明する。

伝送装置 10c は、受信部 11-1、11-2、復号部 12-1、12-2、遅延調整部 13b、遅延差検出部 14b、経路選択部 15b、デマッピング部 16、送信信号生成部 17、送信部 18 及びメモリ接続制御部 19c を備える。

[0112] 伝送装置 10c は、メモリ接続制御部 19b に代えてメモリ接続制御部 19c を備える点で伝送装置 10b と構成が異なる。伝送装置 10c は、他の構成については伝送装置 10b と同様である。そのため、伝送装置 10c 全体の説明は省略し、メモリ接続制御部 19c について説明する。

[0113] メモリ接続制御部 19c は、メモリ接続制御部 19b と同様の処理を行う。また、メモリ接続制御部 19c は、経路切替実施後に、遅延調整用メモリ 131 に接続されている遅延調整用大容量メモリ 132 の接続を切断する。具体的には、メモリ接続制御部 19c は、遅延調整用メモリ 131 と遅延調整用大容量メモリ 132 との接続を物理的に切断する。

[0114] 次に、制御システム 30c の構成について説明する。

制御システム 30c は、通信部 31 及び制御部 32c を備える。

制御部 32c は、制御部 32 と同様の処理を行う。また、制御部 32c は、経路切替実施後、すなわち経路選択部 15 により経路の切り替えがなされた後に、遅延調整用大容量メモリ 132 の接続を解除させる指示を含むメモリ接続指示を、通信部 31 を介して伝送装置 10c に送信する。また、制御部 20c は、遅延調整により遅延差がなくなった後に、切替前の経路へ接続させる指示を含む経路選択指示を、通信部 31 を介して伝送装置 10c に送信する。

[0115] 図 10 は、第 4 の実施形態における伝送システム 100c の処理の流れを示すシーケンス図である。なお、図 10 の処理は、経路選択部 15 により経路の切替がなされた後に実行される。

制御システム 30c の制御部 32c は、伝送装置 10c において経路の切

り替えがなされた後に、遅延調整用大容量メモリ 132 の接続を解除させる指示を含むメモリ接続指示を生成する。制御部 32c は、生成したメモリ接続指示を通信部 31 に出力する。通信部 31 は、制御部 32 から出力されたメモリ接続指示を伝送装置 10c に送信する（ステップ S401）。

[0116] 伝送装置 10c の通信部 21 は、制御システム 30c から送信されたメモリ接続指示を受信する。通信部 21 は、受信したメモリ接続指示をメモリ接続制御部 19c に出力する。メモリ接続制御部 19c は、通信部 21 から出力されたメモリ接続指示にしたがって、遅延調整用メモリ 131 と遅延調整用大容量メモリ 132 との接続を切断する（ステップ S402）。

[0117] 例えば、メモリ接続制御部 19c は、遅延調整用メモリ 131-1 と遅延調整用大容量メモリ 132 とが接続されている場合には、遅延調整用メモリ 131-1 と遅延調整用大容量メモリ 132 との接続を切断する。

また、例えば、メモリ接続制御部 19c は、遅延調整用メモリ 131-2 と遅延調整用大容量メモリ 132 とが接続されている場合には、遅延調整用メモリ 131-2 と遅延調整用大容量メモリ 132 との接続を切断する。

これにより、遅延調整用大容量メモリ 132 は、遅延調整用メモリ 131-1 及び 131-2 のいずれにも接続されていない状態になる。

[0118] 遅延差検出部 14b は、伝送路の復旧を検出すると（ステップ S403）、遅延調整用メモリ 131-1 及び遅延調整用メモリ 131-2 に蓄積されている OTU フレームに基づいて、0 系伝送路と 1 系伝送路との間の遅延差を算出する（ステップ S404）。なお、遅延差の算出方法は、第 1 の実施形態と同様であるため説明を省略する。遅延差検出部 14b は、算出した遅延差の情報を通信部 21 に出力するとともに、OTU フレームを経路選択部 15b に出力する。

[0119] 通信部 21 は、遅延差検出部 14b から出力された遅延差の情報を制御システム 30c に送信する（ステップ S405）。

制御システム 30c の通信部 31 は、伝送装置 10c から送信された遅延差の情報を受信する。通信部 31 は、受信した遅延差の情報を制御部 32c

に出力する。制御部 32c は、通信部 31 から出力された遅延差の情報に基づいて、同一の信号が早く受信された伝送路を判定する（ステップ S406）。制御部 32c は、判定結果に応じてメモリ接続指示を生成し、生成したメモリ接続指示を通信部 31 に出力する。

[0120] 通信部 31 は、制御部 32c から出力されたメモリ接続指示を伝送装置 10c に送信する（ステップ S407）。

伝送装置 10c の通信部 21 は、制御システム 30c から送信されたメモリ接続指示を受信する。通信部 21 は、受信したメモリ接続指示をメモリ接続制御部 19c に出力する。メモリ接続制御部 19c は、通信部 21 から出力されたメモリ接続指示にしたがって、遅延調整用メモリ 131-1 又は遅延調整用メモリ 131-2 のいずれかに遅延調整用大容量メモリ 132 を接続する（ステップ S408）。

[0121] メモリ接続制御部 19c は、遅延調整用メモリ 131 と遅延調整用大容量メモリ 132 との接続が完了すると、遅延調整用大容量メモリ 132 を接続したことを示す応答を生成して、通信部 21 を介して制御システム 30c に応答を送信する。

制御システム 30c の通信部 31 は、伝送装置 10c から送信された応答を受信し、受信した応答を制御部 32c に出力する。制御部 32c は、遅延調整用大容量メモリ 132 が接続された応答を受けた後、遅延量制御指示を生成し、生成した遅延量制御指示を通信部 31 に出力する（ステップ S409）。通信部 31 は、制御部 32c から出力された遅延量制御指示を伝送装置 10c に送信する（ステップ S410）。

[0122] 伝送装置 10c の通信部 21 は、制御システム 30c から送信された遅延量制御指示を受信する。通信部 21 は、受信した遅延量制御指示を遅延調整制御部 133b に出力する。遅延調整制御部 133b は、通信部 21 から出力された遅延量制御指示にしたがって、メモリの読み出し速度を調整する等して遅延調整を行う（ステップ S411）。遅延差検出部 14b は、遅延差がなくなったことを検出すると（ステップ S412）、遅延差がなくなった

ことを示す通知を生成し、生成した通知を通信部 2 1 に出力する。通信部 2 1 は、遅延差検出部 1 4 b から出力された通知を制御システム 3 0 c に送信する（ステップ S 4 1 3）。

[0123] 制御システム 3 0 c の通信部 3 1 は、伝送装置 1 0 c から送信された通知を受信する。

通信部 3 1 は、受信した通知を制御部 3 2 c に出力する。制御部 3 2 c は、通信部 3 1 から出力された通知において遅延差がなくなったことを検出すると、遅延調整を終了する指示を含む遅延調整終了指示を生成する。制御部 3 2 c は、生成した遅延調整終了指示を通信部 3 1 に出力する。通信部 3 1 は、制御部 3 2 c から出力された遅延調整終了指示を伝送装置 1 0 c に送信する（ステップ S 4 1 4）。

[0124] 伝送装置 1 0 c の通信部 2 1 は、制御システム 3 0 c から送信された遅延調整終了指示を受信する。通信部 2 1 は、受信した遅延調整終了指示を遅延調整制御部 1 3 3 b に出力する。これにより、遅延調整制御部 1 3 3 b は、遅延調整を終了する（ステップ S 4 1 5）。

制御システム 3 0 c の制御部 3 2 c は、遅延調整終了指示が送信された後、経路選択指示を生成する。例えば、制御部 3 2 c は、遅延が少ない、すなわち信号が早く受信された伝送路を指定する情報を含む経路選択指示を生成し、生成した経路選択指示を通信部 3 1 に出力する。通信部 3 1 は、制御部 3 2 c から出力された経路選択指示を伝送装置 1 0 b に送信する（ステップ S 4 1 6）。

[0125] 伝送装置 1 0 c の通信部 2 1 は、制御システム 3 0 c から送信された経路選択指示を受信する。通信部 2 1 は、受信した経路選択指示を経路選択部 1 5 b に出力する。経路選択部 1 5 b は、通信部 2 1 から出力された経路選択指示にしたがって信号の取得元の経路を選択する（ステップ S 4 1 7）。例えば、経路選択部 1 5 b は、0 系伝送路を指定する情報が経路選択指示に含まれていて、経路選択指示の取得時点で 0 系伝送路の経路（第 1 の経路）と接続している場合には、第 1 の経路を選択するが接続の切替などの動作は行

わない。このように、経路選択指示で指定された経路と、経路選択指示の取得時点で接続している経路とが同じである場合には、経路選択部 15 b は経路の切り替えを行わない。

[0126] 一方、経路選択部 15 b は、0 系伝送路を指定する情報が経路選択指示に含まれていて、経路選択指示の取得時点で 1 系伝送路の経路（第 2 の経路）と接続している場合には、第 1 の経路を選択して、接続先を第 2 の経路から第 1 の経路へ切替動作を行う。このように、経路選択指示で指定された経路と、経路選択指示の取得時点で接続している経路とが異なる場合には、経路選択部 15 b は経路の切り替えを行う。

[0127] 上記の処理により、経路選択部 15 b と遅延差検出部 14 b とが接続された経路から OTU フレームがデマッピング部 16 に出力される。デマッピング部 16 は、経路選択部 15 から出力された OTU フレームにおける OH の終端処理を行った後、ペイロードから所定のクライアント信号（例えば、100GE クライアント信号）を復元する（ステップ S418）。デマッピング部 16 は、復元したクライアント信号を送信信号生成部 17 に出力する。

[0128] 送信信号生成部 17 は、デマッピング部 16 によって復元されたクライアント信号に対して、OH の挿入処理を行った後、送信用の電気信号に変換することによって送信信号を生成する（ステップ S419）。送信信号生成部 17 は、生成した送信信号に出力する。

送信部 18 は、送信信号生成部 17 によって生成された送信信号を電気－光変換した後に、伝送装置 10 外部へ送信する（ステップ S420）。

[0129] 以上のように構成された伝送システム 100 c によれば、第 2 の実施形態及び第 3 の実施形態と同様の効果を得ることができる。

[0130] <変形例>

本実施形態では、制御システム 30 c が、1 台の伝送装置 10 c を制御する構成を示したが、制御システム 30 c は複数台の伝送装置 10 c を制御するように構成されてもよい。

[0131] 上述した実施形態における伝送装置 10、10 a、10 b、10 c、制御

システム 30, 30c をコンピュータで実現するようにしてもよい。その場合、この機能を実現するためのプログラムをコンピュータ読み取り可能な記録媒体に記録して、この記録媒体に記録されたプログラムをコンピュータシステムに読み込ませ、実行することによって実現してもよい。なお、ここでいう「コンピュータシステム」とは、OS や周辺機器等のハードウェアを含むものとする。また、「コンピュータ読み取り可能な記録媒体」とは、フレキシブルディスク、光磁気ディスク、ROM、CD-ROM 等の可搬媒体、コンピュータシステムに内蔵されるハードディスク等の記憶装置のことをいう。

[0132] さらに「コンピュータ読み取り可能な記録媒体」とは、インターネット等のネットワークや電話回線等の通信回線を介してプログラムを送信する場合の通信線のように、短時間の間、動的にプログラムを保持するもの、その場合のサーバやクライアントとなるコンピュータシステム内部の揮発性メモリのように、一定時間プログラムを保持しているものも含んでもよい。また上記プログラムは、前述した機能の一部を実現するためのものであってもよく、さらに前述した機能をコンピュータシステムにすでに記録されているプログラムとの組み合わせで実現できるものであってもよく、FPGA (Field Programmable Gate Array) 等のプログラマブルロジックデバイスを用いて実現されるものであってもよい。

[0133] 以上、この発明の実施形態について図面を参照して詳述してきたが、具体的な構成はこの実施形態に限られるものではなく、この発明の要旨を逸脱しない範囲の設計等も含まれる。

符号の説明

[0134] 10、10a、10b、10c…伝送装置, 11-1、11-2…受信部, 12-1、12-2…復号部, 13、13b…遅延調整部, 131-1、131-2…遅延調整用メモリ, 132…遅延調整用大容量メモリ, 133、133b…遅延調整制御部, 14、14b…遅延差検出部, 15、15b…経路選択部, 16…デマッピング部, 17…送信信号

生成部, 18…送信部, 19、19 a、19 b、19 c…メモリ接続制御部, 20、20 a、20 b、20 c…制御部, 21…通信部, 30、30 c…制御システム, 31…通信部, 32…制御部

請求の範囲

- [請求項1] 現用系の伝送路と、予備系の伝送路とを介して送信側の伝送装置との間で通信を行う伝送装置であって、
- 前記現用系の伝送路と前記予備系の伝送路との最大の経路差による遅延を許容できる容量を有するメモリと、
- 前記メモリの接続を切り替えて、前記現用系の伝送路又は前記予備系の伝送路のいずれか一方の信号を前記メモリに蓄積させるメモリ接続制御部と、
- を備える伝送装置。
- [請求項2] 前記メモリ接続制御部は、遅延が少ない前記現用系の伝送路又は前記予備系の伝送路のいずれか一方の信号を前記メモリに蓄積させる、請求項1に記載の伝送装置。
- [請求項3] 前記現用系の伝送路又は前記予備系の伝送路のうち、信号の取得元の経路を選択する経路選択部をさらに備え、
- 前記メモリ接続制御部は、前記現用系の伝送路又は前記予備系の伝送路のいずれかの伝送路において疎通待機中に前記メモリの接続を切断し、疎通が回復した後に、遅延が少ない前記現用系の伝送路又は前記予備系の伝送路のいずれか一方の信号を蓄積させるために前記メモリを再度接続しなおし、
- 前記経路選択部は、前記メモリの接続がなされた後に、信号の取得元の経路を選択した経路に切り替える、請求項1又は2に記載の伝送装置。
- [請求項4] 現用系の伝送路と、予備系の伝送路とを介して送信側の伝送装置との間で通信を行う伝送装置と、前記伝送装置を制御する制御システムとを備える伝送システムであって、
- 前記伝送装置は、
- 前記現用系の伝送路と前記予備系の伝送路との最大の経路差による遅延を許容できる容量を有するメモリと、

前記制御システムからの指示に従って前記メモリの接続を切り替えて、前記現用系の伝送路又は前記予備系の伝送路のいずれか一方の信号を前記メモリに蓄積させるメモリ接続制御部と、

を備え、

前記制御システムは、

前記メモリの接続先を前記メモリ接続制御部に対して指示する制御部、

を備える伝送システム。

[請求項5]

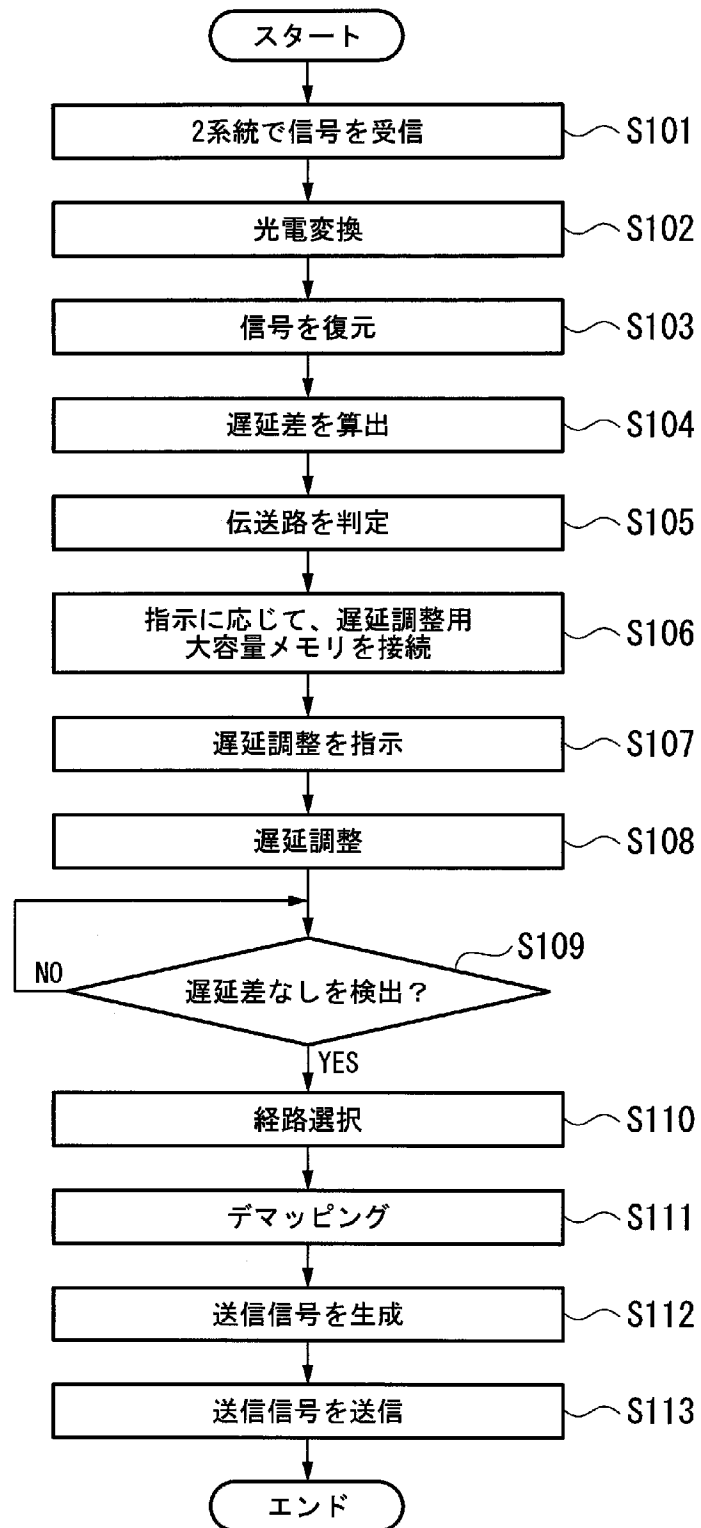
現用系の伝送路と、予備系の伝送路とを介して送信側の伝送装置との間で通信を行う伝送装置における遅延調整方法であって、

前記現用系の伝送路と前記予備系の伝送路との最大の経路差による遅延を許容できる容量を有するメモリの接続を切り替えて、前記現用系の伝送路又は前記予備系の伝送路のいずれか一方の信号を前記メモリに蓄積させるメモリ接続制御ステップ、

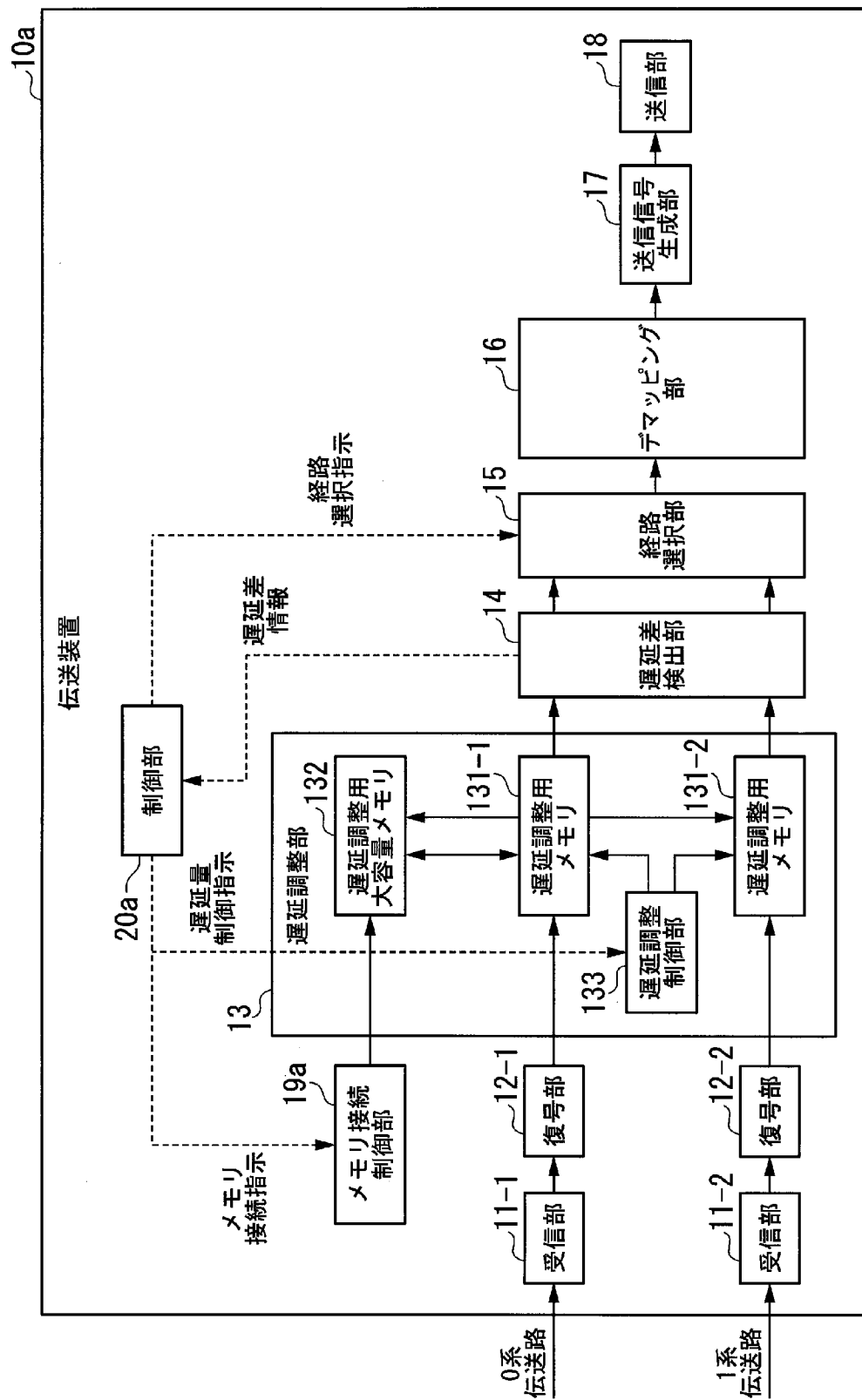
を有する遅延調整方法。

The diagram illustrates a transmission device (10) with two parallel processing channels, labeled 0系 (Channel 0) and 1系 (Channel 1). Both channels receive input signals via 伝送路 (Transmission Lines). Each channel consists of an 受信部 (Receiving Unit) (11-1, 11-2), a 復号部 (Decoding Unit) (12-1, 12-2), and a 遅延調整メモリ (Delay Adjustment Memory) (131-1, 131-2). A 遅延調整制御部 (Delay Adjustment Control Unit) (133) is connected to the delay adjustment memories. A 遅延調整部 (Delay Adjustment Unit) (13) is connected to the delay adjustment memories and a 遅延調整大容量メモリ (Delay Adjustment Large Capacity Memory) (132). A メモリ接続制御部 (Memory Connection Control Unit) (19) is connected to the delay adjustment memories and a 制御部 (Control Unit) (20). The control unit (20) also receives 遅延量制御指示 (Delay Amount Control Instruction) and 遅延差情報 (Delay Difference Information). The output of the delay adjustment memories is sent to a 遅延差検出部 (Delay Difference Detection Unit) (14), which then feeds into a 経路選択部 (Path Selection Unit) (15). The path selection unit (15) is connected to a 経路選択指示 (Path Selection Instruction) and a 送信部 (Transmitting Unit) (18). The path selection unit (15) also feeds into a 送信信号生成部 (Transmitted Signal Generation Unit) (17), which is connected to the transmitting unit (18). A 遅延調整部 (Delay Adjustment Unit) (13) is also connected to the control unit (20) and the delay adjustment memories.

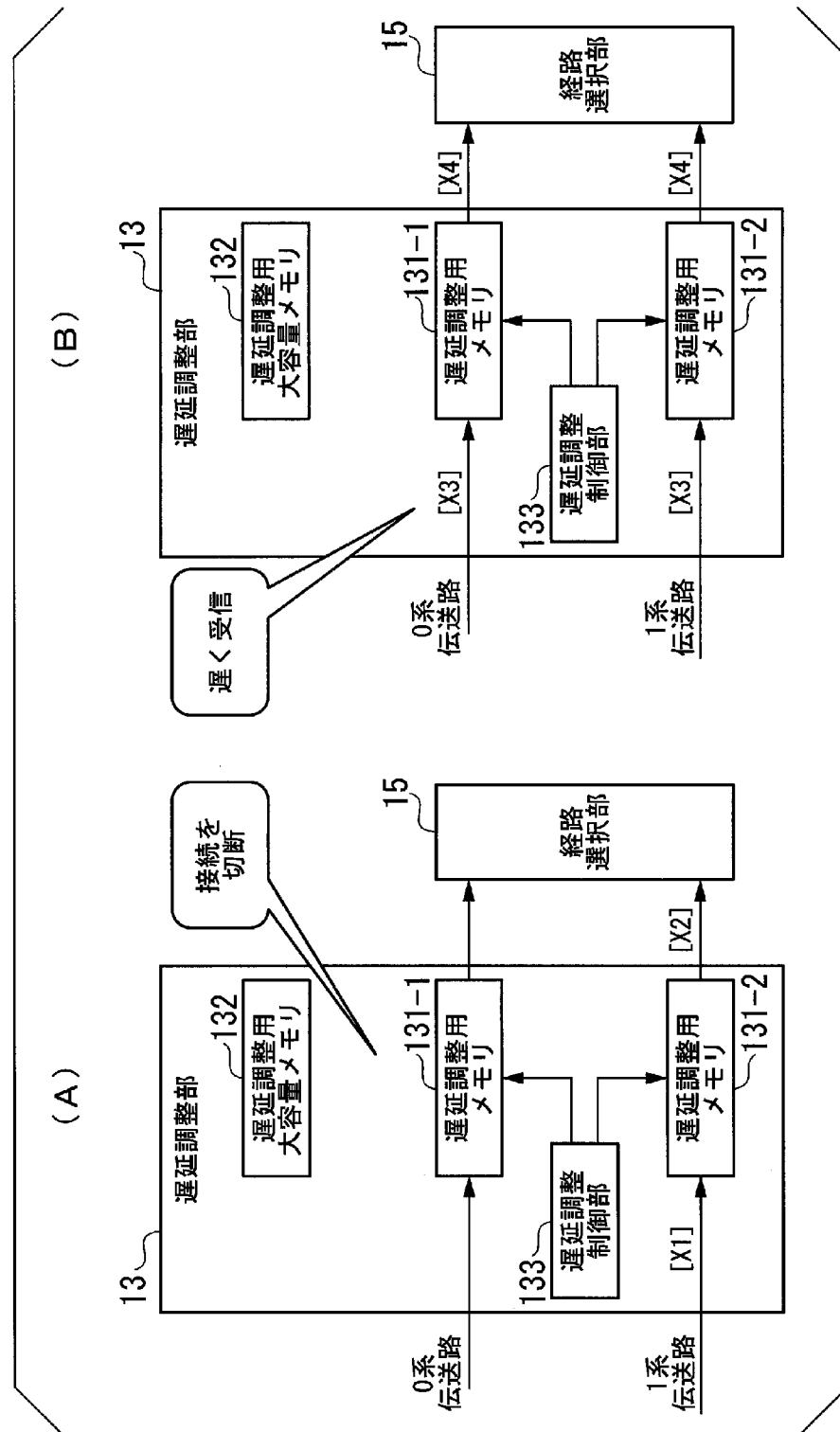
[図2]



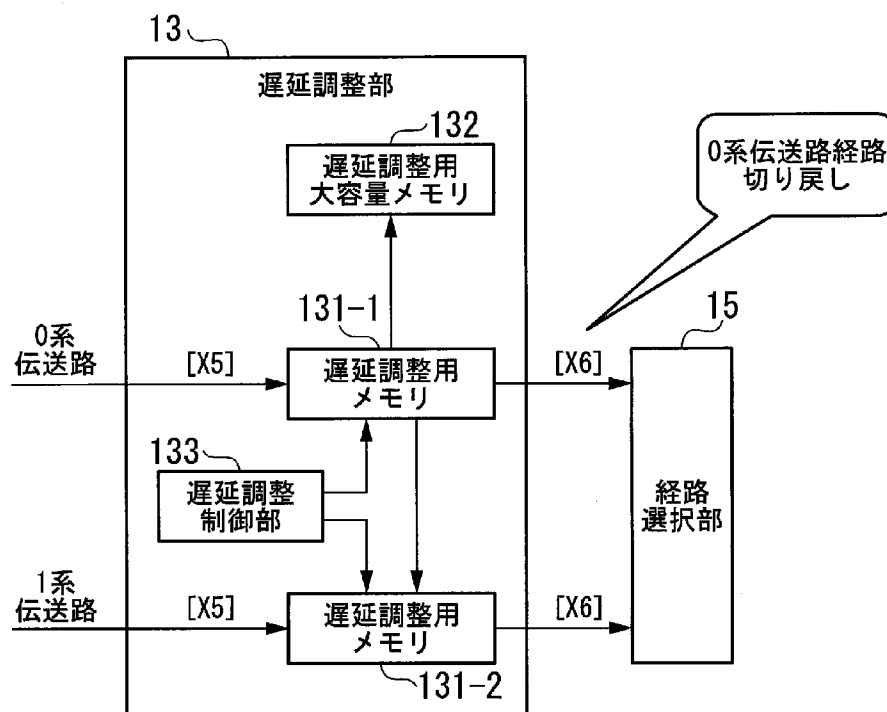
[図3]



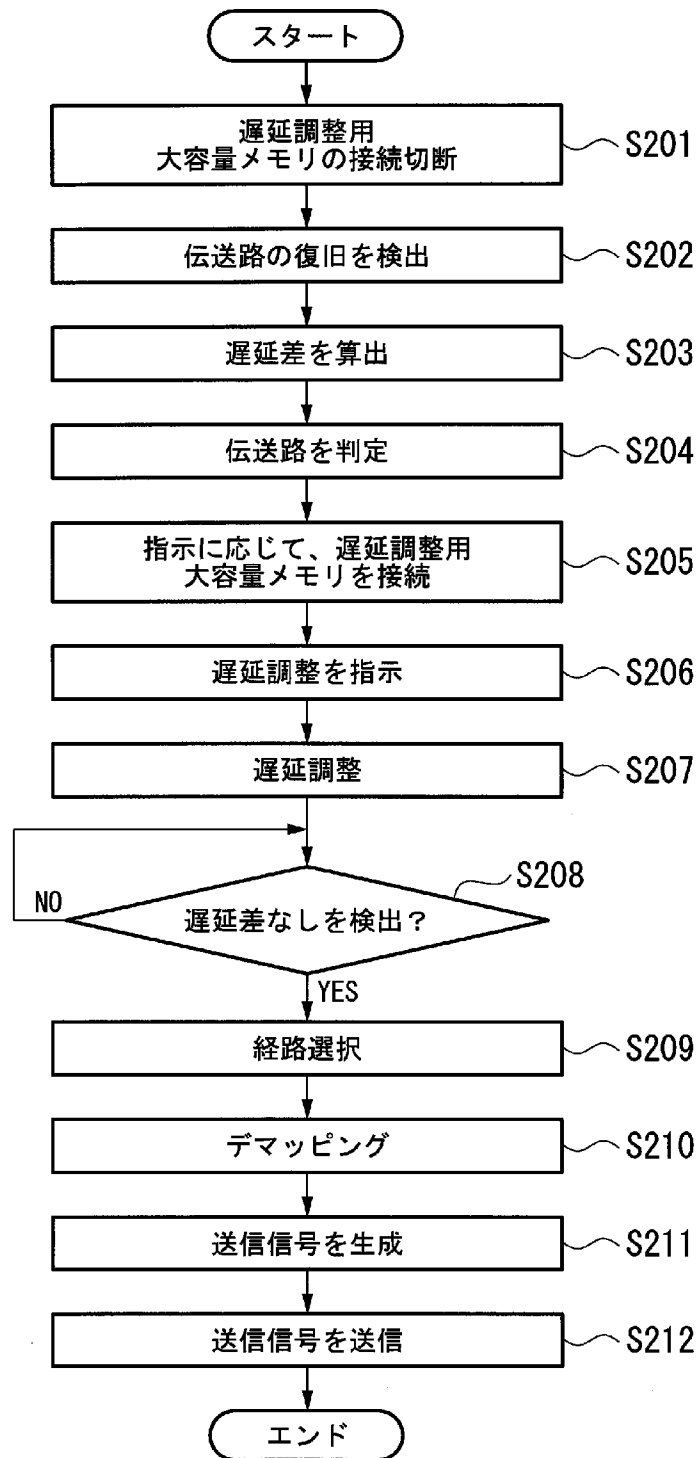
[図4]



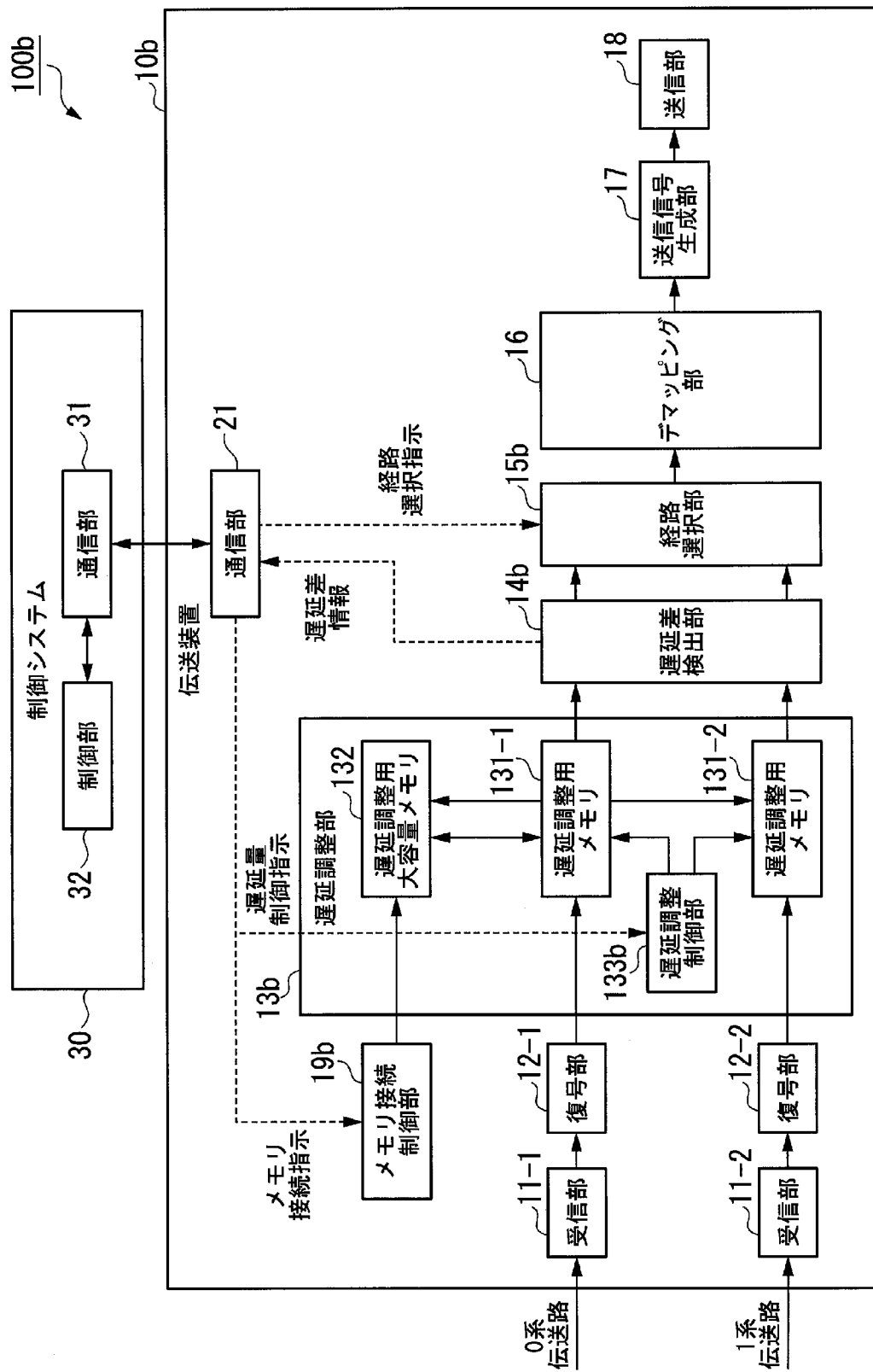
[図5]



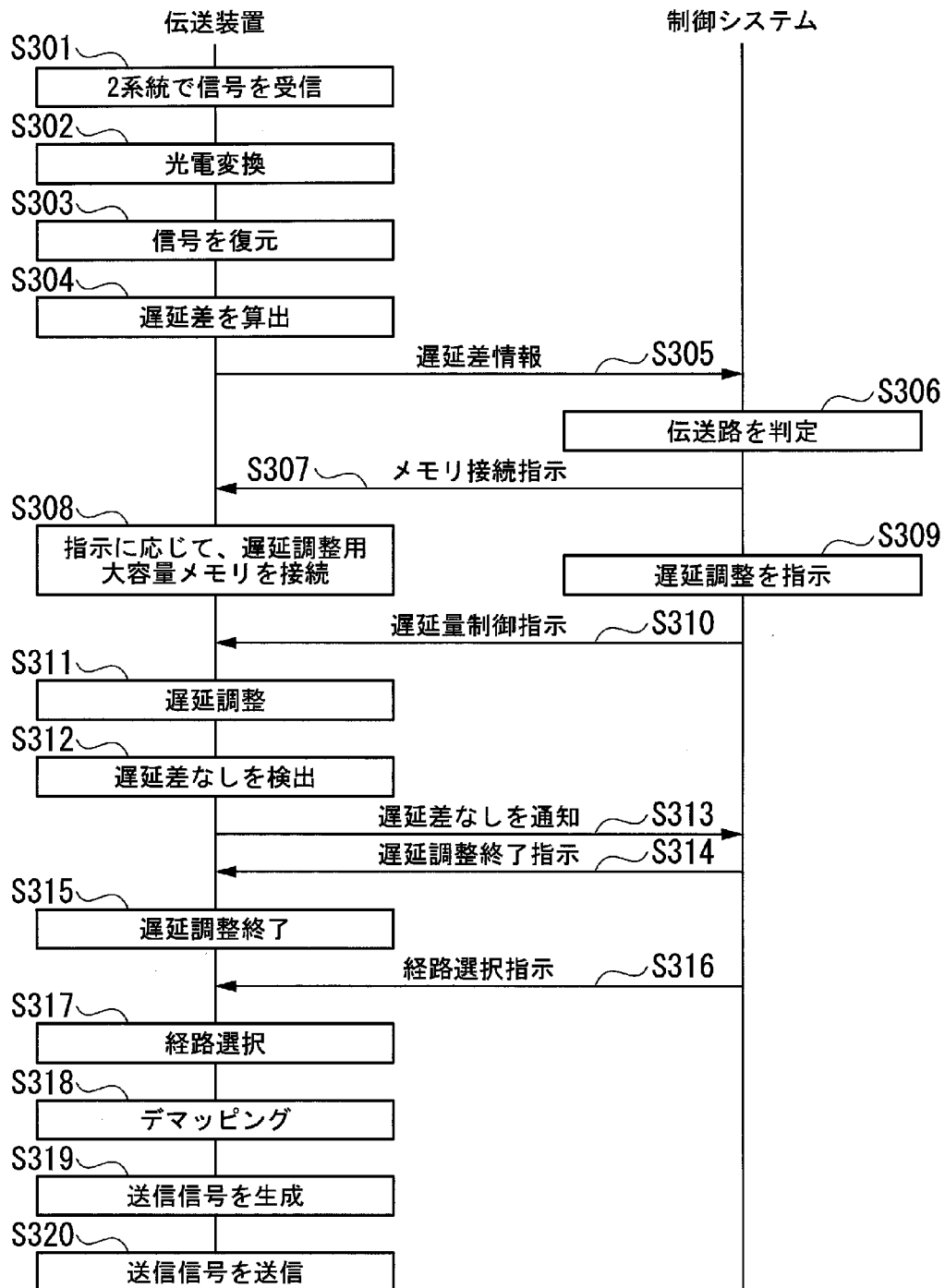
[図6]



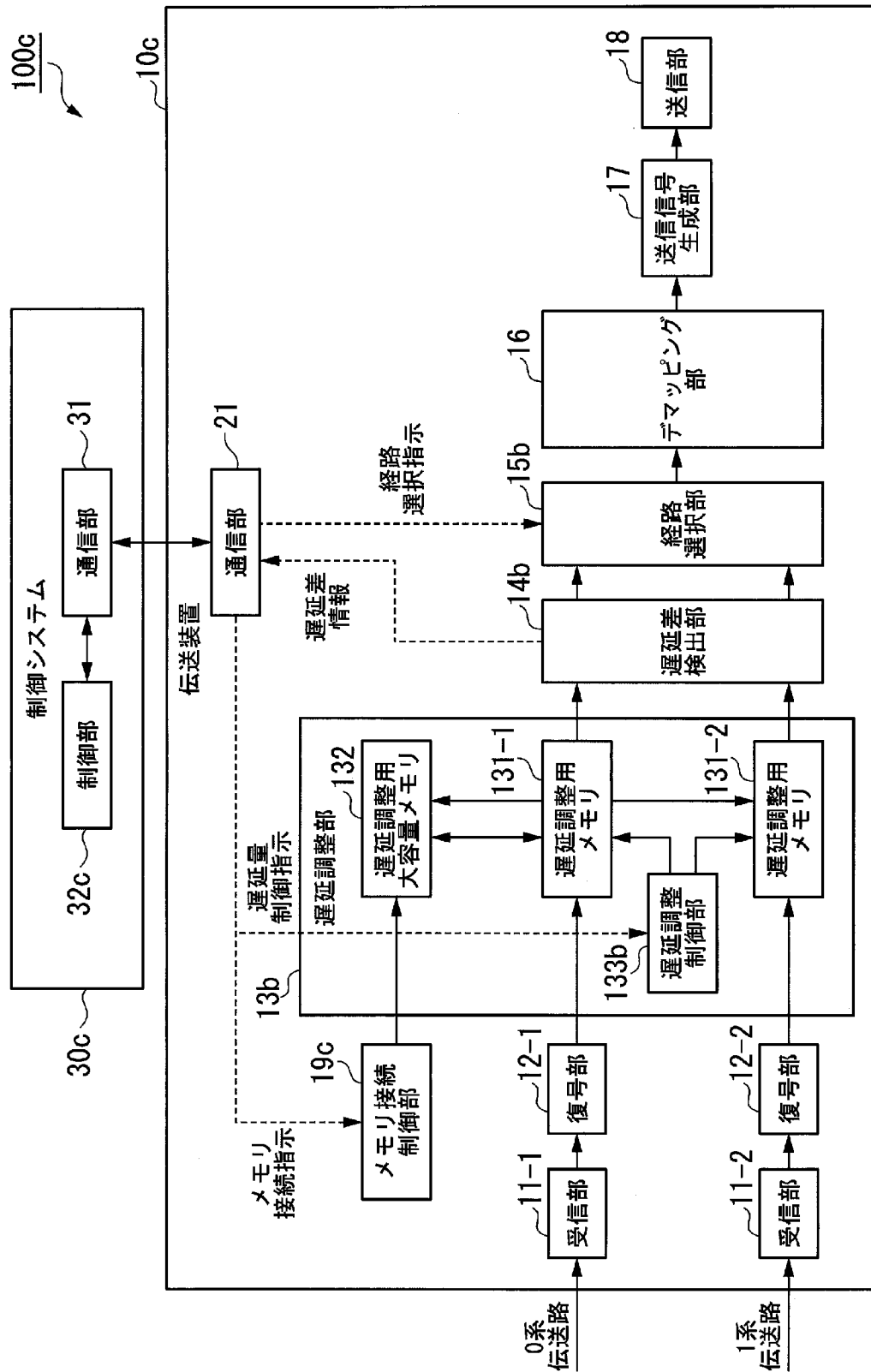
[図7]



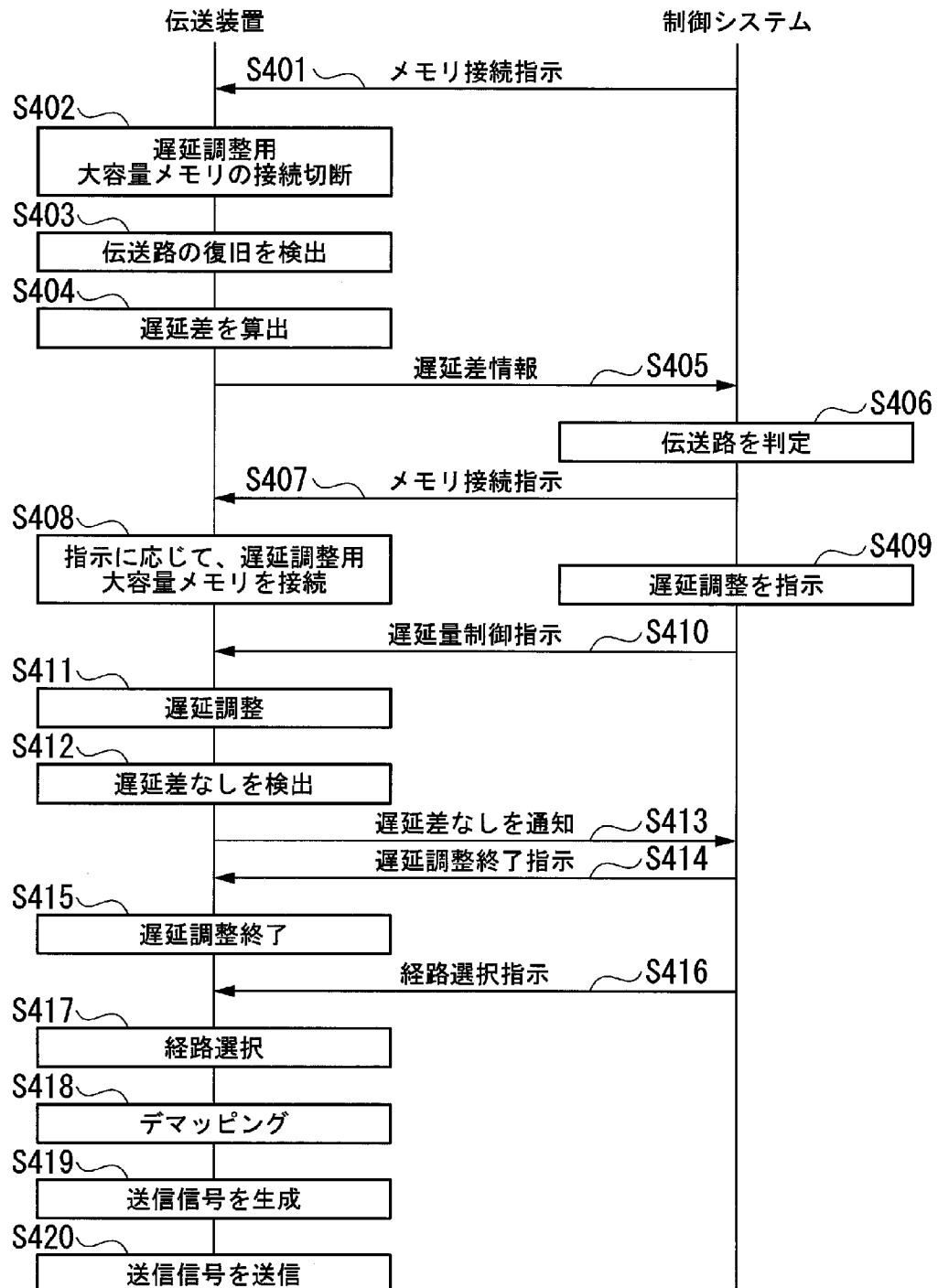
[図8]



[図9]



[図10]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/043587

A. CLASSIFICATION OF SUBJECT MATTER

H04L 12/711 (2013.01) i

FI: H04L12/711

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H04L12/711

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2020

Registered utility model specifications of Japan 1996-2020

Published registered utility model applications of Japan 1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	佐藤浩之, 志村雅人, 鈴木孝昌, 大島一能, 150M/600Mbps 対応 ATM 伝送路二重化切替 LSI の開発 "Implementation of a Hit-less Protection Switching LSI for 150M/600Mbps ATM Transmission Lines", 電子情報通信学会技術研究報告 vol. 96 no. 4, IEICE Technical Report, 16 April 1996, vol. 96, no. 4, pp. 7-12, in particular, page 8, left column, line 1 to right column, line 14, page 12, left column, line 20 to right column, line 2, fig. 1, 8, (SATO, Hiroyuki, SHIMURA, Masato, SUZUKI, Takamasa, OSHIMA, Kazuyoshi, vol. 96 no. 4)	1-2, 4-5 3



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

08 January 2020 (08.01.2020)

Date of mailing of the international search report

21 January 2020 (21.01.2020)

Name and mailing address of the ISA/

Japan Patent Office

3-4-3, Kasumigaseki, Chiyoda-ku,

Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/043587

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	阿比留節雄, 篠宮知宏, 河合正昭, 山下治雄, 酒井俊行, 小林克巳, ATM 光パッシブ網における無瞬断切替え技術 "Hitless protection switching Technique for ATM Passive Optical Network", 電子情報通信学会技術研究報告 vol. 96, no. 131 IEICE Technical Report, 24 June 1996, vol. 96, no. 131, pp. 1-7, in particular, page 4, right column, lines 3-15, fig. 12, (ABIRU, Setsuo, SHINOMIYA, Tomohiro, KAWAI, Masaaki, YAMASHITA, Haruo, SAKAI, Toshiyuki, KOBAYASHI, Katsumi, vol. 96, no. 131)	1-5
A	A JP 2009-5107 A (NEC CORP.) 08.01.2009 (2009-01-08), paragraphs [0102]-[0104], fig. 13	1-5
A	A JP 2012-70352 A (NIPPON TELEGRAPH AND TELEPHONE CORP.) 05.04.2012 (2012-04-05), paragraphs [0063], [0069]	1-5

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/JP2019/043587

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
JP 2009-5107 A	08 Jan. 2009	(Family: none)	
JP 2012-70352 A	05 Apr. 2012	JP 2015-19381 A	

A. 発明の属する分野の分類（国際特許分類（IPC）） H04L 12/711(2013.01)i FI: H04L12/711														
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H04L12/711 最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2020年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2020年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2020年</td> </tr> </table> 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2020年	日本国実用新案登録公報	1996-2020年	日本国登録実用新案公報	1994-2020年				
日本国実用新案公報	1922-1996年													
日本国公開実用新案公報	1971-2020年													
日本国実用新案登録公報	1996-2020年													
日本国登録実用新案公報	1994-2020年													
C. 関連すると認められる文献														
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号												
X	佐藤 浩之, 志村 雅人, 鈴木 孝昌, 大島 一能, 150M/600Mbps 対応 ATM 伝送路二重化切替 LSI の開発 Implementation of a Hit-less Protection Switching LSI for 150M/600Mbps ATM Transmission Lines, 電子情報通信学会技術研究報告 Vol. 96 No. 4 IEICE Technical Report, 1996.04.16, Vol.96, No.4, pp.7-12 特に第8ページ左欄第1行-右欄第14行, 第12ページ左欄第20行-右欄第2行, 図1,8	1-2, 4-5												
A		3												
A	阿比留 節雄, 篠宮 知宏, 河合 正昭, 山下 治雄, 酒井 俊行, 小林 克巳, ATM 光パッシブ網における無瞬断切替技術 Hitless protection switching Technique for ATM Passive Optical Network, 電子情報通信学会技術研究報告 Vol. 96 No. 131 IEICE Technical Report, 1996.06.24, Vol.96, No.131, pp.1-7 特に第4ページ右欄第3-15行, 図12	1-5												
A	JP 2009-5107 A (日本電気株式会社) 08.01.2009 (2009-01-08) 段落[0102]-[0104], 図13	1-5												
A	JP 2012-70352 A (日本電信電話株式会社) 05.04.2012 (2012-04-05) 段落[0063], [0069]	1-5												
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。														
<table border="0"> <tr> <td>* 引用文献のカテゴリー</td> <td>“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの</td> </tr> <tr> <td>“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの</td> <td>“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</td> </tr> <tr> <td>“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</td> <td>“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</td> </tr> <tr> <td>“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）</td> <td>“&” 同一パテントファミリー文献</td> </tr> <tr> <td>“O” 口頭による開示、使用、展示等に言及する文献</td> <td></td> </tr> <tr> <td>“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献</td> <td></td> </tr> </table>			* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの	“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの	“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの	“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献	“O” 口頭による開示、使用、展示等に言及する文献		“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	
* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの													
“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの													
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの													
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献													
“O” 口頭による開示、使用、展示等に言及する文献														
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献														
国際調査を完了した日 08.01.2020		国際調査報告の発送日 21.01.2020												
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 鈴木 肇 5X 9847 電話番号 03-3581-1101 内線 3596												

国際調査報告
パテントファミリーに関する情報

国際出願番号

PCT/JP2019/043587

引用文献			公表日	パテントファミリー文献	公表日
JP	2009-5107	A	08.01.2009	(ファミリーなし)	
JP	2012-70352	A	05.04.2012	JP	2015-19381 A