



84年6月24日修正/更正/補充

| | |
|------|-------------------------|
| 申請日期 | 82.12.16 |
| 案號 | 82100682 |
| 類別 | H03K 19/0185, H02H 9/04 |

A4
C4

313721

(以上各欄由本局填註)

發明專利說明書

| | | |
|-------------|---------------|---|
| 一、發明 名稱 | 中文 | 具過電壓保護之低電壓輸入輸出電路 |
| | 英文 | LOW VOLTAGE INPUT AND OUTPUT CIRCUITS WITH OVERVOLTAGE PROTECTION |
| 二、發明 創作人 | 姓名 | 理查B.馬瑞爾 |
| | 國籍 | 美國 |
| | 住、居所 | 美國加州94104代利市.亞特維斯特路258號 |
| 三、申請人 | 姓名 (名稱) | 國家半導體公司 |
| | 國籍 | 美國 |
| | 住、居所 (事務所) | 美國.加州95052聖塔克雷羅市.半導體大道2900號 |
| | 代表人 姓名 | 約翰M.克拉克三世 |

313721

(由本局填寫)

| |
|--------|
| 承辦人代碼： |
| 大類： |
| IPC分類： |

A6
B6

本案已向：

美 國 (地區) 申請專利，申請日期：1992.12.22 案號：07/994,783' 有 無主張優先權

有關微生物已寄存於：

，寄存日期：

，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明(1)

〔發明領域〕

本發明係屬於電子電路，更明白的說係關於積體電路，其係使用輸入與輸出級與其他積體電路或電子裝置作界面者。

〔發明背景〕

積體電路係已經完成了很多之用途，其中，它們可以降低一用以完成一已知之電氣功能之所需空間，其亦伴隨著在效能上之增加，其包含在所需功率上之降低。為了要使積體電路能夠與其他積體電路及其他型之電子電路很容易的完成界面連接，某些工業用之輸入／輸出(I/O)規格已經加以發展出來。一個例子就是，電晶體電晶體邏輯(TTL)標準，其中，五伏特(公定)之電壓係加以施加至該裝置之上。一有關於一邏輯零之輸入信號係具有一最大為近似0.7伏特之電壓，以及，一邏輯壹之輸入位準係具有一最小電壓為近似兩伏特。此TTL規格亦需要一積體電路提供一輸出電壓至少為接近2.4伏特之電壓，以作為一邏輯壹之輸出信號，以及，一不大於接近0.4伏特之輸出電壓作為一邏輯零之輸出信號。

於積體電路技術中，現行之增進係想要作出一比TTL標準更低電壓之裝置。例如，現行一趨勢係為發展積體電路使用3或3.3伏特電源供應。於未來，更低電壓之裝置(例如2.4伏特電壓裝置)將會加以發展。其他用以降低積體電路之電壓之原因係為，其有一種降低系統功

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(二)

率而不會在功能上有任何相對之損害。

於當有很多數目之 T T L 型裝置時，其係希望能夠提供較低電壓之裝置，該裝置能夠忍受由外部電源施加至其輸入與輸出接腳之電壓，例如，該外部電壓係不小心或不注意施加至 T T L 裝置之上或者界面上。因此，例如，對於一 3.0 伏特之裝置，其中，其高輸出電壓係近似於一 3 伏特之電壓，其係相當於一邏輯壹之輸出信號之時，假若該裝置係能夠忍受一施加至輸出端之近似 5 伏特之 T T L 邏輯壹之電壓位準，而不會消耗過量之功率或發生損害時，這將會是很有用的。同樣地，假若一 2.4 伏特之裝置能夠忍受一接近 5 伏特 (T T L 標準) 或者是接近 3.0 伏特 (用於一 3.0 伏特裝置) 之邏輯位準壹信號，施加至其輸出端點時，其係有很多之好處。

圖 1 至圖 8 係為先前技藝之輸入與輸出電路，這些電路係為在該技藝中所習知的。以下之討論係有關使用這每一輸入／輸出電路，於配合一操作於例如 3.3 伏特電源供應電壓 V C C 位準之積體電路時，所產生之特點與缺失。

圖 1 之電路圖係描述出一典型之 C M O S 輸入級。輸入接腳 10 自外部電路接收一輸入信號以供輸入緩衝器 13 使用，該輸入緩衝器 13 之輸出係連接至該積體電路中之其他電路 (未示出)。輸入保護二極體 11 及 12 係加以使用，以對輸入接腳 10 提供過電壓保護。輸入保護二

五、發明說明(3)

極體 1 1 於輸入電壓係高於 $V_{CC} + V_D$ 之時，係為順向偏壓，其中 V_D 係為輸入保護二極體 1 1 之順向偏壓壓降。因此，於該先前技藝之中，當 V_{CC} 係為 5 伏特之時，輸入接腳 1 0 係可以保護電壓偏移超過近似 5.6 伏特。然而，當 V_{CC} 係為 3.3 伏特之時，一為 5 伏特 TTL 位準係加以施加至輸入接腳 1 0，輸入保護二極體 1 1 係加以導通，以藉以提供輸入過電壓保護，同時吸收一可忍受數量之電流，於一可接受之 5 伏特位準係施加至該輸入接腳 1 0 之時。

圖 2 係為一典型之 CMOS 輸出級之電路圖，該輸出級包含輸出接腳過電壓保護二極體 2 1 及 2 2，拉上電晶體 2 3 及拉下電晶體 2 4。當一 3.3 伏特之電源供應電壓及一可接受之 5 伏特 TTL 位準係被由外部施加至輸出接腳 2 0 時，輸出保護二極體 2 1 係順向偏壓，結果會有把接腳 2 0 拉下成為至 3.3 伏特及於該過程中，消耗過多電流之缺點。甚者，於圖 2 之電路圖之中，一 5 伏特之位準係施加至輸出接腳 2 0 之上，並且，P 通道拉上電晶體 2 3 之閘極上係不會超過 3 伏特，則 P 通道拉上電晶體 2 3 係加以導通，這會造成過多之電流，由輸出接腳 2 0 流經該拉上電晶體 2 3。

圖 3 係為另一先前技藝輸出級之電路圖，該輸出級包含輸出接腳 3 0，P 型通道拉上電晶體 3 3，N 型通道拉下電晶體 3 4 以及蕭基二極體 3 5。然而，於此一先前技

五、發明說明(4)

藝中之 5 伏特輸出級係加以與更低之電壓電路一起使用時，例如與 3.3 伏特之電路一起使用，電源供應可以會降至 2.7 伏特之低電壓，則為此電路施加至輸出接腳 30 之輸出高位準將不夠高，因為由於該蕭基二極體 35 間之電壓降之故。於 I/O 電路中所使用之蕭基二極體似乎很容易損壞，由於電子靜電放電 (ESD) 之故。甚者，於 CMOS 製造過程之中，通常不允許製造蕭基二極體，因此，此一電路必須被限制必須使用 BiCMOS 裝置，該裝置係不可避免地較 CMOS 製程更複雜與昂貴。

圖 4 係為另一種先前技藝之 BiCMOS 輸出級之電路圖，該輸出級包含輸出接腳 40、P 型通道拉上電晶體 43、N 型通道拉下電晶體 44 及蕭基二極體 46 連接於該 P 型通道拉上電晶體 43 之源極及位能井區域之間。以此一方式連接之蕭基二極體 46 係防此於 P 型通道拉上電晶體 43 之汲極與位能井區域間之固有二極體形成順向偏壓。然而，此會使 P 型通道電晶體 43 之位能井區域浮動於供應電壓與該供應電壓位準減去一二極體之位準之間，這會是不想要之結果，因為該浮動位能井係更難加以控制，以及更無法預料之效能。同時，當一外部電壓於施加至輸出接腳 40 時，係超過其閘極電壓時，此電路將無法防止經由 P 型通道電晶體 43 之洩漏。其他先前技藝於此一電路上之改變造成了該 P 型通道電晶體 43 之位能井區域係被切換至一特定之電壓位準，例如，藉由一場效電晶體

五、發明說明(5)

之使用。然而，除非是一位能井區域係經由一低阻抗之路徑連接至一固定之電壓位準，栓鎖係一不同之可能性。場效電晶體係通常使用以作為切換開關之目的，包含可能地切換 P 型通道拉上電晶體 4 3 之位能井區域，場效電晶體具有相當高之電阻，以藉以增加栓鎖之可能性。甚者，此輸出電路不可以被使用於 CMOS 裝置之中，因為大多數之 CMOS 製程不需要作出蕭基二極體之製造。

圖 5 係為另一先前技藝 MOS 輸出級之電路圖，其係使用一 N 型通道拉上電晶體 5 3 以及一 N 型通道之拉下電晶體 5 4。然而，因為 N 型拉上電晶體 5 3 之使用於低壓時，例如一 3.3 伏特之電源供應電壓，並沒有提供足夠之過載，以提供一足夠高之輸出電壓位準至輸出接腳 5 0 之上。

圖 6 係為一先前技藝之 MOS 輸出級，其係類似於圖 5 中所示者，圖 6 之電路係來克服圖 5 中之問題，其係藉由使用一分離擴散罩，以提供一較提供給該裝置中之其他 N 型通道電晶體（包含拉下電晶體 6 4）為低之臨界電壓給 N 型通道拉上電晶體 6 3。這將提供一很大之過載數目，即使當使用一低電壓例如一 3.3 伏特之電源供應電壓。然而，該先前技藝係具有重大之缺點，即需要一個別之擴散罩，因而藉以增加所需用以製造此裝置之步驟數目以及大量地增加了很多製造該裝置之成本。

圖 7 係一雙極性輸出級之電路圖，其係使用於某些 B

五、發明說明(6)

i CMOS 裝置之中。當其與一低電壓之裝置一起使用時，例如一使用 3.3 伏特之電源電壓裝置，NPN 拉上電晶體 73 並不會提供一足夠高之輸出電壓位準於輸出接腳 70 之上。已經知道的是，一另外之 PNP 電晶體或者 P 型通道裝置 75 可以如所示的加以使用，以便在輸出接腳 70 之上提供一輸出電壓上之增加。然而，這裝置係需要使用雙極性之電晶體，因此，不可以被使用於一純為 MOS 裝置之中，同時，還會需要另增一 BiCMOS 裝置之費用，並且，同時依舊會有與 P 型拉上裝置之使用上之有關問題。

圖 8 係為一 CMOS 輸出級之電路圖，其係可以以低電壓裝置一起使用。於此一先前技藝之輸出級之中，該用於輸出電晶體 83 與 84 之閘氧化層係接近於 150 埃，但是用於該積體電路中之其他電晶體（例如標示為 89 之緩衝器）之閘氧化層係為接近 110 埃。這係用以改良輸出級之可靠性，於其中可以看出輸出電晶體具有一相當高之外部施加電壓，該電晶體具有較厚之閘氧化層，其係較能夠忍受該外部所施加來之高電壓。然而，其並未解決於一外部施加之給輸出接腳 80 之電壓高於該裝置之供應電壓時，P 型通道拉上電晶體 83 導通之問題，例如當該裝置係為 3.3 伏特所供電而一外部之 5 伏特係施加至輸出接腳 80 之時。甚者，輸出電晶體 83 與 84 必須較大些，因為其通道長度必須隨著增加閘氧化層厚度之增加而增

五、發明說明(7)

加。其中，可能會有一更大之問題係為該製程係複雜因此較昂貴，於其中至少兩分別單係需要，以完成兩分別開氧化層厚度，於一單一積體電路之中。

當然，該需要兩分別之開氧化層厚度之缺點係可以加以克服，以藉由將整個積體電路使用一150埃之開氧化層。然而，這將會增加切片之大小，因為裝置必須藉由開氧化層之厚度增加以作大些（以增加通道長度）。同時，較厚之開氧化層會導致在速度上之減少。甚者，此電路可以以一3.3伏特之供應電源來供電該積體電路之內部邏輯，以及，一5伏特之供應電壓來供電該輸出緩衝器。然而，這將會需要兩個個別之外部電源或者需要該3.3伏特之電壓供應為內部產生於晶片，於該自外部施加之5伏特之電壓供應。這將會消耗功率以及積體電路切片區域，並且，遠離想要提供積體電路之以較低電源電壓操作之目的。

〔發明概要〕

依照本發明之教導，一新穎之輸入級係加以揭示，其係適合以與任何一想要之供應電壓VCC一起使用，該輸入級包含供應電壓小於5伏特之供應電壓，以及，其係可以忍受大於所施加於其輸入接腳之VCC之過電壓輸入信號。一通道電晶體係加以使用於該輸入接腳與輸入緩衝器之間，以便限制施加至該輸入緩衝器之電壓，藉以允許過於VCC之電壓被作為一邏輯壹之輸入信號給該輸入緩衝

五、發明說明(8)

器。於一實施例之中，過電壓保護係加以使用，以限制於輸入接腳上之電壓成為一大於VCC法定輸入電壓過量之電壓。

同時，依據本發明之技術亦揭示出一輸出級，其係適用於與各種供應電源電壓一起使用，包含供應電源電壓少於5伏特者，同時，允許正常之操作，於一合法之過電壓係施加至其輸出接腳。於一實施例之中，ESD保護係加以提供，以便限制於輸出接腳上之電壓成為一大於最大合法過電壓之電壓。級聯裝置係加以使用，以便當一合法過電壓係施加至該輸出接腳上時，可以限制為該拉上與拉下電晶體所看見之電壓。適當之電晶體開關係可以加以使用，以防止當一合法過電壓係由外部施加至該輸出接腳時，當本發明之輸出接腳係於一操作之高阻抗模式或者是操作於一高位準為壹之模式時，過量之電流被消耗掉。

[附圖之簡要說明]

圖1至圖8係為先前技藝之輸入與輸出電路；

圖9係為依據本發明之教導所構建之輸入級之一實施例之一電路圖；

圖10係為依據本發明之教導所構建之輸入級之一實施例之一電路圖；

圖11係為依據本發明之教導所構建之輸出級之一實施例之一電路圖；及

圖12係為N型通道與P型通道電晶體之閘氧化層間

五、發明說明(9)

之所表現之電壓之描述。

[本發明之詳細說明]

圖 9 係為依據本發明之教導所構建之輸入級之一實施例之電路圖。該輸入級係可以適合與任一想要之電源供應電壓 V C C 一起使用，該電壓 V C C 包含供應電壓少於 5 伏特者，而該輸入級係可以忍受一過電壓輸入信號大於施加至其輸入接腳 9 0 之 V C C 者。於一實施例之中，齊納二極體 9 1 係如本案申請人於美國專利申請案序號第 6 5 2, 1 5 4 號，申請於 1 9 9 1 年二月 7 日之申請案所教導之方式來加以製造。齊納二極體 9 1 於一實施例之中係具有一 6 伏特之齊納電壓，以便為輸入接腳 9 0 藉由一 6 伏特之過電壓保護，來提供正與負過電壓之保護。依據本發明所教導者，E S D 保護係加以提供，同時，允許一可接受之過電壓，例如為一典型之 T T L 邏輯位準壹之 5 伏特，以被視為一可接受之輸入信號。

N 通道通路電晶體 9 2 係使其閘極連接至供應電壓 V C C 節點 9 3，其汲極係連接至輸入接腳 9 0，以及，其源極係連接至輸入緩衝器 9 5 之輸入接腳。輸入緩衝器 9 5 係以簡便之方式加以構建，例如於該項技藝中所熟知之方式。於一實施例之中，輸入緩衝器 9 5 係為一 C M O S 反相器，雖然其他之輸入緩衝器電路係可以加以使用，例如史密特觸發器，非反相緩衝器或者其他等等，以及其他可為於此技藝中人於本發明之教導之中所能得知者。於反

五、發明說明(10)

相器 95 中之裝置係大小得足以提供一想要之跳脫點。於一實施例之中，電源供應電壓 V_{CC} 係為 3.3 伏特，該反相器 95 之跳脫點係設定接近 1.4 伏特，以使當出現於反相器 95 輸入接腳上之電壓係大於 1.4 伏特時，其將會被視為一邏輯壹，以及當該電壓係低於 1.4 伏特之時，將會被視為一邏輯零。

通路電晶體 92 之使用限制了出現於輸入緩衝器 95 之輸入接腳上之電壓成為 $V_{CC} - V_{TN}$ ，其中，該 V_{TN} 係為 N 型通道電晶體 92 之臨界電壓。於一實施例之中， V_{TN} 係接近 1 伏特，因此，電晶體 92 限制了於輸入緩衝器 95 之輸入接腳上之電壓，成為接近 2 伏特，於一 3.3 伏特之電源供應電壓 V_{CC} 係加以使用之時，而不管施加至輸入接腳 90 上之可能過電壓為何。於本發明之一實施例之中，該輸入緩衝器 95 係為一反相器，P 型通道電晶體係加以使用，其中，係使其閘極連接至輸入緩衝器 95 之輸入接腳，其源極係連接至電源供應電壓 V_{CC} ，以及，其汲極係連接至輸入緩衝器 95 之輸入接腳。當輸入緩衝器 95 提供一低的輸入電壓時，P 型通道電晶體 94 係導通，以藉以將 V_{CC} 施加至輸入緩衝器 95 之輸入接腳。這防止了輸入緩衝器 95 之輸入接腳成為疏忽之浮動為高之狀態。沒有了 P 型通道電晶體 94，輸入緩衝器 95 之輸入接腳將會浮動，可能高於 $V_{CC} - V_{TN}$ ，因此，當一 5 伏特之輸入電壓係施加至該輸入接腳 90 上

五、發明說明 (1)

之時，輸入接腳可能到達 5 伏特。於此一實施例之中，通道電晶體 9 4 係為“弱”，因此，其操作可以藉由輸入信號成為低之狀況而加以克服，以便不會永久地將該輸入緩衝器栓鎖至一高之狀態。

於另一實施例之中，例如當一史密特觸發器係加以使用以作為輸入緩衝器 9 5，則 P 型通道電晶體 9 4 或一類似之裝置係不必要的。

因此，依據本發明，一新穎之輸入級係加以教導出，本發明提供一齊納二極體，該二極體係容易地以一 C M O S 製程來加以製造，以完成一過電壓之保護，於輸入電壓係超過最高合法輸入信號位準。通路電晶體 9 2 係用以作為限制施加至輸入緩衝器 9 5 之輸入接腳之電壓，因此，此藉以允許一超過 V C C 之合法輸入電壓被輸入緩衝器 9 5 所使用於其上。因此，該通路電晶體 9 2 之使用限制了於輸入緩衝器 9 5 輸入接腳上之電壓成為 V C C - V T N，或者一近似 2 伏特之電壓給一 3.3 伏特之電路，即使施加至輸入接腳 9 0 之輸入電壓係高於例如 5 伏特。這改良了可靠度，藉由防止過量之電壓被施加至輸入緩衝器 9 5 之電晶體單元之閘氧化層。該輸入級具有一高的輸入阻抗，由於該 M O S 裝置之高輸入阻抗係使用於輸入緩衝器 9 5 之中。此一輸入級可以與任何想要之輸入電壓一起使用，藉由提供電晶體，該電晶體具有適當之臨界電壓，並且，裝置大小係足以被裝入於該輸入緩衝器 9 5 之中，以提

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(12)

供一適當之跳脫點，來區分邏輯零與邏輯壹之輸入信號。該通路電晶體 92 之使用係使其閘極連接至想要之電壓位準，允許大於供應電壓之高輸入信號，被施加至輸入接腳 90，而不會負面影響該電路之操作或者是造成過多之功率消耗。

圖 10 係為依據本發明所教導而構建之一 MOS 輸出級之一實施例之電路圖，其係可適合與很多種之電源供應電壓一起使用，包含供應電壓少於 5 伏特者，同時於一合法之過電壓係施加至其輸出接腳 620 之時，亦能允許一適當之操作。表 1 描述出輸出級 600 之各種元件，於以高電位為高、及以低電位為高及高阻抗操作之情形，其中包含當一外部過電壓係施加至輸出接腳 620 之時。

輸出接腳 620 包含 ESD 保護齊納二極體 610 連接至該輸出接腳 620，其提供了正與負之 ESD 保護二極體 610，該二極體可以以於上述之美國專利申請案序號第 652,154 號，來加以製造。於一實施例之中，齊納二極體 610 具有一近似 6 伏特之齊納電壓，藉以提供過電壓保護，於施加至輸出接腳 620 之電壓係超過最高可能合法電壓之時，該最大合法可能電壓係可例如一 TTL 邏輯壹位準之 5 伏特之電壓。輸入節點 N1 與 N2 接收邏輯位準，以定義該輸出級 600 係該提供一高輸出信號、一低輸出信號或者一高阻抗三態位準於輸出接腳 620 之上。P 型通道電晶體 601 係作為拉上電晶體，以及

五、發明說明(13)

， N 型通道電晶體 6 0 2 係作為與輸出接腳 6 2 0 相關之拉下電晶體。電晶體 6 0 6 係為一級聯連接之 N 通道裝置，使用以限制於節點 N 5 上之電壓成為 $VCC - VTN$ (最大約為 2 伏特，於 VCC 係為 3.3 伏特之時)，於輸出接腳 6 2 0 係於一高阻抗之狀態。要注意的是，假若電晶體 6 0 6 係未加以使用，一 5 伏特之外部信號係施加至輸出接腳 6 2 0，則 N 型通道拉下電晶體 6 0 2 之吸極與源極間之電壓將會約為 5 伏特，吸極至閘極之電壓 (當閘極係於零伏特) 將會約為 5 伏特左右，則這係超過一限制於一 3.3 伏特 VCC 之製程。電晶體 6 0 4 係使用以作為一級聯裝置，以保護電晶體 6 0 3 之汲極，因為節點 N 4 將會自輸出接腳 6 2 0 接收 5 伏特，當其係操作於高阻抗狀態及一外部 5 伏特之電壓係施加至輸出接腳 6 2 0 之時。於操作之高阻抗模式時，P 型通道電晶體 6 0 7 之閘極係自節點 N 3 接收 1.7 伏特之電壓，以及，N 型通道電晶體 6 0 3 係藉由施加至其閘極之電壓之本質，而被加以斷路。當輸出接腳 6 2 0 係於此狀態下，被拉下至一外部施加之 5 伏特時，則 P 型通道電晶體 6 0 5 之閘極係直接藉由 P 型通道電晶體 6 0 7 連接至輸出接腳 6 2 0，以藉以消除任何經由電晶體 6 0 5 至節點 N 5 之泄漏電流。最好的是 P 型通道電晶體 6 0 5 與 6 0 7 使其本身之位能井連接至輸出接腳 6 2 0，以便防止其 $P + / N -$ 之接面，於高阻抗之操作模式，成為順向偏壓，即使一外部施加

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (卅)

之 5 伏特之電壓係施加至輸出接腳 6 2 0 之上。N 型通道電晶體 6 0 4 使節點 N 6 保持於最大 2 伏特 ($V_{CC} - V_{TN}$)，於電晶體 6 0 3 係為關閉而電晶體 6 0 7 係為導通之時，即使當一過量之電壓係由外部施加至輸出接腳 6 2 0 之時。因此，當輸出接腳 6 2 0 只要接收於 3.3 伏特與 5 伏特間之電壓時，P 型通道電晶體 6 0 7 係為導通，以及，P 型通道電晶體 6 0 5 之閘極係因此連接至輸出接腳 6 2 0，防止經由電晶體 6 0 5 至節點 N 5 之洩漏電流。

當電晶體 6 0 3 與 6 0 4 係為導通，而導通了電晶體 6 0 5 之時，P 型通道電晶體 6 0 5 之閘極係拉下至 V_{SS} (地端)。當操作於以高電位為壹之狀態時，P 型電晶體 6 0 7 之閘極自節點 N 3 接收 V_{CC} ，造成了電晶體 6 0 7 被斷路，因此，將 P 型通道電晶體 6 0 5 之閘極自輸出接腳 6 2 0 處隔開。

開關 S 1 與 S 2 提供了不是 V_{CC} 就是一偏壓電壓 V_b 給節點 N 3，因此，而給至 p 型通道電晶體 6 0 7 之閘極。於本發明之一實施例之中， V_{CC} 係為 3.3 伏特， V_b 係選擇以接近 1.7 伏特，以使 N 型通道與 P 型通道電晶體之閘氧化層間之電壓狀態係為相同，該此電晶體係被由外部施加上一 5 伏特位準，如圖 1 2 中之所示者。這可以被總結為該 V_b 係加以選擇成為等於最高合法外部施加電壓減去電路之 V_{CC} 。很多之例子係描述於表 3 之中

五、發明說明 (15)

。 施加至節點 N 3 之電壓之選擇係藉由於節點 N 1 上所接收之邏輯壹來加以完成，其中，該節點 N 3 係連接至電晶體 6 0 7 之閘極。因此，當輸出級 6 0 0 係作動以提供一以高位準為壹之輸出位準於輸出接腳 6 2 0 時，電壓 V C C 係加以選擇以施加至電晶體 6 0 7 之閘極，造成了電晶體 6 0 7 導通並允許輸出接腳 6 2 0 經由電晶體 6 0 7、級聯裝置 6 0 4 及拉上電晶體 6 0 3 來拉上。相反的，當輸出接腳 6 2 0 並未被拉上時，因為其並未被拉上電晶體 6 0 2 拉成為低電位，或者成為高阻抗狀態，電壓 V b 係選擇以施加至電晶體 6 0 7 之閘極，而切斷電晶體 6 0 7。

於該實施例之中，V C C 係為約 3 . 3 伏特，因此，V B 係約為 1 . 7 伏特，於該高阻抗模式時，1 . 7 伏特係加以選擇，以便當 5 伏特係施加至輸出接腳 6 2 0 時，最大之 3 . 3 伏特電壓將會出現於 P 型電晶體 6 0 7 之閘氧化層之間。電晶體 6 3 1、6 3 2、6 3 3 及 6 3 4 V C C 偏壓 V b (例如 1 . 7 伏特) 提供了一直流偏壓產生器，該電壓 V b 係可以為開關 S 1 加以選擇。因為，此偏壓產生器只饋入 P 型通道電晶體 6 0 7 之閘極之中，而為該 V b 偏壓產生器所供應之直流電流係沒有其他用途，因此，該偏壓電流可以作成相當地小，例如對於該整個積體電路係為 1 微安或者更小。電晶體 6 3 1 及 6 3 2 操作為

五、發明說明 (16)

一電壓分壓器，電晶體 6 3 3 及 6 3 4 係連接成作為儲存電容，以允許該小偏壓電流用以提供適當之暫態電流至 P 型通道電晶體 6 0 7 之閘極，於開關 S 1 係操作以提供 V_b 至 N 3 之時。除了防止於高阻抗狀態時之泄漏電流之外，當一大於 V_{CC} 之外部施加電壓係施加於輸出接腳 6 2 0 時，亦可能想要有另一泄漏電流之需求。當輸出電路 6 0 0 係於一以高位準為壹之狀態之時，一大於 V_{CC} 之外部由施加之電壓係施加至輸出接腳 6 2 0，輸出緩衝器 6 0 0 將會試著去吸取來自輸出接腳 6 2 0 之電流。這電流係被浪費了，因為輸出緩衝器 6 2 0 係已經於以高位準為壹之狀態。依據本發明之一實施例，一電路係加以提供，以用以偵測該輸出接腳 6 2 0 上之電壓是否為超過 V_{CC} 以及輸出緩衝器 6 0 0 是否於以高位準為壹之狀態。於此一狀態時，偵測電路係截止所有至輸出緩衝器 6 0 0 之輸出電流。

圖 1 1 係為此一偵測電路 7 0 0 之一實施例之電路圖。該於輸出接腳 6 2 0 上之電壓係藉由比較器 7 0 0 與 V_{CC} 作比較，比較器 7 0 0 提供其輸出信號於節點 N 7，用以指示該於輸出接腳 6 2 0 上之電壓是否大於 V_{CC}。電壓比較器 7 0 0 包含電流源 7 0 3、7 0 8 及 7 1 3，用以接收一偏壓（例如為 V_B）於其共接之閘極 7 1 4 之上。若想要如此作的話，共接閘極 7 1 4 可以接收一致能 / 去能信號，例如，其中，該致能信號電壓位準係為 V_B

五、發明說明 (1)

，以及，去能電壓位準係為零伏特。當去能時，流經電晶體 703、708 及 713 之電流係被降低至零，以藉以限制該積體電路之功率消耗，於該狀態係加以決定後，於一特定之應用時，該比較器 700 之功用係為不必加以使用。當致能之時，該經由電晶體 703、708 及 713 之直流電流可以變得很小，以減少該積體電路之功率消耗，因為如此一來，該比較器 700 之速度係為不重要。

一由電阻 709 及 710 (或 MOS 裝置連接成為負載裝置) 所組成之電壓分壓器提供一相關於 VCC 之電壓，於反相輸入電晶體 707 之閘極之上。同樣地，一由電阻 711 及 712 (或 MOS 裝置連接成為負載裝置) 所組成之電壓分壓器，提供了一相關於於輸出接腳 620 上電壓之電壓至非反相輸入電晶體 705 之閘極，以防止對電晶體 705 及 707 之可能傷害。電晶體 704、705、706 及 707 藉由偏壓電流 I1 流經電晶體 708，而形成一典型之差分輸入級。偏壓電流 I1 可以作成為很小，例如大約為一微安培，以藉以消耗一少量之功率。電晶體 705 之吸極係連接至 P 型通道電晶體 702 之閘極，電晶體 702 係自該差分輸入級至節點 N7 提供一緩衝與放大之輸出信號。輸出節點 N7 係連接至邏輯電路 701，該電路亦自電路驅動輸出緩衝器 600 (圖 10)，接收輸出致能 (OE) 與資料信號。邏輯電路 701 產生輸出控制信號，以用以施加至輸出緩衝器 600 之節點

五、發明說明 (18)

N 1 及 N 2 , 因而得以藉由控制 P 型通道拉上電晶體 6 0 1 與 N 型通道拉下電晶體 6 0 2 之操作, 而控制輸出緩衝器 6 0 0 之操作。

邏輯電路 7 0 1 之操作係描述於表 2 之上。當輸出致能信號 O E 為低之時, 指示出該輸出接腳 6 2 0 係為一高阻抗之信號, 施加至節點 N 1 之拉上驅動器與施加至節點 N 2 之拉下驅動器均被截止, 而不管該資料信號之狀態為何或者是施加至輸出端點 6 2 0 之外部施加電壓是否為大於 V C C , 以藉以確保該輸出電路 6 0 0 係提供一高阻抗輸出信號。相反地, 當一邏輯壹之輸出致能信號係被施加時, 拉上驅動器與拉下驅動器係被如所需地加上, 以致使該輸出級 6 0 0 提供想要的以高位準為壹或者低位準為壹之輸出信號。這就是當於輸出端點 6 2 0 上之電壓係不大於 V C C 之時。然而, 當輸出電壓比較器 7 0 0 決定該電壓輸出端 6 2 0 係大於 V C C 之時, 當資料係為邏輯壹時, 施加至節點 N 1 之拉上驅動器係被去能, 以藉以經由輸出電路 6 0 0 之電晶體 6 0 3、6 0 4、及 6 0 7, 防止於輸出端點 6 2 0 與 V C C 之不想要之電流。這防止了由該輸出電路 6 0 0 所消耗之過量電流, 於其係試著去施加一高輸出電壓於輸出端點 6 2 0, 該端點係為一外加之電壓施加至輸出端點 6 2 0 所超出。

當該資料係為邏輯壹之時, 施加至節點 N 1 之拉上驅動電壓係被去能, 電壓輸出端 6 2 0 係大於 V C C , 以藉

五、發明說明(9)

以防止一不想要之電流係經由輸出電路600之電晶體603, 604及607, 而流動於輸出端620及VCC之間。這防止了輸出電路600消耗過多之電流, 於其係試著去施加一高輸出電壓於輸出端點620之上, 該電壓係為一由外部施加於輸出端620上之電壓所超過。

於本說明書中所提及之所有之公開案以及專利申請案係被以相同之內容加以參考, 其中每一個別之公開案或專利申請案係於此間被引入係為參考。

本發明係已經於此作出詳細之描述, 非常明顯地任何熟習於此一技藝者均可以作出很多之改變與修正, 而不會偏離本案隨後之申請專利範圍所述之精神與內容。

表 1

| | | | | |
|-------|----|----|----|----|
| N 1 | 低 | 高 | 高 | 高 |
| N 2 | 低 | 高 | 低 | 低 |
| N 3 | 高 | 低 | 低 | 低 |
| 6 0 1 | 導通 | 斷路 | 斷路 | 斷路 |
| | | | | |

五、發明說明 (20)

| | | | | |
|-------|----------------|----------------|------------------------|-------------|
| 6 0 2 | 斷路 | 導通 | 斷路 | 斷路 |
| N 5 | 高 | 低 | VCC- VTN | VCC- VTN |
| 6 0 3 | 導通 | 斷路 | 斷路 | 斷路 |
| 6 0 4 | 導通 | 不管 | 級聯 | 不管 |
| N 4 | 低 | 浮動 | 連接 至輸 出 6 2 0 | 浮動 |
| 6 0 5 | 導通 | 斷路 | 斷路 | 不管 |
| 6 0 6 | 斷路 | 導通 | 級聯 | 級聯 |
| 6 0 7 | 導通 | 不管 | 導通 | 不管 |
| 輸出 | 以高 位準 為壹 | 以低 位準 為壹 | 高 Z ; 外部 過電 | 高 Z |

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (2)

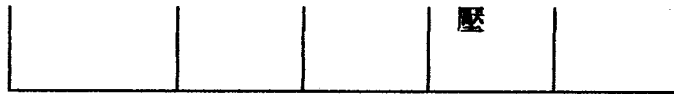


表 2

| O E | VOUT > VCC | 資料 | 拉上驅動器 (N1) | 拉下驅動器 (N2) |
|-----|---------------|----|---------------|---------------|
| 0 | 是 | 0 | 斷路 (高) | 斷路 (低) |
| 0 | 是 | 1 | 斷路 (高) | 斷路 (低) |
| 0 | 否 | 0 | 斷路 (高) | 斷路 (低) |
| 0 | 否 | 1 | 斷路 (高) | 斷路 (低) |
| 1 | 否 | 0 | 斷路 (高) | 導通 (高) |
| 1 | 否 | 1 | 導通 (低) | 斷路 (低) |
| 1 | 是 | 0 | 斷路 (高) | 導通 (高) |
| 1 | 是 | 1 | 斷路 (高) * | 導通 (低) |

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (7)



(請先閱讀背面之注意事項再填寫本頁)

裝

訂

四、中文發明摘要(發明之名稱:)

具過電壓保護之低電壓輸入輸出電路

一種輸入級適用以與任何想要之供應電壓 V C C 一起使用，該電壓 V C C 包含電源電壓低於 5 伏者，該輸入級亦可以忍受一大於 V C C 施加至其輸入接腳之過電壓輸入信號。一通道電晶體係使用於該輸入接腳與該輸入緩衝器之間，以便限制該施加至該輸入緩衝器之電壓，藉以使該超過 V C C 之電壓作為一合法之邏輯一之輸入信號至該輸入緩衝器。過電壓保護係使用以限制於輸入接腳上之電壓，成為一“大於 V C C”合法輸入電壓量之電壓。一種輸出級係適合與很多種之供電電壓一起使用，各種供電電壓包含低於 5 伏之電源電壓，同時，其係能夠於一合法之過

英文發明摘要(發明之名稱: LOW VOLTAGE INPUT AND OUTPUT CIRCUITS)
WITH OVERVOLTAGE PROTECTION

An input stage suitable for use with any desired supply voltage VCC, including supply voltages less than 5 volts, and which is capable of withstanding an overvoltage input signal greater than VCC applied to its input pad. A pass transistor is used between the input pad and the input buffer in order to limit the voltage supplied to the input buffer, thereby allowing voltages in excess of VCC to serve as a legitimate logical one input signal to the input buffer. Overvoltage protection is used to limit the voltage on the input pad to a voltage in excess of the greater-than-VCC legitimate input voltage. An output stage is suitable for use with a wide variety of supply voltages, including supply voltages less than 5 volts, while allowing proper operation in the event that a legitimate overvoltage is applied to its

四、中文發明摘要(發明之名稱:)

電壓施加至其輸出接腳時，能夠作正常之動作。ESD保護係加以準備，以限制於輸出接腳上之電壓成為一大於最大合法過電壓之電壓。級聯放大裝置係加以使用，以便於一合法過電壓係施加至該輸出接腳時，限制為該上拉與下拉電晶體所看見之電壓。適當之電晶體開關係加以使用，以便當一合法過電壓由外部施加至輸出接腳時，輸出級於高阻抗模式或以高電位為正之模式時，防止過量之電流被消耗。

(請先閱讀背面之注意事項再填寫本頁各欄)

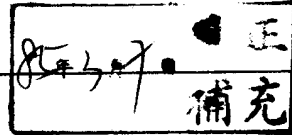
裝

英文發明摘要(發明之名稱:)

output pad. ESD protection is provided in order to limit the voltage on the output pad to a voltage greater than the maximum legitimate overvoltage. Cascode devices are used to limit the voltages seen by the pull up and pull down transistors when a legitimate overvoltage is applied to the output pad. Suitable transistor switches are used to prevent excessive current from being dissipated when a legitimate overvoltage is externally applied to the output pad when the output stage is in either the high impedance mode or the active high mode.

訂

線



六、申請專利範圍

1. 一種用於內部與外部電路間作界面之輸入／輸出級，包含：

— I / O 端子用以連接至上述外部電路；

— 內部端子用以連接上述內部電路；

— 第一供應電壓端，用以接收一第一供應電壓；

— 第二供應電壓端，用以接收一第二供應電壓；

— I / O 緩衝器為上述第一及第二供應電壓所供電，使一第一接腳作為上述輸入級之上述內部端子並使一第二接腳連接至上述內部電路；

— 電壓限制電路連接於上述輸入級之上述 I / O 端與上述 I / O 緩衝器之上述第一接腳之間，當一施加至上述 I / O 端子之電壓係超過上述第一供應電壓之電壓位準時，上述電壓限制電路提供一電壓至上述 I / O 緩衝器之上述第一接腳，該電壓係不超過上述第一供應電壓之電壓位準；

— 電路，用以防止上述 I / O 緩衝器之上述第一接腳成為浮動；及

— 過電壓保護電路用以保護過量之電壓施加至上述輸入／輸出級之該 I / O 端。

2. 如申請專利範圍第 1 項所述之輸入／輸出級，其中，上述電壓限制電路提供一邏輯零之信號給上述 I / O 緩衝器之上述第一接腳，以反應於一施加至上述 I / O 端

六、申請專利範圍

子之邏輯零之輸入信號，以及，該電路提供一邏輯壹信號其係不超過上述第一供應電壓之電壓位準，以反應於一施加至上述 I / O 端子之邏輯壹之信號，該信號可能超過上述第一供應電壓之電壓位準。

3. 如申請專利範圍第 1 項所述之輸入 / 輸出級，其中，上述電壓限制電路包含一電晶體，使其第一電流處理端連接至上述輸入 / 輸出級之上述 I / O 端子，一第二電流處理端係連接至上述 I / O 緩衝器之上述第一接腳，以及，一控制端係連接至上述第一供應電壓。

4. 如申請專利範圍第 3 項所述之輸入 / 輸出級，其中，上述電晶體包含一 MOS 電晶體。

5. 如申請專利範圍第 1 項所述之輸入 / 輸出級，其中，上述過電壓保護電路係提供保護於一過量之電壓，該電壓係超過一合法邏輯壹信號之最大電壓位準。

6. 如申請專利範圍第 5 項所述之輸入 / 輸出級，其中，上述過電壓保護電路包含一裝置用以並聯上述過量電壓至上述供應電壓之一。

7. 如申請專利範圍第 6 項所述之輸入 / 輸出級，其中，上述過電壓保護電路包含一齊納二極體連接於上述輸入 / 輸出級之上述 I / O 端子與上述第二供應電壓之間。

8. 如申請專利範圍第 1 項所述之輸入 / 輸出級，其中，上述 I / O 緩衝器包含一自該緩衝器群選出之一緩衝器，該緩衝器群係由反相器，CMOS 反相器，非反相緩

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

衝器以及施密特觸發器組成。

9. 如申請專利範圍第1項所述之輸入／輸出級，其中，上述用以防止上述I／O緩衝器之上述第一接腳成為浮動之電路包含一電晶體，其一第一電流管理端係連接至上述供應電壓之一，一第二電流管理端係連接至上述I／O緩衝器之上述第一接腳，以及，一控制端係連接至上述I／O緩衝器之上述第二接腳。

10. 如申請專利範圍第9項所述之輸入／輸出級，其中，上述電晶體包含一MOS電晶體，其使其上述第一電流處理端連接至上述第一供應電壓。

11. 如申請專利範圍第10項所述之輸入／輸出級，其中，上述電晶體係為一弱電晶體，其於上述輸入緩衝器之上述第一接腳之作用係為接收自外部電路之於上述I／O緩衝器之上述第一接腳上之上述電壓之作用所克服。

12. 一種輸入級包含：

一輸入端用以接收一輸入信號；

一輸出端用以反應於上述之輸入信號，而提供一緩衝輸入信號；

一第一供應電壓端用以接收第一供應電壓；

一第二供應電壓端用以接收第二供應電壓；

一輸入緩衝器為上述第一及第二供應電壓所供電，並具有一輸入接腳及一輸出接腳作為上述輸入級之上述輸出端；

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

一 電壓限制電路連接於上述輸入級之上述輸入端與上述輸入緩衝器之上述輸入接腳之間，上述電壓限制電路反應於上述輸入信號，而提供一電壓給上述輸入緩衝器之上述輸入接腳，該電壓係不超過上述第一供應電壓之電壓位準；

一 電路其防止上述輸入緩衝器之上述輸入接腳成為浮動；及

一 過電壓保護電路，用以提供保護施加於上述輸入級之上述輸入端之過量電壓。

1 3 . 如申請專利範圍第 1 2 項所述之輸入級，其中，上述電壓限制電路係反應於一邏輯零輸入信號，而提供一邏輯零信號給上述輸入緩衝器之上述輸入接腳，並且，反應於一可能超過上述第一供應電壓之電壓位準之邏輯壹之輸入信號，而提供一不超過上述第一供應電壓之電壓位準之邏輯壹之信號。

1 4 . 如申請專利範圍第 1 2 項所述之輸入級，其中，上述電壓限制電路包含一電晶體，使其第一電流處理端連接至上述輸入級之上述輸入端，一第二電流處理端連接至上述輸入緩衝器之上述輸入接腳，以及，一控制端連接至上述第一供應電壓。

1 5 . 如申請專利範圍第 1 4 項所述之輸入級，其中，上述電晶體包含一 M O S 電晶體。

1 6 . 如申請專利範圍第 1 2 項所述之輸入級，其中

六、申請專利範圍

，上述過電壓保護電路提供保護於一過量電壓，其係超出於一合法邏輯壹輸入信號之最大電壓位準。

17．如申請專利範圍第16項所述之輸入級，其中，上述過電壓保護電路包含一裝置用以並聯上述過量電壓至上述供應電壓之一。

18．如申請專利範圍第17項所述之輸入級，其中，上述過電壓保護電路包含一齊納二極體連接於上述輸入級之上述輸入端與上述第二供應電壓之間。

19．如申請專利範圍第12項所述之輸入級，其中，上述輸入緩衝器包含一選擇自緩衝器群之一緩衝器，該緩衝器群係由反相器、CMOS反相器、非反相緩衝器及施密特觸發器所組成。

20．如申請專利範圍第12項所述之輸入級，其中，上述防止上述輸入緩衝器之上述輸入接腳成為浮動之電路包含一電晶體，其使其一第一電流處理端連接至上述供應電壓之一，一第二電流處理端連接至上述輸入緩衝器之上述輸入接腳，以及，一控制端連接至上述輸出接腳。

21．如申請專利範圍第20項所述之輸入級，其中，上述電晶體包含一MOS電晶體，其使其第一電流處理端連接至上述第一供應電壓。

22．如申請專利範圍第21項所述之輸入級，其中，上述電晶體係為一弱電晶體，其於上述輸入緩衝器之上述輸入接腳之效用作為在上述輸入緩衝器之上述輸入接腳

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

上之上述輸入電壓之作用所克服。

23. 一種輸出級包含：

- 一輸出端用以提供一輸出信號；
- 一或數控制端用以接收控制信號，以用來控制於上述輸出端上之為上述輸出級所提供之上述輸出信號；
- 一第一供應電壓端用以接收第一供應電壓；
- 一第二供應電壓端用以接收第二供應電壓；
- 一拉上裝置反應於上述控制信號，來經由一第一節點施加上述第一供應電壓至上述輸出端；
- 一拉下裝置反應於上述控制信號，來經由第一節點施加上述第二供應電壓至上述輸出端；
- 一通路電晶體使其第一電流處理端連接至上述第一節點，一第二電流處理端連接至上述輸出端，以及具有一控制端；
- 一第一電壓限制電路連接於上述第一節點及上述輸出端之間；及
- 一控制電路反應於上述控制信號，而提供一信號至上述通路電晶體之上述控制端，該控制電路包含一第一電晶體反應於上述之一或更多之上述控制信號，用以切換上述供應電壓之一至一第二節點；及
- 一級聯裝置使其第一電流處理端連接至上述第二節點，一第一電流處理端連接至上述通路電晶體之上述控制端，以及，一控制端連接至上述供應電壓之一。

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

24. 如申請專利範圍第23項所述之輸出級，其中，上述第一電壓限制電路包含一級聯電路包含一電晶體，使其一第一電流處理端連接至上述第一節點，一第二電流處理端連接至上述輸出端，以及一控制端連接至上述供應電壓之一。

25. 如申請專利範圍第23項所述之輸出級，更包含一裝置，使其第一電流處理端連接至上述通路電晶體之上述控制端，一第二電流控制端連接至上述輸出端，以及，一控制端用以接收一第一選擇電壓位準，於上述輸出級係反應於上述控制電壓，而作動以提供一邏輯壹之輸出信號及接收一第二選擇電壓位準，於上述輸出級係反應於上述控制電壓以操作以提供一邏輯零之輸出信號。

26. 如申請專利範圍第25項所述之輸出級，其中，上述裝置之上述控制端亦接收上述第二選定電壓位準於上述輸出級係操作以反應於上述控制電壓之時，以提供一高阻抗於上述輸出信號上。

27. 如申請專利範圍第25項所述之輸出級，更包含一過電壓保護電路，用以對施加至上述輸入級之上述輸出端之過量電壓提供保護。

28. 如申請專利範圍第27項所述之輸出級，其中，上述過電壓保護電路提供一對一過量電壓之保護，該過量電壓係超過一合法邏輯壹輸出信號之最大電壓位準。

29. 如申請專利範圍第28項所述之輸出級，其中

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

，上述過電壓保護電路包含一裝置用以並聯上述過量電壓至上述供應電壓之一。

30．如申請專利範圍第29項所述之輸出級，其中，上述過電壓保護電路包含一齊納二極體連接於上述輸出級之上述輸出端與上述第二供應電壓之間。

31．如申請專利範圍第23項所述之輸出級，更包含：

一電壓比較電路，用以決定於上述輸出端上之電壓是否超過上述第一供應電壓，並且，提供一電壓比較信號；及

一控制電路具有輸入端，用以接收來自一用以驅動上述輸出級之電路之輸出致能及資料信號，以及，用以接收上述來自上述電壓比較電路之上述電壓比較信號，該控制電路具有輸出端用以提供上述控制信號至上述輸出級，以提供一高阻抗輸出信號於上述輸出級之上述輸出端之上，於上述電壓比較信號係於上述第一狀態，以及上述輸出致能及資料信號係指示上述輸出級應提供一邏輯壹輸出信號於上述輸出級之上述輸出端之上。

32．一種輸出級包含：

一輸出端用以提供一輸出信號；

一或數控制端用以接收控制信號，來控制為上述於輸出端上之上述輸出級所提供之上述輸出信號；

一第一供應電壓端，用以接收一第一供應電壓；

六、申請專利範圍

一 電壓比較電路，用以決定於上述輸出端上之電壓是否超過上述第一供應電壓，並且，提供一電壓比較信號；及

一 控制電路具有輸入端，用以接收來自一用以驅動上述輸出級之電路之輸出致能及資料信號，以及，用以接收上述來自上述電壓比較電路之上述電壓比較信號，該控制電路具有輸出端用以提供上述控制信號至上述輸出級，以提供一高阻抗輸出信號於上述輸出級之上述輸出端之上，於上述電壓比較信號係於上述第一狀態，以及上述輸出致能及資料信號係指示上述輸出級應提供一邏輯壹輸出信號於上述輸出級之上述輸出端之上。

33. 如申請專利範圍第35項所述之輸出級，其中，上述電壓比較電路包含一致能端用以去能上述比較電路。

34. 一種用以作動一包含一 I / O 緩衝器及一 I / O 端之 I / O 級之方法，包含以下步驟：

於上述 I / O 端上，接收一外部施加之電壓；

決定上述外部施加之電壓是否為一合法信號電壓，為超過上述施加至上述 I / O 級之電源供應電壓；及

反應於上述之決定步驟，限制該施加至上述 I / O 緩衝器之信號電壓，反應於上述外部施加電壓係為一不大於上述供應電壓之電壓；

再決定是否上述 I / O 緩衝器，係相對於上述電源供

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

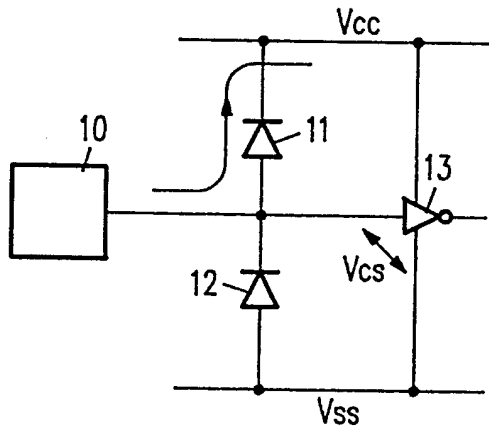
應電壓，提供一邏輯壹信號於上述 I / O 端子上；及

反應於上述步驟更包含步驟，當上述外部施加電壓係為一合法信號電壓超過施加至上述 I / O 級之電源供應電壓時，自上述 I / O 緩衝器提供一高阻抗信號於上述 I / O 端子上。

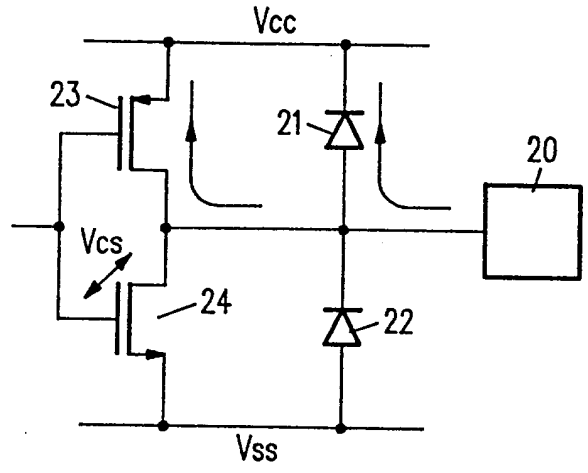
(請先閱讀背面之注意事項再填寫本頁)

裝

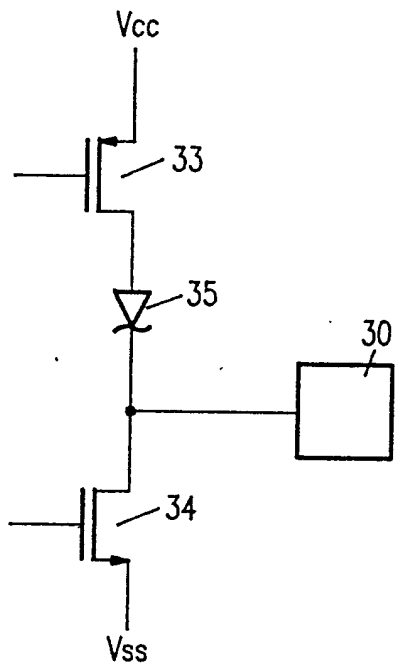
訂



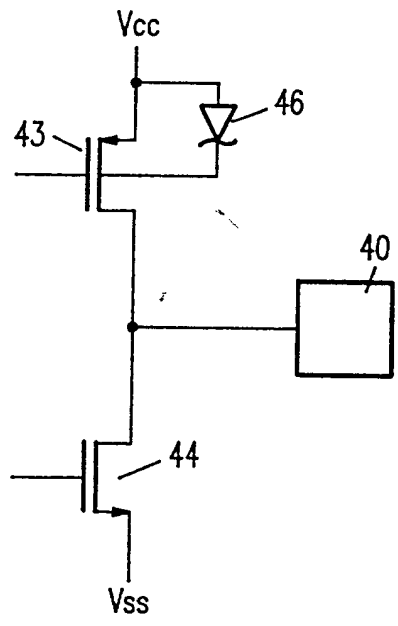
第 1 圖



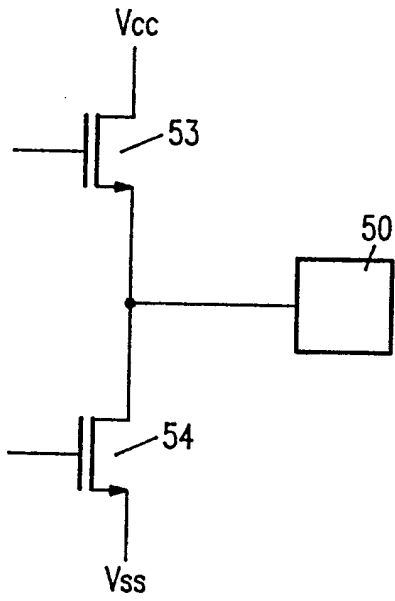
第 2 圖



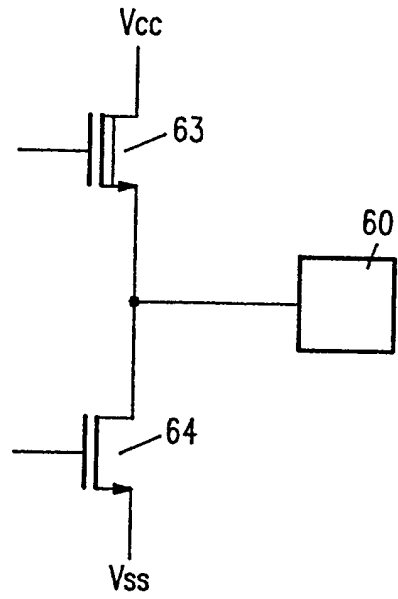
第 3 圖



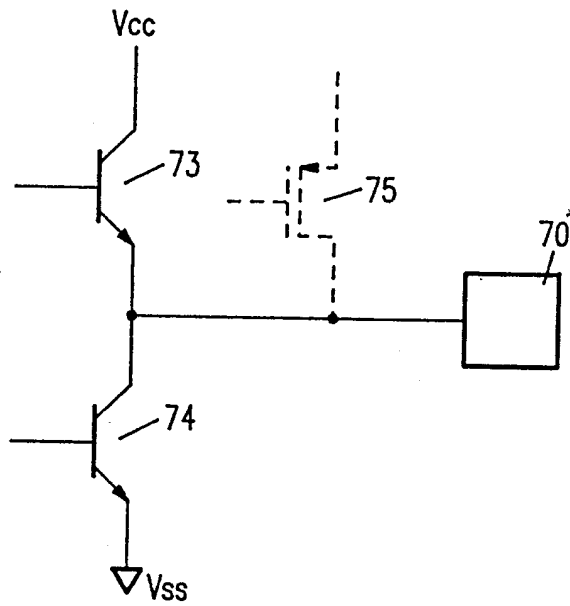
第 4 圖



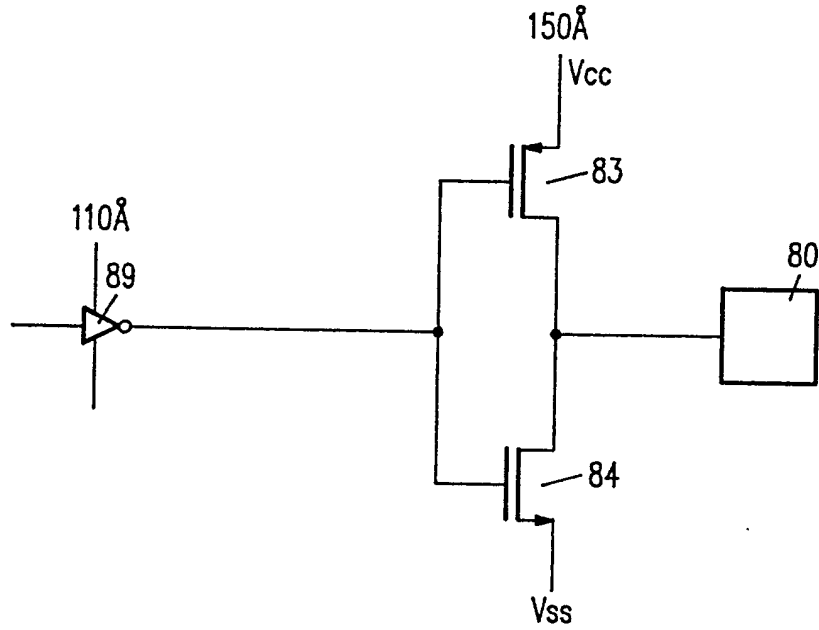
第 5 圖



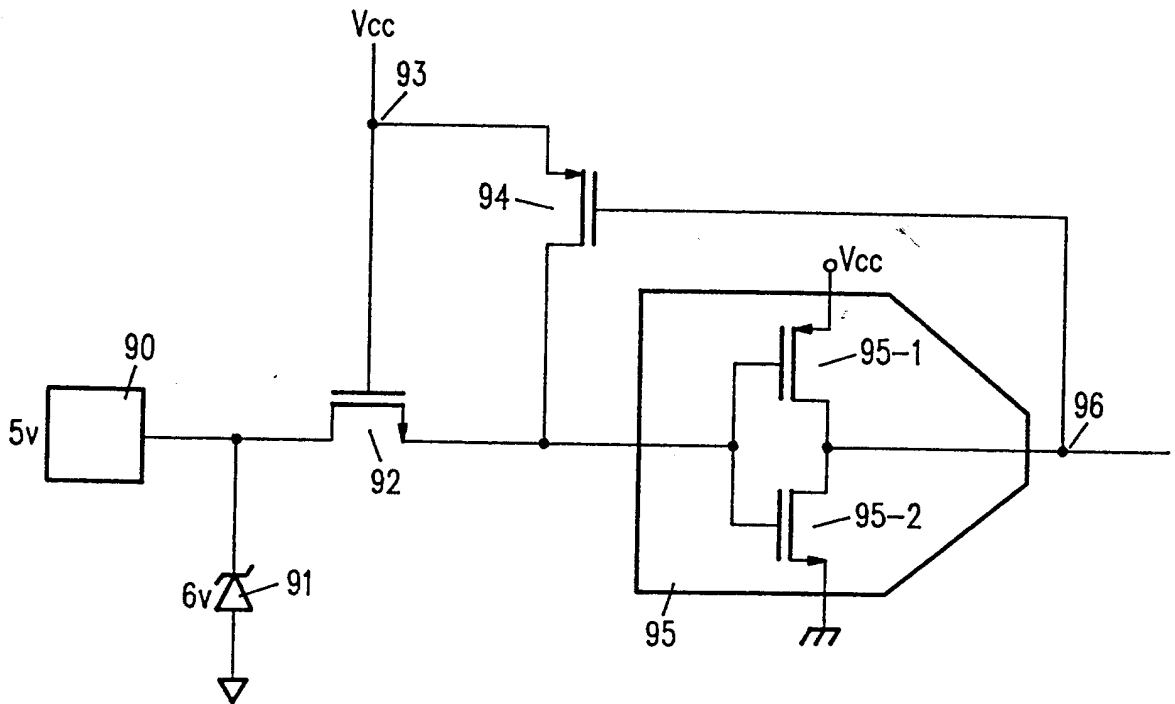
第 6 圖



第 7 圖



第 8 圖



第 9 圖