

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4920189号
(P4920189)

(45) 発行日 平成24年4月18日 (2012. 4. 18)

(24) 登録日 平成24年2月10日 (2012. 2. 10)

(51) Int. Cl. F I
H04 L 1/00 (2006. 01) H04 L 1/00 A
H03 M 13/09 (2006. 01) H03 M 13/09

請求項の数 22 (全 17 頁)

(21) 出願番号 特願2004-515866 (P2004-515866)
(86) (22) 出願日 平成15年6月17日 (2003. 6. 17)
(65) 公表番号 特表2005-531212 (P2005-531212A)
(43) 公表日 平成17年10月13日 (2005. 10. 13)
(86) 国際出願番号 PCT/US2003/019154
(87) 国際公開番号 W02004/001976
(87) 国際公開日 平成15年12月31日 (2003. 12. 31)
審査請求日 平成18年5月26日 (2006. 5. 26)
審判番号 不服2009-21746 (P2009-21746/J1)
審判請求日 平成21年11月9日 (2009. 11. 9)
(31) 優先権主張番号 60/390, 842
(32) 優先日 平成14年6月21日 (2002. 6. 21)
(33) 優先権主張国 米国 (US)

(73) 特許権者 501263810
トムソン ライセンシング
Thomson Licensing
フランス国, 92130 イッシー レ
ムーリノー, ル ジャンヌ ダルク,
1-5
1-5, rue Jeanne d' A
rc, 92130 ISSY LES
MOULINEAUX, France
(74) 代理人 100070150
弁理士 伊東 忠彦
(74) 代理人 100091214
弁理士 大貫 進介
(74) 代理人 100107766
弁理士 伊東 忠重

最終頁に続く

(54) 【発明の名称】 順方向誤り訂正方法

(57) 【特許請求の範囲】

【請求項 1】

N 行 (N は整数) のそれぞれが X バイト (X は整数) を含む N 行 X 列により構成されるデータブロックであって、各バイトが所定のビットセットを有する複数のバイトを有する前記データブロックにおける誤り訂正方法であって、

前記データブロックの前記 N 行における前記バイトの各バイトに対し、パリティビットチェックを行うステップと、

前記データブロックの前記 X 列における前記バイトの各バイトに対し、パリティビットチェックを行うステップであって、前記 N 行と前記 X 列とのそれぞれに対するパリティビットチェックは、前記データブロックにおけるバイトの各行と各列とに対してビットレベルエラーを検出するためのものである、前記ステップと、

(a) 前記データブロックにおける各バイトに対するバイトレベルエラー検出プロセスであって、前記データブロックの各バイトの個々のビットのバイトベース符号化に基づく前記バイトレベルエラー検出プロセスを用いて、前記データブロックに対して少なくとも 1 つの不良バイトを特定するステップと、

(b) 前記データブロックのバイトの前記 N 行の各行に対するパリティビットチェック、前記データブロックのバイトの前記 X 列の各列に対するパリティビットチェック、及び前記データブロックに対し特定された前記少なくとも 1 つの不良バイトから、前記データブロックにおけるビットに対して少なくとも 1 つのエラーを特定するステップと、

(c) 前記データブロックにおけるビットに対して特定された少なくとも 1 つのエラーと

、前記ビットに対して特定された少なくとも1つのエラーに対応する前記特定された少なくとも1つの不良バイトとを訂正するステップと、

繰り返し数が所定回数に到達するまで、又は前記データブロックにおいて特定された不良ブロックの総数が各繰り返しについて不変となるまで、ステップ(a)からステップ(c)までを繰り返すステップと、

から構成されることを特徴とする方法。

【請求項2】

請求項1記載の誤り訂正方法であって、

前記データブロックに対する少なくとも1つの不良バイトは、8 B / 1 0 B 符号化/復号化プロセスを用いて特定されることを特徴とする方法。

10

【請求項3】

請求項2記載の誤り訂正方法であって、

前記Nは3 2 に等しいことを特徴とする方法。

【請求項4】

請求項1記載の誤り訂正方法であって、

前記特定された少なくとも1つの不良バイトのそれぞれは、前記データブロックのN行の1つに位置することを特徴とする方法。

【請求項5】

請求項4記載の誤り訂正方法であって、

前記データブロックにおける少なくとも1つのエラーを特定するステップは、さらに、
前記データブロックの少なくとも1つの不良バイトのそれぞれに対し、前記N行の各行に対するパリティチェックを用いて、各自が前記データブロックのX列の1つに位置する少なくとも1つの疑わしいビットを特定するステップと、

20

前記少なくとも1つの疑わしいビットのそれぞれに対し、前記データブロックのX列の対応するものに対するパリティビットにより、前記疑わしいビットが疑わしいものであると確認されるか判断するステップと、
から構成されることを特徴とする方法。

【請求項6】

請求項5記載の誤り訂正方法であって、

前記データブロックにおいて特定された少なくとも1つのエラーのそれぞれを訂正するステップは、さらに、

30

確認された各疑わしいビットに対し、前記データブロックのX列の対応するものにおけるさらなる少なくとも1つのビットがまた疑わしいか判断するステップと、

前記データブロックのX列の対応するものにおける他の疑わしいビットがない場合、前記確認された疑わしいビットを訂正するステップと、
から構成されることを特徴とする方法。

【請求項7】

請求項4記載の誤り訂正方法であって、さらに、

前記データブロックの少なくとも1つの不良バイトのそれぞれに対し、前記N行の各行に対するパリティチェックを用いて、各自が前記データブロックのX列の各行に位置する少なくとも1つの疑わしいビットを特定するステップを有することを特徴とする方法。

40

【請求項8】

請求項7記載の誤り訂正方法であって、

前記データブロックの少なくとも1つの不良バイトのそれぞれに対し、少なくとも1つの疑わしいビットを特定するステップは、

前記少なくとも1つの不良バイトの1以上が位置する前記データブロックの各行に対し、パリティチェックを行うステップと、

前記パリティチェックされた各行に対し、疑わしいビットを特定するステップと、
から構成され、

前記パリティチェックされた行に対し前記特定された疑わしいビットは、前記不良バイ

50

トに対し特定された前記疑わしいビットであることを特徴とする方法。

【請求項 9】

請求項 8 記載の誤り訂正方法であって、

前記データブロックにおいて少なくとも 1 つのエラーを特定するステップは、さらに、
前記データブロックの少なくとも 1 つの不良バイトのそれぞれに対し、各自が前記データブロックの X 列の 1 つに位置する少なくとも 1 つの疑わしいビットを特定するステップと、

前記少なくとも 1 つの疑わしいビットのそれぞれに対し、前記データブロックの X 列の対応するものに対するパリティビットにより、前記疑わしいビットが疑わしいと確認されるか判断するステップと、

から構成されることを特徴とする方法。

【請求項 10】

請求項 9 記載の誤り訂正方法であって、

前記データブロックにおける少なくとも 1 つの特定されたエラーのそれぞれを訂正するステップは、さらに、

確認された各疑わしいビットに対し、前記データブロックの X 列の対応するものにおけるさらなる少なくとも 1 つのビットもまた疑わしいか判断するステップと、

前記データブロックの X 列の対応するものにおいて他の疑わしいビットが存在しない場合、前記確認された疑わしいビットを訂正するステップと、

から構成されることを特徴とする方法。

【請求項 11】

請求項 10 記載の誤り訂正方法であって、さらに、

前記訂正された疑わしいビットのそれぞれに対し、前記データブロックの対応する行に対する前記パリティバイトの疑わしいビットを訂正するステップを有することを特徴とする方法。

【請求項 12】

N 行（N は整数）のそれぞれが X バイト（X は整数）を含む N 行 X 列により構成されるデータブロックであって、各バイトが所定のビットセットを有する複数のバイトを有する前記データブロックにおける誤り訂正方法であって、

（a）前記データブロックにおいて可能性のあるエラーを示す前記データブロックにおける少なくとも 1 つの疑わしいビットを特定するステップであって、前記特定するステップは、前記データブロックにおける各バイトに対するバイトレベルエラー検出プロセスから導出される情報と、前記データブロックにおける各行と各列とに対するビットレベルエラー検出プロセスから導出される情報とを用いて、前記少なくとも 1 つの疑わしいビットを特定し、前記バイトレベルエラー検出プロセスは前記データブロックにおける各バイトに対する個々のバイトのバイトベース符号化に基づき、前記ビットレベルエラー検出プロセスは前記データブロックにおける各バイトに対するバイトベース符号化とは別に前記データブロックにおける各行と各列とに対するパリティビット符号化に基づく、前記特定するステップと、

（b）前記少なくとも 1 つの疑わしいビットを、確認済エラービットまたは未確認エラービットとして分類するステップと、

（c）前記少なくとも 1 つの疑わしいビットが確認済エラービットとして分類された場合、前記少なくとも 1 つの疑わしいビットを訂正するステップと、

（d）前記訂正に回答して、少なくとも 1 つの未確認エラービットを少なくとも 1 つの確認済エラービットとして再分類し、前記データブロックにおける各行と各列とに対する前記ビットレベルエラー検出プロセスを用いて前記再分類された少なくとも 1 つのビットについて前記訂正を繰り返すステップと、

繰り返し数が所定回数に到達するまで、又は前記データブロックにおいて特定された疑わしいビットの総数が各繰り返しについて不変となるまで、ステップ（a）からステップ（d）までを繰り返すステップと、

10

20

30

40

50

を有することを特徴とする方法。

【請求項 1 3】

請求項 1 2 記載の誤り訂正方法であって、

前記確認済エラービットは、前記データブロックの 8 B / 1 0 B 符号化/復号化から導出される情報、前記データブロックの各行に沿ったパリティ符号化から導出される情報及び前記データブロックの各列に沿ったパリティ符号化から導出される情報の組み合わせを用いて特定されることを特徴とする方法。

【請求項 1 4】

請求項 1 3 記載の誤り訂正方法であって、

前記データブロックの少なくとも 1 つの疑わしいビットを特定するステップは、さらに

10

、
前記データブロックの 8 B / 1 0 B 符号化/復号化から導出される情報を用いて、前記データブロックの少なくとも 1 つの不良バイトを特定するステップから構成されることを特徴とする方法。

【請求項 1 5】

請求項 1 4 記載の誤り訂正方法であって、

前記少なくとも 1 つの疑わしいビットのそれぞれを、確認済エラービットまたは未確認エラービットとして分類するステップは、さらに、

前記少なくとも 1 つの不良バイトの第 1 不良バイトが位置する前記データブロックの行のパリティ符号化から導出される情報を用いて、前記少なくとも 1 つの不良バイトの第 1 不良バイトに対し、少なくとも 1 つの疑わしいビットを特定するステップを有することを特徴とする方法。

20

【請求項 1 6】

請求項 1 5 記載の誤り訂正方法であって、

前記少なくとも 1 つの不良バイトの第 1 不良バイトに対する前記少なくとも 1 つの疑わしいビットの第 1 疑わしいビットは、前記第 1 疑わしいビットが位置する前記データブロックの列のパリティ符号化から導出される情報を用いて、確認済エラービットまたは未確認エラービットとして分類されることを特徴とする方法。

【請求項 1 7】

請求項 1 2 記載の誤り訂正方法であって、

前記所定回数は 2 回であることを特徴とする方法。

30

【請求項 1 8】

請求項 1 7 記載の誤り訂正方法であって、

前記確認済エラービットは、前記データブロックの 8 B / 1 0 B 符号化/復号化から導出される情報、前記データブロックの各行に沿ったパリティ符号化から導出される情報及び前記データブロックの各列に沿ったパリティ符号化から導出される情報の組み合わせを用いて特定されることを特徴とする方法。

【請求項 1 9】

請求項 1 8 記載の誤り訂正方法であって、

前記データブロックの少なくとも 1 つの疑わしいビットを特定するステップは、さらに

40

、
前記データブロックの 8 B / 1 0 B 符号化/復号化から導出される情報を用いて、前記データブロックの少なくとも 1 つの不良バイトを特定するステップから構成されることを特徴とする方法。

【請求項 2 0】

請求項 1 9 記載の誤り訂正方法であって、

前記少なくとも 1 つの疑わしいビットのそれぞれを、確認済エラービットまたは未確認エラービットとして分類するステップは、さらに、

前記少なくとも 1 つの不良バイトの第 1 不良バイトが位置する前記データブロックの行のパリティ符号化から導出される情報を用いて、前記少なくとも 1 つの不良バイトの第 1

50

不良バイトに対し、少なくとも1つの疑わしいビットを特定するステップを有することを特徴とする方法。

【請求項21】

請求項20記載の誤り訂正方法であって、

前記少なくとも1つの不良バイトの第1不良バイトに対する前記少なくとも1つの疑わしいビットの第1疑わしいビットは、前記第1疑わしいビットが位置する前記データブロックの列のパリティ符号化から導出される情報を用いて、確認済エラービットまたは未確認エラービットとして分類されることを特徴とする方法。

【請求項22】

各行に対するビットレベルパリティチェックビットの長さは、1バイトである、請求項1記載の方法。

【発明の詳細な説明】

【発明の詳細な説明】

【0001】

[相互参照]

本出願は、2002年6月21日に提出された米国仮特許出願第60/390,842号に関連する。

【0002】

本出願はまた、同時係属中の米国特許出願PCT/(代理人整理番号IU020157)、PCT/(代理人整理番号IU020158)、PCT/(代理人整理番号IU020159)、PCT/(代理人整理番号IU020160)、PCT/(代理人整理番号IU020161)、PCT/(代理人整理番号IU020162)、PCT/(代理人整理番号IU020252)、PCT/(代理人整理番号IU020253)、PCT/(代理人整理番号IU020254)及びPCT/(代理人整理番号IU020255)に関連し、そのすべてが本出願の譲受人に譲渡され、参照することによりその全体が再生されるかのようにここに含まれる。

[発明の技術分野]

本発明は、誤り訂正技術に関し、より詳細には、配信ルータでの利用に適したデジタル信号の順方向誤り訂正方法に関する。

[発明の背景]

配信ルータ(broadcast router)は、それからの複数の出力の各々に、それへの複数の入力 of 何れかからの信号を割り当てることを可能にする。例えば、 $N \times M$ の配信ルータは、 N 個の入力と M 個の出力を備え、それらが N の入力の何れかが M の出力の各々に適用されることを可能にするルーティングエンジンにより接続されている。例えば、 $4N \times 4M$ の配信ルータなどの大規模な配信ルータを、例えば、前述の $N \times M$ の配信ルータなどの複数の小規模な配信ルータから構築することが望ましい。複数の小規模な配信ルータを相互接続することは、これら配信ルータ間の信号の伝送に銅線などの複数のリンクの利用を必要とする。しかしながら、このようなリンクの使用は、配信ルータの動作可能スピードに対する制約として作用する。

【0003】

高速のデータが、上記配信ルータなどの装置間で伝送されるとき、しばしば、クロックデータリカバリ(あるいは「CDR」)シリアルデータリンクが利用されることが望ましい。従来、CDRシリアルデータリンクは、エラーによるデータの再送を可能にするアプリケーションにおいて利用されてきた。しかしながら、配信ルータを用いるとき、データの再送を可能にするには時間が不十分である。この結果、CDRまたは他の高速シリアルデータリンクを利用するため、配信ルータには受信データの順方向誤り訂正(FEC)機能が備えられる必要がある。しかしながら、例えば、ViterbiやリードソロモンFEC技術などの現在のFEC技術の利用は、データ送信に過大な負荷を加えることになる。データ送信の信頼性を向上させるのに、しばしば8ビット/10ビット(または「8B/10B」)エンコーダ及びデコーダが利用される。8B/10Bエンコーダは、8-ビッ

10

20

30

40

50

トバイト (8-bit bytes) のバイナリデータを、10-ビットバイトと当該10-ビットバイト内の「1」と「0」の個数に差があるかを示すディスパリティビットに符号化する。他方、8B/10Bデコーダは、10-ビットバイトのバイナリデータを8-ビットバイトとディスパリティビットに変換する。8B/10Bエンコーダ及びデコーダはデータエラーの特定に利用可能であるが、一般に、それらはバイト幅単位でのデータエラーの特定しかできず、「不良な」データバイト内のエラーとなる特定のデータビットの特定は不可能である。

[発明の概要]

本発明は、データブロックにおける誤りを繰り返し訂正する方法に関する。本方法によると、予想されるエラーを示す少なくとも1ビットの疑わしいビットが特定される。疑わしい各ビットは、以降、確認されたエラービットあるいは未確認のエラービットとして分類される。確認済エラービットとして分類された疑わしい各ビットは訂正され、エラービットとして確認可能なすべての疑わしいビットの訂正が完了するまで、本方法は繰り返される。好ましくは、繰り返しの誤り訂正方法は、データブロックの8B/10B符号化/復号化から導かれた情報、データブロックの各行に沿ったパリティ符号化から導かれた情報、及びデータブロックの各列に沿ったパリティ符号化から導かれた情報の組み合わせを利用して実現される。

[詳細な説明]

まず図1を参照するに、本発明の教示により構成された完全重複線形拡張可能な配信ルータ (fully redundant linearly expandable broadcast router) 100がより詳細に説明される。図示されるように、完全重複線形拡張可能な配信ルータ100は、互いに接続され、大規模な完全重複線形拡張可能な配信ルータ100を形成する複数の配信ルータコンポーネントから構成される。各配信ルータコンポーネントは、第1ルータマトリックス (router matrix) と、当該第1ルータマトリックスと重複した第2ルータマトリックスを含む個別的ルータ装置である。このため、各配信ルータは、第1及び第2ルータマトリックスのそれぞれに対して第1及び第2ルーティングエンジンを含み、各ルーティングエンジンは、その入力側において同一の入力デジタル音声ストリームを受け取り、その出力側において同一の出力デジタル音声ストリームを配置する。ここで開示されるように、完全重複線形拡張可能な配信ルータの構築に利用される各配信ルータコンポーネントは、N×Mサイズの配信ルータである。しかしながら、完全重複線形拡張可能な配信ルータ100は、その代わりに、互いに異なるサイズを有する配信ルータコンポーネントから構築可能であるということが十分考えられる。

【0004】

さらにここで開示されるように、完全重複線形拡張可能な配信ルータ100は、第1配信ルータコンポーネント102、第2配信ルータコンポーネント104、第3配信ルータコンポーネント106及び第4配信ルータコンポーネント108を接続することにより形成される。もちろん、4つの配信ルータコンポーネントから形成される完全重複線形拡張可能な配信ルータ100の本開示は、純粹に例示的なものである。従って、本発明の教示により構成された完全重複線形拡張可能な配信ルータが、他の様々な個数の配信ルータコンポーネントを用いて形成されてもよいことは明確に理解されるべきである。ここで開示される方法により完全接続されると、完全重複線形拡張可能な配信ルータ100を形成する第1、第2、第3及び第4配信ルータコンポーネント102、104、106及び108は、図1に示されるような共通の筐体または、所望である場合には、個別の筐体に収容されてもよい。上述のように、これら配信ルータコンポーネント102、104、106及び108は、互いに異なるサイズを有するものであってもよいし、あるいはそれらすべてがN×Mの同一のサイズを有するものであってもよいが、ここで想定される利用に適したサイズは256×256である。さらに、完全重複線形拡張可能な配信ルータ100の適切な構成は、各々が256×256のサイズを有する5つの配信ルータコンポーネントを接続したものであり、これにより、1,280×1,280の配信ルータが形成

される。

【0005】

第1配信ルータコンポーネント102は、第1ルータマトリックス102aと、エラー発生時に第1ルータマトリックス102aと交換するのに利用される第2（または重複）ルータマトリックス102bとから構成される。同様に、完全重複線形拡張可能な配信ルータ100の第2、第3及び第4配信ルータコンポーネント104、106及び108は、それぞれ第1ルータマトリックス104a、106a及び108aと、エラー発生時に第1ルータマトリックス104a、106a及び108aと交換するのに利用される第2（または重複）ルータマトリックス104b、106b及び108bとから構成される。もちろん、第1ルータマトリックス102a、104a、106a及び108aのバックアップとしてそれぞれ第2ルータマトリックス102b、104b、106b及び108bを指定することは全く任意的なものであり、配信ルータコンポーネント内のルータマトリックスのペアの何れか一方が、当該ルータマトリックスペアの他方に対するバックアップとして機能するようにしてもよいということは十分考えられるであろう。

10

【0006】

図1にさらに示されるように、第1配信ルータコンポーネント102の第1ルータマトリックス102a、第2配信ルータコンポーネント104の第1ルータマトリックス104a、第3配信ルータコンポーネント106の第1ルータマトリックス106a及び第4配信ルータコンポーネント108の第1ルータマトリックス108aは、完全接続トポロジに従う第1ルータマトリックス構成により互いに接続される。同様に、第1配信ルータコンポーネント102の第2ルータマトリックス102b、第2配信ルータコンポーネント104の第2ルータマトリックス104b、第3配信ルータコンポーネント106の第2ルータマトリックス106b及び第4配信ルータコンポーネント108の第2ルータマトリックス108bは、第1構成と同様な完全接続トポロジに従う第2ルータマトリックス構成により互いに接続される。完全接続トポロジでは、ルータマトリックス構成の各ルータマトリックスは、当該ルータマトリックス構成の一部を形成する他のすべてのルータマトリックスに個別のリンクにより接続される。

20

【0007】

これにより、第1ルータマトリックス構成では、第1、第2及び第3双方向リンク110、112及び114により、第1配信ルータコンポーネント102の第1ルータマトリックス102aと、第2配信ルータコンポーネント104の第1ルータマトリックス104a、第3配信ルータコンポーネント106の第1ルータマトリックス106a及び第4配信ルータコンポーネント108の第1ルータマトリックス108aとがそれぞれ接続される。さらに、第4及び第5双方向リンク116及び118により、第2配信ルータコンポーネント104の第1ルータマトリックス104aと、第3配信ルータコンポーネント106の第1ルータマトリックス106a及び第4配信ルータコンポーネント108の第1ルータマトリックス108aとがそれぞれ接続される。最後に、第6双方向リンク120により、第3配信ルータコンポーネント106の第1ルータマトリックス106aと第4配信ルータコンポーネント108の第1ルータマトリックス108aとが接続される。

30

【0008】

同様に、第2ルータマトリックス構成では、第1、第2及び第3双方向リンク122、124及び126により、第1配信ルータコンポーネント102の第2ルータマトリックス102bと、第2配信ルータコンポーネント104の第2ルータマトリックス104b、第3配信ルータコンポーネント106の第2ルータマトリックス106b及び第4配信ルータコンポーネント108の第2ルータマトリックス108bとがそれぞれ接続される。さらに、第4及び第5双方向リンク128及び130により、第2配信ルータコンポーネント104の第2ルータマトリックス104bと、第3配信ルータコンポーネント106の第2ルータマトリックス106b及び第4配信ルータコンポーネント108の第2ルータマトリックス108bとがそれぞれ接続される。最後に、第6双方向リンク132により、第3配信ルータコンポーネント106の第2ルータマトリックス106bと第4配

40

50

信ルータコンポーネント108の第2ルータマトリックス108bとが接続される。

【0009】

次に、図2を参照するに、第1配信ルータコンポーネント102の第1ルータマトリックス102aがより詳細に説明される。図示されるように、第1配信ルータコンポーネント102の第1ルータマトリックス102aは、ルーティングエンジン134、送信拡張ポート136、第1受信拡張ポート138、第2受信拡張ポート140及び第3受信拡張ポート142から構成される。「送信」拡張ポートという用語は、データが選ばれた送信先に送信される拡張ポートを呼ぶものである。同様に、「受信」拡張ポートという用語は、送信先からデータを受信する拡張ポートを呼ぶものである。ルーティングエンジン134への入力として受信した複数の入力デジタル音声データ信号の何れかにルーティングエンジン134の複数の出力ラインの何れかを割り当てるスイッチング手段（図示せず）が、ルーティングエンジン134の内部に配置されている。ルーティングエンジン134は、例えば、命令系列としてソフトウェア的に、例えば、論理回路系列としてハードウェア的に、あるいはこれらの組み合わせにより実現されてもよいということが考えられる。広い意味では、第1配信ルータコンポーネント102の第1ルータマトリックス102aの送信拡張ポート136は、複数の入力デジタル音声データストリームがその最終的な送信先への転送前にバッファリング可能なメモリサブシステム（図示せず）と、送信拡張ポート136により受信された複数の入力デジタル音声データストリームの他の配信ルータコンポーネントの第1ルータマトリックスの受信拡張ポートへの転送を制御するプロセッササブシステム（図示せず）とから構成される。他方、第1ルータマトリックス102aの第1、第2及び第3受信拡張ポート138、140及び142の各々は、広い意味では、他の配信ルータコンポーネントの第1ルータマトリックスの送信拡張ポートから受信された複数の入力デジタル音声データストリームがその最終的な送信先への転送前にバッファリング可能なメモリサブシステム（図示せず）と、当該他の配信ルータコンポーネントの第1ルータマトリックスの受信拡張ポートから受信した入力デジタル音声データストリームのルーティングエンジン134の入力への転送を制御するプロセッササブシステム（図示せず）とから構成される。

【0010】

各自がAudio Engineering Society-3（または「AES-3」）規格あるいはAES-3規格により与えられるマルチチャネルデジタルオーディオインタフェース（または「MADI」）規格に準拠するN個の入力デジタル音声データストリームが、第1配信ルータコンポーネント102の第1ルータマトリックス102aのルーティングエンジン134と送信拡張ポート136により受信される。これに関して、MADI入力デジタル音声データストリームは、32個までのAES-3デジタル音声データストリームを含んでもよく、N個の入力デジタル音声データストリームがルーティングエンジン134に入力され、送信拡張ポート136がMADI規格に従う場合、各入力デジタル音声データストリームは、抽出回路（図示せず）によりMADI入力デジタル音声データストリームから以前に抽出された単一のAES-3デジタル音声ストリームとなるであろうということに注目すべきである。もちろん、ここで開示された入力デジタル音声ストリーム以外の他のタイプの入力データストリームもまた、第1配信ルータコンポーネント102の第1ルータマトリックス102aによる利用に等しく適しているということは容易に認識されるべきである。例えば、第1配信ルータコンポーネント102の第1ルータマトリックス102aは、圧縮映像及びデータ信号などの他の低帯域デジタル信号により利用されてもよいということが考えられる。さらに、例えば、より高速なハードウェアなどの若干の変更により、第1配信ルータコンポーネント102の第1ルータマトリックス102aは、圧縮されていないデジタル映像信号により利用されてもよいということが考えられる。

【0011】

次に、図3を参照するに、第2配信ルータコンポーネント104の第1ルータマトリックス104aがより詳細に説明される。図示されるように、第2配信ルータコンポーネン

10

20

30

40

50

ト104の第1ルータマトリックス104aは、ルーティングエンジン144、送信拡張ポート146、第1受信拡張ポート148、第2受信拡張ポート150及び第3受信拡張ポート152から構成される。ルーティングエンジン144への入力として受信される複数の入力デジタル音声データ信号の何れかをルーティングエンジン144の複数の出力ラインの何れかに割り当てるスイッチング手段（図示せず）が、ルーティングエンジン144の内部に配置されている。ルーティングエンジン144は、例えば、命令系列としてソフトウェア的に、例えば、論理回路系列としてハードウェア的に、あるいはそれらの組み合わせにより実現されてもよいということが考えられる。広い意味では、第1ルータマトリックス102aの送信拡張ポート146は、複数の入力デジタル音声データストリームがその最終的送信先への転送前にバッファリング可能なメモリサブシステム（図示せず）と、送信拡張ポート146により受信される複数の入力デジタル音声データストリームの他の配信ルータコンポーネントの第1ルータマトリックスの受信拡張ポートへの転送を制御するプロセッササブシステム（図示せず）とから構成される。他方、第2配信ルータコンポーネント104の第1ルータマトリックス104aの第1、第2及び第3受信拡張ポート148、150及び152の各々は、広い意味では、他の配信ルータコンポーネントの第1ルータマトリックスの拡張ポートから受信した複数の入力デジタル音声データストリームがその最終的送信先に転送される前にバッファリングすることが可能なメモリサブシステム（図示せず）と、当該他の配信ルータコンポーネントの第1ルータマトリックスの受信拡張ポートから受信した入力デジタル音声データストリームのルーティングエンジン144の入力への転送を制御するプロセッササブシステム（図示せず）とから構成される。

10

20

【0012】

入力デジタル音声データストリーム1~Nが、第1配信ルータコンポーネント102の第1ルータマトリックス102aのルーティングエンジン134と送信拡張ポート136に供給される。送信拡張ポート136から、入力デジタル音声データストリーム1~Nが、第2配信ルータコンポーネント104の第1ルータマトリックス104aの第1受信拡張ポート148、第3配信ルータコンポーネント106の第1ルータマトリックス106aの受信拡張ポート（図示せず）及び第4配信ルータコンポーネント108の第4ルータマトリックス108aの受信拡張ポート（図示せず）に転送される。次に、入力デジタル音声データストリームN+1~2N、2N+1~3N及び3N+1~4Nがそれぞれ、第2、第3及び第4配信ルータコンポーネント104、106及び108の送信拡張ポートにより、第1配信ルータコンポーネント102の第1ルータマトリックス102aの第1、第2及び第3拡張ポート138、140及び142に送信される。

30

【0013】

同様に、入力デジタル音声データストリームN+1~2Nが、第2配信ルータコンポーネント104の第1ルータマトリックス104aのルーティングエンジン144と送信拡張ポート146に供給される。送信拡張ポート146から、入力デジタル音声データストリームN+1~2Nが、第1配信ルータコンポーネント102の第1ルータマトリックス102aの第1受信拡張ポート、第3配信ルータコンポーネント106の第1ルータマトリックス106aの受信拡張ポート（図示せず）及び第4配信ルータコンポーネント108の第1ルータマトリックス108aの受信拡張ポート（図示せず）に転送される。次に、入力デジタル音声データストリーム1~N、2N+1~3N及び3N+1~4Nがそれぞれ、第1配信ルータコンポーネントの第1ルータマトリックス102aの送信拡張ポート136、第3配信ルータコンポーネント106の第1ルータマトリックス106aの送信拡張ポート（図示せず）及び第4配信ルータコンポーネント108の第1ルータマトリックス108aの送信拡張ポート（図示せず）により、第2配信ルータコンポーネント104の第1ルータマトリックス104aの第1、第2及び第3拡張ポート148、150及び152に送信される。

40

【0014】

次に、図4を参照するに、入力デジタル音声データストリーム1~Nのリンク110を

50

介した第1配信ルータコンポーネント102の第1ルータマトリックス102aの送信拡張ポート136から第2配信ルータコンポーネント104の第1ルータマトリックス104aの受信拡張ポート148への転送が、より詳細に説明される。ここで開示されるように、8B/10B符号化/復号化が入力デジタル音声データストリーム1~Nに適用されるが、代わりに他の符号化/復号化方式が利用されてもよいということが明確に理解されるべきである。例えば、4ビット/5ビット（または「4B/5B」）エンコーダ及びデコーダが、ここで開示される8B/10Bエンコーダ及びデコーダの代わりに利用されてもよいということが十分考えられる。最後に、4B/5B符号化/復号化に加えて、さらに、8B/10B符号化/復号化に類似した他の符号化/復号化方式を利用したエンコーダ及びデコーダが同様に適するということが考えられる。

10

【0015】

以下でより詳細に説明されるように、送信拡張ポート136から第1受信ポート148への入力音声データストリーム1~Nの転送開始により、当該データストリームは、送信拡張ポート136の一部を形成するメモリサブシステムから送信拡張ポート136の一部を形成するパリティエンコーダ154に転送される。パリティエンコーダ154では、入力音声データストリーム1~Nは、水平及び垂直軸に沿ってパリティ符号化が実行される。その後、パリティエンコーダ154から、パリティ符号化されたデータストリーム1~Nが、8B/10B符号化のため、8B/10Bエンコーダ156に転送される。その後、8B/10Bエンコーダ156から、8B/10Bパリティ符号化されたデータストリームが、リンク110を介して第1受信拡張ポート148に転送される。第1受信拡張ポート148による受信に応答して、8B/10Bパリティ符号化されたデータストリーム1~Nが、8B/10Bデコーダ158に転送される。受信した8B/10Bパリティ符号化データストリームから、8B/10Bデコーダ158は、パリティ符号化データストリーム1~Nと、当該パリティ符号化データストリーム1~Nのどのデータバイトが、1以上のエラーデータビットを含む「不良な」データバイトであるかを示すバイトエラー検出情報とを生成する。

20

【0016】

8B/10Bデコーダ158から、パリティ符号化データストリーム1~Nが、FEC回路160とパリティデコーダ162に転送される。さらに、8B/10Bデコーダ158は、バイトエラー検出情報をFEC回路160に転送する。受信したパリティ符号化データストリーム1~Nを復号することにより、パリティデコーダ162は、以降におけるFEC回路160への転送のため、ビットエラー情報を生成する。8B/10Bデコーダ158から受信したバイトエラー検出情報を、パリティデコーダ162から受信したバイトエラー検出情報と共に利用することにより、FEC回路160は、パリティ符号化データストリームに含まれるエラーを訂正する図6に関して以下に説明される繰り返しアルゴリズムを実行する。パリティ符号化データストリームにおけるエラーがFEC回路160により訂正されると、誤り訂正されたパリティ符号化データストリーム1~Nが、上述の方法によるさらなる処理のため、第1受信拡張ポート148のメモリシステムに転送される。もちろん、データストリーム1~Nはパリティエラーに対してすでに訂正されているため、データストリーム1~Nに含まれるパリティ情報は、データストリーム1~Nの第1受信拡張ポート148のメモリサブシステムへの送信前にFEC回路160により破棄されるか、あるいは第1受信拡張ポート148のメモリサブシステムにデータストリーム1~Nと共に転送されるが、以降脅威を無視する。

30

40

【0017】

次に、図5を参照するに、パリティエンコーダ154により生成されるパリティ符号化データのブロック164がより詳細に説明される。図示されるように、各データブロック164は、入力デジタル音声データストリーム1~NのXバイトから構成される。各入力デジタル音声データストリームがデータブロック164の行を形成し、各バイトの各ビットがデータブロック164の列を形成する。各入力1~Nに対して、パリティエンコーダ154は、パリティビット0~7から構成されるパリティバイトを構成する。例えば、パ

50

リティバイト166は、入力デジタル音声データストリーム0に対して構成される。パリティバイト166のビット0は、入力デジタル音声データストリーム0のバイト1～XCに対して、すべてのビット0を合計することにより計算される。言い換えると、パリティバイト166のビット0は、データブロック164の行167のビット0のすべてを加算することにより計算される。パリティバイト166のビット1～7も同様に計算される。パリティエンコーダ154により、1～Nの入力データストリームの各々に対して、同一ビットを加算することによって、パリティフレーム168の各ビットが計算される。言い換えると、パリティフレーム168のビットは、データブロック164の列のすべてのビットを加算することにより計算される。例えば、パリティフレーム168のビット169は、データブロック164の行171のすべてのビットを加算することにより計算される。パリティフレームが任意数の行に対して計算されるが、32すべての入力データストリームに対するパリティフレームの計算は、ここで考えられる利用に対して適したものである。

【0018】

次に、図6を参照するに、FEC回路160による、例えば、図5のデータブロック164などのデータブロックの順方向誤り訂正方法がより詳細に説明される。しかしながら、開示された技術は配信ルータのコンポーネント間で送信されるデータブロックに関して説明されるが、当該技術は他のタイプの装置間で送信されるデータブロックによる利用に対しても等しく適用可能であるということが十分考えられるということが明確に理解されるべきである。本方法は、ステップ170において、パリティデコーダ162が8B/10Bデコーダ158からデータブロック164を受信し、FEC回路160が8B/10Bデコーダ158からデータブロック164とバイトエラー検出情報を受信することから開始される。ステップ171において、パリティデコーダ162は、受信したデータブロック164に対する潜在的不良ビット情報を生成するため、受信したデータブロック164を復号し、生成された潜在的不良ビット情報をFEC回路160に転送する。受信したデータブロックに対する潜在的不良ビット情報の第1コンポーネントを生成するため、パリティデコーダは、データブロック164の各行に対して、パリティバイトのビット単位によるチェックを行う。そうするために、パリティデコーダ162は、データブロック164の行を選択し、選択された行のバイト1～Xに対してビット0を加算し、その後、計算された和と選択された行に対するパリティバイトのビット0とを比較する。これら2つが一致しない場合、パリティデコーダ162は、選択された行の各バイトのビット0を疑わしいビットとして特定する。その後、パリティデコーダ162が、選択された行のビット0～7に対して同様の決定を行う。そうすることにより、選択された行の各バイトに対するすべての疑わしいビットが特定される。その後、当該プロセスは、データブロック164の各行に対して繰り返される。例えば、行167とビット0がチェック対象に選択されると、パリティデコーダ162は、行167に対するパリティバイト166のビット0との比較のため、バイト0～Xに対しビット0を加算する。行167のバイト0～Xのビット0の決定された和がバイト166のビット0の値に一致しない場合、パリティデコーダ162は、行167のバイト0～Xのそれぞれのビット0が潜在的不良ビットであると決定する。

【0019】

受信したデータブロック164に対する潜在的不良ビットの第2コンポーネントを生成するため、パリティデコーダ162は、パリティフレームに対してビット単位でのチェックを行う。そうするために、パリティデコーダは、データブロック164の列を選択し、入力1～Nに対して選択された列に含まれるデータビットを加算し、その後、計算された和を選択された列に含まれるパリティフレームのビットと比較する。これら2つが一致しない場合、パリティデコーダ162は、選択された列が不良ビットを含むと判断し、入力1～Nのそれぞれに対して、選択された列に含まれるビットを疑わしいビットとして特定する。その後、当該プロセスは、データブロック164の各列に対して繰り返される。例えば、バイト1のビット3に対応する列が選択された場合、パリティデコーダ162は、

パリティフレーム168のバイト1のビット3との比較のため、入力1～Nに対してバイト1のビット3を加算する。入力1～Nに対するバイト1のビット3の決定された和がパリティフレーム168のバイト1のビット3の値と一致しない場合、パリティデコーダ162は、各入力1～Nのバイト1のビット3が潜在的に不良なビットであると判断するであろう。

【0020】

ステップ172に進んで、FEC回路160は、受信したデータブロック164が1以上の不良バイトを含んでいるか確かめるため、受信したバイトエラー検出情報をチェックする。受信したバイトエラー検出情報のチェックにより復号化エラー（受信したコードが正当な値でない）またはアノマリ（受信したコードは、正当な値であるが、パリティ不一致の問題を有する）を生成するときはいつでも、不良バイトが特定される。前述のように、8B/10B復号化は、データの何れかのバイトが不良であるか特定することができるが、データバイトのどのビットが不良にさせているか特定することはできない。例えば、バイトエラー検出情報は、入力0のバイト1と入力2のバイト3が不良であると示すかもしれない。ステップ172において、バイトエラー検出情報が、データブロック164は不良バイトを含まないということを示すと判断されると、本方法はステップ174において終了する。しかしながら、ステップ172において、データブロック164が1以上の不良バイトを含むと判断されると、本方法はステップ176に移行する。

【0021】

データブロック164の第1行、例えば、入力0に対応する行167がステップ176において選択され、ステップ178においてFEC回路160が、バイトエラー検出情報から、選択された行に1以上の不良バイトがあるか判断する。選択された行に不良バイトが存在しない場合、本方法はステップ180に移行し、次の行、例えば、入力1に対応する行が選択され、ここで開示された方法によるさらなる処理のため、ステップ178に戻る。しかしながら、ステップ178において、FEC回路160により選択された行が1以上の不良バイトを含むと判断されると、本方法はステップ182に移行し、選択された行の第1不良バイト、例えば、行0のバイト1がさらなる処理のため選択される。ステップ184において、FEC回路160は、選択された不良バイトに対して疑わしいビットが存在するか判断するため、選択された行に対する選択された不良バイトをチェックする。そうするため、FEC回路160は、疑わしいビットが選択された不良バイトに対し特定されたか確認するため、パリティデコーダ162により与えられた潜在的不良ビット情報の第1コンポーネントをチェックする。

【0022】

パリティデコーダにより供給される潜在的不良ビット情報の第1コンポーネントが確認されることにより、選択された不良バイトのどのビットも疑わしくないことが示されると、FEC回路160は、選択された不良バイトがもはや不良でない判断する。これにより、本方法はステップ186に移行し、選択された不良バイトが、典型的には、8B/10Bデコーダ158からFEC回路160により受信されたバイトエラー検出情報に含まれる不良バイトのリストから不良バイトを取り除くことにより「クリア」される。ステップ186において選択された不良バイトをクリアにした後、本方法はさらなる処理のため、以下のステップ208に移行する。しかしながら、パリティデコーダにより供給された潜在的不良ビット情報の第1コンポーネントを確認することにより、選択された不良バイトの1以上のビットが疑わしいと示されると、本方法は、選択された不良バイトの第1の疑わしいビットの選択のためステップ188に移行する。

【0023】

ステップ190において引き続き、FEC回路160は、不良ビットを含むと以前に判断されたデータブロック164の列に疑わしいビットが存在するか判断するため、潜在的不良ビット情報の第2コンポーネントを確認する。例えば、入力0に対するバイト1のビット3が選択された疑わしいビットである場合、ステップ190において、FEC回路160は、当該疑わしいビットが不良ビットを含むと以前に判断された列に存在するか確認

するため、潜在的不良ビット情報の第2コンポーネントをチェックする。FEC回路160により疑わしいビットが不良ビットを含むと以前に判断された列に存在しないと判断すると、本方法はステップ192に移行し、FEC回路160は、当該疑わしいビットが不良でないと結論付け、その後ステップ194に移行し、チェックを要する選択された不良バイトにさらなる疑わしいビットが存在するか判断される。

【0024】

しかしながら、ステップ190において、疑わしいビットが潜在的不良ビット情報の第2コンポーネントにより不良ビットを含むと特定された列に存在すると判断されると、本方法はステップ196に移行し、疑わしいビットに対応するパリティバイトのビット位置が選択されていない行に対してチェックされる選択されていない行のいずれかであるか判断するため、潜在的不良ビット情報の第1コンポーネントが確認される。例えば、入力0に対するバイト1のビット3が選択された疑わしいビットであり、潜在的不良ビット情報の第2コンポーネントの確認から、入力1～Nの1つに対するバイト1のビット3にエラーが存在すると判断されると、FEC回路160は、入力1～Nの何れかのバイト1のビット3が疑わしいと特定されるか確認するため、潜在的不良ビット情報の第1コンポーネントのコンテンツを確認する。ステップ198に移行して、潜在的不良ビット情報の第1コンポーネントの確認により、疑わしいビットに対応する選択されていない行のビットに疑わしいものがないということが明らかになると、FEC回路160は、疑わしいビットが誤りであると結論付ける。その後、本方法はステップ200に移行し、FEC回路160により疑わしいビットが訂正される。

【0025】

しかしながら、ステップ198において、疑わしいビットに対応する選択されていない行の1以上のビット自体が疑わしいと判断されると、本方法はステップ204に移行し、FEC回路160により、選択された疑わしいビットは疑わしいままであり、現時点では訂正することができないと結論付けされる。(1)ステップ192において、疑わしいビットが不良でないと結論付けされるか、(2)ステップ200において、選択された疑わしいビットを訂正するか、あるいは(3)ステップ204において、選択された疑わしいビットが疑わしいままであると結論付けするか、の何れかにより、本方法はステップ194に移行し、FEC回路160により、選択された不良バイトにさらなる疑わしいビットが存在するか判断される。ステップ194において、選択された不良バイトにさらなる疑わしいビットが存在すると判断されると、選択された不良バイトの次の疑わしいビットの選択のため、本方法はステップ206に移行する。その後、上述の方法により新たに選択された疑わしいビットの処理のため、本方法はステップ190に戻る。

【0026】

しかしながら、ステップ194において、選択された不良バイトにさらなる疑わしいビットはないと判断されると、本方法はステップ208に移行し、FEC回路160は、再び8B/10Bデコーダ158から受信したバイトエラー検出情報の一部として与えられる不良バイトのリストをチェックすることにより、選択された行にさらなる不良バイトが存在するか判断する。この不良バイトリストのチェックにより、選択された行に1以上のさらなる不良バイトが存在することが示されると、選択された行の次の不良バイトの選択のため、本方法はステップ210に移行する。その後、上述の方法により新たに選択された不良バイトのさらなる処理のため、本方法はステップ184に戻る。しかしながら、ステップ208において、選択された行にさらなる不良バイトが存在しないと判断されると、本方法はステップ212に移行し、データブロック164にチェック対象のさらなる行が存在するか判断される。ステップ212において、データブロック164にチェック対象のさらなる行が存在すると判断されると、データブロック164の次の行の選択のため、本方法はステップ214に移行する。その後、上述の方法によるさらなる処理のため、本方法はステップ178に戻る。しかしながら、ステップ212において、チェック対象となるさらなる行が存在しないと判断されると、すなわち、行1～Nのそれぞれがチェックされた場合、上述の方法によるさらなる処理のため、本方法はステップ172に戻る。

【0027】

上記プロセスは、データブロック176などのデータブロックに含まれるエラーを繰り返し訂正する方法である。ステップ170～214の各パスにおいて、データブロック176に対して、典型的には、複数の疑わしいビットが特定される。しかしながら、疑わしいビットのすべてが必ずしもエラービットとして確認されるわけではない。一部は、列に疑わしいビットが複数存在するため、疑わしいままであろう。しかしながら、エラービットが訂正されるときはいつでも、以降のパスはより高い確率で疑わしいビットのままであるビットをクリアする。このため、ステップ170～214の各繰り返しは、理想的には、すべてのエラービットが訂正され、すべての不良バイトがクリアされるまで、さらなるエラービットの特定及び訂正を行う可能性を有すると予想される。一特徴では、実行されるプロセスの繰り返し回数は、予め選択されていてもよい。例えば、実験から、2回繰り返された後、高い割合でエラーが訂正されるということが明らかにされている。他の特徴では、最大の繰り返し回数が予め選択され、この最大回数の繰り返しが実行されるか、あるいは繰り返しによりデータブロックの状態が改善されない場合、当該プロセスは終了されるよう構成されてもよい。例えば、疑わしいビット及び/または不良バイトのカウントが維持され、1以上の繰り返しが実行されたにも関わらず、疑わしいビット及び/または不良バイトのカウントが減らない場合、当該プロセスは終了される。他の実施例では、訂正された不良バイトの数が維持され、データブロックのもとの不良バイトの所定の割合が訂正されると、当該プロセスを終了するようにしてもよい。

10

【0028】

以上、配信ルータに適したデジタル信号の順方向誤り訂正方法が、開示及び例示された。しかしながら、ここでは本発明の好適な実施例が例示及び説明されたが、本発明の主審または教示から逸脱することなく、本発明が属する技術分野の当業者により、様々な変形及び他の変更が可能である。従って、保護範囲は、ここで説明された実施例でなく、以下のクレームによってのみ限定される。

20

【図面の簡単な説明】

【0029】

【図1】図1は、本発明の教示により構成される完全重複線形拡張可能な配信ルータのブロック図である。

【図2】図2は、図1の完全重複線形拡張可能な配信ルータの第1配信ルータコンポーネントの第1ルータマトリックスの拡大されたブロック図である。

30

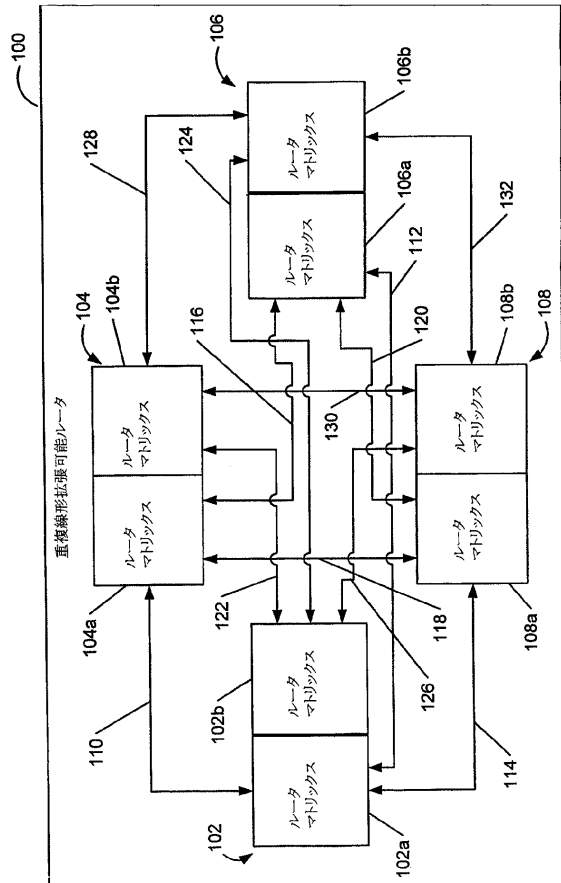
【図3】図3は、図1の完全重複線形拡張可能な配信ルータの第2配信ルータコンポーネントの第1ルータマトリックスの拡大されたブロック図である。

【図4】図4は、図2のルータマトリックスの送信拡張ポートと図3のルータマトリックスの受信拡張ポートの拡大されたブロック図である。

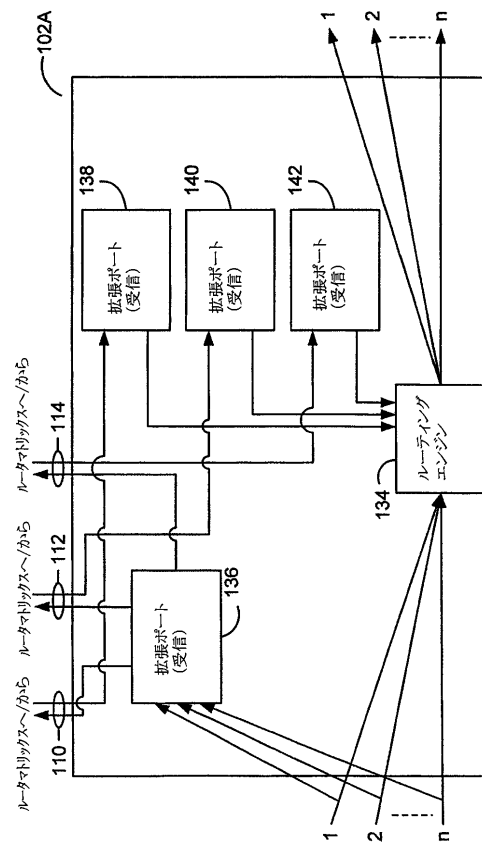
【図5】図5は、図4の送信拡張ポートと受信拡張ポートとの間で転送されるデータブロックのブロック図である。

【図6】図6は、図5のデータブロックの順方向誤り訂正方法のフローチャートである。

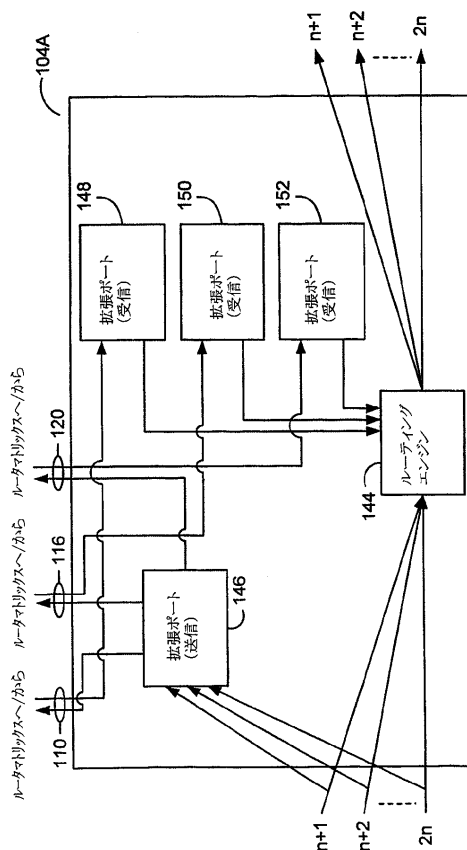
【図 1】



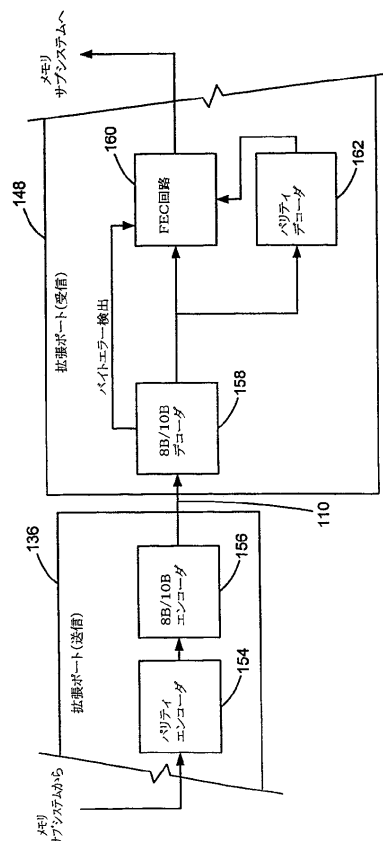
【図 2】



【図 3】



【図 4】



フロントページの続き

(72)発明者 クリステンセン, カール
アメリカ合衆国, ユタ州 84095, サウス・ジョーダン, ブライドル・オーク・ドライブ 2
360

合議体

審判長 田中 庸介

審判官 新川 圭二

審判官 藤井 浩

(56)参考文献 米国特許第5, 559, 506 (US, A)
特開平8-213969 (JP, A)
特開昭56-160154 (JP, A)

(58)調査した分野(Int.Cl., DB名)
H04L 1/00, 1/08-1/24
H03M 13/00-99/00