

[19] 中华人民共和国国家知识产权局



[12] 发明专利申请公布说明书

[21] 申请号 200710140892.5

[51] Int. Cl.

H01L 27/15 (2006.01)

G03G 15/00 (2006.01)

B41J 2/45 (2006.01)

[43] 公开日 2008 年 2 月 13 日

[11] 公开号 CN 101123264A

[22] 申请日 2007.8.10

[21] 申请号 200710140892.5

[30] 优先权

[32] 2006.8.11 [33] JP [31] 2006-219791

[71] 申请人 佳能株式会社

地址 日本东京

[72] 发明人 竹内哲也 古藤诚 山方宪二

关口芳信 米原隆夫

[74] 专利代理机构 中国国际贸易促进委员会专利商
标事务所

代理人 秦 晨

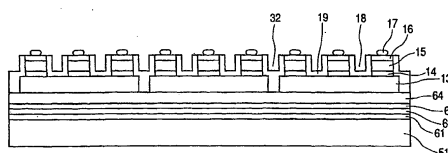
权利要求书 4 页 说明书 15 页 附图 14 页

[54] 发明名称

发光元件阵列和成像装置

[57] 摘要

发光元件阵列和成像装置。该发光元件阵列可以被制造而无需金属反射层的分离。该发光元件阵列包括提供在衬底上的多个发光元件部分，相邻发光元件部分之间的空间中至少一个空间彼此电分离，其中金属反射层提供在衬底上并且在多个发光元件部分下，并且用于发光元件部分之间的电分离的电阻层提供在多个发光元件部分与金属反射层之间。多个发光元件部分被划分成多个分块。每个分块包括多个发光部分。发光部分之间的电分离可以制造成作为相邻的不同分块中的相邻发光元件部分之间的电分离。



1. 一种发光元件阵列，包括：

衬底；

提供在衬底上的多个发光元件，相邻发光元件之间的空间中的至少一个空间电分离；

提供在衬底与多个发光元件之间、为多个发光元件共用的金属反射层；以及

提供在多个发光元件与金属反射层之间的电阻层，用于发光元件之间的空间的电分离。

2. 根据权利要求 1 的发光元件阵列，其中形成包括发光元件的多个分块，以及

其中发光元件之间的空间的电分离是分别包括在不同分块中的相邻发光元件之间的空间的电分离。

3. 根据权利要求 1 的发光元件阵列，还包括提供在彼此电分离的相邻发光元件之间的空间中的分离凹槽，

其中分离凹槽至少到达电阻层。

4. 根据权利要求 1 的发光元件阵列，其中电阻层具有如下设置的电阻值：使得彼此电分离的发光元件之间的空间的电阻值大于包括在发光元件中并与电阻层接触的区域电阻值。

5. 根据权利要求 1 的发光元件阵列，其中电阻层由半导体制成。

6. 根据权利要求 1 的发光元件阵列，其中电阻层由 AlGaAs 制成。

7. 根据权利要求 5 的发光元件阵列，其中电阻层是无掺杂层。

8. 根据权利要求 5 的发光元件阵列，其中电阻层是 p 型并且具有 $1 \times 10^{17} \text{ cm}^{-3}$ 或更小的 p 型杂质的掺杂浓度。

9. 根据权利要求 5 的发光元件阵列，其中电阻层是 n 型并且具有 $3 \times 10^{16} \text{ cm}^{-3}$ 或更小的 n 型杂质的掺杂浓度。

10. 根据权利要求 1 的发光元件阵列，其中电阻层具有至少大于等于 $0.1 \mu\text{m}$ 且小于等于 $1 \mu\text{m}$ 的厚度。

11. 根据权利要求 1 的发光元件阵列，其中电阻层由绝缘体制成。

12. 根据权利要求 1 的发光元件阵列，其中电阻层由选自 SiO_2 ， SiN ， SiON ， AlN 和 Al_2O_3 的一种制成。

13. 根据权利要求 11 的发光元件阵列，其中电阻层具有大于等于 $0.05 \mu\text{m}$ 且小于等于 $0.5 \mu\text{m}$ 的厚度。

14. 根据权利要求 1 的发光元件阵列，其中发光元件利用时分驱动来操作。

15. 根据权利要求 1 的发光元件阵列，其中发光元件具有 $40 \mu\text{m}$ 或更小间隔的发光区域。

16. 一种成像装置，包括：

用于读取图像的图像读取单元；

根据权利要求 1 的发光元件阵列，用于基于由图像读取单元读取的图像而发光；以及

基于由发光元件阵列发射的光而形成图像的成像单元。

17. 一种阵列光源，包括：

衬底；

金属反射层；

通过金属反射层提供在衬底上的多个发光元件；以及

提供在金属反射层与发光元件之间以电分离金属层和发光元件的电阻层。

18. 一种阵列光源，包括：

衬底；

公共金属反射层；

第一发光元件组和第二发光元件组，每一个包括多个发光元件，第一和第二发光元件组通过公共金属反射层提供在衬底上；

提供在第一和第二发光元件组与金属反射层之间，用于金属层与第一和第二发光元件组之间的电分离的分离层；以及

提供在第一发光元件组与第二发光元件组之间，用于第一发光元件组与第二发光元件组之间的电分离的分离凹槽，

其中提供分离凹槽使得分离凹槽在从发光元件侧朝向衬底侧的方向上到达用于电分离的分离层。

19. 根据权利要求 18 的阵列光源，其中衬底是硅衬底；并且阵列光源的发光元件的发光通过时分驱动来控制。

20. 根据权利要求 18 的阵列光源，其中衬底还包括执行时分驱动的控制电路。

21. 一种成像装置，包括：

根据权利要求 17 的阵列光源；

使用阵列光源作为曝光部分来形成静电潜像的光敏鼓；以及
使在光敏鼓上形成的静电潜像显影的显影设备。

22. 根据权利要求 21 的成像装置，其中阵列光源提供在圆柱形
的光敏鼓的内部。

发光元件阵列和成像装置

技术领域

[0001] 本发明涉及发光元件阵列和成像装置，特别地涉及具有高的光输出强度并且使用时分驱动操作的发光元件阵列，以及使用该发光元件阵列的成像装置。

背景技术

[0002] 几千个发光二极管排列于其中的发光元件阵列用于电子照相印刷机的曝光光源。例如，通过在由 GaAs 等制成的化合物半导体衬底上形成每个包括几个 AlGaAs 层的元件结构，并且将它形成为阵列状态来生产阵列（日本专利第 3185049 号）。

[0003] 当发光元件阵列用于印刷机时，根据期望的印刷分辨率确定元件大小和元件间隔是必要的。例如，在 600 dpi 的情况下，减小元件大小到至少 $40\mu\text{m}$ 的平方或更小并且减小元件间隔到大约 $40\mu\text{m}$ 是必要的。在 1200 dpi 的情况下，元件大小和元件间隔分别要求为一半。当发光元件阵列用作印刷机光源时，个别地驱动发光元件是必要的。实际上，时分驱动方法用作减少发光元件的电极的必要数目、驱动 IC 芯片的必要数目、以及丝焊的导线的必要数目的驱动方法，从而抑制成本的增加（日本专利 3340626 号）。

[0004] 金属反射层提供在发光元件部分下面以提高提取效率，从而增加光输出强度（日本专利申请公开 2005-197296 号）。当光输出强度变高时，可以执行高速印刷。而且，光输出强度以小的电流值达到期望的强度，使得可以实现具有小的由发热引起的不利影响，例如较差的设备特性、较差的设备使用寿命或者较大的发光区域偏移的高清晰度印刷机光源。

[0005] 到目前为止，当金属反射层提供在发光元件部分下面

时，行进到衬底一侧的光可以在金属反射层上反射并且可以从元件表面提取，从而增加光输出强度。通常，金属层具有高导电性，使得使用通过积极地利用金属层的导电性在垂直方向上容易执行电流注入的方法。

[0006] 当排列多个发光元件以产生阵列时，例如，考虑形成单个 n 侧电极作为公共电极并且形成与所有发光元件相对应的 p 侧电极以驱动发光元件的方法。这是通常称作静态驱动方法的基础驱动方法。但是，例如，当要在 A4 大小的情况下实现 1200 dpi 的分辨率时，元件数目是一万或更多，并且元件密度变得非常高。因此，没有独立地放置 p 侧电极的空间，从而导致难以执行用于与驱动 IC 芯片的连接的问题。

[0007] 即使在大约 600 dpi 的分辨率的情况下，需要 5000 或更多元件以实现 A4 大小从而需要 5000 或更多驱动 IC 芯片以及用于丝焊的 5000 或更多导线。因此，减少这些数目的方法对于成本减少是期望的。

[0008] 为了解决上面的问题，使用时分驱动。这也称作动态驱动。根据该驱动，虽然发光元件以时分来驱动，但驱动所有元件所必需的电极的数目可以减少。在该情况下，电极布线是矩阵布线。在矩阵布线中，不提供单个公共电极，而是形成多个公共电极（例如 n 侧电极），假设为包括多个发光元件的每个分块形成每个公共电极。另一方面，为所有元件独立地布置具有另一种导电型的电极（例如 p 侧电极）不是必需的。当要提供的 p 侧电极的数目等于包括在形成有公共电极的分块中的所有元件的数目时，所有元件可以基础地驱动。在该情况下， p 侧电极不仅与一个分块中的一个元件连接，而且与包括在不同于该一个分块的其他分块中的其他元件连接。也就是，多个元件通过使用一个 p 侧电极而驱动。

[0009] 图 11 是说明时分驱动の説明图。发光元件（发光元件部分）L1-L9 被划分成三个分块。第一分块包括三个发光元件 L1-L3，第二分块包括三个发光元件 L4-L6，以及第三分块包括三个发光元件

L7-L9. n 侧电极 11-1, 11-2 和 11-3 为包括在各自分块中的发光元件而提供。p 侧电极 17-1, 17-2 和 17-3 为位于每个分块中的相同排列位置的发光元件而提供。在包括发光元件 L1-L3 的第一分块中, 当 n 侧电极 11-1 由一个开关选择并且维持在接地 (GND) 电势时, 由另一个开关从 17-1 至 17-3 中选择 p 侧电极中的一个以提供电流到光将从其中发出的目标发光元件。类似地, 在包括发光元件 L4-L6 的第二分块中, 当选择 n 侧电极 11-2 时, 由另一个开关从 17-1 至 17-3 中选择 p 侧电极中的一个。类似地, 在包括发光元件 L7-L9 的第三分块中, 当选择 n 侧电极 11-3 时, 由另一个开关从 17-1 至 17-3 中选择 p 侧电极中的一个。时分驱动由上述操作执行。

[0010] 在下文, 将描述用于静态驱动和时分驱动的、使用 AlGaAs 的发光元件阵列的结构实例。图 12 和 13 分别是说明能够执行静态驱动的发光元件阵列的横截面视图和平面图。在该实例中, 提供总共九个发光元件 (发光元件部分)。需要九个独立的 p 侧电极 17 和一个公共 n 侧电极 11, 也就是总共十个电极。在图 12 和 13 中, n 型 AlGaAs 层 13, AlGaAs 量子阱活性层 14, p 型 AlGaAs 层 15, p 型 GaAs 接触层 16 和 p 侧电极 17 在 n 型 GaAs 衬底 12 上形成。为了元件分离, 形成分离凹槽 (元件分离凹槽) 18 以便到达 n 型 AlGaAs 层 13。在区域 21 中, 绝缘薄膜 19 在通过刻蚀而暴露的 n 型 AlGaAs 层 13 的一部分上形成, 以便电绝缘。在区域 22 中, 绝缘薄膜 19 的一部分在剩余而没有刻蚀的 p 型 GaAs 接触层 16 上形成。在发光区域 23 的每个中, p 侧电极 17 的一部分与 p 型 GaAs 接触层 16 的顶面直接接触。当电流从 p 侧电极注入时, 光从区域 23 发出。绝缘薄膜 19 提供在区域 21 和 22 中而不提供在区域 23 中, 使得电流可以通过相应的 p 侧电极 17 仅注入到必要的发光区域 23。提供分离凹槽 18 的每一个以使得相邻的发光元件彼此电分离。

[0011] 图 14 和 15 分别是说明能够执行时分驱动的发光元件阵列的横截面视图和平面图。与图 12 和 13 中说明的元件相同的构成元件由相同的参考数字表示。在图 14 和 15 中说明的 1/3 时分驱动中,

如参考图 11 描述的那样使用 3×3 的矩阵布线，所有像素可以由三个公共 n 侧电极和三个公共 p 侧电极，也就是总共六个电极驱动。

[0012] 根据该方法，当增加时分的数目时，电极数目可以显著地减少。但是，不像静态驱动，形成多个公共电极是必要的。在正常情况下，使用半绝缘衬底 31 并且形成到达至少衬底 31 表面的分离凹槽 32，使得可以相对容易地形成多个公共电极。提供分离凹槽 32 以使每个分块的发光元件彼此电绝缘。如上所述，在使用金属反射层的发光元件阵列的情况下，由于金属反射层而期望发光强度的增加。当每个分块的电绝缘对于时分驱动为必需时，金属反射层的导电性变成为此目的的问题。因此，如图 16 中说明的，形成不仅到达半导体层而且到达金属反射层 52 的分离凹槽是必要的。在仅半导体层的分离的情况下，刻蚀过程执行一次。但是，在金属反射层的分离的情况下，不同的刻蚀过程通常是进一步必要的，结果出现成本增加和产量减少的问题。

发明内容

[0013] 已经作出本发明以解决上述问题。本发明的目的在于提供一种发光元件阵列，其光输出强度特别高并且可以低成本利用时分驱动来操作。

[0014] 根据本发明，一种发光元件阵列包括：衬底；提供在衬底上的多个发光元件，相邻发光元件之间的空间中的至少一个空间电分离；提供在衬底上并且在多个发光元件下的金属反射层；以及提供在多个发光元件与金属反射层之间的电阻层，用于发光元件之间的空间的电分离。

[0015] 此外，本发明提供一种阵列光源，包括：衬底；金属反射层；通过金属反射层提供在衬底上的多个发光元件；以及提供在金属反射层与发光元件之间以电分离金属反射层和发光元件的电阻层。

[0016] 此外，本发明提供一种阵列光源，包括：衬底；公共金属反射层；每个包括多个发光元件的第一发光元件组和第二发光元件

组，第一和第二发光元件组通过公共金属反射层提供在衬底上；提供在第一和第二发光元件组与金属反射层之间，用于金属反射层与第一和第二发光元件组之间的电分离的分离层；以及提供在第一发光元件组与第二发光元件组之间，用于第一发光元件组与第二发光元件组之间的电分离的分离凹槽，其中提供分离凹槽使得分离凹槽在从发光元件一侧朝向衬底一侧的方向上到达分离层。

[0017] 根据本发明，电阻层提供在多个发光元件部分下和金属反射层上。因此，可以制造发光元件阵列而不分离金属反射层，从而阵列形成过程可以显著简化，并且可以减少制造成本。利用时分驱动来操作的阵列可以由简单的过程制造。这对于实现等于或大于 600 dpi 的分辨率的阵列具有大的效果。

[0018] 本发明的更多特征将从下面参考附图的示例性实施方案的描述中变得明白。

附图说明

[0019] 图 1 是说明根据本发明第一实施方案的发光元件阵列的横截面视图。

[0020] 图 2 是说明根据本发明第一实施方案的发光元件阵列的平面图。

[0021] 图 3 是说明本发明第一实施方案中生产元件阵列的步骤的说明性横截面视图。

[0022] 图 4 是说明本发明第一实施方案中生产元件阵列的步骤的说明性横截面视图。

[0023] 图 5 是说明根据本发明第二实施方案的发光元件阵列的横截面视图。

[0024] 图 6 是说明本发明第二实施方案中生产元件阵列的步骤的说明性横截面视图。

[0025] 图 7 是说明本发明第二实施方案中生产元件阵列的步骤的说明性横截面视图。

[0026] 图 8 是说明根据本发明第二实施方案的发光元件阵列的平面图。

[0027] 图 9 是说明包括根据本发明实施方案的发光元件阵列的电子照相记录过程型成像装置的结构图。

[0028] 图 10A 和 10B 是活性层的电势图。

[0029] 图 11 是说明时分驱动的图。

[0030] 图 12 是说明能够执行静态驱动的一般发光元件阵列的横截面视图。

[0031] 图 13 是说明能够执行静态驱动的一般发光元件阵列的平面图。

[0032] 图 14 是说明能够执行时分驱动的一般发光元件阵列的横截面视图。

[0033] 图 15 是说明能够执行时分的一般发光元件阵列的平面图。

[0034] 图 16 是说明包括金属反射镜的常规发光元件阵列的横截面视图。

具体实施方式

[0035] 在下文，将参考附图描述本发明的实施方案。

[0036] (第一实施方案)

[0037] 根据本发明第一实施方案的发光元件阵列包括提供在衬底与多个发光元件之间并且公共地用于多个发光元件的金属反射层。发光元件阵列还包括提供在多个发光元件与金属反射层之间的、用于发光元件之间的电分离的电阻层。根据该结构，元件可以彼此分离而无需在金属反射层自身中提供用于元件分离的凹槽。本发明不排除如果必要的话凹槽提供在金属反射层中的情况。

[0038] 在下文，将参考图 1 等具体地描述本发明的第一实施方案。

[0039] 图 1 是说明根据本发明第一实施方案的发光元件阵列的

横截面视图。如图 1 中说明的，铂层 61、金层 62、银层 63 和无掺杂 AlGaAs 电阻层（用于电分离金属层与第一和第二发光元件组的层）64 在 Si 衬底 51 上形成。n 型 AlGaAs 层 13、AlGaAs 量子阱活性层 14、p 型 AlGaAs 层 15、p 型 GaAs 接触层 16 和 p 侧电极 17 进一步在无掺杂 AlGaAs 电阻层 64 上形成。提供绝缘薄膜 19。为了元件分离，形成第一分离凹槽（元件分离凹槽）18 以便到达 n 型 AlGaAs 层 13。为了 n 侧公共电极分离，形成第二分离凹槽（n 侧电极分离凹槽）32 以便到达无掺杂 AlGaAs 电阻层 64。第二分离凹槽 32 用于在 n 侧电极之间设置足够的电阻，从而将 n 侧电极彼此分离。第二分离凹槽到达至少无掺杂 AlGaAs 电阻层 64。分离凹槽 32 可以到达用作金属反射层的银层 63。提供每个分离凹槽 18 以使相邻的发光元件彼此电分离。提供分离凹槽 32 以电分离每个包括发光元件的分块。分离凹槽 32 的每个是电分离第一发光元件组（包括在一个分块中的多个发光元件）和第二发光元件组（包括在另一个分块中的多个发光元件）的分离凹槽。在图 1 中，为了简化，没有说明 n 侧电极（在图 2 中说明为 n 侧电极 11）。

[0040] 图 1 说明金属反射层包括从衬底 51 的一侧按次序排列的 Pt 层、Au 层和 Ag 层的实例。但是，本发明并不局限于该实例。例如，单一的金属层（例如铝层或 Ti 层）和合金层中的一个可以用作金属反射层。TiN 层或 SiN 层可以提供在用作反射层的金属层或合金层的顶面和底面上。例如，使用 TiN/Al/TiN 层的结构。

[0041] 在图 1 中，与 n 型 AlGaAs 层相对应的部分可以由包括与活性层相邻的覆盖层和半导体多层反射镜（DBR 镜）的结构代替。

[0042] 有机绝缘薄膜（例如，正性光敏聚酰亚胺薄膜）可以置于无掺杂 AlGaAs 电阻层 64 与金属反射层（61，62，63）之间。

[0043] 用于驱动发光元件的驱动 IC 电路置于其中的 Si 衬底可以用作 Si 衬底 51。驱动 IC 电路包括位于 Si 衬底的绝缘区域中的晶体管。为了连接驱动 IC 电路和发光元件，如果必要的话，部分地去

除金属反射层。

[0044] 在该实施方案中, 活性层具有量子阱结构并且其电势图在图 10A 中说明。在图 10A 中, n 型 AlGaAs 层 (覆盖层) 13 和 p 型 AlGaAs 层 (覆盖层) 15 中的每一个的组成是例如 $\text{Al}_{0.4}\text{Ga}_{0.6}\text{As}$ (AlGaAs 通常由 $\text{Al}_x\text{Ga}_{1-x}\text{As}$ ($0 < x < 1$) 表示, 其中 $x=0.4$)。AlGaAs 量子阱活性层 14 的组成例如是 $\text{Al}_{0.1}\text{Ga}_{0.9}\text{As}$ 作为量子阱区域并且 $\text{Al}_{0.25}\text{Ga}_{0.75}\text{As}$ 作为势垒区域。本发明的活性层的实例不仅包括上述量子阱活性层, 而且包括具有单异质结构的活性层和具有双异质结构的活性层。

[0045] 图 2 是说明根据上面实施方案的发光元件阵列的平面图。在该实施方案中, 形成第一分离凹槽 18 使得元件大小和元件间隔中的每一个是 $20\mu\text{m}$ (在图 2 中 $L=20\mu\text{m}$)。分块由第二分离凹槽 32 彼此分离, 以便包括多个 (在图 2 中为三个) 发光元件。每个分块形成一个 n 侧电极 11 以便覆盖多个 (在图 2 中为三个) 发光元件。第一分离凹槽 18 到达 N 型 AlGaAs 层 13。第二分离凹槽 32 到达至少无掺杂 AlGaAs 电阻层 64。绝缘薄膜 19 沉积在第一分离凹槽 18 和第二分离凹槽 32 的每个中以进行电分离。电分离不一定通过分离凹槽的形成而实现。电分离可以通过例如绝缘区域的选择性形成而实现。电分离可以通过例如离子注入而实现。

[0046] 多个 (在图 2 中为三个) n 侧电极 11 和多个 (在图 2 中为三个) p 侧电极 17 在绝缘薄膜 19 上以多层布线方式形成。n 侧电极 11 的每个的仅必要部分与 n 型 AlGaAs 层 13 的相应一个直接接触。p 侧电极 17 的每个的仅必要部分与 p 型 GaAs 接触层 16 的相应一个直接接触。电流可以通过 n 侧电极和 p 侧电极的适当组合的选择注入到期望的发光元件。剩余的 n 侧和 p 侧电极通过绝缘薄膜多层布线, 使得电流注入区域不会不小心地扩展。另外, 提供足够用于利用丝焊进行电连接的电极区。

[0047] 如图 2 中说明的, 在区域 21 的每个中, 绝缘薄膜 19 在通过用于元件分离的刻蚀而暴露的 n 型 AlGaAs 层 13 的一部分上形

成。在区域 22 中，绝缘薄膜 19 在剩余而没有刻蚀的 p 型 GaAs 接触层 16 上形成。在区域 22 中，虽然绝缘薄膜 19 在剩余的 p 型 GaAs 接触层 16 上形成，但替代地，刻蚀可以在形成分离凹槽 32 时执行，直到暴露无掺杂 AlGaAs 电阻层，然后绝缘薄膜 19 可以在其上形成。

[0048] 在区域 71 中，绝缘薄膜 19 在通过用于 n 侧电极分离的刻蚀而暴露的无掺杂 AlGaAs 电阻层 64 上形成。在发光区域 23 的每个中，p 侧电极 17 的一部分与 p 型 GaAs 接触层 16 的顶面直接接触。当电流从 p 侧电极的每个注入时，光从区域 23 中的相应的一个发出。绝缘薄膜 19 提供在区域 21, 22 和 71 中而不提供在区域 23 中，使得电流可以通过相应的 p 侧电极 71 仅注入到必要的发光区域 23。

[0049] 接下来，将描述该实施方案中的元件阵列制造步骤。

[0050] 如图 3 中说明的，具有与图 1 的层结构相反的层结构的元件构成层（相反元件构成层）通过外延生长在 Si 掺杂 GaAs 衬底 12 上形成。半绝缘 GaAs 衬底通常用于时分驱动。但是，半绝缘 GaAs 衬底具有高刻蚀坑密度。另外，当发光元件结构在半绝缘 GaAs 衬底上生长时，存在发光特性因其影响而劣化的情况。在该实施方案中，如随后描述的，提供在 Si 掺杂 GaAs 衬底 12 上的元件构成部分与 Si 掺杂 GaAs 衬底 12 分离并且转移到 Si 衬底。因此，可以使用衬底而不依赖于其导电性，并且通常可以使用具有低刻蚀坑密度的 Si 掺杂 GaAs 衬底 12。

[0051] 相反元件构成层通过在 Si 掺杂 GaAs 衬底 12 上按顺序形成 AlAs 选择性刻蚀分离层 81、p 型 GaAs 层 16、p 型 AlGaAs 层 15、AlGaAs 量子阱活性层 14、n 型 AlGaAs 层 13 和无掺杂 AlGaAs 电阻层 64 而形成。在该实施方案中，无掺杂 AlGaAs 电阻层 64 用作电阻层。因此，电阻层可以在元件构成层的外延生长期间形成。此外，最上表面是 AlGaAs 层，并且当为此使用高的 Al 组成时，存在 AlGaAs 层的表面氧化变成问题的情况。在该情况下，非常薄（大约

5nm) 的 GaAs 层可以作为盖层在最上表面上生长。

[0052] 在外延生长之后, 金属薄膜在晶片的表面和另外制备的用作支撑衬底的 Si 衬底的表面中的每一个上形成。具体地, 银层 63 和金层 62-1 通过溅射法在 Si 掺杂 GaAs 衬底 12 上顺序形成, 并且铂层 61 和金层 62-2 通过溅射法在 Si 衬底 51 上顺序形成。然后, 金层 62-1 和 62-2 的表面彼此粘接。因为金材料具有高反射率并且金材料容易彼此粘接, 所以金材料适合于在该实施方案中使用。但是, 金材料与衬底的粘着新性通常较低。因此, 为了提高粘着性, 铂层 61 插入在不需要高反射率的 Si 衬底侧上, 并且银层 63 插入在需要高反射率的 GaAs 衬底侧上。金层 62-1 和 62-2 彼此粘接以形成金层 62。

[0053] 随后, AlAs 选择性刻蚀分离层 81 通过沉浸在氢氟酸溶液中而选择性地刻蚀, 以分离 GaAs 衬底和元件构成层形成于其上的 Si 衬底。也就是, 元件构成层 (与相反元件构成层相反的层) 从 GaAs 衬底转移到 Si 衬底 (M. Konagai, M. Sugimoto 和 T. Takahashi, J. Cryst. Growth 45, 277 (1978))。从而, 完成如图 4 中所示包括金属反射层的晶片。

[0054] 随后, 通过光刻技术对晶片构图并且分离凹槽通过湿法刻蚀或干法刻蚀在其中形成。如图 2 中说明的, 元件大小和元件间隔中的每一个设置为 $20\mu\text{m}$ 。刻蚀从表面执行并且当刻蚀到达 n 型 AlGaAs 层 13 时完成, 从而形成第一分离凹槽 18。然后, 为了 n 侧接触形成再次执行构图并且 n 型 AlGaAs 层通过刻蚀而暴露。该步骤可以与第一分离凹槽的形成同时执行。进一步执行构图, 并且第二分离凹槽 32 通过刻蚀而形成。至少分离凹槽 32 到达无掺杂 AlGaAs 电阻层 64。分离凹槽 32 可以到达银层 63。

[0055] 此后, 绝缘薄膜 19 沉积。通过在其上构图并刻蚀在绝缘薄膜中形成接触孔, 使得 n 侧电极的接触部分和 p 侧电极的接触部分直接接合到元件的接触部分。然后, 通过剥离执行的电极布线的形成和绝缘薄膜的沉积被重复几次以形成包括 n 侧电极 11 和 p 侧电极 17 的多层布线。最终, 具有期望形状芯片通过切割而获得, 并且

完成阵列芯片的生产。

[0056] 为了通过时分驱动来驱动期望的元件，相邻 n 侧电极之间的电阻比 p 侧与 n 侧电极之间的电阻高。换句话说，当 AlGaAs 电阻层具有比 p 型 AlGaAs 层和 n 型 AlGaAs 层中的每个的电阻值高的电阻值时，可以防止电流流入包括在 AlGaAs 电阻层中的金属层中。AlGaAs 电阻层的电阻值优选地是 p 型 AlGaAs 层和 n 型 AlGaAs 层中的每个的电阻值的十倍或更多的值。AlGaAs 电阻层的电阻值更优选地是 p 型 AlGaAs 层和 n 型 AlGaAs 层中的每个的电阻值的五十倍或更多的值。

[0057] 无掺杂 AlGaAs 电阻层 64 的载流子密度是 $1 \times 10^{16} \text{ cm}^{-3}$ 或更小。为了获得足够的电阻，在 p 型的情况下电阻层的载流子浓度，也就是其掺杂浓度期望是 $1 \times 10^{17} \text{ cm}^{-3}$ 或更小。在 n 型的情况下，掺杂浓度期望是 $3 \times 10^{16} \text{ cm}^{-3}$ 或更小。p 型掺杂剂的实例包括 C, Zn, Mg 和 Be，并且 n 型掺杂剂的实例包括 Si, Ge, Te, Se 和 S。

[0058] 电阻层的厚度是 $0.3 \mu\text{m}$ 。当电阻层太薄时，载流子从元件结构一侧扩散，使得流入金属薄膜中的无效电流增加。另一方面，当电阻层太厚时，这引起生产成本的增加或者光吸收的增加。因此，存在有效的厚度范围。期望的厚度设置为 $0.1 \mu\text{m}$ 至 $1 \mu\text{m}$ 。更期望的厚度设置为 $0.2 \mu\text{m}$ 至 $0.5 \mu\text{m}$ 。

[0059] 为了充分获得光输出强度利用在金属薄膜上的反射而增加的效果，最小化由 AlGaAs 电阻层吸收的光量是重要的。因此，为了防止具有发光波长的光由 AlGaAs 电阻层吸收，调节 AlGaAs 电阻层的 Al 组成值是重要的。具体地，将 AlGaAs 电阻层的 Al 组分值设置为充分大于活性层的 Al 组分值的值是重要的。例如，当活性层的平均 Al 组分值是 x% 时，AlGaAs 电阻层的期望 Al 组分值是 $(x+10)\%$ 或更多。在该实施方案中，活性层的平均 Al 组分值是 17.5%，所以 AlGaAs 电阻层的期望 Al 组分值是 27.5% 或更多。

[0060] 在该实施方案中，描述了活性层具有量子阱结构的情况。活性层可以是具有 AlGaAs 双异质结构的活性层。活性层具有

AlGaAs 双异质结构的情况的电势图在图 10B 中说明。用作活性层的 AlGaAs 层具有例如 $\text{Al}_{0.13}\text{Ga}_{0.87}\text{As}$ 的组成, 并且覆盖层具有例如 $\text{Al}_{0.4}\text{Ga}_{0.6}\text{As}$ 的组成。在该情况下, 活性层具有 $\text{Al}_{0.13}\text{Ga}_{0.87}\text{As}$ 的组成从而 Al 组分值是 13%, 所以 AlGaAs 电阻层的期望 Al 组分值是 23%或更多。

[0061] 除了位于 GaAs 衬底上的发光元件构成层通过一次接合步骤提供在 Si 衬底上的情况之外, 发光元件构成层可以临时转移到另一个支撑衬底然后转移到该 Si 衬底上。在该情况下, 相反元件构成层不一定在 GaAs 衬底上形成。当发光元件构成层将最终转移到 Si 衬底上时, 有机绝缘薄膜可以置于其间。在该情况下, 金属反射层(不一定形成多层薄膜)提前在 Si 衬底侧或发光元件侧上形成。

[0062] (第二实施方案)

[0063] 图 5 是说明根据本发明第二实施方案的发光元件阵列的横截面视图。本实施方案不同于图 1 的情况在于, SiO_2 薄膜 101 代替无掺杂 AlGaAs 电阻层位于金属反射层(银层 63)上。 SiO_2 薄膜用作电阻层, 使得可以形成更高绝缘性的分离。其他构成元件与图 1 的那些相同。

[0064] 将描述该实施方案中的元件阵列生产步骤。如图 6 中说明的, 具有与图 5 的层结构相反的层结构的元件构成层通过外延生长在 GaAs 衬底 12 上形成。此时, AlAs 选择性刻蚀分离层 81 刚好位于相反元件构成层下面。在随后进行选择刻蚀之后, 使用 AlAs 选择性刻蚀分离层 81, 以分离 GaAs 衬底 12 和相反元件构成层。在相反元件构成层(p 型 GaAs 接触层 16、p 型 AlGaAs 层 15、AlGaAs 量子阱活性层 14 和 n 型 AlGaAs 层 13)的外延生长之后, SiO_2 薄膜 101 以 $0.3\mu\text{m}$ 的厚度沉积在生长表面上以形成电阻层。

[0065] 此后, 金属薄膜在晶片的表面和另外制备的 Si 衬底的表面中的每个上形成。与第一实施方案的情况一样, 银层 63 和金层 62-1 通过溅射法在 GaAs 衬底 12 一侧上顺序形成, 并且铂层 61 和金层 62-2 通过溅射法在 Si 衬底 51 一侧上顺序形成。然后, 金层 62-1

和 62-2 的表面彼此粘接。然后, 通过沉浸在氢氟酸溶液中仅选择性刻蚀 AlAs 选择性刻蚀分离层 81 以将元件构成层(与相反元件构成层相反的层)转移到 Si 衬底上。因此, 产生如图 7 中说明的包括金属薄膜和 SiO_2 薄膜的晶片。

[0066] 随后, 通过光刻技术对晶片构图并且分离凹槽通过湿法刻蚀或干法刻蚀在其中形成。如图 8 中说明的, 元件大小和元件间隔中的每个设置为 $20\mu\text{m}$ 。刻蚀从表面执行并且当刻蚀到达 n 型 AlGaAs 层 13 时完成, 从而形成第一分离凹槽 18。然后, 为了 n 侧接触形成而再次执行构图, 并且 n 型 AlGaAs 层通过刻蚀而暴露。该步骤可以与如上所述第一分离凹槽的形成同时执行。进一步执行构图, 并且第二分离凹槽 32 通过刻蚀而形成。至少分离凹槽到达 SiO_2 薄膜 101。分离凹槽可以到达银层 63。

[0067] 此后, 绝缘薄膜 19 沉积。通过绝缘薄膜的构图和刻蚀在绝缘薄膜中形成接触孔, 使得 n 侧电极的接触部分和 p 侧电极的接触部分直接接合到元件的接触部分。然后, 通过剥离执行的电极布线的形成和绝缘薄膜的沉积被重复几次以形成 n 侧电极和 p 侧电极的多层布线。最终, 具有期望形状的芯片被切割, 并且完成阵列芯片的生产。

[0068] 为了通过时分驱动来驱动期望的元件, 使相邻 n 侧电极之间的电阻充分高于 p 侧与 n 侧电极之间的电阻。换句话说, 当电阻层具有比 p 型 AlGaAs 层和 n 型 AlGaAs 层中的每个的电阻值高的电阻值时, 可以充分防止电流流入包括在其中的金属层。在该实施方案中, 通常用作绝缘体的 SiO_2 薄膜用作电阻薄膜, 从而具有足够高的电阻值。除了 SiO_2 之外, 例如可以使用材料例如 SiN、SiON、AlN 或 Al_2O_3 。

[0069] SiO_2 薄膜的薄膜厚度是 $0.2\mu\text{m}$ 。当 SiO_2 薄膜太薄时, 可能从元件结构一侧泄漏电流。另一方面, 当 SiO_2 薄膜太厚时, 这会引起生产成本的增加或者光吸收的增加。因此, 存在有效的厚度范围。期望厚度设置为 $0.05\mu\text{m}$ 至 $0.5\mu\text{m}$ 。更期望的厚度设置为 $0.1\mu\text{m}$

至 $0.3\mu\text{m}$ 。

[0070] 如上所述根据第一实施方案和第二实施方案的发光元件阵列在元件间隔较小的情况下特别有效。当元件间隔是 $40\mu\text{m}$ 或更小时，也就是当分辨率是 600 dpi 或更小时，本发明可以适用。

[0071] 即使当根据第一实施方案和第二实施方案的发光元件阵列中的导电型改变成相反的导电型，也就是，即使当 n 型变成 p 型或者即使当 p 型变成 n 型时，本发明可以适用。

[0072] 根据本发明的发光元件阵列的材料并不局限于实施方案中描述的 AlGaAs 材料。换句话说，可以使用用于其他发光器件的材料，例如基于 AlGaInP 的材料或基于 AlGaInN 的材料。即使当使用这些材料时，仍然获得足够的效果。

[0073] 根据本发明的发光元件阵列的活性层并不局限于实施方案中描述的量子阱活性层，因此可以是例如具有 AlGaAs 双异质结构的活性层。当使用量子阱活性层时，可以提高发光效率。

[0074] 接下来，将描述根据本发明的发光元件阵列的应用实例。根据本发明的发光元件阵列可以用作电子照相记录系统型成像装置的曝光光源。发光元件阵列可以用作用于其他应用的阵列光源。

[0075] 图 9 是说明包括根据一种实施方案的发光元件阵列的电子照相记录系统型成像装置的结构图。

[0076] 在图 9 中，成像装置包括：发光元件阵列半导体芯片安装于其上的曝光部分 701，用作对置的光接收部分的光敏鼓 702，鼓充电器 703，用于调色剂沉积的显影设备 704，用于将光敏鼓上的调色剂转印到位于传送带 707 上的纸张 708 上的转印设备 705，以及用于在转印之后去除光敏鼓 702 上的剩余调色剂的清洁器 706。

[0077] 接下来，将描述曝光部分 701。曝光部分 701 包括：发光元件阵列半导体芯片（单元片）710，发光元件阵列 710 的多个单元片位于其上的陶瓷基底 711，以及用作光学系统的参考框架的铝制框架 712。发光元件阵列半导体芯片 710 可以提供在圆柱形光敏鼓的内部。

[0078] 曝光部分 701 还包括：焦点位于发光元件阵列半导体芯片 710 的发光点序列和光敏鼓 702 上的 SELFOC 透镜阵列，这是产品名（在下文仅称作“SLA”）；以及产生防止调色剂分散的电场的电极 714。曝光部分 701 还包括用于覆盖/支撑铝制框架 712 的相对一侧的模件 715。电源 716 用来在电极 714 之间施加直流电压。开关 717 用来控制所施加的直流电压。

[0079] 接下来，将描述纸张 708 上图像形成的流程。光敏鼓 702 由鼓充电器 703 均匀地负性充电。

[0080] 然后，光敏鼓 702 由曝光部分 701 与图像图案相对应地曝光以对曝光部分正性充电，从而形成静电潜像。负性充电的调色剂从显影设备 704 供给到静电潜像以将调色剂吸引到正性充电的部分，从而在光敏鼓 702 上形成调色剂图像。

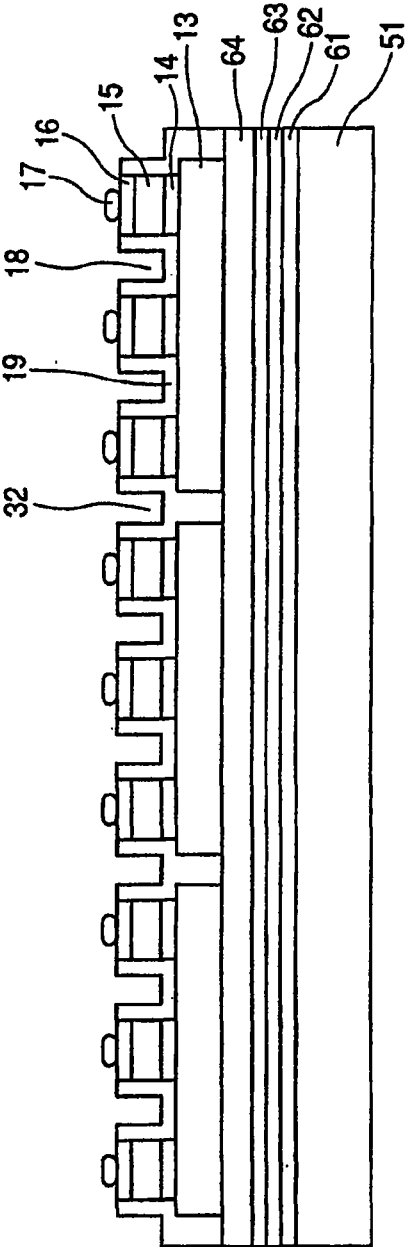
[0081] 然后，调色剂图像通过转印设备 705 转印到纸张 708 上，以在纸张 708 上形成调色剂图像。

[0082] 在转印之后，光敏鼓 702 上的剩余调色剂由清洁器 706 去除，然后操作再次返回到充电过程。

[0083] 本发明用于发光元件阵列以及使用发光元件阵列的装置，例如包括发光元件阵列的电子照相记录系统型成像装置。

[0084] 虽然本发明已经参考实例实施方案而描述，但是应当理解，本发明并不局限于公开的实例实施方案。下面权利要求的范围与最广泛的解释一致，以便包括所有这些修改以及等价结构和功能。

图1



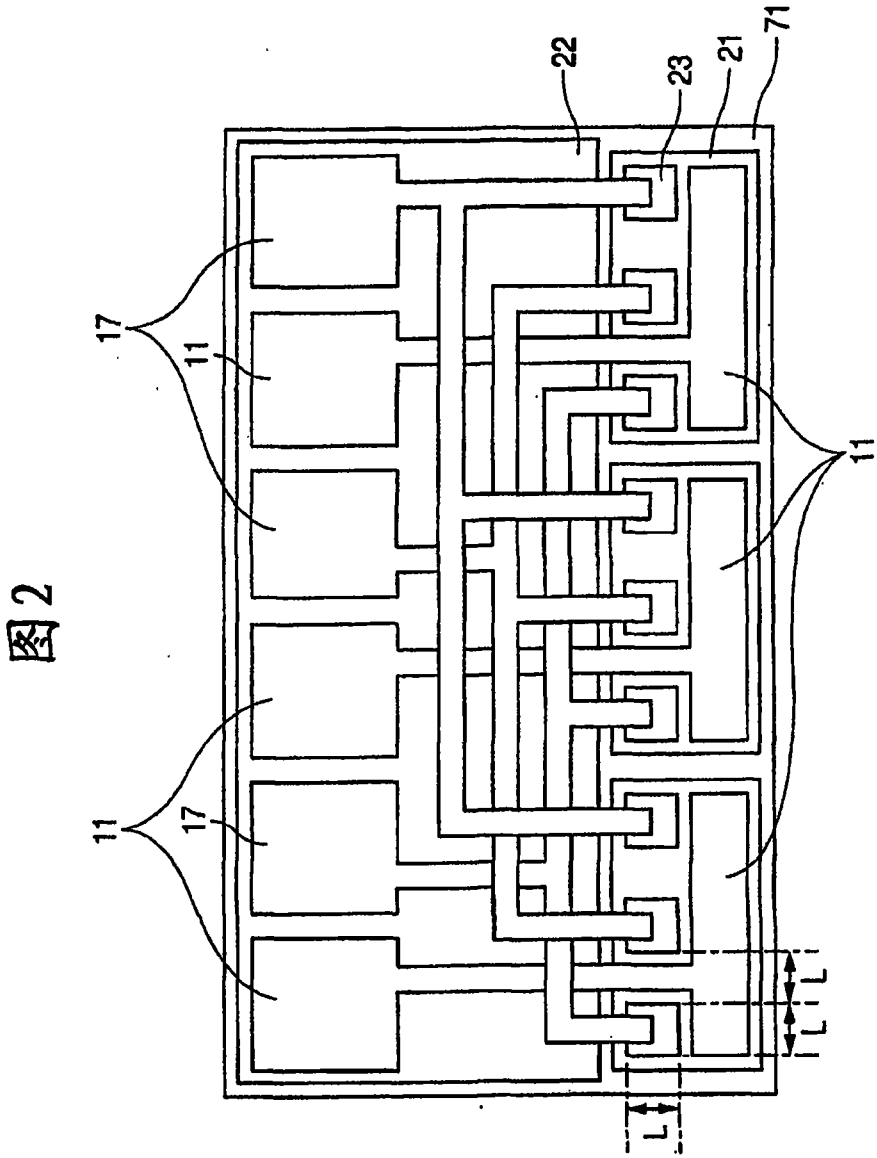


图3

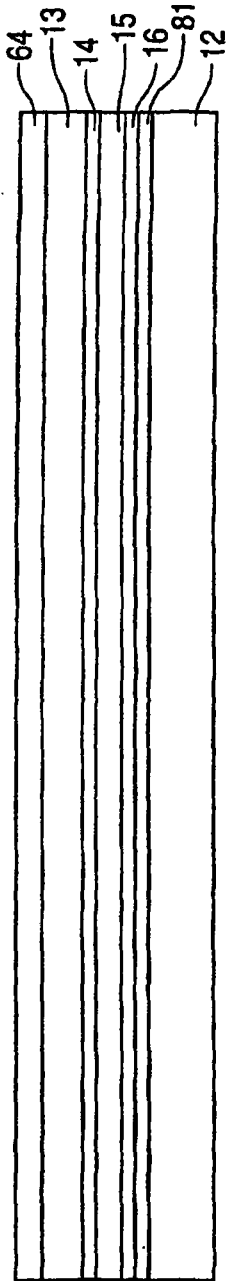


图4

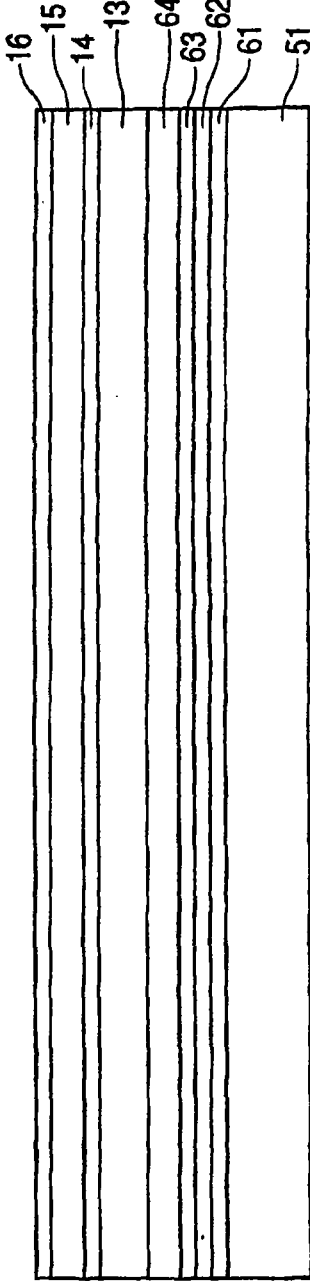


图5

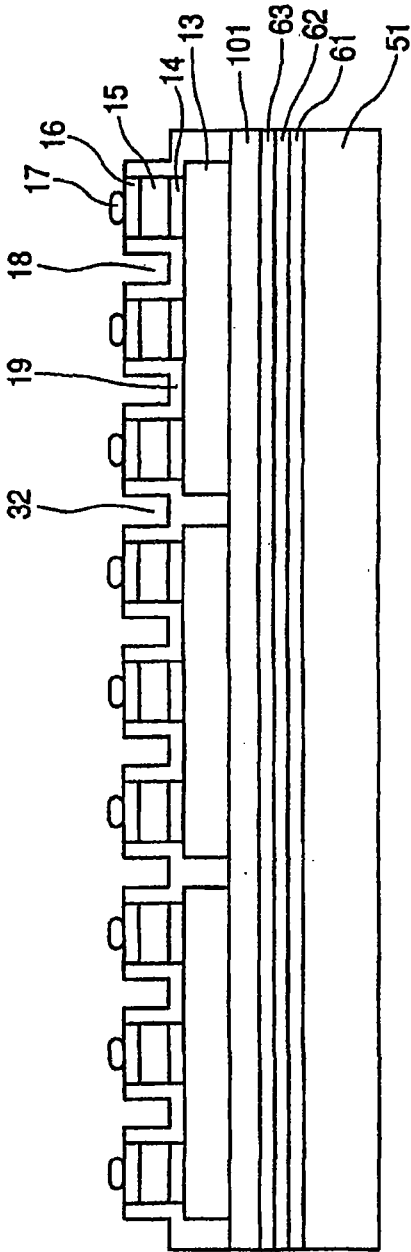


图6

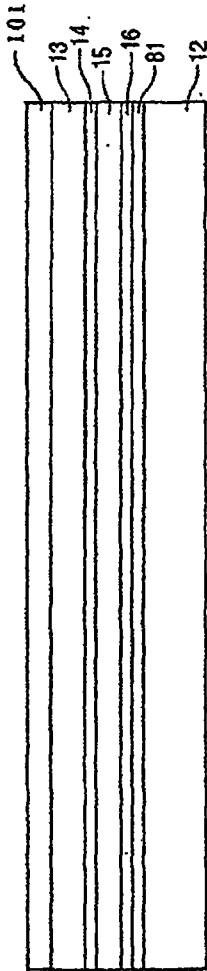
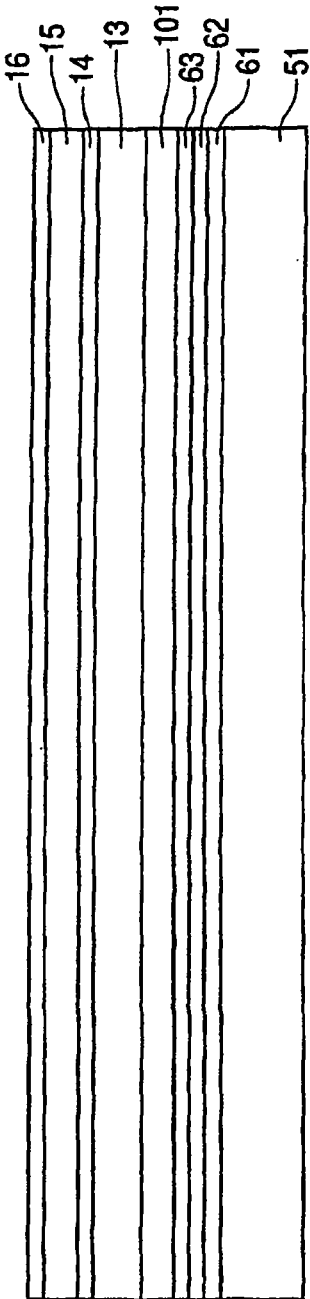


图7



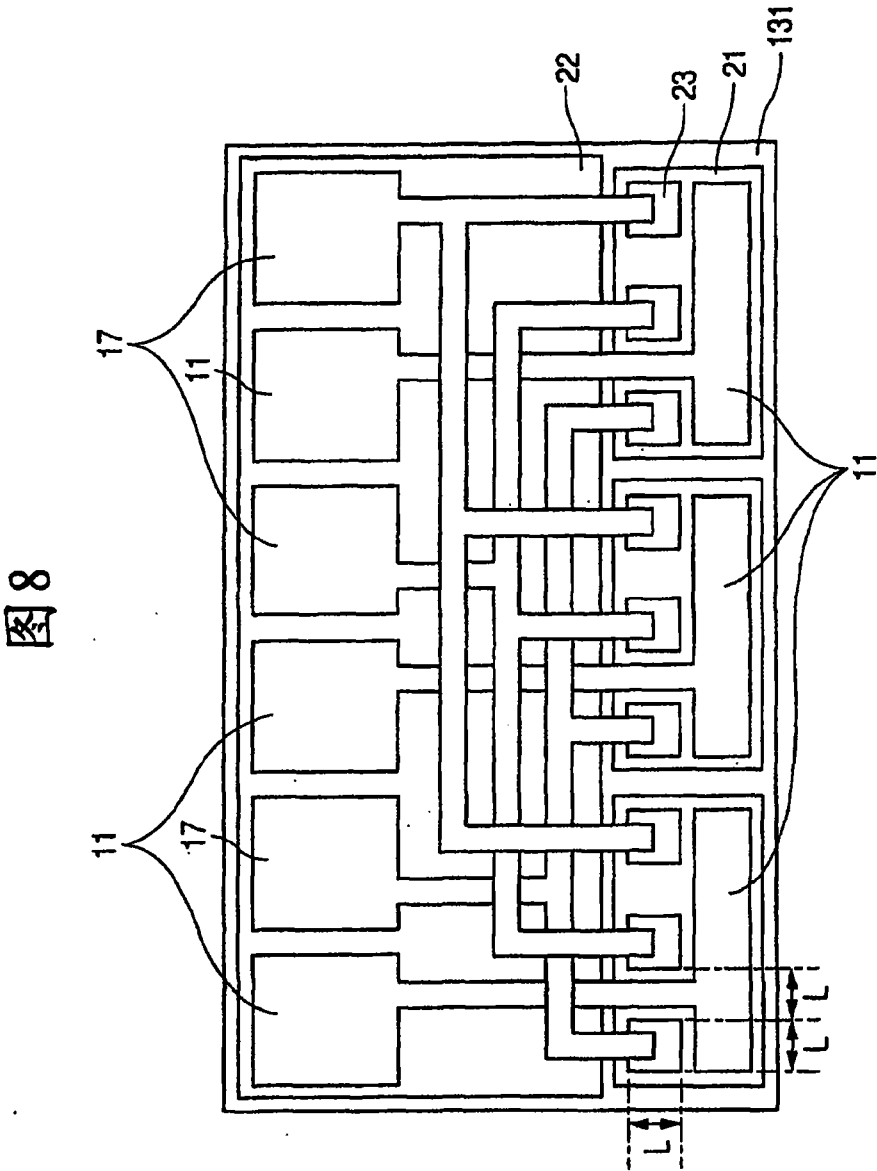


图 9

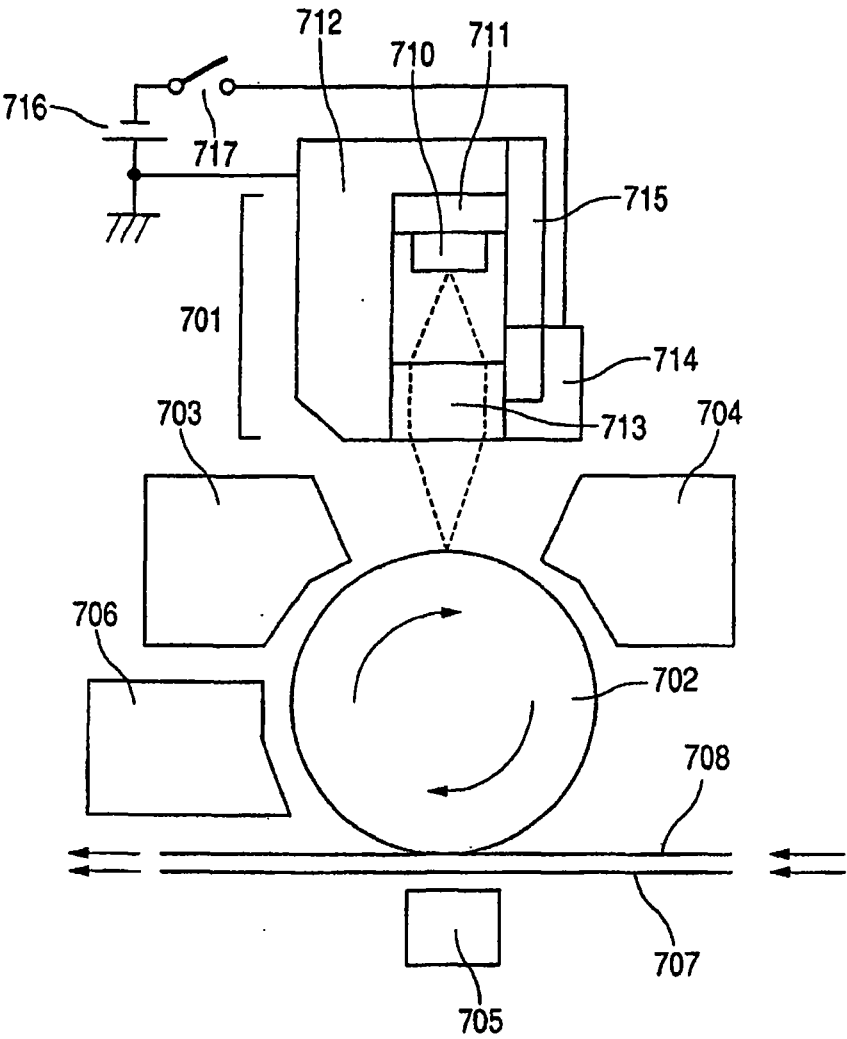


图10A

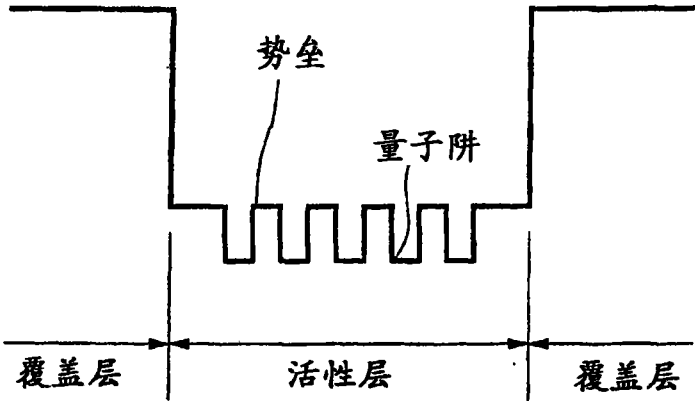


图10B

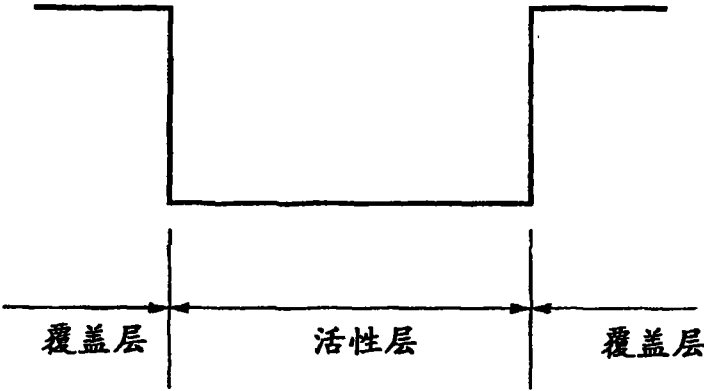


图 11

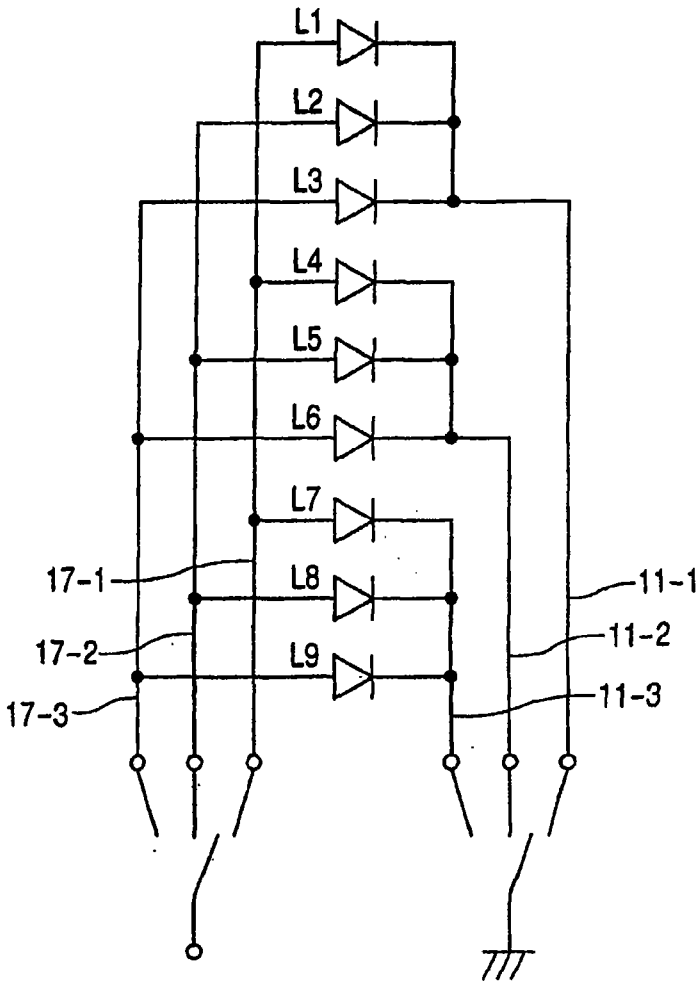


图12

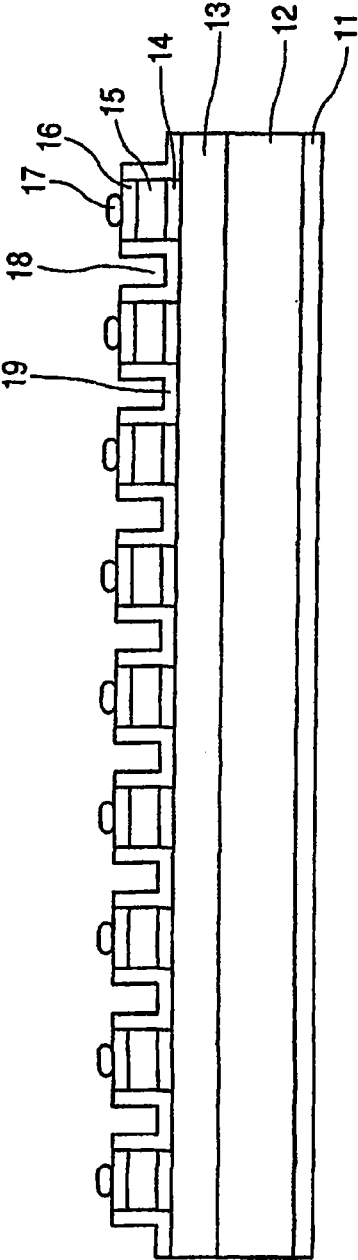


图13

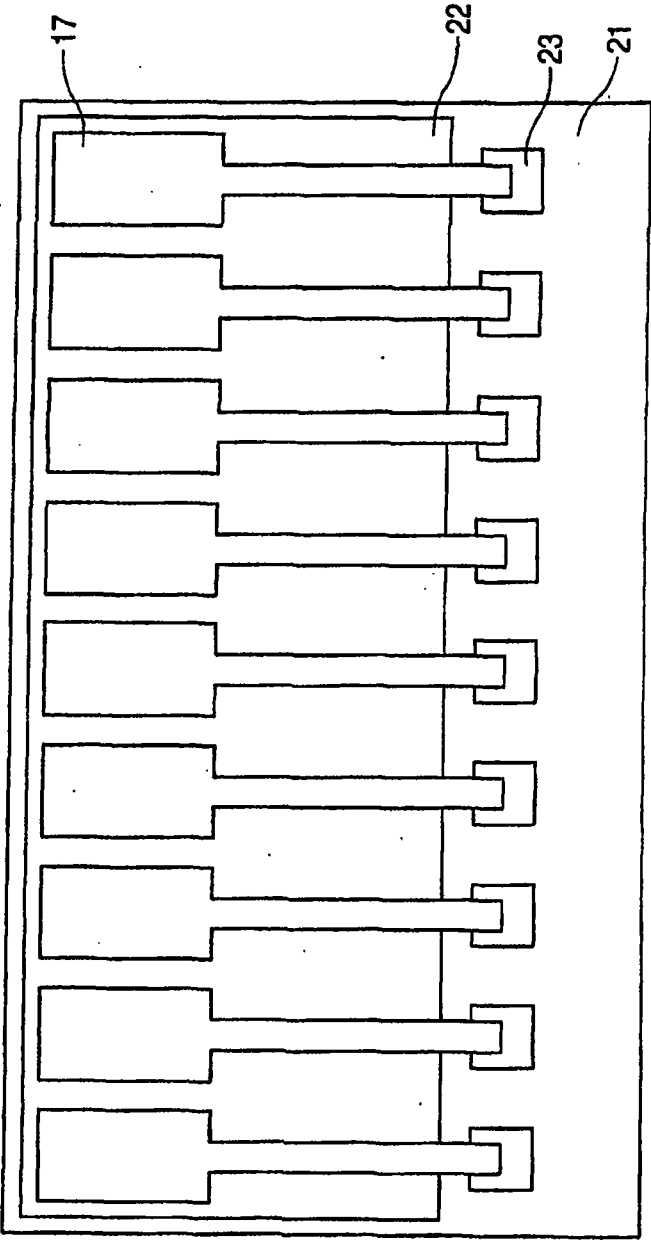


图14

