

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第6091675号  
(P6091675)

(45) 発行日 平成29年3月8日(2017.3.8)

(24) 登録日 平成29年2月17日(2017.2.17)

(51) Int.Cl.

F 1

H04N 5/378 (2011.01)  
H04N 5/363 (2011.01)H04N 5/335 780  
H04N 5/335 630

請求項の数 23 (全 24 頁)

(21) 出願番号 特願2016-33315 (P2016-33315)  
 (22) 出願日 平成28年2月24日 (2016.2.24)  
 (62) 分割の表示 特願2012-288391 (P2012-288391)  
 原出願日 平成24年12月28日 (2012.12.28)  
 (65) 公開番号 特開2016-129397 (P2016-129397A)  
 (43) 公開日 平成28年7月14日 (2016.7.14)  
 審査請求日 平成28年3月25日 (2016.3.25)  
 (31) 優先権主張番号 特願2012-91123 (P2012-91123)  
 (32) 優先日 平成24年4月12日 (2012.4.12)  
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000001007  
 キヤノン株式会社  
 東京都大田区下丸子3丁目30番2号  
 (74) 代理人 100090273  
 弁理士 國分 孝悦  
 (72) 発明者 橋本 誠二  
 東京都大田区下丸子3丁目30番2号 キ  
 ャノン株式会社内  
 (72) 発明者 鈴木 建  
 東京都大田区下丸子3丁目30番2号 キ  
 ャノン株式会社内  
 (72) 発明者 松野 靖司  
 東京都大田区下丸子3丁目30番2号 キ  
 ャノン株式会社内

最終頁に続く

(54) 【発明の名称】撮像装置及び撮像システム

## (57) 【特許請求の範囲】

## 【請求項 1】

画素と、  
 増幅回路と、  
 A/D変換部と、  
 補正部と、を有し、

前記画素は、前記画素がリセットされることによる第1の信号と、光電変換による第2の信号とを前記増幅回路に出力し、

前記増幅回路は、

前記第1の信号に基づく信号を増幅した第1の出力信号と、

前記第2の信号に基づく信号を、第1のゲインと前記第1のゲインより大きい第2のゲインとのいずれかで増幅した第2の出力信号と、を前記A/D変換部に出力し、

前記A/D変換部は、

前記第1の出力信号をA/D変換することによって第1のデジタル値を生成し、前記第2の出力信号をA/D変換することによって第2のデジタル値を生成し、

前記補正部は、

前記第1の出力信号と前記第2の出力信号のゲインの違いにより生じる前記第1のデジタル値と第2のデジタル値の分解能の違いを低減するように前記第1のデジタル値と前記第2のデジタル値の少なくとも一方を補正すること

を特徴とする撮像装置。

10

20

**【請求項 2】**

前記 A/D 変換部は、前記第 1 の出力信号と、時間の経過に対応して電位が変化する参照信号とを比較して前記第 1 のデジタル値を生成し、前記第 2 の出力信号と、時間の経過に対応して電位が変化する参照信号とを比較して前記第 2 のデジタル値を生成することを特徴とする請求項 1 記載の撮像装置。

**【請求項 3】**

前記画素は、光電変換により電荷を生成する光電変換素子と、前記電荷が転送されるフローティングディフージョン部と、前記フローティングディフージョン部の電位に基づく信号を出力する増幅トランジスタとを有し、

前記第 1 の信号は、リセットが解除された前記フローティングディフージョン部の電位に基づいて前記増幅トランジスタが出力する信号であり、 10

前記第 2 の信号は、前記電荷が転送された前記フローティングディフージョン部の電位に基づいて前記増幅トランジスタが出力する信号であることを特徴とする請求項 1 又は 2 記載の撮像装置。

**【請求項 4】**

前記増幅回路が前記第 2 の信号に基づく信号を所定のゲインで増幅した信号が基準信号より大きい場合には、前記増幅回路は前記第 2 の信号に基づく信号を前記第 1 のゲインで増幅し、

前記増幅回路が前記第 2 の信号に基づく信号を所定のゲインで増幅した信号が基準信号より小さい場合には、前記増幅回路は前記第 2 の信号に基づく信号を前記第 2 のゲインで増幅することを特徴とする請求項 1 ~ 3 のいずれか 1 項に記載の撮像装置。 20

**【請求項 5】**

前記補正部は、前記第 2 のデジタル値をビットシフトすることにより、前記補正を行うことを特徴とする請求項 1 ~ 4 のいずれか 1 項に記載の撮像装置。

**【請求項 6】**

前記増幅回路は、前記第 1 の信号を前記第 1 のゲイン又は前記第 2 のゲインで増幅することによって前記第 1 の出力信号を得ることを特徴とする請求項 1 ~ 5 のいずれか 1 項に記載の撮像装置。

**【請求項 7】**

前記増幅回路は、前記第 2 の信号を前記第 1 のゲイン又は前記第 2 のゲインで増幅することによって前記第 2 の出力信号を得ることを特徴とする請求項 1 ~ 6 のいずれか 1 項に記載の撮像装置。 30

**【請求項 8】**

前記補正部はカウンタ回路を含み、

前記カウンタ回路は、前記第 1 の出力信号と前記参照信号との大小関係が逆転するまでの間に前記第 1 のデジタル値のカウントを行い、

その後、前記カウンタ回路は、前記第 2 の出力信号と前記参照信号との大小関係が逆転するまでの間に前記第 2 のデジタル値のカウントを行うことを特徴とする請求項 2 記載の撮像装置。

**【請求項 9】**

前記増幅回路は、

反転入力端子、非反転入力端子及び出力端子を有するオペアンプと、

前記オペアンプの反転入力端子と前記出力端子との間に並列に接続される複数の第 1 の容量及び第 1 のスイッチの直列接続回路と、

複数の前記第 1 の容量及び前記第 1 のスイッチの相互接続点と前記オペアンプの非反転入力端子との間に接続される複数の第 2 のスイッチと、

前記オペアンプの反転入力端子と前記画素との間に接続される第 2 の容量とを有することを特徴とする請求項 1 ~ 8 のいずれか 1 項に記載の撮像装置。 40

**【請求項 10】**

前記増幅回路は、

前記第1のゲインに設定可能な第1の增幅回路と、  
前記第2のゲインに設定可能な第2の增幅回路とを有することを特徴とする請求項1～9のいずれか1項に記載の撮像装置。

**【請求項11】**

前記第1の増幅回路は、  
反転入力端子、非反転入力端子及び出力端子を有する第1のオペアンプと、  
前記第1のオペアンプの反転入力端子と前記出力端子との間に並列に接続される複数の第1の容量及び第1のスイッチの直列接続回路と、  
前記第1のオペアンプの反転入力端子と前記画素との間に接続される第2の容量とを有し、

10

前記第2の増幅回路は、  
反転入力端子、非反転入力端子及び出力端子を有する第2のオペアンプと、  
前記第2のオペアンプの反転入力端子と前記出力端子との間に並列に接続される複数の第3の容量及び第3のスイッチの直列接続回路と、  
前記第2のオペアンプの反転入力端子と前記画素との間に接続される第4の容量とを有することを特徴とする請求項10記載の撮像装置。

**【請求項12】**

前記増幅回路は、前記第1のゲインが設定されると、前記第1の増幅回路の出力信号のみを前記A/D変換部に出力し、前記第2のゲインが設定されると、前記第1の増幅回路の出力信号及び前記第2の増幅回路の出力信号を加算した信号を前記A/D変換部に出力することを特徴とする請求項11記載の撮像装置。

20

**【請求項13】**

前記増幅回路の複数の出力を前記A/D変換部に接続した状態で、前記増幅回路及び前記A/D変換部は初期状態にリセットされることを特徴とする請求項11又は12記載の撮像装置。

**【請求項14】**

前記第2の出力信号と比較するための前記参照信号は、時間に対する電位の変化量が異なる複数の参照信号の中から選択された参照信号であることを特徴とする請求項2又は8記載の撮像装置。

**【請求項15】**

第1の撮影感度と第2の撮影感度において、  
前記第1の撮影感度における前記第1のゲインと前記第2の撮影感度における前記第1のゲインとは同じであり、  
前記第1の撮影感度における前記第2のゲインと前記第2の撮影感度における前記第2のゲインとは同じであり、  
前記第1の撮影感度と前記第2の撮影感度とで、前記参照信号の時間に対する電位の変化量が変わることを特徴とする請求項2、8及び14のいずれか1項に記載の撮像装置。

30

**【請求項16】**

第1の撮影感度と第2の撮影感度において、  
前記第1の撮影感度における前記第1のゲインと前記第2の撮影感度における前記第1のゲインとは異なる値であり、  
前記第1の撮影感度における前記第2のゲインと前記第2の撮影感度における前記第2のゲインとは異なる値であり、  
前記第1の撮影感度と前記第2の撮影感度とで、前記参照信号の傾きは同じであることを特徴とする請求項2、8及び14のいずれか1項に記載の撮像装置。

40

**【請求項17】**

前記第1の撮影感度における前記第1のゲインと前記第2のゲインとのゲイン比と、前記第2の撮影感度における前記第1のゲインと前記第2のゲインとのゲイン比とが同じであることを特徴とする請求項15又は16記載の撮像装置。

**【請求項18】**

50

前記画素が複数行及び複数列に渡って配された複数の画素を有し、  
1行に配された前記複数列の画素の前記第1の信号と前記第2の信号との読み出しにおいて、前記第1のゲインと前記第2のゲインとのゲイン比が一定であることを特徴とする請求項1～17のいずれか1項に記載の撮像装置。

**【請求項19】**

前記複数行に配された画素の前記第1の信号と前記第2の信号との読み出しにおいて、前記第1のゲインと前記第2のゲインとのゲイン比が一定であることを特徴とする請求項1～8記載の撮像装置。

**【請求項20】**

前記增幅回路はCDS処理機能を有するCDS処理部と、オペアンプとを有し、  
前記第1の信号が前記画素から前記CDS処理部に出力され、前記CDS処理部は前記第1の信号を保持し、

前記第1の信号が前記画素から前記CDS処理部に出力されている期間に前記第1の信号を保持した前記CDS処理部が前記オペアンプに出力する信号を、前記オペアンプが増幅した信号が前記第1の出力信号であり、

前記第2の信号が前記画素から前記CDS処理部に出力されている期間に前記第1の信号を保持した前記CDS処理部が前記オペアンプに出力する信号を、前記オペアンプが前記第1のゲイン又は前記第2のゲインで増幅した信号が前記第2の出力信号であることを特徴とする請求項1～19のいずれか1項に記載の撮像装置。

**【請求項21】**

前記A/D変換部は、前記第1の出力信号と前記参照信号との比較と、前記第2の出力信号と前記参照信号との比較を行う比較器を有し、

前記比較器は、前記增幅回路が前記第2の信号に基づく信号を所定のゲインで増幅した信号と基準信号との比較を行い、前記比較の結果が、前記增幅回路が前記第2の信号に基づく信号を所定のゲインで増幅した信号が前記基準信号より大きいことを示す場合には前記增幅回路のゲインを前記第1のゲインに設定し、前記比較の結果が、前記增幅回路が前記第2の信号に基づく信号を所定のゲインで増幅した信号が前記基準信号より小さいことを示す場合には前記增幅回路のゲインを前記第2のゲインに設定することを特徴とする請求項2、8及び14～17のいずれか1項に記載の撮像装置。

**【請求項22】**

前記比較器は、前記第1の出力信号と前記参照信号とを比較し、その後、前記增幅回路が前記第2の信号に基づく信号を所定のゲインで増幅した信号と前記基準信号とを比較し、その後、前記第2の出力信号と前記参照信号とを比較することを特徴とする請求項21記載の撮像装置。

**【請求項23】**

請求項1～22のいずれか1項に記載の撮像装置と、  
前記画素に光を集光させる光学部と、  
前記撮像装置から出力された信号を処理する映像信号処理部と  
を有することを特徴とする撮像システム。

**【発明の詳細な説明】**

**【技術分野】**

**【0001】**

本発明は、撮像装置及び撮像システムに関する。

**【背景技術】**

**【0002】**

イメージセンサ素子内で、画素信号に異なるゲイン処理を行い、A/D（アナログデジタル）変換後、メモリからその信号を読み出してゲイン補正し、そのA/Dデータを信号レベルによって選択することで、ダイナミックレンジを拡大する技術が公開されている。その技術には、特許文献1がある。

**【0003】**

10

20

30

40

50

また、現在の素子内 A/D 変換技術では比較器のリセットノイズの A/D データを、同じ分解能の画素信号の A/D データから差分処理するのが一般的である。

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】特開 2008-124842 号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

リセットノイズの A/D データには、比較器のリセットノイズに起因する A/D 変換精度上の課題がある。特許文献 1 では、異なるゲイン信号の A/D 変換器でのリセットノイズの補正については述べられていない。 10

【0006】

本発明の目的は、ノイズを低減することができる撮像装置及び撮像システムを提供することである。

【課題を解決するための手段】

【0007】

本発明の撮像装置は、画素と、增幅回路と、A/D 変換部と、補正部と、を有し、前記画素は、前記画素がリセットされることによる第 1 の信号と、光電変換による第 2 の信号とを前記增幅回路に出力し、前記增幅回路は、前記第 1 の信号に基づく信号を增幅した第 1 の出力信号と、前記第 2 の信号に基づく信号を、第 1 のゲインと前記第 1 のゲインより大きい第 2 のゲインとのいずれかで增幅した第 2 の出力信号と、を前記 A/D 変換部に出力し、前記 A/D 変換部は、前記第 1 の出力信号を A/D 変換することによって第 1 のデジタル値を生成し、前記第 2 の出力信号を A/D 変換することによって第 2 のデジタル値を生成し、前記補正部は、前記第 1 の出力信号と前記第 2 の出力信号のゲインの違いにより生じる前記第 1 のデジタル値と第 2 のデジタル値の分解能の違いを低減するように前記第 1 のデジタル値と前記第 2 のデジタル値の少なくとも一方を補正することを特徴とする。 20

【発明の効果】

【0008】

ノイズを低減することができる。 30

【図面の簡単な説明】

【0009】

【図 1】本発明の第 1 の実施形態による撮像素子の構成図である。

【図 2】画素の構成例を示す図である。

【図 3】画素信号に含まれるノイズと、また信号レベルと基準電圧との比較方法についての説明図である。

【図 4】A/D 変換部のブロック図である。

【図 5】図 4 の A/D 変換部のタイミング図である。

【図 6】カウンタのビットシフトの説明図である。

【図 7】本発明の第 2 の実施形態の増幅回路のブロック図である。 40

【図 8】撮像素子のタイミング図である。

【図 9】本発明の第 3 の実施形態の A/D 変換部のブロック図である。

【図 10】図 9 の A/D 変換部のタイミング図である。

【図 11】画素信号の説明図である。

【図 12】カウンタのビットシフトの説明図である。

【図 13】撮影時のアンプゲインとランプ信号の説明図である。

【図 14】高感度撮影時のビット説明図である。

【図 15】撮像システムの構成図である。

【発明を実施するための形態】

【0010】

## (第1の実施形態)

図1は、本発明の第1の実施形態による撮像素子100の概略構成図である。100はCMOSイメージセンサと呼称される撮像素子であり、受光した被写体像を光電変換し、その電気信号をデジタル信号として出力する。撮像素子100は、画素部10、垂直走査回路15、増幅部20、ランプ信号発生回路(参照信号発生回路)25、比較部30、カウンタ部40、メモリ部50、出力回路60、水平走査回路65及びタイミング発生回路(TG)70を有する。画素部10は、2次元行列状に配置された複数の画素10-1を有する。画素10-1は、光電変換により画素信号を出力する。垂直走査回路15は、駆動パルスX-1,X-2,・・・を画素部10に出力する。増幅部20は、設定されたゲインで画素部10の画素信号を増幅する。ランプ信号発生回路25は、画素信号との比較信号として、時間に対して変化するランプ信号(参照信号)を生成する。比較部30は、増幅部20により増幅された画素信号とランプ信号とを比較する。カウンタ部40は、比較部30が比較結果を出力するまでカウントする。メモリ部50は、カウンタ部40のカウントデータを保持する。水平走査回路65は、水平走査により、メモリ部50からのデータを出力回路60へ転送する。タイミング発生回路70は、上記回路ブロックのそれぞれのタイミングを制御する。

## 【0011】

画素部10は複数の画素10-1がエリア上に配置されているが、その構成例は図2を参照しながら後述する。各画素10-1の行は垂直走査回路15からの駆動パルスX-1,X-2により順次駆動され、各画素10-1から出力された信号は垂直信号線V-1~V-nを経て増幅部20へ導かれる。増幅部20からメモリ部50までは垂直信号線V-1~V-n毎に各回路が設けられている。各回路は、垂直信号線V-1~V-nの上下方向に分けて設けててもよい。例えば、偶数列の画素に対しては図中画素部の下方へ、奇数列の画素に対しては図中画素部の上方へ信号が伝達されるように各回路を設けても良い。増幅部20の各増幅回路20-1は画素10-1からの信号を単に増幅する機能のみであっても良いし、相関二重サンプリングによるノイズ低減処理を行うCDS処理機能を有しても良い。比較部30の入力部でCDS処理を行っても良い。

## 【0012】

比較部30は、複数の画素列に対応した複数の比較回路30-1を有する。比較回路30-1は、まず、増幅回路20-1からのN信号とランプ信号発生回路25からのランプ信号とを比較する。このN信号とは、増幅回路20-1がCDS機能を有する場合には、増幅回路20-1をリセットしたことに対応する信号であり、増幅回路20-1がCDS機能を持たない場合には、画素10-1をリセットしたことに対応する信号である。カウンタ部40のカウンタ回路40-1は、ランプ信号の傾斜開始から、比較回路30-1でN信号とランプ信号との大小関係が逆転するまでを、ゲイン差を補正したカウント設定でダウンカウントする。その後、比較回路30-1は、増幅回路20-1からのS信号とランプ信号発生回路25からの基準信号とを比較する。このS信号とは、増幅回路20-1がCDS機能を有する場合には、増幅器の非リセット状態に対応する信号であり、増幅回路20-1がCDS機能を持たない場合には、画素10-1による光電変換に基づく信号である。比較回路30-1は、比較結果に応じて、全画素列の増幅回路20-1のゲインを低ゲインかあるいは高ゲインかを決定し、あるいは選択し、そのゲインでのS信号とランプ信号との比較を行う。カウンタ回路40-1は、ゲイン差を補正する機能を有する。この補正方法は低ゲインに対して高ゲインを補正する方法と、高ゲインに対して低ゲインを補正する方法がある。詳細は後述する。ここでは主に前者について説明する。増幅回路20-1のゲインが低ゲインの場合はゲイン差を補正しないでアップカウントを行い、増幅回路20-1のゲインが高ゲインの場合はゲイン差を補正した状態でアップカウントを行う。ゲイン差を補正したカウントとは、カウンタ回路40-1に与えられるクロック信号に対するカウント値の増減を変更してカウントを行うことである。つまり、N信号のA/D変換時とのゲイン差を補正しない場合には、N信号の変換時とカウント値の変動幅が同じとなり、ゲイン差を補正する場合には、N信号の変換時とはカウント値の変動幅が異なる。

る。メモリ部 50 のメモリ回路 50 - 1 は、カウンタ回路 40 - 1 のカウント値（デジタルデータ）を保持する。メモリ回路 50 - 1 に保持されたデジタルデータは、水平走査回路 65 からの走査パルスにより出力回路 60 へ転送される。上述のカウンタ部 40 は、列毎に設けたアップダウンカウンタでカウントする列カウンタ方式の動作を説明した。ただし、複数の比較回路 30 - 1 で共通のカウンタを利用する共通カウンタ方式では、比較回路の比較結果によってカウンタ信号をラッチし、N 信号のカウントデータと S 信号のカウントデータを個別にメモリして、後段でゲイン差を補正してもよい。その後、S 信号と N 信号のカウントデータの差分処理を行う。

#### 【0013】

以上述べたように、撮像素子 100 は、N 信号とランプ信号との比較時にゲイン差分を補正してカウントするので、デジタルデータの量子化誤差を小さくする効果がある。また、ゲイン差を補正してカウントする機能を有するカウンタ回路 40 - 1 を用いることで、メモリ回路 50 - 1 を簡単にでき、メモリ回路 50 - 1 から差分処理回路を削減できる効果がある。また、ゲイン補正機能により、少ないビット数の A/D 変換処理を行って高ビット化しつつ高速化できる。

#### 【0014】

図 2 は、画素 10 - 1 の構成例を示す回路図である。画素 10 - 1 は、フォトダイオード 101、転送トランジスタ 102、リセットトランジスタ 103、増幅トランジスタ 104 及び選択トランジスタ 105 を有する。フォトダイオード 101 は、光電変換により電荷を生成する光電変換素子である。転送トランジスタ 102 は、制御パルス T により、フォトダイオード 101 に蓄積された電荷をフローティングディフュージョン部 FD へ転送する。増幅トランジスタ 104 は、フローティングディフュージョン部 FD 上の電荷をソースフォロア読み出しにより増幅する。リセットトランジスタ 103 は、制御パルス R により、フローティングディフュージョン部 FD 上の電荷を電源電位でリセットする。選択トランジスタ 105 は、制御パルス SEL により、増幅トランジスタ 104 の出力信号を垂直信号線 V - 1 へ出力する。電流源 106 は、垂直信号線 V - 1 に接続される。画素 10 - 1 は、図 2 の構成例だけでなく、選択トランジスタ 105 を無くして、フローティングディフュージョン部 FD に設定する電位で画素の選択制御を行う構成、複数の光電変換素子 101 で共通の増幅トランジスタ 104 を共有する構成等であってもよい。

#### 【0015】

図 3 は、画素信号に含まれるノイズと、その信号レベルと基準電圧との比較方法についての説明図である。図 3 の横軸は画素 10 - 1 への入射光量、縦軸は A/D 変換に供される信号レベルを表示している。図 3 の実線で示した G1 及び G8 は増幅回路のゲインが異なる画素信号を示す。点線 301 は回路系ノイズ（電源、グランド、増幅回路、A/D 変換などに起因するノイズ）である。破線 302 - 1 は CDS 後の増幅回路の入力での画素ノイズ（画素ノイズ < 増幅器の入力換算ノイズ < 回路系ノイズ）である。回路系ノイズ 301 は画素ノイズ 302 - 1 よりも大きく、仮に回路系ノイズ 301 を 0.2 mV とすれば、信号レベル 1V と画素ノイズ 0.2 mV の比である S/N 比は 74 dB となる。この S/N 比をカバーして A/D 変換するためには、量子化ビット誤差を考慮すると 14 ビット程度の分解能が必要となる。高分解能になればなるほどカウント期間が増すために、A/D 変換時間が長くなり、撮像素子 100 としては信号読み出しが低速となり、結局、高速撮影ができなくなる。

#### 【0016】

そこで、本実施形態では、A/D 変換のビット数を少なくして高速読み出しを達成する。画素信号が大きい時は、光ショットノイズが回路系ノイズより大きいので、回路系ノイズは S/N 比への影響は小さい。そこで、例えば増幅回路 20 - 1 のゲインを 1 倍とする（G1 の特性）。画素信号が小さい時は、G1 の入射光 - 出力特性では回路系ノイズが画素ノイズより大きいために S/N 比の支配的要因になる。従って、増幅回路 20 - 1 のゲインを 8 倍とする（G8 の特性）ことで回路系ノイズ 301 より画素ノイズ 302 - 2 が大きくなり、画素ノイズ 302 - 2 が S/N 比の支配的要因となる。G1 の特性を利用すれば、出

10

20

30

40

50

力が飽和するまでの光量範囲が広い信号を得ることが出来、G 8 の特性を利用すれば、G 1 の特性よりも S N 比が良い信号を得ることが出来る。上述のように、入射光量、すなわち、信号レベルによって、G 1 の特性と G 8 の特性とのいずれかを選択する。これにより、撮像装置から得られる信号は、小信号の出力を行う画素については S N 比が良く、大信号の出力を行う画素については、小信号の出力を行う画素よりもダイナミックレンジを広くできる。

#### 【 0 0 1 7 】

信号レベルの判定は、特性 G 1 を利用する方法と、特性 G 8 を利用する方法がある。図 3 ( A ) は実線で示す特性 G 1 と一点鎖線 4 0 1 で示す基準電圧 V R E F 1 との比較により信号レベルを判定する場合を示している。一方、図 3 ( B ) は実線で示す特性 G 8 と一点鎖線 4 0 2 で示す基準電圧 V R E F 2 との比較により信号レベルを判定する場合を示す。

10

#### 【 0 0 1 8 】

図 3 ( A )、( B )において、光量 L 2 に相当する信号レベルを、基準電圧 V R E F 1 又は V R E F 2 として設定している。基準電圧よりゲイン信号が大きい場合は特性 G 1 を利用し、基準電圧よりゲイン信号が小さいときは特性 G 8 を利用する。

#### 【 0 0 1 9 】

基準電圧 V R E F 2 は、G 8 の特性に直線性がある、飽和信号より小さい値に設定することが望ましく、基準電圧 V R E F 1 は基準電圧 V R E F 2 を、G 8 の特性と G 1 の特性との間のゲイン比で割った値に設定することが望ましい。しかし、厳密な設定値である必要はない。何故ならば、大きい信号は光ショットノイズが大きいため、基準電圧が多少異なって信号が判定されても、S N 比の支配的要因は変わらないからである。

20

#### 【 0 0 2 0 】

入射光量が L 1 である場合を説明する。入射光量が L 1 である場合、図 3 ( A ) のように、G 1 の特性の信号と基準電圧 V R E F 1 とを用いて信号レベルの判定を行う場合を考える。G 1 の特性では、入射光量が L 1 である場合の信号レベルは V 2 であり、基準電圧 V R E F 1 より小さい。従って、G 8 の特性の信号を選択する。図 3 ( B ) のように、G 8 の特性の信号と基準電圧 V R E F 2 とを用いて信号レベルの判定を行う場合を考える。G 8 の特性では、入射光量が L 1 の場合の信号レベルは V 1 であり、基準電圧 V R E F 2 より小さい。従って、特性 G 8 を選択する。

30

#### 【 0 0 2 1 】

入射光量 L 1 のときに得られる信号を 8 倍に増幅した G 8 の特性の画素信号 V 1 を A D 変換し、変換後にゲイン補正（元の信号振幅に戻す）を行い、画素信号 V 2 のデジタルデータを得る。この結果、回路系ノイズが計算上は 1 / 8 になり、高 S N 比が得られる効果がある。また、画素信号レベルは特に光量 L 1 の時に限定されるのではなく、光量 L 2 の基準電圧より小さい範囲で同様の効果が得られる。

#### 【 0 0 2 2 】

上述のように、ゲイン差分をゲイン補正、即ち、デジタルデータをビットシフト（ビット補正、上記例では 3 ビット）することで、理想的には 10 ビット A D 変換器で 13 ビット精度の A D 変換データが得られることになる。しかし、N 信号のデジタルデータを S 信号のデジタルデータから差分処理することを考えると、ゲインが 1 倍の画素信号 G 1 のデジタルデータの最下位ビットは、S 信号と N 信号との差分処理により量子化誤差が大きくなっているので、10 ビットの精度はない。この量子化誤差を小さくするために、N 信号のデジタルデータはゲイン差分を補正して、即ち、3 ビット分ビットシフトすることで、S 信号と N 信号との差分処理による量子化誤差を小さくする。

40

#### 【 0 0 2 3 】

上述のように、画素信号が小さい場合には、8 倍の高ゲインで増幅した画素信号 G 8 のデジタルデータを元のゲイン 1 倍にデータを補正して、結果的に S N 比を改善する方法を説明した。画素信号が大きい場合、画素信号のダイナミックレンジの拡大を優先するために、大信号を 1 倍の低ゲインで増幅した特性 G 1 のデジタルデータを G 8 の特性のデジタ

50

ルデータに対して上位ビットとしてゲイン差分のビットシフトを行うことを説明した。

【0024】

図4は、本実施形態の比較回路30-1の入出力回路との接続を説明するA D変換部のブロック図であり、図1の実施形態と同じ機能のブロックは同一符号とし、説明は省略する。A D変換部は、光電変換されたアナログ信号を高速にデジタル信号に変換することができる。比較回路30-1は、画素信号V aのN信号とランプ信号V R A M Pの入力信号を、タイミング発生器70からのパルスcでリセットする。

【0025】

図5は、図4のA D変換部のタイミング図である。以下、図4と図5を参照し、A D変換動作を説明する。図5において、期間T a dは画素10-1から読み出された信号V aのN信号及びS信号のA D変換を行う期間である。期間T d a t aは、デジタルデータの転送期間である。期間T a dの中で、期間T dがN信号のA D変換期間で、そのための比較信号がランプ信号N-R A M Pである。期間T jがS信号の信号レベル判定期間であり、そのための比較信号が基準信号V R E Fである。また、期間T uがS信号のA D変換期間で、そのための比較信号がランプ信号S-R A M Pである。

10

【0026】

增幅回路20-1は、図5に示す動作の初期時は1倍の第1のゲイン(図3の信号G 1)に設定されており、增幅回路20-1は出力信号V aとして、N信号とS信号を順次出力し、容量C iを通して比較回路30-2の入力端子へ導かれる。比較回路30-2のもう一方の入力端子には別の容量C iを通して信号V R A M Pが入力される。ランプ発生回路25は、タイミング発生回路70のパルスC N T 1に制御されて、信号V R A M Pを生成する。信号V R A M Pは、ランプ信号N-R A M P、S-R A M P及び基準信号V R E Fを含む。また、增幅回路20-1は、タイミング発生回路70の信号C N T 2により制御される。

20

【0027】

ここで、基準信号V R E Fについて説明する。基準信号V R E R Fは、ランプ信号発生回路25で発生させる例を示したが、別の電源回路から発生させても良い。ランプ信号発生回路25でランプ信号が時間に対して傾斜して変化している途中で充電電流を停止することで、基準信号V R E Fを生成することができるので、回路構成を簡略化できる利点がある。基準信号V R E Fは、ランプ信号S-R A M Pに対して短い期間で発生させることができ。この期間をさらに短縮するには充電電流を大きくすれば良い。また、基準信号V R E Fは、ランプ信号N-R A M PでA D変換できる最大値より大きくする必要がある。これは、大きくすることで、小信号が必ずランプ信号N-R A M Pより大きい信号レベルの範囲内で比較処理が行われるようにするためである。具体的な数字を挙げると、図3に示した例では、N-R A M PでA D変換できる最大値を60mVとして、基準信号V R E Fを(60+V 11)mV程度に設定することが考えられる。

30

【0028】

N信号のA D変換期間T dにおいて、增幅回路20-1は、出力信号V aとしてN信号を出力する。ランプ信号発生回路25は、出力信号V R A M Pとしてランプ信号N-R A M Pを出力する。N信号の分解能を高めるためにランプ信号N-R A M Pの傾きは、ランプ信号S-R A M Pの傾きの1/8に設定している。N信号とランプ信号N-R A M Pは比較回路30-1で比較され、期間T r経過後に両者の大小関係が逆転する。カウンタ回路40-1は、その期間T rの間にダウンカウントを行う。すなわち、カウンタ回路40-1は、ランプ信号N-R A M Pの傾斜が開始するとダウンカウントを開始し、上記の両者の大小関係が逆転するとダウンカウントを終了する。カウントされたダウンカウント値(第1のカウント値)がカウンタ回路40-1にセットされる。

40

【0029】

次に、信号レベル判定期間T jにおいて、增幅回路20-1は、出力信号V aとしてS信号を出力する。ランプ信号発生回路25は、出力信号V R A M Pとして基準信号V R E Fを出力する。比較回路30-1は、S信号と基準信号V R E Fを比較する。本例では、

50

S 信号が基準信号 V R E F より大きいので、比較回路 30 - 1 は、ローレベルのゲイン切り替え信号 H O を增幅回路 20 - 1 に出力する。その結果、增幅回路 20 - 1 のゲインは 1 倍の第 1 のゲインを維持し、增幅回路 20 - 1 は、1 倍に増幅された S 信号（図 3 の信号 G 1 ）を出力信号 V a として出力する。仮に、S 信号が基準信号 V R E F より小さい場合には、比較回路 30 - 1 は、ハイレベルのゲイン切り替え信号 H O を增幅回路 20 - 1 に出力する。その結果、增幅回路 20 - 1 のゲインは 8 倍の第 2 のゲインに切り替えられ、增幅回路 20 - 1 は、8 倍に増幅された S 信号（図 3 の信号 G 8 ）を出力信号 V a として出力する。第 2 のゲイン（高ゲイン：8 倍）は、第 1 のゲイン（低ゲイン：1 倍）より大きい。

#### 【 0 0 3 0 】

上記のゲイン設定後、S 信号の A D 変換期間 T u において、增幅回路 20 - 1 は、引き続き出力信号 V a として S 信号を出力する。ランプ信号発生回路 25 は、出力信号 V R A M P としてランプ信号 S - R A M P を出力する。S 信号とランプ信号 S - R A M P は比較回路 30 - 1 で比較され、期間 T s 経過後に両者の大小関係が逆転する。期間 T d でセットされた第 1 のカウント値を維持したカウンタ回路 40 - 1 は、上記のダウンカウント値に対して、その期間 T s の間にアップカウントを行う。すなわち、カウンタ回路 40 - 1 は、ランプ信号 S - R A M P の傾斜が開始するとアップカウントを開始し、上記の両者の大小関係が逆転するとアップカウントを終了する。カウントされたアップカウント値（第 2 のカウント値）がカウンタ回路 40 - 1 にセットされる。この値は、この結果、第 1 のカウント値（第 1 のデジタル値）と第 2 のカウント値（第 2 のデジタル値）との差分を示すため、S 信号から N 信号を減算したことに等しいカウント値となる。カウンタ回路 40 - 1 のダウンカウントモードとアップカウントモード機能は、図 6 を参照しながら後述する。

#### 【 0 0 3 1 】

なお、図 4 の増幅回路 20 - 1 で設定される低ゲインを 1 倍、高ゲインを 8 倍とする。しかし、後述の図 12 で説明する撮像システムには、撮影環境に適した感度設定を行うために、増幅回路 20 - 1 の低ゲインあるいは高ゲインを変える。増幅回路 20 - 1 のゲインを変更しても、低ゲイン（第 1 のゲイン）の倍率と高ゲイン（第 2 のゲイン）の倍率とのゲイン比を、異なる撮影感度間で一定にすると、補正量を合わせることができる。このゲイン比は 2 の乗数倍に設定すると、デジタル信号の補正が容易になる。また、画像信号の同一フレーム内で低ゲイン（第 1 のゲイン）と高ゲイン（第 2 のゲイン）とのゲイン比は一定である。また、画像信号の同一水平画素行内で低ゲイン（第 1 のゲイン）と高ゲイン（第 2 のゲイン）とのゲイン比は一定である。また、ランプ信号の傾斜を変えることで感度設定を行っても良い。具体的には、ランプ信号の傾斜を小さくすることにより高分解能で A D 変換し、結果的に高感度にすることができる。

#### 【 0 0 3 2 】

図 6 ( A ) ~ ( C ) は、カウンタ回路（補正部）40 - 1 の構成例を示す図である。カウンタ回路 40 - 1 は、N 信号とランプ信号 N - R A M P との比較、S 信号とランプ信号 S - R A M P との比較における比較回路 30 - 1 の出力が逆転するまでをカウントする。比較回路 30 - 1 が N 信号の比較を行うときにはカウンタ回路 40 - 1 はダウンカウントする。これに対し、比較回路 30 - 1 が S 信号の比較を行うときにはカウンタ回路 40 - 1 はアップカウントする。そして、メモリ部 50 は、分解能比を補正したカウントデータを保持する。

#### 【 0 0 3 3 】

図 6 ( A ) は、カウンタ回路 40 - 1 の構成例を示す図である。図 6 ( B ) 及び ( C ) は、カウンタ回路 40 - 1 の補正処理を含むカウント処理を説明するための図である。図 6 ( B ) は、N 信号とランプ信号 N - R A M P とを比較した後、S 信号が基準信号 V R E F より大きい場合であり、S 信号とランプ信号 S - R A M P とを比較した時のカウントデータを示す図である。図 6 ( C ) は、N 信号とランプ信号 N - R A M P とを比較した後、S 信号が基準信号 V R E F より小さい場合であり、S 信号とランプ信号 S - R A M P とを

10

20

30

40

50

比較した時のカウントデータを示す図である。

【0034】

カウンタ回路40-1は、インバータ601、3ビットアップ/ダウンカウンタ602、10ビットアップ/ダウンカウンタ603及びスイッチSW1, SW2を有する。本構成例に示したアップ/ダウンカウンタは非同期カウンタである。カウントクロック信号CLKは、スイッチSW1及びSW2に入力される。インバータ601は、ゲイン切り替え信号HOの論理反転信号を出力する。スイッチSW1は、インバータ601の出力信号により制御される。スイッチSW2は、ゲイン切り替え信号HOにより制御される。カウンタクロック信号CLKは、ゲイン切り替え信号HOに応じて、3ビットアップ/ダウンカウンタ602又は10ビットアップ/ダウンカウンタ603のクロック端子のいずれかに10  
入力される。

【0035】

図6(B)では、S信号が基準信号VREFより大きい場合であり、增幅回路20-1のゲインは1倍に設定される。期間Trでは、ゲイン切り替え信号HOがローレベルになり、N信号の比較処理を行う。すると、スイッチSW1により、カウンタクロック信号CLKは、3ビットアップ/ダウンカウンタ602のクロック端子に入力される。スイッチSW2により、3ビットアップ/ダウンカウンタ602の桁上げ出力(キャリーアウト)c0は、10ビットアップ/ダウンカウンタ603のクロック端子に出力される。3ビットアップ/ダウンカウンタ602は、カウンタクロック信号CLKに同期してダウンカウントを行い、データD0~D2を出力する。10ビットアップ/ダウンカウンタ603は、3ビットアップ/ダウンカウンタ602の桁上げ出力c0に同期してダウンカウントを行い、データD3~D6を出力する。N信号のダウンカウント値(第1のカウント値)は、データD0~D6になる。次に、期間Tjでは、S信号が基準信号VREFより大きいため、ゲイン切り替え信号HOがローレベルになり、增幅回路20-1のゲインは1倍に設定され、增幅回路20-1は1倍の低ゲイン信号G1を出力する。次に、期間Tsでは、ゲイン切り替え信号HOがローレベルであり、スイッチSW1により、カウンタクロック信号CLKは、3ビットアップ/ダウンカウンタ602のクロック端子に入力されなくなる。スイッチSW2により、カウンタクロック信号CLKは、10ビットアップ/ダウンカウンタ603のクロック端子に出力される。10ビットアップ/ダウンカウンタ603は、カウンタクロック信号CLKに同期して第1のカウント値までアップカウントし、30  
そのアップカウント値(第2のカウント値)をメモリ部50に出力する。メモリ部50は、そのアップカウント値を3ビットシフトし、3ビットシフトした10ビットデータD3~D12をデータDa3~Da12として保持する。また、メモリ部50は、3ビットアップ/ダウンカウンタ602の出力3ビットデータD0~D2をデータDa0~Da2として保持する。結果的に、3ビットアップ/ダウンカウンタ602及び10ビットアップ/ダウンカウンタ603においてS信号とN信号との差分が行われたデータがDa0~Da12になる。13ビットデータDa0~Da12は、それぞれデータD0~D12に対応し、メモリ回路50-1に保持される。このように、低ゲインのS信号のAD変換データD3~D12は、低ゲインのN信号のデータD0~D6に対して、3ビットシフトされて差分処理される。これにより、高精度の13ビットAD変換データDa0~Da12が40  
得られる。

【0036】

図6(C)では、S信号が基準信号VREFより小さい場合であり、增幅回路20-1のゲインは8倍に設定される。期間Trでは、図6(B)と同様に、N信号のダウンカウントが行われる。ダウンカウント値(第1のカウント値)は、データD0~D6になる。次に、期間Tjでは、S信号が基準信号VREFより小さいため、ゲイン切り替え信号HOがハイレベルになり、增幅回路20-1のゲインは8倍に設定され、增幅回路20-1は8倍の高ゲイン信号G8を出力する。次に、期間Tsでは、ゲイン切り替え信号HOがハイレベルであるため、スイッチSW1により、カウンタクロック信号CLKは、3ビットアップ/ダウンカウンタ602のクロック端子に入力される。スイッチSW2により、50  
50

3ビットアップ/ダウンカウンタ602の桁上げ出力(キャリーアウト)coは、10ビットアップ/ダウンカウンタ603のクロック端子に出力される。3ビットアップ/ダウンカウンタ602は、カウンタクロック信号CLKに同期してアップカウントを行う。10ビットアップ/ダウンカウンタ603は、3ビットアップ/ダウンカウンタ602の桁上げ出力coに同期してアップカウントを行い、10ビットデータD0～D9をメモリ部50に出力する。ダミーデータD10～D12は、「0」である。データD0～D9はそれぞれデータDa0～Da9として、ダミーデータD10～D12はデータDa10～Da12として、13ビットデータDa0～Da12がメモリ部50に保持される。結果的に、3ビットアップ/ダウンカウンタ602及び10ビットアップ/ダウンカウンタ603においてS信号とN信号との差分が行われたデータがDa0～Da9になる。ダミーデータD10～D12は、データDa10～Da12として追加される。13ビットデータDa0～Da12は、メモリ回路50-1に保持される。ダミーデータD10～D12は、小振幅データ(高ゲインデータ)であるので上位ビットがゼロであることを意味している。10

#### 【0037】

本実施形態では、以上のように、S信号のゲインにかかわらず、N信号は結果的に低ゲインの高分解能で比較処理したカウントデータを利用している。このため、低ゲイン信号の量子化ノイズの影響を小さくした高精度のデジタルデータを得ることができる。また、AD変換された10ビットのカウントデータを3ビットシフトさせることにより、13ビットのデジタルデータを取得できることになる。さらに、カウンタ回路40-1でS信号とN信号との差分処理及びゲイン補正を行うので、回路が簡単になる効果がある。上述のビットシフトは、ダウンカウントモードとアップカウントモードのカウント機能を有するカウンタ回路40-1を用いたが、カウンタ回路40-1は先に述べたように共通カウンタ方式でも良い。20

#### 【0038】

比較回路30-1は、期間Tdで、N信号とランプ信号N-RAMPとを比較し、カウンタ回路40-1は、N信号とランプ信号N-RAMPとの大小関係が逆転するまでの期間Trに第1のカウント値のカウントを行う。その後、比較回路30-1は、期間Tjで、S信号と基準信号VREFとを比較する。そして、比較回路30-1は、S信号が基準信号より大きいときには增幅回路20-1のゲインを第1のゲイン(1倍)に設定し、S信号が基準信号より小さいときには增幅回路20-1のゲインを第2のゲイン(8倍)に設定する。その後、比較回路30-1は、期間Tuで、S信号とランプ信号S-RAMPとを比較し、S信号とランプ信号S-RAMPとの大小関係が逆転するまでの期間Tsに第2のカウント値のカウントを行う。カウンタ回路40-1及びメモリ部50の補正部は、N信号及びS信号のゲインの違いに対応する第1のカウント値及び第2のカウント値の分解能の違いを補正する。そして、メモリ部(補正部)50は、補正した第1のカウント値及び第2のカウント値の差分データDa0～Da12を出力する。30

#### 【0039】

上記では、期間Trで第1のカウント値をダウンカウントし、期間Tsで第2のカウント値をアップカウントする例を説明したが、その逆でもよい。カウンタ回路40-1は、期間Trで第1のカウント値をアップカウントし、期間Tsで第2のカウント値をダウンカウントすることにより、第1のカウント値及び第2のカウント値の差分データDa0～Da12を出力するようにしてもよい。すなわち、カウンタ回路40-1は、第1のカウント値をダウンカウント又はアップカウントし、第1のカウント値のアップダウン方向と逆方向になるように第2のカウント値をカウントする。これにより、メモリ部50は、補正した第1のカウント値及び第2のカウント値の差分データDa0～Da12を保持することができる。40

#### 【0040】

##### (第2の実施形態)

図7は、本発明の第2の実施形態による撮像素子内の增幅回路20-1の構成例を示す50

図である。以下、本実施形態が第1の実施形態と異なる点を説明する。增幅回路20-1は、ゲイン切り替え時のオフセット変動を低減することができる回路を用いた構成例である。增幅回路20-1の出力信号V<sub>a</sub>を比較回路30-1に入力される。パルスcにより比較回路30-1の入力信号である信号V<sub>a</sub>及びVRAMを初期リセット後、ゲインを切り替えてもオフセット電位の変動が小さいので、AD変換データの変化は小さい。また、ゲインの切り替えを低ゲインから高ゲインに切り替えれば、高ゲインのAD変換データはゲイン補正を行うので、その時、オフセット電位の変化分がさらに小さくなる効果がある。

#### 【0041】

次に、增幅回路20-1の動作を説明する。增幅回路20-1は、オペアンプ20-2を有し、入力信号である画素10-1のN信号をクランプ容量C<sub>0</sub>でクランプし、ゲイン設定（例えば1倍）に従い、増幅した信号V<sub>a</sub>を比較回路30-1へ出力する。オペアンプ20-2は、反転入力端子及び非反転入力端子及び出力端子を有する。クランプ容量（第2の容量）C<sub>0</sub>は、オペアンプ20-2の反転入力端子と画素10-1との間に接続される。帰還回路は、クランプ容量C<sub>0</sub>を基準電圧V<sub>r</sub>にクランプするスイッチSW1と、クランプ容量C<sub>0</sub>と共に入力信号を増幅する容量C<sub>1</sub>と容量C<sub>8</sub>及びそれらを入出力端子に接続を制御するスイッチSW2, SW3からなる。第1の容量C<sub>1</sub>及び第1のスイッチSW2の直列接続回路と、第1の容量C<sub>8</sub>及び第1のスイッチSW3の直列接続回路とは、オペアンプ20-2の反転入力端子及び出力端子間に並列に接続される。また、帰還回路は、ゲインを切り替える時に容量の電荷を、切り替えた容量へ完全に転送し、オフセット補償を行っている。また、ゲイン切り替え時のゲイン補償のためのスイッチSW4、SW5が基準電圧V<sub>r</sub>に接続されている。第2のスイッチSW4は、第1の容量C<sub>1</sub>及び第1のスイッチSW2の相互接続点とオペアンプ20-2の非反転入力端子との間に接続される。第2のスイッチSW5は、第1の容量C<sub>8</sub>及び第1のスイッチSW3の相互接続点とオペアンプ20-2の非反転入力端子との間に接続される。本実施形態では、容量C<sub>1</sub>、C<sub>8</sub>とC<sub>0</sub>の容量値は、ゲインがC<sub>0</sub>/C<sub>1</sub>=1、C<sub>0</sub>/C<sub>8</sub>=8になるように設定される。この場合、寄生容量は説明を簡単にするために省略している。各スイッチSW1～SW5は図面上に示した等価回路の構成である。

#### 【0042】

図7の増幅回路20-1の駆動方法に関して、図8のタイミング図を参照しながら説明する。図5のタイミング図と同様に、期間T<sub>a</sub>dがN信号及びS信号のAD変換期間、期間T<sub>d</sub>がN信号のAD変換期間、期間T<sub>j</sub>がS信号の信号レベル判定期間、期間T<sub>u</sub>がS信号のAD変換期間である。上記AD変換動作を行う前に、画素部10からのN信号読み出し中に、増幅回路20-1及び比較回路30-1の初期設定を行う期間がT<sub>c</sub>である。期間T<sub>c</sub>では、画素10-1のパルスSELとRのハイレベルにより増幅トランジスタ104を動作させる。それとともに、スイッチSW1、SW2、SW3のオンにより増幅回路20-1を初期状態にリセットし、パルスcのハイレベルにより比較回路30-1を初期状態にリセットする。パルスRをローレベルにしてリセットトランジスタ103をオフにすることで、フローティングディフュージョン部FDはフローティング状態となる。増幅回路20-1を初期ゲイン（例えばゲイン1倍）に設定するためにスイッチSW2はオン状態を保ち、スイッチSW1及びSW3をオフとすることで、増幅回路20-1の出力信号V<sub>a</sub>は画素のN信号をクランプ後の、ゲイン1倍におけるオフセット電圧となる。

#### 【0043】

次に、比較回路30-1のリセットパルスcをローレベルに制御することで、比較回路30-1は画素信号のN信号をクランプした電位となる。次に、期間T<sub>d</sub>において、上記のように、ランプ信号N-RAMPを用いて、N信号のAD変換を行う。AD変換の期間T<sub>d</sub>が終了すると、パルスTのハイレベルにより、転送トランジスタ102がオンし、フォトダイオード101の電荷がフローティングディフュージョン部FDへ転送される。増幅回路20-1はゲイン1倍で増幅されたN信号を信号V<sub>a</sub>として比較回路30-1

10

20

30

40

50

へ出力する。パルス  $T_j$  のローレベルにより転送トランジスタ  $T_{02}$  はオフする。次に、期間  $T_j$  において、上記のように、基準信号  $V_{REF}$  を用いて、 $S$  信号の信号レベル判定を行う。 $S$  信号が基準信号  $V_{REF}$  より小さいときには、ゲイン切り替え信号  $H_O$  がハイレベル信号として增幅回路  $20-1$  に入力される。その結果、スイッチ  $SW_2$  がオフ、スイッチ  $SW_3$  と  $SW_4$  がオンになり、增幅回路  $20-1$  のゲインが 8 倍に切り替えられ、8 倍に增幅された  $S$  信号が信号  $V_a$  として出力される。なお、 $S$  信号が基準信号  $V_{REF}$  より大きいときには、ゲイン切り替え信号  $H_O$  がローレベルのままであり、スイッチ  $SW_1$  ~  $SW_5$  は変化せず、增幅回路  $20-1$  のゲインは 1 倍のまま変わらない。この動作により、增幅回路  $20-1$  のオフセット電圧の変化が低減することができる。次に、期間  $T_u$  において、上記のように、ランプ信号  $S-RAMP$  を用いて、 $S$  信号の  $AD$  変換を行う。以上により、增幅回路  $20-1$  のオフセット電圧の変化が低減した  $AD$  変換データを得ることができる。10

#### 【0044】

以上の説明は低ゲイン信号を初期ゲインとしたが、高ゲイン信号を初期ゲインとして、ゲイン切り替え信号によって低ゲインに切り替えてても良い。また、図 8 のタイミング図では、ランプ信号  $N-RAMP$  と  $S-RAMP$  の傾きは同じである。この場合は  $N$  信号と  $S$  の分解能は変わらないので、この時のカウント処理は図 12 で説明する。低ゲイン信号の量子化ノイズは低減出来ないが、高ビット化は出来ている。

#### 【0045】

##### (第3の実施形態)

20

図 9 は、本発明の第3の実施形態による撮像素子内の増幅回路  $20-1$  及び比較回路  $30-1$  の構成例を示す図である。以下、本実施形態が第1及び第2の実施形態と異なる点を説明する。本実施形態は、2系統の増幅回路 A 及び B を有する増幅回路  $20-1$  を設けてゲイン切り替えを行う。本実施形態では、2系統の増幅回路 A 及び B の回路構成は、それぞれ図 7 の増幅回路  $20-1$  と同じである。第1の増幅回路 A は、第1のオペアンプ  $20-2$ 、容量  $C_0$ 、 $C_8$ 、 $C_{16}$  及びスイッチ  $SW_{10} \sim SW_{14}$  を有する。第1のオペアンプ  $20-2$  は、反転入力端子、非反転入力端子及び出力端子を有する。第1の容量  $C_1$  及び第1のスイッチ  $SW_{12}$  の直列接続回路は、第1のオペアンプ  $20-2$  の反転入力端子及び出力端子間に接続される。第2の容量  $C_{16}$  及び第2のスイッチ  $SW_{13}$  の直列接続回路は、第1のオペアンプ  $20-2$  の反転入力端子及び出力端子間に接続される。第3のスイッチ  $SW_{10}$  及び第3の容量  $C_0$  は、第1のオペアンプ  $20-2$  の反転入力端子及び画素  $10-1$  との間に接続される。第4のスイッチ  $SW_{11}$  は第1のオペアンプ  $20-2$  の反転入力端子及び出力端子間に接続される。第5のスイッチ  $SW_5$  は第1のオペアンプ  $20-2$  の出力端子に接続されている。30

#### 【0046】

第2の増幅回路 B は、第2のオペアンプ  $20-2$ 、容量  $C_0$ 、 $C_1$ 、 $C_2$  及びスイッチ  $SW_{21} \sim SW_{24}$  を有する。第2のオペアンプ  $20-2$  は、反転入力端子、非反転入力端子及び出力端子を有する。第5の容量  $C_1$  及び第5のスイッチ  $SW_{22}$ 、第6の容量  $C_2$  及び第6のスイッチ  $SW_{23}$  の直列接続回路は、第2のオペアンプ  $20-2$  の反転入力端子及び出力端子間に接続される。第7のスイッチ  $SW_{21}$  は第2のオペアンプ  $20-2$  の反転入力端子及び出力端子間に接続される。第4の容量  $C_0$  は、第2のオペアンプ  $20-2$  の反転入力端子及び画素  $10-1$  との間に接続される。第8のスイッチ  $SW_{24}$  は第2のオペアンプ  $20-2$  の出力端子に接続されている。40

#### 【0047】

画素のリセット信号読み出し時に、2系統の増幅回路 A 及び B と比較回路  $30-1$  を同時に初期リセット後、ゲイン設定を行う。ゲイン設定は撮像システムの感度設定の考え方により異なるが、本実施形態の図 9 の回路では増幅回路 A は撮像装置の撮影感度を考慮した高ゲインを選択し、増幅回路 B は低ゲインである。増幅回路  $20-1$  の基本動作は図 7 と同じなのでその説明は省略する。第1の増幅回路 A が高ゲインの増幅回路、第2の増幅回路 B が低ゲインの増幅回路であり、入力容量  $C_0$  と帰還容量  $C_n$  でゲインが決まる。第50

1 の増幅回路 A は、容量 C 8 を利用することでゲイン 8 倍、容量 C 16 を利用することでゲイン 16 倍に設定可能である。同様に、第 2 の増幅回路 B は、容量 C 1 を利用することでゲイン 1 倍に、容量 C 2 を利用することでゲイン 2 倍に設定可能である。説明を簡単にするために、2 つのゲインを切り替える場合を例に挙げているが、3 以上のゲインを切り替えられるように構成しても良い。第 1 の増幅回路 A のゲインを 8 倍とする動作と、第 2 の増幅回路 B のゲインを 1 倍とする動作を例に説明するが、ゲイン設定を変えて、同様な動作である。一般的には、撮像システムで設定される感度設定に応じて 1 フレームの画像信号のゲインを決定する。本実施形態では、画素行毎に、信号レベルによりどちらかのゲインが選択され A/D 変換されるので、上述の A/D 変換データからの分解能の補正処理であるビットシフトを同一回路あるいは同一データ処理で簡便に出来る効果がある。まず、第 1 の増幅回路 A をゲイン 8 倍として、比較回路 30-1 で S 8 信号レベルの判断を行う。S 信号が基準信号 VREF より小さい時は、高ゲインの信号を比較処理する。S 信号が基準信号 VREF より大きい時は増幅回路 B の低ゲインの信号を選択し比較処理を行う。ゲイン比を 8 倍にする。高ゲインの信号を基準信号 VREF と比較し信号レベルを判断する理由を以下述べる。

#### 【 0048 】

例えばゲイン比が 16 倍の時、もし、低ゲイン信号から信号レベルを判断すると、信号レベル判断レベルは飽和信号を 1V とすると、そのゲイン分の 1 は約 6.2mV となる。比較器の N 信号振幅（リセット信号のバラツキ）は約 6.0mV を想定しており、N 信号の振幅範囲が大きくて、S 信号の信号レベル判断が正確に出来なくなる。高ゲインの信号であれば N 信号より十分大きい信号で信号レベルの判断を行うので N 信号の影響を小さくすることが出来る。また、例えばゲイン比が 4 倍であれば、信号レベル判断レベルは 2.50mV であり、N 信号振幅の影響は少ない。従って、この様なゲイン比が小さい場合は低ゲイン信号で信号レベルを判断しても良い。

#### 【 0049 】

増幅回路 20-1 は低ゲインと高ゲインの 2 系統の信号が出力できる回路であれば良い。また、他方式の増幅回路、例えばソース接地型の増幅回路でも良い。ソース接地型の増幅回路は回路面積を縮小化出来る効果がある。低ゲインと高ゲインの信号は、同時に得ても良いし、まず一方のゲイン信号から信号レベルを判断し、その後他方のゲインを得ても良い。

#### 【 0050 】

図 9 の回路で、低ゲインと高ゲインの信号を同時に得て、ゲインを選択する駆動方法に関して、図 10 のタイミング図を参照しながら説明する。図 8 のタイミング図と同様に、期間  $T_{ad}$  が N 信号及び S 信号の A/D 変換期間、期間  $T_d$  が N 信号の A/D 変換期間、期間  $T_j$  が S 信号の信号レベル判定期間、期間  $T_u$  が S 信号の A/D 変換期間である。上記 A/D 変換動作を行う前に、画素部 10 からの N 信号読み出し中に、増幅回路 20-1 及び比較回路 30-1 の初期設定を行う期間が  $T_c$  である。期間  $T_c$  では、画素 10-1 のパルス  $SEL$  と  $R$  のハイレベルにより増幅トランジスタ T104 を動作させる。スイッチ  $SW_{10}$ 、 $SW_{14}$ 、 $SW_{24}$  をオンとし、スイッチ  $SW_{11}$ 、 $SW_{12}$ 、 $SW_{13}$ 、 $SW_{21}$ 、 $SW_{22}$ 、 $SW_{23}$  の制御により増幅回路 A 及び B を初期状態にリセットし、パルス  $c$  のハイレベルにより比較回路 30-1 を初期状態にリセットする。パルス  $R$  をローレベルにすることで、フローティングディフュージョン部 FD はフローティング状態となり、増幅回路 A 及び B には N 信号が入力される。増幅回路 A をゲイン 8 倍に設定するためにはスイッチ  $SW_{12}$  はオン状態を保ち、スイッチ  $SW_{11}$  及び  $SW_{13}$  をオフとすることで、増幅回路 A の出力信号  $V_{a-L}$  は N 信号をクランプ後のゲイン 8 倍におけるオフセット電圧となる。増幅回路 B も同様に、ゲイン 1 倍に設定するためにスイッチ  $SW_{22}$  はオン状態を保ち、スイッチ  $SW_{21}$ 、 $SW_{23}$  をオフとすることで、増幅回路 B の出力信号  $V_{a-H}$  は N 信号をクランプ後のゲイン 1 倍におけるオフセット電圧となる。次に、比較回路 30-1 のリセットパルス  $c$  をローレベルに制御することで、比較回路 30-2 の入力は N 信号をクランプした電圧となる。

10

20

30

40

50

## 【0051】

次に、スイッチ SW10、SW14、SW24 はオン状態を保って、期間 Td において、上記のように、ランプ信号 N-RAMP を用いて、N 信号の AD 变換を行う。N 信号の AD 变換期間 Td が終了すると、スイッチ SW24 はオフに制御され、增幅回路 B は比較回路 30-1 から電気的に切り離される。すなわち、增幅回路 A の出力信号 Va-L のみが容量 Ci を通して、比較回路 30-2 に入力される。ここでは、期間 Td が終了してからスイッチ SW24 をオフにする例を説明したが、スイッチ SW24 は、期間 Tc の終了から期間 Tj の開始までの期間のうち、期間 Td を除く期間であればいつオフに切り替えるても良い。

## 【0052】

そして、パルス T のハイレベルにより転送トランジスタ 102 がオンし、フォトダイオード 101 の電荷がフローティングディフュージョン部 FD へ転送され、增幅回路 A はゲイン 8 倍の S 信号を比較回路 30-1 へ出力する。パルス T のローレベルにより転送トランジスタ 102 をオフにして、期間 Tj において、上記のように、基準信号 VREF を用いて、S 信号の信号レベル判定を行う。S 信号が基準信号 VREF より大きいときは、ゲイン切り替え信号 HO がハイレベル信号として增幅回路 20-1 に入力される。すると、スイッチ SW10 がオフに、スイッチ SW11 がオンに制御され、增幅回路 A の出力信号 Va-L は增幅回路のオフセット信号になる。即ち增幅回路 A 及び比較器の入力容量 Ci は初期リセット電位に復帰する。次にスイッチ SW24 がオンに制御されることで增幅回路 A のゲイン 1 倍の信号が比較器に入力され、期間 Tu において、ランプ信号 S-RAMP を用いて、S 信号の AD 变換が行われる。この増幅回路 A の S 信号が基準信号 VREF より大きい時のスイッチの切り替えが図示の破線で示したタイミングである。

## 【0053】

また、増幅回路 A の S 信号が基準信号 VREF より小さい時は、増幅回路 A の信号が期間 Tu において、ランプ信号 S-RAMP を用いて、S 信号の AD 变換が行われる。図 10 のランプ信号 VRAMP で、N-RAMP と S-RAMP の時間に対する傾きを小さくすると、低振幅信号の AD 变換処理になるので、撮影感度としては高感度撮影に対応する。この時は比較基準信号 VREF も RAMP 信号の傾きに比例して小さくする必要がある（図の破線）。この場合、N 信号のバラツキは変わらないのでランプ信号 N-RAMP の振幅は変えない。ランプ信号 N-RAMP は、振幅が同じで傾きが異なる複数種類のランプ信号に変更可能である。このように、増幅回路 20-1 の高ゲインとランプ信号の傾きを小さくすることで、高感度な AD 变換処理が可能になる。

## 【0054】

以上のように、スイッチ SW14、SW24 の制御により、2 系統の増幅回路 A 及び B の出力信号を選択し、設定したゲインで増幅した信号を比較回路 30-1 へ出力する。増幅回路 20-1 は、第 1 のゲイン（高ゲイン）が設定されると、第 1 の増幅回路 A の出力信号 Va-L のみを比較回路 30-1 に出力する。また、増幅回路 20-1 は、第 2 のゲイン（低ゲイン）が設定されると、第 2 の増幅回路 B の出力信号 Va-H を比較回路 30-1 に出力する。2 系統の増幅回路 A 及び B の出力と比較回路 30-1 を接続した状態で、増幅回路 20-1 及び比較回路 30-1 を初期状態にリセットする。あるいは、2 系統の増幅回路 A 及び B は個別に比較回路 30-1 に接続して増幅回路 20-1 及び比較回路 30-1 を初期状態にリセットしても良い。これにより、ゲイン切り替えを行っても、初期リセット信号である N 信号の AD 变換は 1 回で済み、また、N 信号の AD 变換データもゲインによらず同じデータを使うことができるメリットがある。また、スイッチ SW14 及び SW24 をオンすることにより、第 1 の増幅回路 A の出力信号 Va-L 及び第 2 の増幅回路 B の出力信号 Va-H を加算した信号を比較回路 30-2 に出力することができる。

## 【0055】

低照度環境では信号レベルが小さいため、増幅回路でゲインを上げて信号レベルを大きくする、あるいは、ランプ信号の傾きを小さくする。一方、高照度環境では、光ショット

10

20

30

40

50

ノイズが大きいために回路系ノイズの影響は非常に小さくなる。従って、本実施形態では、低ゲイン設定で得られるデータを補正することで信号のダイナミックレンジを拡大する。

#### 【 0 0 5 6 】

図11を参照しながら、高ゲイン及びランプ信号の傾きを小さくした高ISO感度での場合の画素信号とランプ信号の関係を説明する。例えば、図13で説明する撮影感度が高ISO1600では、增幅回路の飽和信号を1Vとして、信号は、低ゲインは2倍(G2)、高ゲインは16倍(G16)、ランプ信号の傾きを1/2にした事例である。S信号のランプ信号振幅501はVLであり、このレベルより小さい信号がAD変換される。図11の実施形態において、AD変換される光量は、特性G2の信号は光量L6まで、特性G16の信号は光量L4までの信号である。

10

#### 【 0 0 5 7 】

光量L3における信号を考える。特性G16の信号V3は一点鎖線403の基準電圧VREF3以下であるので、AD変換して利用する。特性G16の信号が基準電圧VREF3より大きい場合は、低ゲインの特性G2を利用する。光量L4から光量L6までのデジタルデータが特性G16の光量L4以上に相当するようにデジタルデータをレベルシフトして利用する。この結果、従来利用出来なかった光量L4から光量L6までの信号が利用出来るようになり、ダイナミックレンジが拡大されている。以上の説明では、低ゲインの信号を補正するとしたが、高ゲインの信号を補正して、後段の撮像システム内の映像信号処理部で3ビット分のゲインアップを行っても良い。

20

#### 【 0 0 5 8 】

##### (第4の実施形態)

図12(A)～(B)は、本発明の第4の実施形態によるカウンタ回路(補正部)のカウント処理を説明するための図である。図6の実施形態では低ゲイン時に、N信号は高分解能で、S信号は低分解能でカウント処理を行ったが、本実施形態ではN信号とS信号を低分解能でカウント処理する実施形態である。また、カウンタは低ゲイン時及び高ゲイン時のカウント処理時10ビットのカウンタを利用してS-N処理を行う。メモリは13ビット構成であり、カウンタからメモリにデータを保持する時に10ビットデータのビットシフトと3ビットのダミーデータを付加している。あるいは、他の実施形態としてメモリは11ビット構成で、付加された1ビットはゲイン情報として、メモリから水平転送線へデータ転送する時、あるいは、撮像装置の外部でビットシフトを行っても良い。この様に、カウンタをビットシフトを付加した13ビットではなく10ビットにすることにより、回路規模を小さく出来る効果がある。

30

#### 【 0 0 5 9 】

図13は、撮像システムの撮影感度とアンプゲイン及びランプ信号RAMPの傾きの組み合わせを示す表である。従来の撮像システムでは、撮影感度であるISO感度に合わせて信号ゲインを上げている。例えば、ISO100ではゲイン1倍、ISO200ではゲイン2倍、ISO400ではゲイン4倍とする。この様に、撮像システムの感度に応じて一律にゲインを上げる方法は、增幅回路で信号が飽和しやすくなるので、ISO感度が高くなるに従って利用出来る光量範囲が狭くなってダイナミックレンジが低下する。

40

#### 【 0 0 6 0 】

本実施形態では、撮影感度によって、低ゲインと高ゲイン及びランプ信号の傾きを変えている。低ゲインと高ゲインのゲイン比がビット数の拡張、又は、SN比向上、ダイナミックレンジの拡大に関係する。ランプ信号の傾きは、AD変換する信号振幅を制限するが、傾きを小さくすることで高感度と同様の機能を有する。

#### 【 0 0 6 1 】

図13に示す表において、撮影感度ISO400までは、低ゲイン1倍、高ゲイン8倍、ランプ信号の傾き1倍とする。ISO800からISO3200までは低ゲイン2倍、高ゲイン16倍、ISO6400からISO12800までは低ゲイン4倍、高ゲイン16倍とする。ランプ信号の傾きは、ISO1600で1/2、ISO3200及びISO

50

6400で1/4、ISO12800で1/8である。ISO100からISO3200までは3ビット分高ビット化され、ISO6400以上では2ビット分高ビット化される。

#### 【0062】

図13において、高ゲイン信号の補正後のノイズ及びダイナミックレンジ(DR)は例示的なものである。例えば撮影感度100において、回路系ノイズを1/8としているが、これは高ゲイン信号をAD変換後に1/8にするので、回路系ノイズが計算上は1/8となることを意味している。回路系ノイズを低減することで、信号のSN比は改善される。この回路系ノイズの低減によるSN比改善分がダイナミックレンジの拡大と同じ意味を持つ。ここでは、撮影感度800の場合を1としたときに、ダイナミックレンジが8倍になることを、DR値8として示した。ISO200からISO800までは従来方式のゲイン設定よりも高ゲインである。最終的なISO感度としては、従来方式に対してゲインが高くなった分を調整する。ISO200を説明すると、従来の感度設定ではゲインが2倍に対して、本実施形態では高ゲイン8倍であるのでその分を考慮し、高ゲインデータを1/4にゲイン補正を行い、低ゲインデータを2倍して感度調整を行う。結果的に、SN比が改善されている。ISO400、ISO800でも同様な考え方でゲイン補正を行う。ISO800ではDR値を1とした。これは高ゲインのゲイン補正により回路系ノイズが1/2であるとしてダイナミックレンジが2倍拡大するが、低ゲインが2倍になっているので信号の飽和によりダイナミックレンジが1/2になり、結果的にDR値は1となる。ただ、従来方式のゲインを上げる方法ではDR値は1/8なので、本実施形態では、ダイナミックレンジが8倍拡大している。

10

#### 【0063】

ISO1600では高ゲインが16倍であるので、従来の感度設定と同じゲインである。図11で説明したように、低ゲインのデジタルデータをゲイン比である8倍して信号のダイナミックレンジを拡大する。しかし、ランプ信号の傾きが1/2になっているので、DR値1/16に対して実質的なダイナミックレンジの拡大は4倍である。ISO3200からISO12800も同様に考えることが出来る。本実施形態よりもダイナミックレンジを大きくする場合はゲイン比を大きくすれば良い。以上の様に、本実施形態では、低感度撮影では高ゲインのデジタルデータをゲイン補正することで回路系のノイズを実質的に小さくして、信号のSN比を改善出来た。また、高感度撮影では低ゲインのデジタルデータをゲイン補正することで信号を利用出来る光量範囲を広くすることで利用する信号のダイナミックレンジを拡大出来る。

20

#### 【0064】

撮影感度が高くなることは、被写体像が暗くなることで、受光量が少なくなり、光ショットノイズが信号のSN比を支配的に決める。従って、本実施形態では、ISO3200以降では従来のように感度アップに対して高ゲインとはしていない。これは、増幅器のゲイン効果が少ないからであり、さらに高ゲインにするかどうかは撮像システムをどうのよう構築するかで決めて良い。高ゲインにすると、増幅器の入力容量を大きくする必要があり、これは撮像装置が大きくなり、また、消費電流が大きくなる課題がある。ISO1600以上の高感度では、増幅回路20-1の高ゲインは変わらず、ランプ信号の傾きを変えている。本実施形態では、ランプ信号の傾きを小さくすることで高感度を達成している。

30

#### 【0065】

図14(A)は低ISO感度の時の低ゲインと高ゲインの比が8倍で、10ビットのAD変換データにビットシフトの3ビットを合成したカウンタ処理の説明図である。図14(B)は高ISO感度の時の低ゲインと高ゲインの比が4倍で、9ビットのAD変換データにビットシフトの2ビットを合成したカウンタ処理の説明図である。高ISO感度では光ショットノイズが非常に大きいので、カウンタのビット数を9ビットと少なくするとともに、高分解能データ1ビットあるいは2ビットを利用しないでデータ数を少なくするとさらに高速撮影が可能となる。図13に示したランプ信号の傾きは、異なる撮影感度間で

40

50

A/D変換期間の長さを均一にすると、ランプ信号の取り得る振幅の関係と等しくなる。

【0066】

(第5の実施形態)

図15は、本発明の第5の実施形態による撮像システムの構成例を示す図である。撮像システム800は、例えば、光学部810、撮像素子100、映像信号処理回路部830、記録・通信部840、タイミング制御回路部850、システムコントロール回路部860、及び再生・表示部870を含む。撮像装置820は、撮像素子100及び映像信号処理回路部830を有する。撮像素子100は、上述の各実施形態で説明した撮像素子100が用いられる。

【0067】

レンズ等の光学系である光学部810は、被写体からの光を、撮像素子100の複数の画素が2次元状に配列された画素部10(図1)に結像(集光)させ、被写体の像を形成する。撮像素子100は、タイミング制御回路部850からの信号に基づくタイミングで、画素部10に結像された光に応じた信号を出力する。撮像素子100から出力された信号は、映像信号処理部である映像信号処理回路部830に入力され、映像信号処理回路部830が、プログラム等によって定められた方法に従って、入力された信号に対して信号処理を行う。映像信号処理回路部830での処理によって得られた信号は画像データとして記録・通信部840に送られる。記録・通信部840は、画像を形成するための信号を再生・表示部870に送り、再生・表示部870に動画や静止画像を再生・表示させる。記録・通信部840は、また、映像信号処理回路部830からの信号を受けて、システムコントロール回路部860と通信を行うほか、不図示の記録媒体に、画像を形成するための信号を記録する動作も行う。

【0068】

システムコントロール回路部860は、撮像システムの動作を統括的に制御するものであり、光学部810、タイミング制御回路部850、記録・通信部840、及び再生・表示部870の駆動を制御する。また、システムコントロール回路部860は、例えば記録媒体である不図示の記憶装置を備え、ここに撮像システムの動作を制御するのに必要なプログラム等が記録される。また、システムコントロール回路部860は、例えばユーザの操作に応じて駆動モードを切り替える信号を撮像システム内に供給する。具体的な例としては、読み出す行やリセットする行の変更、電子ズームに伴う画角の変更や、電子防振に伴う画角のずらし等である。タイミング制御回路部850は、制御部であるシステムコントロール回路部860による制御に基づいて撮像素子100及び映像信号処理回路部830の駆動タイミングを制御する。

【0069】

第1～第5の実施形態によれば、高分解能で低ゲインのN信号と適切なゲインのS信号との差分処理を行うことにより、画像ノイズを低減することができる。また、同一のカウンタ回路40-1でS信号とN信号との差分処理及びゲイン補正を行うことにより、回路規模を小さくすることができる。

【0070】

なお、上記実施形態は、何れも本発明を実施するにあたっての具体化の例を示したものに過ぎず、これらによって本発明の技術的範囲が限定的に解釈されなければならないものである。すなわち、本発明はその技術思想、又はその主要な特徴から逸脱することなく、様々な形で実施することができる。例えば、参照信号として、ランプ信号は時間に対してレベルが直線的に変化するものを説明したが、階段状に変化するものを用いても良い。また、上述の各実施形態では、各比較回路につきカウンタ回路が設けられた構成を示したが、複数の比較回路に対して共通のカウンタ回路を設け、各比較回路に対応したメモリを設ける構成でも良い。各メモリは、対応する比較回路の出力によって、共通のカウンタ回路のカウント値を保持することで、上述の第1及び第2のカウント値を得るようにしてもよい。

【符号の説明】

【0071】

10

20

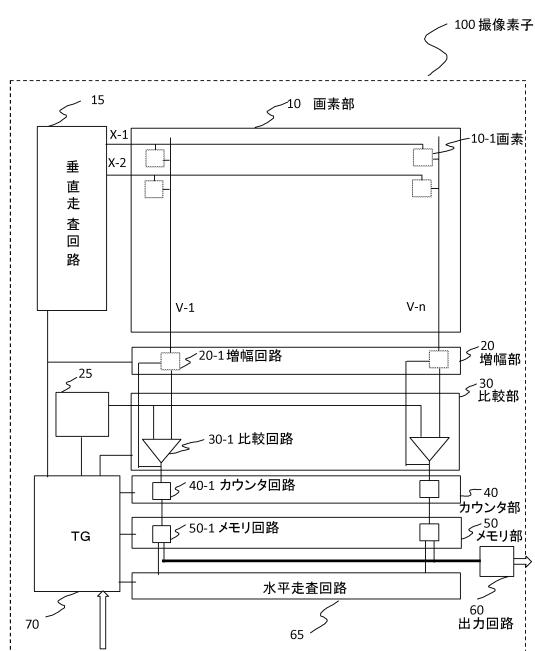
30

40

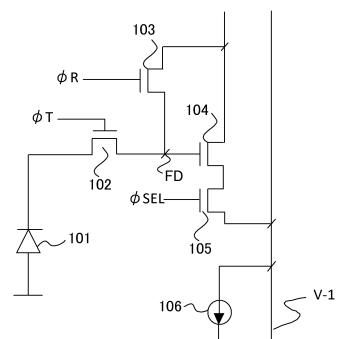
50

10-1 画素、 20-1 增幅回路、 30-1 比較回路、 40-1 カウンタ回路、  
 50-1 メモリ回路

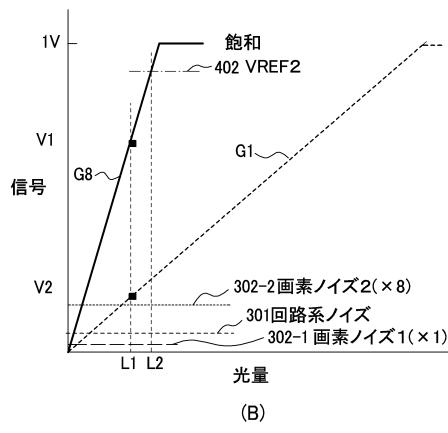
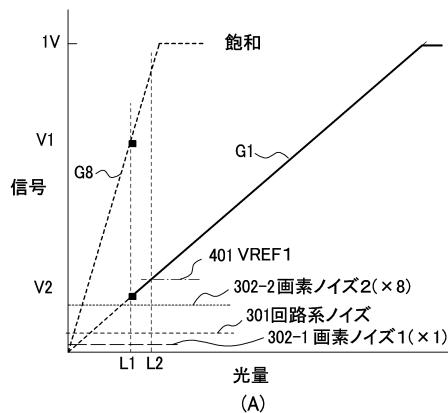
【図1】



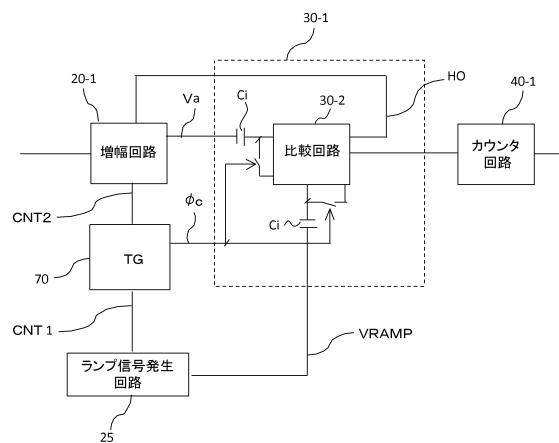
【図2】



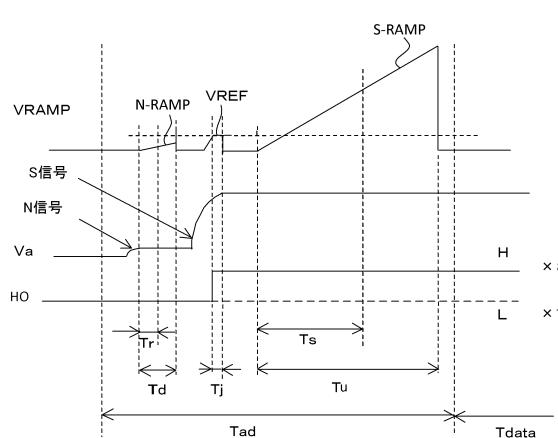
【図3】



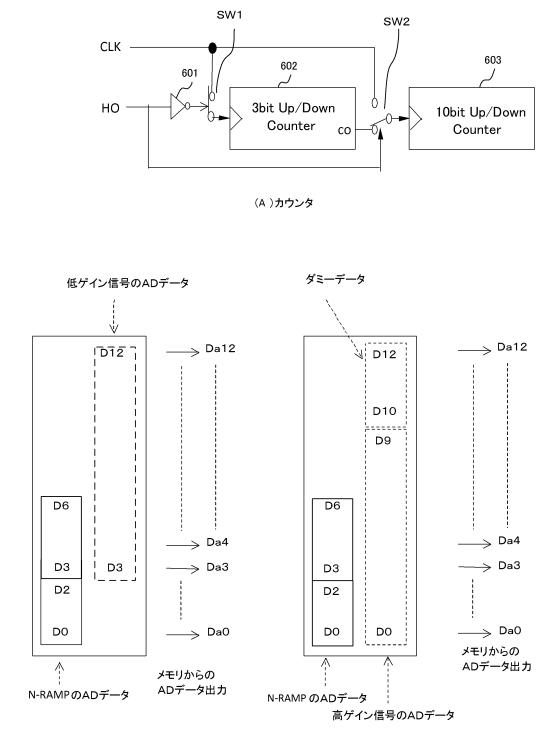
【図4】



【図5】



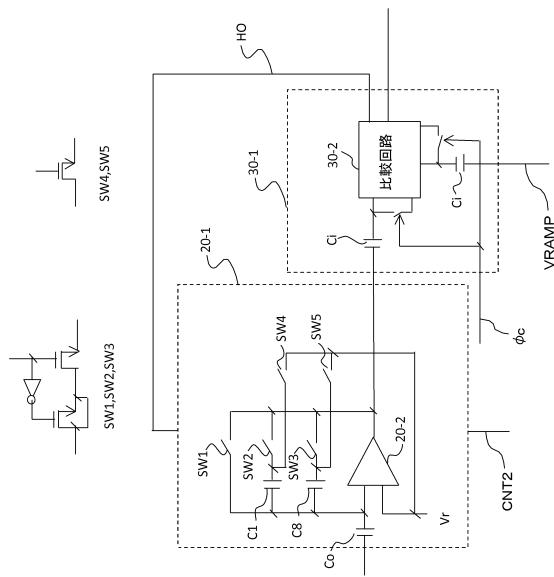
【図6】



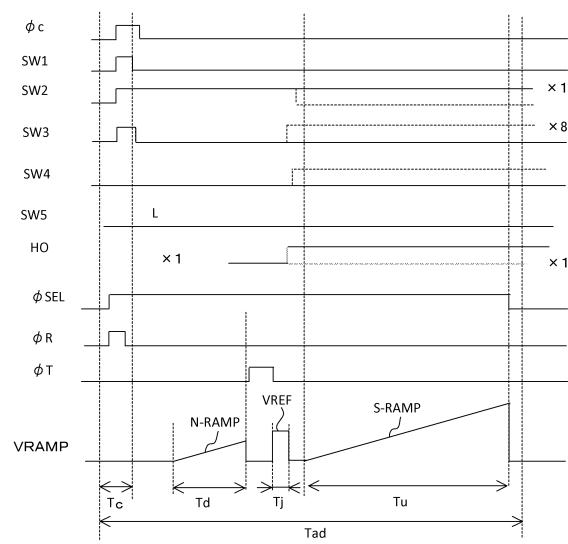
(B)低ゲイン信号のADデータタイミング

(C)高ゲイン信号のADデータタイミング

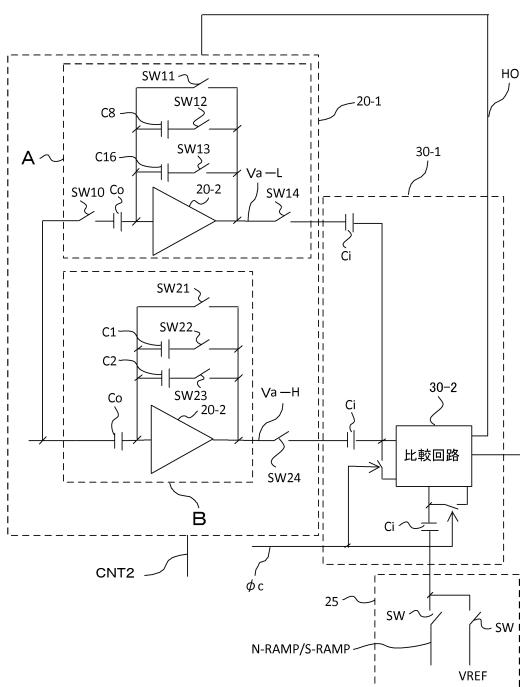
【図7】



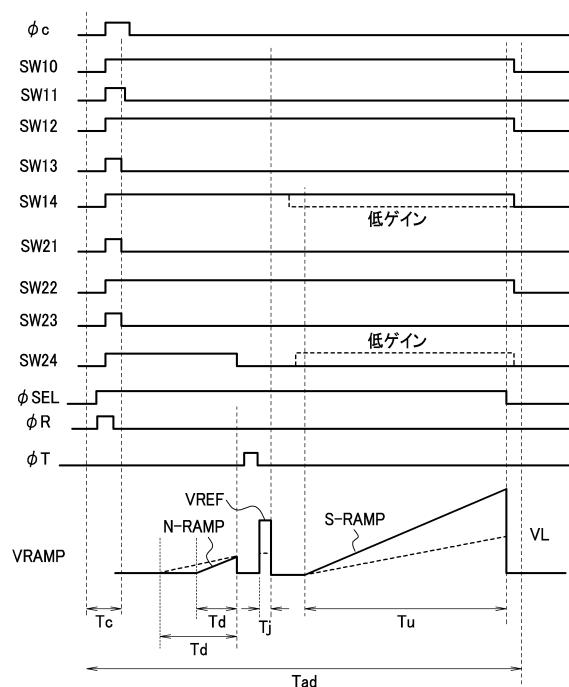
【図8】



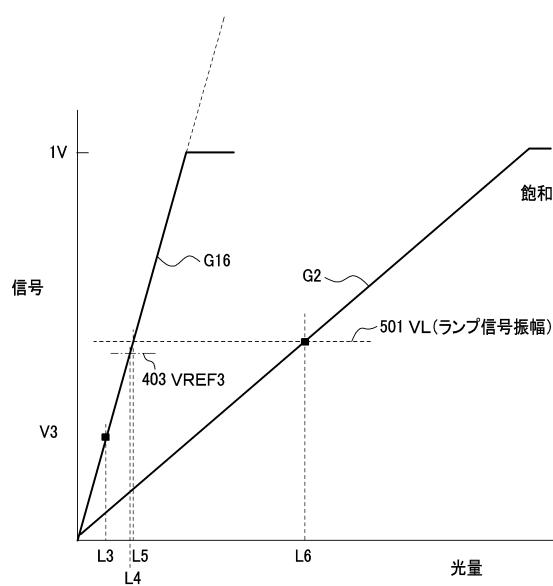
【図9】



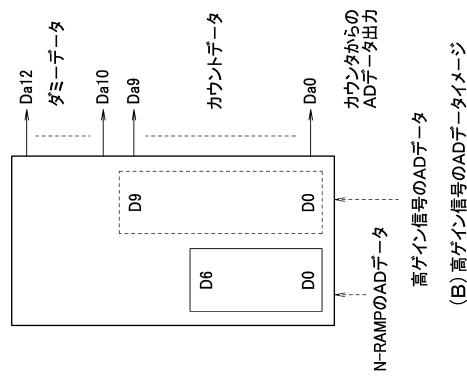
【図10】



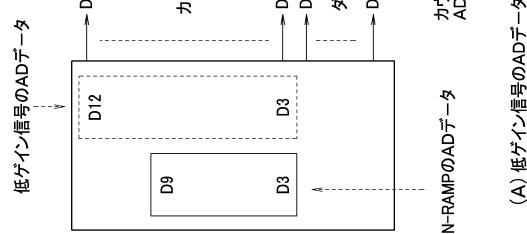
【図 1 1】



【図 1 2】



(B) 高ゲイン信号のADデータ出力

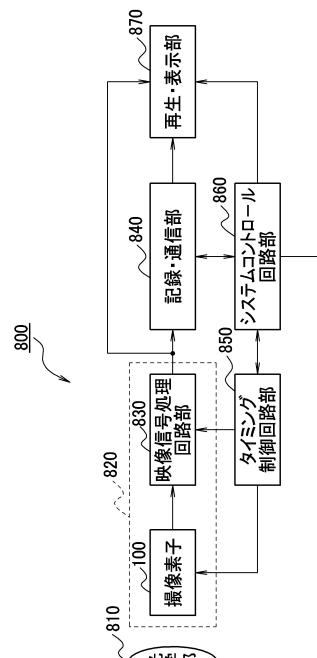


(A) 低ゲイン信号のADデータ出力

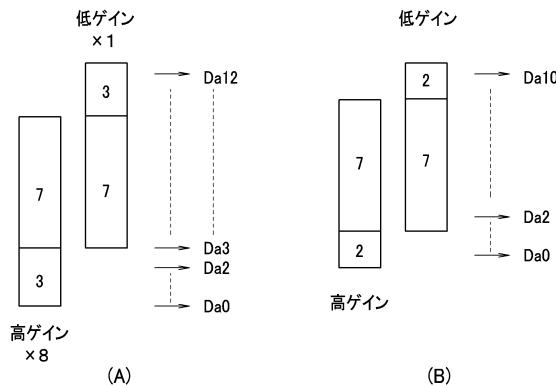
【図 1 3】

撮影感度 (ISO)	アンプゲイン		RAMP 傾き	DR	高ゲイン信号の 補正後ノイズ	
	低	高			回路系ノイズ	光ショット
100	1	8	1	8	1/8	
200	1	8	1	4	1/4	
400	1	8	1	2	1/2	
800	2	16	1	1	1/2	大
1600	2	16	1/2	1/4		大
3200	2	16	1/4	1/8		大
6400	4	16	1/4	1/16		大
12800	4	16	1/8	1/32		大

【図 1 5】



【図 1 4】



---

フロントページの続き

(72)発明者 繁田 和之  
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

審査官 鈴木 明

(56)参考文献 特開2009-177797(JP,A)  
特開2005-175517(JP,A)  
特開2010-259051(JP,A)  
特開2011-041205(JP,A)  
特開2006-352597(JP,A)  
特開2012-109812(JP,A)

(58)調査した分野(Int.Cl., DB名)  
H04N 5/30 - 5/378