



(21)申請案號：109136270

(22)申請日：中華民國 105 (2016) 年 06 月 01 日

(51)Int. Cl. : *H01L23/48 (2006.01)*

H01L23/28 (2006.01)

(30)優先權：2015/07/13 南韓

10-2015-0099070

2016/05/08 美國

15/149,141

(71)申請人：美商艾馬克科技公司 (美國) AMKOR TECHNOLOGY, INC. (US)

美國

(72)發明人：李傑恩 LEE, JAE UNG (KR)；李英宇 LEE, YUNG WOO (KR)；邱彥納拉 CHO, EUNNARA (KR)；班東和 BANG, DONG HYUN (KR)；崔旭 CHOI, WOOK (KR)；鄭顧熊 JEONG, KOOWOONG (KR)；金本吉 KIM, BYONG JIN (KR)；新閔哲 SHIN, MIN CHUL (KR)；林河貞 LIM, HO JEONG (KR)；金姬賢 KIM, JI HYUN (KR)；金祥恆 KIM, CHANG HUN (KR)

(74)代理人：閻啓泰；林景郁

申請實體審查：有 申請專利範圍項數：24 項 圖式數：7 共 53 頁

(54)名稱

半導體封裝及其製造方法

(57)摘要

本發明提供一種半導體封裝和一種製造半導體封裝的方法。作為非限制性實例，本發明的各個態樣提供一種半導體封裝及其製造方法，所述半導體封裝包括：基板，其具有第一表面和與所述第一表面相對的第二表面，且包括形成於從所述第一表面朝向所述第二表面的方向中的至少一個第一凹口部分、形成於所述第一凹口部分中的多個第一凹口導電圖案以及第一被動元件，所述第一被動元件插入到所述基板的所述第一凹口部分中且具有電連接到所述多個第一凹口導電圖案的第一電極和第二電極。

A semiconductor package and a method of manufacturing a semiconductor package. As a non-limiting example, various aspects of this disclosure provide a semiconductor package, and method of manufacturing thereof, that comprises a substrate having a first surface and a second surface opposite to the first surface, and comprising at least one first recess portion formed in a direction ranging from the first surface toward the second surface, a plurality of first recess conductive patterns formed in the first recess portion, and a first passive element inserted into the first recess portion of the substrate and having a first electrode and a second electrode electrically connected to the plurality of first recess conductive patterns.

指定代表圖：

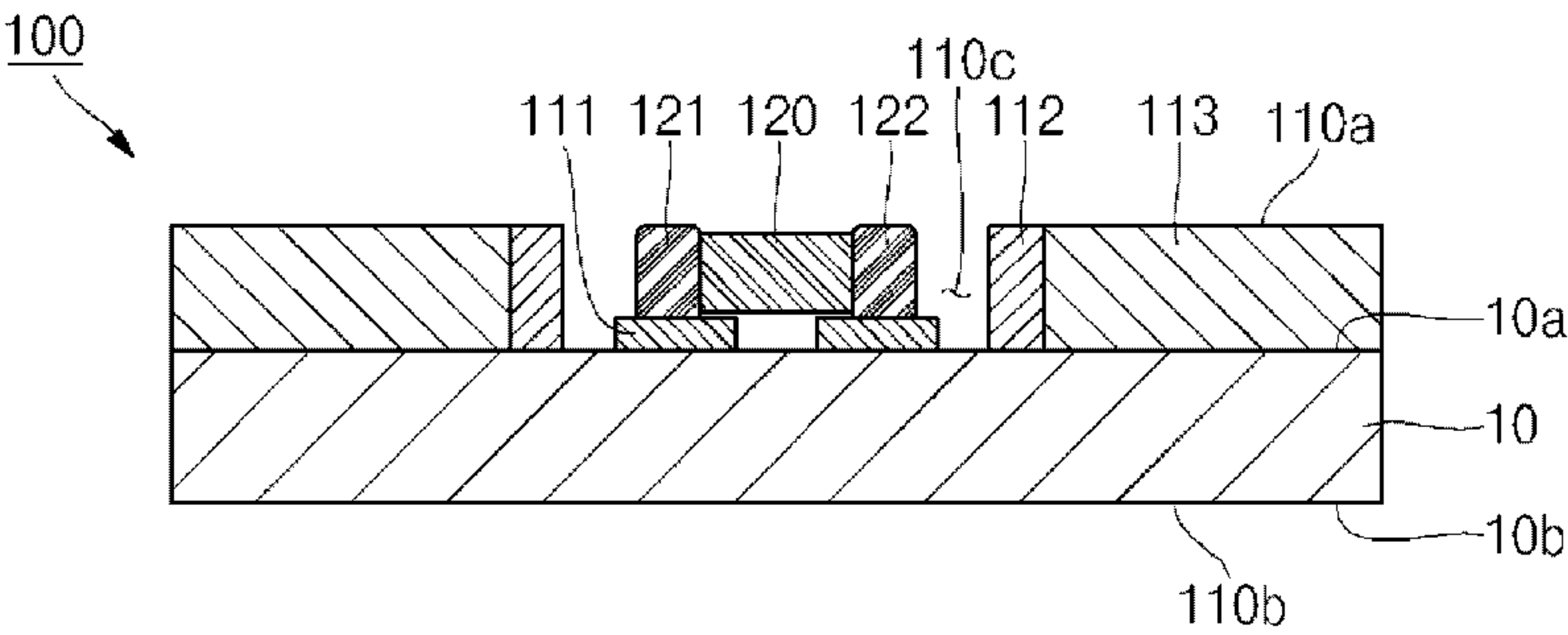


圖1D

符號簡單說明：

- 10:核心基板
- 10a:第一表面
- 10b:第二表面
- 100:半導體封裝
- 110a:第一表面
- 110b:第二表面
- 110c:第一凹口部分
- 111:第一凹口導電圖案
- 112:第一絕緣障壁
- 113:第一絕緣層
- 120:被動元件/第一被動元件
- 121:第一電極
- 122:第二電極

【發明摘要】

【中文發明名稱】 半導體封裝及其製造方法

【英文發明名稱】 SEMICONDUCTOR PACKAGE AND
MANUFACTURING METHOD THEREOF

【中文】

本發明提供一種半導體封裝和一種製造半導體封裝的方法。作為非限制性實例，本發明的各個態樣提供一種半導體封裝及其製造方法，所述半導體封裝包括：基板，其具有第一表面和與所述第一表面相對的第二表面，且包括形成於從所述第一表面朝向所述第二表面的方向中的至少一個第一凹口部分、形成於所述第一凹口部分中的多個第一凹口導電圖案以及第一被動元件，所述第一被動元件插入到所述基板的所述第一凹口部分中且具有電連接到所述多個第一凹口導電圖案的第一電極和第二電極。

【英文】

A semiconductor package and a method of manufacturing a semiconductor package. As a non-limiting example, various aspects of this disclosure provide a semiconductor package, and method of manufacturing thereof, that comprises a substrate having a first surface and a second surface opposite to the first surface, and comprising at least one first recess portion formed in a direction ranging from the first surface toward the second surface, a plurality of first recess conductive patterns formed in the first recess portion, and a first passive element inserted into the first recess portion of the substrate and having a first electrode and a second electrode electrically connected to the plurality of first recess conductive patterns.

【指定代表圖】 圖1D

【代表圖之符號簡單說明】

- 10:核心基板
- 10a:第一表面
- 10b:第二表面
- 100:半導體封裝
- 110a:第一表面
- 110b:第二表面
- 110c:第一凹口部分
- 111:第一凹口導電圖案
- 112:第一絕緣障壁
- 113:第一絕緣層
- 120:被動元件 / 第一被動元件
- 121:第一電極
- 122:第二電極

【特徵化學式】

無

【發明說明書】

【中文發明名稱】 半導體封裝及其製造方法

【英文發明名稱】 SEMICONDUCTOR PACKAGE AND
MANUFACTURING METHOD THEREOF

【技術領域】

【0001】 本發明涉及半導體封裝及其製造方法。

相關申請案的交叉參考/通過引用方式併入

【0002】 本申請案參考2015年7月13日在韓國智慧財產權局申請的且標題為“半導體封裝（SEMICONDUCTOR PACKAGE）”的第10-2015-0099070號韓國專利申請案，且主張其優先權和主張其權益，所述專利申請案的內容在此全文以引用的方式併入本文中。

【先前技術】

【0003】 目前的半導體封裝體及用於形成半導體封裝體的方法不適當，例如，引起成本過量、可靠度降低或封裝大小過大。通過比較常規和傳統方法與如在本申請案的其餘部分中參考圖式闡述的本發明，所屬領域的技術人員將顯而易見此類方法的另外的局限性和缺點。

【發明內容】

【0004】 本發明的各個態樣提供一種半導體封裝和一種製造半導體封裝的方法。作為非限制性實例，本發明的各個態樣提供一種半導體封裝及其製造方法，所述半導體封裝包括：基板，其具有第一表面和與第一表面相對的第二表面，且包括形成於從第一表面朝向第二表面的方向中的至少一個第一凹口部分、形

成於所述第一凹口部分中的多個第一凹口導電圖案以及第一被動元件，所述第一被動元件插入到基板的第一凹口部分中且具有電連接到所述多個第一凹口導電圖案的第一電極和第二電極。

【圖式簡單說明】

【0005】 [圖1A到1D]是循序說明根據本發明的實施例的半導體封裝的製造方法的橫截面圖；

【0006】 [圖2]為說明根據本發明的另一實施例的半導體封裝的橫截面圖；

【0007】 [圖3]為說明根據本發明的又一實施例的半導體封裝的橫截面圖；

【0008】 [圖4A到4M]是循序說明根據本發明的另一實施例的半導體封裝的製造方法的橫截面圖；

【0009】 [圖5]為說明根據本發明的又一實施例的半導體封裝的橫截面圖；

【0010】 [圖6A到6M]是循序說明根據本發明的實施例的半導體封裝的製造方法的橫截面圖；以及

【0011】 [圖7A到7F]是循序說明圖6I中說明的基板的另一製造方法的橫截面圖。

【實施方式】

【0012】 以下論述通過提供本發明的實例來呈現本發明的各種態樣。此類實例是非限制性的，並且由此本發明的各種態樣的範圍應不必受所提供的實例的任何特定特性限制。在以下論述中，短語“舉例來說”、“例如”和“示範性”是非

限制性的且通常與“借助於實例而非限制”“例如且非限制”等等同義。

【0013】 如本文中所使用，“和/或”意指通過“和/或”聯結的列表中的項目中的任何一個或多個。作為一實例，“x和/或y”意指三元素集合{(x)，(y)，(x,y)}中的任何元素。換句話說，“x和/或y”意指“x和y中的一或兩者”。作為另一實例，“x、y和/或z”意指七元素集合{(x)，(y)，(z)，(x,y)，(x,z)，(y,z)，(x,y,z)}中的任何元素。換句話說，“x、y和/或z”意指“x、y和z中的一或多者”。

【0014】 本文中所使用的術語僅出於描述特定實例的目的，且並不意圖限制本發明。如本文中所使用，除非上下文另外明確指示，否則單數形式也意圖包含複數形式。將進一步理解，術語“包括”、“包含”、“具有”等等當在本說明書中使用時，表示所陳述特徵、整體、步驟、操作、元件和/或構件的存在，但是不排除一或多個其它特徵、整體、步驟、操作、元件、構件和/或其群組的存在或添加。

【0015】 應理解，儘管本文中可使用術語第一、第二等來描述各種元件，但這些元件不應受這些術語限制。這些術語僅用於將一個元件與另一元件區分開來。因此，例如，在不脫離本發明的教示的情況下，下文論述的第一元件、第一元件或第一部分可被稱為第二元件、第二元件或第二部分。類似地，各種空間術語，例如“上部”、“下部”、“側部”等等，可以用於以相對方式將一個元件與另一元件區分開來。然而，應理解，元件可以不同方式定向，例如，在不脫離本發明的教示的情況下，半導體裝置可以側向轉動使得其“頂”表面水準地朝向且其“側”表面垂直地朝向。

【0016】 在圖式中，為了清楚起見可誇示層、區和/或元件的厚度或大小。因此，本發明的範圍應不受此類厚度或大小限制。另外，在圖式中，類似參考標號可在整個論述中指代類似元件。

【0017】 此外，還應理解，當元件A被提及為“連接到”或“耦合到”元件B

時，元件A可以直接連接到元件B或間接連接到元件B（例如，插入元件C（和/或其它元件）可存在於元件A與元件B之間）。

【0018】 本發明涉及一種半導體封裝及其製造方法，其可通過將被動元件插入到基板上提供的凹口部分中而減小半導體封裝的總體厚度。

【0019】 大體來說，多個主動元件和被動元件安裝在包含多個半導體晶粒的基板的平面表面上。另外，共同被動元件通常具有比主動元件大的厚度。因此，當多個主動元件和被動元件安裝在平面表面上時，半導體封裝的總體厚度可歸因於被動元件而增加。另外，因為被動元件具有有限容量，所以有必要新開發所述被動元件來減小其厚度。

【0020】 本發明的各種實例實施例提供一種半導體封裝。

【0021】 根據本發明的一態樣，提供一種半導體封裝及其製造方法，所述半導體封裝包含：基板，其具有第一表面和與第一表面相對的第二表面，且包含形成於從第一表面朝向第二表面的方向中的至少一個第一凹口部分，和形成於所述第一凹口部分中的多個第一凹口導電圖案；以及第一被動元件，其插入到基板的第一凹口部分中且具有電連接到所述多個第一凹口導電圖案的第一電極和第二電極。

【0022】 根據本發明的另一態樣，提供一種半導體封裝及其製造方法，所述半導體封裝包含：基板，其具有第一表面和與第一表面相對的第二表面，且包含形成於從第二表面朝向第一表面的方向中的至少一個第二凹口部分，和形成於所述第二凹口部分中的多個第二凹口導電圖案；以及第二被動元件，其插入到基板的第二凹口部分中且具有電連接到所述多個第二凹口導電圖案的第一電極和第二電極，其中所述基板進一步包含：介電質層，其具有形成於從第二表面朝向第一表面的方向中的第二凹口部分；第一導電圖案，其暴露於介電質層的第一表面；第二導電圖案，其暴露於介電質層的第二表面；以及導電通孔，其在通過

所述介電質層時與第一導電圖案和第二導電圖案電連接。

【0023】 如上文所描述，根據本發明的一個實施例的半導體封裝可通過將被動元件插入到基板上提供的凹口部分中來減小半導體封裝的總體厚度。

【0024】 將在各種實例實施方案的以下描述中描述或從各種實例實施方案的以下描述瞭解本發明的以上和其它態樣。現將參看附圖呈現本發明的各個態樣。

【0025】 參看圖1A到1D，說明循序說明根據本發明的實施例的半導體封裝的製造方法的橫截面圖。

【0026】 如圖1A到1D中所說明，根據本發明的實施例的半導體封裝的製造方法可包含：在核心基板10上形成多個第一凹口導電圖案111；形成第一絕緣障壁112以包圍所述多個第一凹口導電圖案111；形成第一絕緣層113以填充第一絕緣障壁112的外側並覆蓋核心基板10的第一表面10a；以及製備基板110；以及安裝第一被動元件120以電連接到第一凹口導電圖案111。在製備基板110的過程中，絕緣障壁112的形成和第一絕緣層113的形成可交替地重複一次到五次或更多次。現將參看圖1A到1D更詳細描述根據本發明的實施例的半導體封裝的製造方法。

【0027】 如圖1A中所說明，在核心基板10上形成所述多個第一凹口導電圖案111的過程中，所述多個第一凹口導電圖案111形成於板形狀的核心基板10的第一表面10a上，其中第一表面10a是平面的且第二表面10b是平面的且與第一表面10a相對。第一凹口導電圖案111可形成在對應於將在上面安裝第一被動元件120的區的位置處。所述多個第一凹口導電圖案111可包含兩個第一凹口導電圖案，其形成一組，以分別連接到第一被動元件120的第一電極121和第二電極122。為了允許將多個第一被動元件120安裝在核心基板10的第一表面10a上，所述多個第一凹口導電圖案111（其中每兩個形成一組）可提供在核心基板10上。核心

基板10包含暴露於第一表面10a的導電圖案和暴露於第二表面10b的導電圖案，且可為具有導電通孔的印刷電路板，所述導電通孔在通過第一表面10a和第二表面10b時電連接形成於第一表面10a和第二表面10b上的導電圖案。此處，第一凹口導電圖案111可與核心基板10上提供的導電圖案同時形成。第一凹口導電圖案111可通常由選自由以下各項組成的群組的一者製成：銅、鋁及其等效物，但本發明的範圍不限於此。

【0028】 如圖1B中所說明，在形成第一絕緣障壁112以包圍所述多個第一凹口導電圖案111的過程中，形成第一絕緣障壁112，其與核心基板10的第一表面10a上的第一凹口導電圖案111中的每一者隔開且具有預定高度以在具有第一凹口導電圖案111的區上形成空間。此處，第一絕緣障壁112形成於核心基板10的第一表面10a上以包圍第一凹口導電圖案111。也就是說，第一絕緣障壁112被配置成使得待連接到第一被動元件120的相應電極的兩個第一凹口導電圖案111與核心基板10的第一表面10a的外側分隔開。第一絕緣障壁112可由焊料抗蝕劑(solder resist)製成，但本發明的各態樣並不限於此。

【0029】 如圖1C中所說明，在製備基板110的過程中，通過形成第一絕緣層113以覆蓋核心基板10的第一表面10a上的第一絕緣障壁112的外側來製備基板110。也就是說，第一絕緣層113經形成以在核心基板10的第一表面10a上的第一絕緣障壁112的外側中完全覆蓋核心基板10的第一表面10a。第一絕緣層113可經形成以具有與第一絕緣障壁112相同的高度。第一絕緣層113可由半固化樹脂或預浸材料製成，但本發明的各態樣並不限於此。第一絕緣障壁112可防止在形成第一絕緣層113時半固化狀態中的第一絕緣層113覆蓋第一凹口導電圖案111。另外，第一絕緣障壁112的形成和第一絕緣層113的形成可交替地重複一次到五次或更多次。雖然本發明中說明第一絕緣障壁112和第一絕緣層113(其為單一層)，但其可根據第一被動元件120的高度而由多個層形成。

【0030】 如上文所描述，可使用圖1A到1C中說明的半導體封裝的製造方法形成基板110。基板110可包含形成於從第一表面110a朝向第二表面110b的方向中的至少一個第一凹口部分110c。第一凹口部分110c是其中形成第一凹口導電圖案111的區，且可對應於由第一絕緣障壁112形成的內部區。第一凹口部分110c可包含多個第一凹口部分以在基板110上安裝多個第一被動元件120，但本發明並不限制第一凹口部分110c的數目。

【0031】 如圖1D中所說明，在安裝第一被動元件120的過程中，安裝第一被動元件120以電連接到提供於基板110的第一凹口部分110c中的第一凹口導電圖案111。第一被動元件120可包含第一電極121和第二電極122，且可電連接到第一凹口導電圖案111。第一被動元件120可包含電阻器、電容器、電感器、連接器等等，但本發明的各態樣並不限於此。第一被動元件120插入到第一凹口部分110c中，借此防止半導體封裝100的總體厚度增加。

【0032】 參看圖2，說明說明根據本發明的另一實施例的半導體封裝的橫截面圖。

【0033】 如圖2中所說明，半導體封裝200包含基板210和第一被動元件120。另外，基板210包含核心基板10、第一凹口導電圖案111、第一絕緣障壁112、第一絕緣層113和導電層214。基板210的核心基板10、第一凹口導電圖案111、第一絕緣障壁112、第一絕緣層113和第一被動元件120與圖1D中說明的半導體封裝100的對應元件相同。以下描述將聚焦於導電層214，其是圖1D中說明的半導體封裝100的不同特徵。

【0034】 導電層214可經形成以在第一凹口導電圖案111形成於核心基板10上之後覆蓋第一凹口導電圖案111的第一表面111a。導電層214可由焊料製成。導電層214可分別插入在第一被動元件120的第一電極121與第一凹口導電圖案111之間以及第一被動元件120的第二電極122與第一凹口導電圖案111之間。導電

層214可促進第一被動元件120的第一和第二電極121和122到第一凹口導電圖案111的连接。

【0035】 參看圖3，說明說明根據本發明的又一實施例的半導體封裝的橫截面圖。

【0036】 如圖3中所說明，半導體封裝300包含基板310、第一被動元件120和第二被動元件330。另外，基板210包含核心基板10、第一凹口導電圖案111、第一絕緣障壁112、第一絕緣層113、第二凹口導電圖案314、第二絕緣障壁315和第二絕緣層316。基板310的核心基板10、第一凹口導電圖案111、第一絕緣障壁112、第一絕緣層113和第一被動元件120與圖1D中說明的半導體封裝100的對應元件相同。以下描述將聚焦於第二凹口導電圖案314、第二絕緣障壁315、第二絕緣層316和第二被動元件330，其是圖1D中說明的半導體封裝100的不同特徵。

【0037】 第二凹口導電圖案314可包含形成於板形狀的核心基板10的第二表面10b上的多個第二凹口導電圖案。第二凹口導電圖案314可形成在對應於將要在上面安裝第二被動元件330的區的位置處。所述多個第二凹口導電圖案314可包含一對第二凹口導電圖案（其形成一組）以分別連接到第二被動元件330的第一電極331和第二電極332。為了允許將多個第二被動元件330安裝在核心基板10的第二表面10b上，所述多個第二凹口導電圖案314（其中每兩個形成一組）可提供在核心基板10上。此處，第二凹口導電圖案314可電連接到核心基板10上提供的導電圖案。第二凹口導電圖案314可通常由選自由以下各項組成的群組的一者製成：銅、鋁及其等效物，但本發明的範圍不限於此。另外，第二凹口導電圖案314可進一步包含在其末端處形成的焊料。

【0038】 第二絕緣障壁315與核心基板10的第二表面10b上的第二凹口導電圖案314隔開，且經形成以具有預定高度以在其中提供第二凹口導電圖案314的區中形成空間。第二絕緣障壁315經形成以包圍核心基板10的第二表面10b上

的第二凹口導電圖案314。也就是說，第二絕緣障壁315經配置使得待連接到第二被動元件330的相應電極331和332的兩個第二凹口導電圖案314與核心基板10的第二表面10b的外側分隔開。第二絕緣障壁315可由焊料抗蝕劑製成，但本發明的各態樣並不限於此。

【0039】 第二絕緣層316經形成以覆蓋核心基板10的第二表面10b上的第二絕緣障壁315的外側。也就是說，第二絕緣層316經形成以在核心基板10的第二表面10b上的第二絕緣障壁315的外側中完全覆蓋核心基板10的第二表面10b。第二絕緣層316可經形成以具有與第二絕緣障壁315相同的高度。第二絕緣層316可由半固化樹脂或預浸材料製成，但本發明的各態樣並不限於此。第二絕緣障壁315可防止在形成第二絕緣層316時半固化狀態中的第二絕緣層316覆蓋第二凹口導電圖案314。另外，第二絕緣障壁315和第二絕緣層316可交替地重複形成一次到五次或更多次。雖然本發明中說明第二絕緣障壁315和第二絕緣層316(其為單一層)，但其可根據第二被動元件330的高度而由多個層形成。

【0040】 基板310可包含形成於從第一表面310a朝向第二表面310b的方向中的至少一個第一凹口部分110c，和形成於從第二表面310b到第一表面310a的方向中的至少一個第二凹口部分310d。也就是說，基板310可包含提供在核心基板10的相對側處的凹口部分。第二凹口部分310d是其中形成第二凹口導電圖案314的區，且可對應於由第二絕緣障壁315形成的內部區。第二凹口部分310d可包含多個第二凹口部分以在基板110上安裝多個第二被動元件330，但本發明並不限制第二凹口部分310d的數目。

【0041】 第二被動元件330安裝在基板110的第二凹口部分310d中以電連接到提供於基板310中的第二凹口部分310d中的第二凹口導電圖案314。第二被動元件330可包含第一電極331和第二電極332，且可電連接到第二凹口導電圖案314。第二被動元件330可包含電阻器、電容器、電感器、連接器等等，但本發明

的各態樣並不限於此。半導體經配置使得第一被動元件120和第二被動元件330插入到第一凹口部分110c和第二凹口部分310d中，借此防止半導體封裝300的總體厚度增加。

【0042】 參看圖4A到4M，說明循序說明根據本發明的另一實施例的半導體封裝的製造方法的橫截面圖。

【0043】 如圖4A到4M中所說明，根據本發明的另一實施例的半導體封裝的製造方法可包含：製備基板410；安裝第一被動元件120以電連接到提供於基板410的第一凹口部分410c中的第一凹口導電圖案415a；囊封半導體晶粒430和第一被動元件120以由囊封劑440覆蓋；以及在基板410的第二導電圖案418上形成外部導電凸塊450。

【0044】 圖4A到4I中說明基板410的製備。基板410的製備可包含：在載體1上形成晶種層2；使用晶種層2形成第一導電圖案411和虛設(dummy)圖案412；形成第一介電質層413以覆蓋第一導電圖案411和虛設圖案412；在第一介電質層413上形成第一導電通孔414和第三導電圖案415；形成第二介電質層416以覆蓋第一導電通孔414和第三導電圖案415；在第二介電質層416上形成第二導電通孔417和第二導電圖案418；使載體1與晶種層2分離；從第一介電質層413移除晶種層2；在介電質層413和416上形成保護層419以暴露第一和第二導電圖案411和418；以及從第一介電質層413移除虛設圖案412。雖然在所說明的實施例中基板410形成於載體1的一個表面上，但其可形成於載體1的一個和另一表面上。

【0045】 可通過使用形成於載體1的一個和另一表面上的晶種層2作為開始層來積累層而形成基板410。也就是說，可使用形成於載體1的一個和另一表面上的晶種層2作為開始層而形成基板410。以下描述將聚焦於形成於載體1的一個表面上的基板410。然而，根據本發明的各個態樣，基板410還可使用相同製造方法形成於載體1的另一表面上。

【0046】 下文中，將參看圖4A到4M更詳細描述半導體封裝400的製造方法。

【0047】 在圖4A中說明的載體1上形成晶種層2的過程中，由導電材料製成的晶種層2經形成以覆蓋板（或晶片或面板）的形狀的載體1的一個表面。晶種層2可經形成以具有均一厚度以便覆蓋載體1的一個表面。晶種層2可為銅層、鈦層或鈦鎢層，但本發明的各態樣並不限於此。另外，載體1可通常由選自由以下各項組成的群組的一者製成：銅、核心、不銹鋼、玻璃、矽、虛設晶片、陶瓷、藍寶石、石英及其等效物，但本發明的各態樣並不限於此。

【0048】 在使用圖4B中說明的晶種層2形成第一導電圖案411和虛設圖案412的過程中，遮罩圖案（未圖示）經形成以部分覆蓋晶種層2，隨後在經由遮罩圖案暴露於外部的晶種層2上執行電鍍，借此形成第一導電圖案411。另外，在形成第一導電圖案411時，還可通過電鍍晶種層2形成虛設圖案412。此處，虛設圖案412可經形成以具有比第一導電圖案411大的厚度。隨後，在形成第一導電圖案411和虛設圖案412之後，移除遮罩圖案。第一導電圖案411和虛設圖案412可由銅（Cu）製成，但本發明的各態樣並不限於此。

【0049】 在形成第一介電質層413以覆蓋圖4C中說明的第一導電圖案411和虛設圖案412的過程中，可形成第一介電質層413，且可進一步在第一介電質層413上形成第一導電通孔414和第三導電圖案415。第一介電質層413可經形成以具有足以完全覆蓋形成於晶種層2上的第一導電圖案411和虛設圖案412的預定厚度。第一介電質層413可電學上保護第一導電圖案411和虛設圖案412。第一介電質層413可由選自由以下各項組成的群組的一者製成：預浸材料、堆積膜、氧化矽層、氮化矽層及其等效物，但本發明的各態樣並不限於此。另外，通孔可經形成以在通過第一介電質層413時使第一導電圖案411暴露於外部，可進一步形成第一導電通孔414以填充通孔的至少一部分，且接著可進一步在第一介電質層

413上形成第三導電圖案415以電連接到第一導電通孔414。第一導電通孔414在通過第一介電質層413時將形成於第一介電質層413的一個表面上的第一導電圖案411與形成於第一介電質層413的另一表面上的第三導電圖案415電連接。可通過形成晶種層414x以完全覆蓋經由第一介電質層413的通孔和通孔的側壁暴露於外部的第一導電圖案411且隨後在晶種層414x上執行電鍍來形成第一導電通孔414。可通過在第一介電質層413上形成晶種層414x且隨後在晶種層414x上執行電鍍來形成第三導電圖案415。另外，電連接到第一導電通孔414的第三導電圖案415還可經形成以在經由電鍍形成第一導電通孔414時沿著第一介電質層413的暴露表面部分延伸。也就是說，晶種層414x可插入在第一導電通孔414與第一介電質層413之間以及第三導電圖案415與第一介電質層413之間。另外，至少一個第三導電圖案415形成於虛設圖案412上。形成於虛設圖案412上的第三導電圖案415變為提供於基板410的凹口部分中的第一凹口導電圖案415a。

【0050】 在形成第二介電質層416以覆蓋圖4D中說明的第一導電通孔414和第三導電圖案415的過程中，第二介電質層416具有足以完全覆蓋第一導電通孔414、第三導電圖案415和第一介電質層413的預定厚度。第二介電質層416可電學上保護第一導電通孔414和第三導電圖案415。第二介電質層416可由選自由以下各項組成的群組的一或多者製成：預浸材料、堆積膜、氧化矽層、氮化矽層及其等效物，但本發明的各態樣並不限於此。

【0051】 在形成圖4E中說明的第二導電通孔417和第二導電圖案418的過程中，通孔經形成以在通過第二介電質層416時使第三導電圖案415暴露於外部，進一步形成第二導電通孔417以填充通孔的至少一部分，且隨後第二導電圖案418形成於第二介電質層416上以電連接到第二導電通孔417。第二導電通孔417在通過第二介電質層416時將形成於第二介電質層416的一個表面上的第三導電圖案415與形成於第二介電質層416的另一表面上的第二導電圖案418電連接。可

通過形成晶種層417x以完全覆蓋經由第二介電質層416的通孔和通孔的側壁暴露於外部的第三導電圖案415且隨後在晶種層417x上執行電鍍來形成第二導電通孔417。可通過在第二介電質層416上形成晶種層417x且隨後在晶種層417x上執行電鍍來形成第二導電圖案418。另外，電連接到第二導電通孔417的第二導電圖案418還可經形成以在經由電鍍形成第二導電通孔417時沿著第二介電質層416的暴露表面部分延伸。也就是說，晶種層417x可插入在第二導電通孔417與第二介電質層416之間以及第二導電圖案418與第二介電質層416之間。

【0052】 在使載體1與圖4F中說明的晶種層2分離的過程中，載體1與晶種層2分隔開以將晶種層2暴露於外部。通過一般研磨和/或化學蝕刻或通過UV或雷射釋放移除載體1，但本發明的各態樣並不限於此。

【0053】 在從圖4G中說明的第一介電質層413移除晶種層2的過程中，將與載體1分離的基板410x翻轉，且隨後從第一介電質層413移除晶種層2，借此將第一導電圖案411、第一介電質層413和虛設圖案412暴露於外部。暴露於外部的第一介電質層413的第一表面413a和第一導電圖案411的第一表面411a可共面定位（或共面）。另外，形成於第二介電質層416的第二表面416b上的第二導電圖案418可從基板410x上的第二介電質層416的第二表面416b伸出。可通過一般研磨和/或化學蝕刻移除晶種層2，但本發明的各態樣並不限於此。

【0054】 在介電質層413和416上形成保護層419以暴露圖4H中說明的導電圖案411和418的過程中，保護層419a和419b分別形成於第一介電質層413的第一表面413a和第二介電質層416的第二表面416b上。保護層419a和419b經形成以將經由第一介電質層413的第一表面413a暴露的第一導電圖案411和虛設圖案412和經由第二介電質層416的第二表面416b暴露的第二導電圖案418暴露於外部。也就是說，保護層419a和419b分別形成於第一介電質層413的第一表面413a和第二介電質層416的第二表面416b上，以將第一導電圖案411、虛設圖案412和第二

導電圖案418暴露於外部。保護層419a和419b可由焊料抗蝕劑製成，但本發明的各態樣並不限於此。

【0055】 在從圖4I中說明的介電質層413移除虛設圖案412的過程中，移除當移除晶種層2時暴露於外部的虛設圖案412，借此形成具有第一凹口部分410c的基板410。第一凹口導電圖案415a在移除虛設圖案412時在基板410的第一凹口部分410c中暴露於外部。第一凹口導電圖案415a可為在圖4C中說明的步驟中形成於虛設圖案412中的第三導電圖案415。可通過蝕刻移除虛設圖案412，但本發明的各態樣並不限於此。

【0056】 在圖4J中說明的基板410上安裝第一被動元件120的過程中，第一被動元件120安裝在第一凹口部分410c中以電連接到提供於第一凹口部分410c中的第一凹口導電圖案415a。第一被動元件120可包含第一電極121和第二電極122，其電連接到第一凹口導電圖案415a。第一被動元件120可包含電阻器、電容器、電感器、連接器等等，但本發明的各態樣並不限於此。第一被動元件120插入到第一凹口部分410c中，借此防止半導體封裝400的總體厚度增加。

【0057】 在安裝圖4K中說明的半導體晶粒430的過程中，半導體晶粒430安裝在基板410的第一表面410a上以電連接到基板410的第一導電圖案411。半導體晶粒430可安裝在基板410的第一表面410a上以完全覆蓋第一被動元件120和第一凹口部分410c。半導體晶粒430可通過倒裝晶片結合、溫度壓縮（TC）結合、溫度壓縮非導電膏（TCNCP）結合或線結合而電連接到第一導電圖案411。半導體晶粒430具有平面的第一表面430a和平面的且與第一表面430a相對的第二表面430b，且多個導電凸塊431形成於第二表面410b上。半導體晶粒430經由所述多個導電凸塊431電連接到第一導電圖案411。導電凸塊431可包含導電柱、銅柱、導電球、焊球或銅球，但本發明的各態樣並不限於此。另外，多個結合墊代替所述多個導電凸塊431而提供在半導體晶粒430的第一表面430a上，且接合墊和第一

導電圖案411可經由導線（未圖示）電連接。半導體晶粒430可包含一般記憶體、圖形處理單元（GPU）、中央處理單元（CPU）及其等效物，但本發明的各態樣並不限於此。

【0058】 在圖4L中說明的囊封的過程中，使用囊封劑440執行囊封以覆蓋基板410的第一表面410a、半導體晶粒430和第一被動元件120。囊封劑440可電學上保護基板410的第一表面410a、第一被動元件120和半導體晶粒430免受外部情形的影響。

【0059】 在形成圖4M中說明的外部導電凸塊450的過程中，形成暴露於基板410的第二表面410b的第二導電圖案418和外部導電凸塊450。外部導電凸塊450是輸入和/或輸出端子以用用在電子裝置的外部板上安裝半導體封裝400。外部導電凸塊450可包含導電柱、銅柱、導電球、焊球或銅球，但本發明的各態樣並不限於此。

【0060】 在如此製造的半導體封裝400中，第一被動元件120插入到基板410的第一凹口部分410c中，借此防止半導體封裝400的總體厚度增加。

【0061】 參看圖5，說明說明根據本發明的又一實施例的半導體封裝的橫截面圖。

【0062】 如圖5中所說明，半導體封裝500包含基板410、第一被動元件120、半導體晶粒530、囊封劑440和外部導電凸塊450。基板410、第一被動元件120、囊封劑440和外部導電凸塊450與圖4M中說明的半導體封裝400的對應元件相同。以下描述將聚焦於半導體晶粒530，其是圖4M中說明的半導體封裝400的不同特徵。

【0063】 半導體晶粒530安裝在基板410的第一表面410a上以電連接到基板410的第一導電圖案411。半導體晶粒530可形成於基板410的第一表面410a上以便覆蓋第一被動元件120和第一凹口部分410c。雖然在圖5中兩個半導體晶粒530

安裝在基板410上，但一個半導體晶粒530或一或多個半導體晶粒530可安裝在基板410上，但本發明的各態樣並不限於此。半導體晶粒530可通過倒裝晶片結合、溫度壓縮（TC）結合或溫度壓縮非導電膏（TCNCP）結合安裝在第一導電圖案411上，但本發明的範圍不限於此。半導體晶粒530可包含多個導電凸塊531。半導體晶粒530經由所述多個導電凸塊531電連接到第一導電圖案411。導電凸塊531可包含導電柱、銅柱、導電球、焊球或銅球，但本發明的各態樣並不限於此。半導體晶粒530可包含一般記憶體、圖形處理單元（GPU）、中央處理單元（CPU）及其等效物，但本發明的各態樣並不限於此。

【0064】 參看圖6A到6M，說明循序說明根據本發明的實施例的半導體封裝的製造方法的橫截面圖。

【0065】 如圖6A到6M中所說明，根據本發明的又一實施例的半導體封裝可包含：製備基板610；安裝第三被動元件330以電連接到提供於基板610的第二凹口部分610c中的第二凹口導電圖案615a；安裝半導體晶粒430以電連接到基板610的第一導電圖案611；囊封半導體晶粒430以由囊封劑440覆蓋；以及在基板610的第二導電圖案618上形成外部導電凸塊450。

【0066】 圖6A到6I中說明基板610的製備。基板610的所述製備可包含：使用晶種層2形成第一導電圖案611；形成第一介電質層613以覆蓋第一導電圖案611；在第一介電質層613上形成第一導電通孔614和第三導電圖案615；在第三導電圖案615上形成虛設圖案612；形成第二介電質層616以覆蓋虛設圖案612、第一導電通孔614和第三導電圖案615；在第二介電質層616上形成第二導電通孔617和第二導電圖案618；使載體1與晶種層2分離；從第一介電質層613移除晶種層2；在介電質層613和616上形成保護層619以暴露第一和第二導電圖案611和618；以及從第二介電質層616移除虛設圖案612。

【0067】 在基板610的製備的過程中，在圖4A中說明的載體1上形成晶種

層2之後，形成圖6A中說明的第一導電圖案611。

【0068】 雖然說明形成於載體1的一個表面上的基板610，但基板610可形成於載體1的一個和另一表面兩者上。可通過使用形成於載體1的一個和另一表面上的晶種層2作為開始層來積累層而形成基板610。也就是說，可使用形成於載體1的一個和另一表面上的晶種層2作為開始層來形成基板610。以下描述將聚焦於形成於載體1的一個表面上的基板610。然而，根據本發明的各個態樣，基板610還可使用相同製造方法形成於載體1的另一表面上。

【0069】 下文中，將參看圖6A到6M更詳細描述半導體封裝600的製造方法。

【0070】 在使用圖6A中說明的晶種層2形成第一導電圖案611的過程中，遮罩圖案（未圖示）經形成以部分覆蓋晶種層2，隨後在經由遮罩圖案暴露於外部的晶種層2上執行電鍍，借此形成具有均一厚度的第一導電圖案611。在形成第一導電圖案611之後，移除遮罩圖案。第一導電圖案611可由銅（Cu）製成，但本發明的各態樣並不限於此。

【0071】 在形成第一介電質層613以覆蓋圖6B中說明的第一導電圖案611的過程中，形成第一介電質層613，且隨後可進一步在第一介電質層613上形成第一導電通孔614和第三導電圖案615。第一介電質層613經形成以具有足以完全覆蓋形成於晶種層2上的第一導電圖案611的預定厚度。第一介電質層613可電學上保護第一導電圖案611。第一介電質層613可由選自由以下各項組成的群組的一者製成：預浸材料、堆積膜、氧化矽層、氮化矽層及其等效物，但本發明的各態樣並不限於此。另外，通孔可經形成以在通過第一介電質層613時使第一導電圖案611暴露於外部，第一導電通孔614可進一步經形成以填充通孔的至少一部分，且接著可進一步在第一介電質層613上形成第三導電圖案615以電連接到第一導電通孔614。第一導電通孔614在通過第一介電質層613時將形成於第一介電質層

613的一個表面上的第一導電圖案611與形成於第一介電質層613的另一表面上的第三導電圖案615電連接。可通過形成晶種層614x以完全覆蓋經由第一介電質層613的通孔和通孔的側壁暴露於外部的第一導電圖案611且隨後在晶種層614x上執行電鍍來形成第一導電通孔614。可通過在第一介電質層613上形成晶種層614x且隨後在晶種層614x上執行電鍍來形成第三導電圖案615。另外，電連接到第一導電通孔614的第三導電圖案615還可經形成以在經由電鍍形成第一導電通孔614時沿著第一介電質層613的暴露表面部分延伸。也就是說，晶種層614x可插入在第一導電通孔614與第一介電質層613之間以及第三導電圖案615與第一介電質層613之間。晶種層614x可包圍第一導電圖案611與第一導電通孔614和第一導電通孔614的側壁之間的區。

【0072】 在圖6C中說明的第三導電圖案615上形成虛設圖案612的過程中，虛設圖案612經形成以覆蓋形成於第一介電質層613上的第三導電圖案615中的至少一者。虛設圖案612可具有預定高度。另外，虛設圖案612可形成於第一介電質層613上形成的第三導電圖案615當中的並不連接到第一導電通孔614的第三導電圖案615上。具有虛設圖案612的第三導電圖案615變為提供於基板610的凹口部分中的第二凹口導電圖案615a。

【0073】 在形成第二介電質層616以覆蓋圖6D中說明的虛設圖案612、第一導電通孔614和第三導電圖案615的過程中，具有預定厚度的第二介電質層616經形成以覆蓋虛設圖案612、第一導電通孔614、第三導電圖案615和第一介電質層613。此處，虛設圖案612的第一表面612a經由第二介電質層616暴露於外部。第二介電質層616可電學上保護第一導電通孔614和第三導電圖案615。第二介電質層616可由選自由以下各項組成的群組的一者製成：預浸材料、堆積膜、氧化矽層、氮化矽層及其等效物，但本發明的各態樣並不限於此。

【0074】 在形成圖6E中說明的第二導電通孔617和第二導電圖案618的過

程中，通孔經形成以在通過第二介電質層616時使第三導電圖案615暴露於外部，第二導電通孔617進一步經形成以填充通孔的至少一部分，且第二導電圖案618隨後形成於第二介電質層616上以電連接到第二導電通孔617。可通過形成晶種層617x以完全覆蓋經由第二介電質層616的通孔和通孔的側壁暴露於外部的第三導電圖案615且隨後在晶種層617x上執行電鍍來形成第二導電通孔617。可通過在第二介電質層616上形成晶種層617x且隨後在晶種層617x上執行電鍍來形成第二導電圖案618。另外，電連接到第二導電通孔617的第二導電圖案618還可經形成以在經由電鍍形成第二導電通孔617時沿著第二介電質層616的暴露表面部分延伸。也就是說，晶種層617x可插入在第二導電通孔617與第二介電質層616之間以及第二導電圖案618與第二介電質層616之間。

【0075】 在使載體1與圖6F中說明的晶種層2分離的過程中，載體1與晶種層2分隔開以將晶種層2暴露於外部。通過一般研磨和/或化學蝕刻或通過UV或雷射釋放移除載體1，但本發明的各態樣並不限於此。

【0076】 在從圖6G中說明的移除晶種層2的過程中，將與載體1分離的基板610x翻轉，且隨後從第一介電質層613移除晶種層2，借此將第一導電圖案611、第一介電質層613和虛設圖案612暴露於外部。暴露於外部的第一介電質層613的第一表面613a和第一導電圖案611的第一表面611a可共面定位（或共面）。另外，形成於第二介電質層616的第二表面616b上的第二導電圖案618可從基板610x上的第二介電質層616的第二表面616b伸出。可通過一般研磨和/或化學蝕刻移除晶種層2，但本發明的各態樣並不限於此。

【0077】 在介電質層613和616上形成保護層619以暴露圖6H中說明的導電圖案611和618的過程中，保護層619a和619b分別形成於第一介電質層613的第一表面613a和第二介電質層616的第二表面616b上。保護層619a和619b經形成以將經由第一介電質層613的第一表面613a暴露的第一導電圖案611以及經由第二

介電質層616的第二表面616b暴露的第二導電圖案618和虛設圖案612暴露於外部。也就是說，保護層619a和619b分別形成於第一介電質層613的第一表面613a和第二介電質層616的第二表面616b上，以將第一導電圖案611、虛設圖案612和第二導電圖案618暴露於外部。保護層619a和619b可由焊料抗蝕劑製成，但本發明的各態樣並不限於此。

【0078】 在從圖6I中說明的介電質層616移除虛設圖案612的過程中，移除虛設圖案612，借此形成具有第二凹口部分610c的基板610。基板610的第二凹口導電圖案615a在移除虛設圖案612時提供的第二凹口部分610c中暴露於外部。第二凹口導電圖案615a可為具有形成於圖6C中說明的步驟中的虛設圖案612的第三導電圖案615。虛設圖案612可通過蝕刻移除，但本發明的各態樣並不限於此。

【0079】 在圖6J中說明的基板610上安裝第二被動元件330的過程中，第二被動元件330安裝在第二凹口部分610c中以電連接到提供於第二凹口部分610c中的第二凹口導電圖案615a。第二被動元件330可包含第一電極331和第二電極332且可電連接到第一凹口導電圖案615a。第二被動元件330可包含電阻器、電容器、電感器、連接器等等，但本發明的各態樣並不限於此。第二被動元件330插入到第二凹口部分610c中，借此防止半導體封裝600的總體厚度增加。

【0080】 在安裝圖6K中說明的半導體晶粒430的過程中，半導體晶粒430安裝在基板610的第一表面610a上以電連接到基板610的第一導電圖案611。圖6K中說明的半導體晶粒430的安裝可與圖4K中說明的半導體晶粒430的安裝相同。

【0081】 在圖6L中說明的囊封的過程中，使用囊封劑440執行囊封以覆蓋基板610的第一表面610a和半導體晶粒430。囊封劑440可電學上保護基板610的第一表面610a和半導體晶粒430免受外部情形的影響。

【0082】 在形成圖6M中說明的外部導電凸塊450的過程中，外部導電凸塊450經形成以電連接到暴露於基板610的第二表面610b的第二導電圖案618。外部

導電凸塊450是輸出襯墊以用以在電子裝置的外部板中安裝半導體封裝600。外部導電凸塊450可包含導電柱、銅柱、導電球、焊球或銅球，但本發明的各態樣並不限於此。

【0083】 在如此製造的半導體封裝600中，第二被動元件330插入到基板610的第二凹口部分610c中，借此防止半導體封裝600的總體厚度增加。

【0084】 參看圖7A到7F，其是循序說明圖6I中說明的基板的另一製造方法的橫截面圖。

【0085】 如圖7A到7F中所說明，基板610的製備可包含：形成第二介電質層616以覆蓋第一導電通孔614和第三導電圖案615；在第二介電質層616上形成第二導電通孔617和第二導電圖案618；使載體1與晶種層2分離；從第一介電質層613移除晶種層2；在介電質層613和616上形成保護層以暴露第一和第二導電圖案611和618；以及在第二介電質層616上形成第二凹口部分610c。通過以下操作執行基板610的製備：在圖4A、6A或6B中說明的載體1上形成晶種層2；使用晶種層2形成第一導電圖案611；形成第一介電質層613以覆蓋第一導電圖案611且在第一介電質層613上形成第一導電通孔614和第三導電圖案615；以及形成圖7A中說明的第二介電質層616。

【0086】 在形成第二介電質層616以覆蓋圖7A中說明的第一導電通孔614和第三導電圖案615的過程中，形成具有預定厚度的第二介電質層616以覆蓋第一導電通孔614、第三導電圖案615和第一介電質層613。第二介電質層616可電學上保護第一導電通孔614和第三導電圖案615。第二介電質層616可由選自由以下各項組成的群組的一者製成：預浸材料、堆積膜、氧化矽層、氮化矽層及其等效物，但本發明的各態樣並不限於此。

【0087】 在形成圖7B中說明的第二導電通孔617和第二導電圖案618的過程中，通孔可經形成以在通過第二介電質層616時使第三導電圖案615暴露於外

部，第二導電通孔617可進一步經形成以填充通孔的至少一部分，且第二導電圖案618接著可進一步形成於第二介電質層616上以電連接到第二導電通孔617。圖7B中說明的第二導電通孔617和第二導電圖案618的形成與圖6E中說明的第二導電通孔617和第二導電圖案618的形成相同。

【0088】 在從圖7C中說明的晶種層2移除載體1的過程中，從晶種層2移除載體1以使晶種層2暴露於外部。圖7C中說明的載體1的移除與圖6F中說明的載體1的移除相同。

【0089】 在從圖7D中說明的第一介電質層613移除晶種層2的過程中，將與載體1分離的基板610x翻轉，且隨後從第一介電質層613移除晶種層2，借此暴露第一導電圖案611和第一介電質層613。圖7D中說明的晶種層2的移除與圖6G中說明的晶種層2的移除相同。

【0090】 在介電質層613和616上形成保護層619以暴露圖7E中說明的導電圖案611和618的過程中，保護層619a和619b分別形成於第一介電質層613的第一表面613a和第二介電質層616的第二表面616b上。圖7E中說明的保護層619的形成與圖6H中說明的保護層619的形成相同。

【0091】 在圖7F中說明的第二介電質層616上形成第二凹口部分610c的過程中，來自基板610的具有預定深度的第二凹口部分610c形成於第二介電質層616上。可通過移除第二介電質層616的具有預定高度的區來形成第二凹口部分610c。可通過光微影和/或雷射形成第二凹口部分610c，但本發明的各態樣並不限於此。基板610具有第二凹口部分610c，作為在從第二表面610b朝向第一表面610a的方向上具有預定深度的凹口。基板610的第二凹口部分610c使第三導電墊623中的至少一者在第二凹口部分610c中暴露於外部。另外，經由第二凹口部分610c暴露於外部的第三導電墊623可為第二凹口導電圖案615a。也就是說，第二凹口導電圖案615a在第二凹口部分610c中暴露於外部。

【0092】 本文中的論述包含展示電子封裝組合件的各個部分及其製造方法的眾多說明性圖。為了清楚地說明，這些圖並未展示每一實例組合件的所有態樣。本文中提供的任何實例組合件和/或方法可以與本文中提供的任何或所有其它組合件和/或方法共用任何或所有特性。

【0093】 綜上所述，本發明的各個態樣提供一種半導體封裝和一種製造半導體封裝的方法。作為非限制性實例，本發明的各個態樣提供一種半導體封裝及其製造方法，所述半導體封裝包括：基板，其具有第一表面和與所述第一表面相對的第二表面，且包括形成於從所述第一表面朝向所述第二表面的方向中的至少一個第一凹口部分、形成於所述第一凹口部分中的多個第一凹口導電圖案；以及第一被動元件，其插入到所述基板的所述第一凹口部分中且具有電連接到所述多個第一凹口導電圖案的第一電極和第二電極。雖然已經參考某些態樣和實例描述了以上內容，但是所屬領域的技術人員應理解，在不脫離本發明的範圍的情況下，可以進行各種修改並可以替代等效物。另外，在不脫離本發明的範圍的情況下，可以進行許多修改以使特定情況或材料適應本發明的教示。因此，希望本發明不限於所揭示的特定實例，而是本發明將包含落入所附申請專利範圍的範疇內的所有實例。

【符號說明】

【0094】

- 1:載體
- 2:晶種層
- 10:核心基板
- 10a:第一表面
- 10b:第二表面

- 100:半導體封裝
 - 110:基板
 - 110a:第一表面
 - 110b:第二表面
 - 110c:第一凹口部分
 - 111:第一凹口導電圖案
 - 112:第一絕緣障壁
 - 113:第一絕緣層
- 120:被動元件 / 第一被動元件
 - 121:第一電極
 - 122:第二電極
- 200:半導體封裝
 - 210:基板
 - 214:導電層
- 300:半導體封裝
 - 310:基板
 - 310a:第一表面
 - 310b:第二表面
 - 310d:第二凹口部分
 - 314:第二凹口導電圖案
 - 315:第二絕緣障壁
 - 316:第二絕緣層
- 330:第二被動元件
 - 331:第一電極

- 332:第二電極
- 400:半導體封裝
- 410:基板
- 410a:第一表面
- 410b:第二表面
- 410c:第一凹口部分
- 410x:基板
- 411:第一導電圖案
- 411a:第一表面
- 412:虛設圖案
- 413:第一介電質層
- 413a:第一表面
- 414:第一導電通孔
- 414x:晶種層
- 415:第三導電圖案
- 415a:第一凹口導電圖案
- 416:第二介電質層
- 416b:第二表面
- 417:第二導電通孔
- 417x:晶種層
- 418:第二導電圖案
- 419:保護層
- 419a:保護層
- 419b:保護層

- 430:半導體晶粒
 - 430a:第一表面
 - 430b:第二表面
- 431:導電凸塊
- 440:囊封劑
- 450:外部導電凸塊
- 500:半導體封裝
- 530:半導體晶粒
 - 531:導電凸塊
- 610:基板
 - 610a:第一表面
 - 610b:第二表面
 - 610c:第二凹口部分
 - 610x:基板
- 611:第一導電圖案
 - 611a:第一表面
- 612:虛設圖案
 - 612a:第一表面
- 613:第一介電質層
 - 613a:第一表面
- 614:第一導電通孔
 - 614x:晶種層
- 615:第三導電圖案
 - 615a:第二凹口導電圖案

- 616:第二介電質層
- 616b:第二表面
- 617:第二導電通孔
- 617x:晶種層
- 618:第二導電圖案
- 619:保護層
- 619a:保護層
- 619b:保護層
- 623:第三導電墊

【發明申請專利範圍】

【請求項1】一種電子裝置，其包括：

基板，其包括：

上部基板結構，其具有上部基板結構上側、上部基板結構下側和多個上部基板結構周邊側，所述上部基板結構包括上部基板結構導電層和上部基板結構介電質層；以及

腔基板結構，其具有腔基板結構上側、腔基板結構下側和多個腔基板結構周邊側，所述腔基板結構上側耦接到所述上部基板結構下側，其中：

所述腔基板結構包括腔基板結構導電層和腔基板結構介電質層；

以及

所述腔基板結構包括下部腔以及在所述腔基板結構下側中的下部腔開口；

上部電子構件，其具有上部電子構件上側、上部電子構件下側以及多個上部電子構件周邊側，所述上部電子構件下側耦接到所述上部基板結構上側；

下部電子構件，其具有下部電子構件上側、下部電子構件下側以及多個下部電子構件周邊側，所述下部電子構件上側耦接到在所述腔中的所述腔基板結構下側的一部分，所述下部電子構件的至少一部分定位在所述下部腔中；以及

囊封材料，其至少覆蓋所述上部基板結構上側以及所述上部電子構件周邊側，所述囊封材料具有囊封上側、囊封下側以及多個囊封周邊側，所述囊封下側面對所述上部基板結構上側，

其中所述上部基板結構周邊側中的每一個上部基板結構周邊側是與所述腔基板結構周邊側中的對應的腔基板結構周邊側共面以及與所述囊封周邊側中的對應的囊封周邊側共面。

【請求項2】根據請求項1所述的電子裝置，其中所述囊封材料中的一部分是

直接地垂直定位在所述上部基板結構上側和所述上部電子構件下側之間。

【請求項3】根據請求項1所述的電子裝置，其中所述上部基板結構介電質層和所述腔基板結構介電質層中的一者或兩者包括有機介電質材料。

【請求項4】根據請求項1所述的電子裝置，其中：

所述上部基板結構導電層是在所述上部基板結構上側；

所述上部基板結構包括在所述上部基板結構下側處的所述第二上部基板結構導電層；

所述上部基板結構導電層的上側是與所述上部基板結構介電質層的上側共面；以及

所述第二上部基板結構導電層的下側從所述上部基板結構介電質層的下側向下延伸。

【請求項5】根據請求項1所述的電子裝置，其中所述上部基板結構包括導電通孔，所述導電通孔直接地垂直延伸在所述上部基板結構導電層和所述第二上部基板結構導電層之間且電接觸所述上部基板結構導電層和所述第二上部基板結構導電層。

【請求項6】根據請求項1所述的電子裝置，其進一步包括橫向圍繞所述下部電子構件並且將所述下部電子構件周邊側與所述腔基板結構介電質層橫向分離的體積。

【請求項7】根據請求項1所述的電子裝置，其中：

所述腔基板結構導電層包括腔襯墊，所述腔襯墊暴露在所述下部腔中；

所述下部電子構件包括電極，所述電極直接耦接至所述腔襯墊；以及

所述腔基板結構介電質層橫向圍繞所述腔襯墊。

【請求項8】根據請求項1所述的電子裝置，其中所述腔基板結構介電質層的一部分是直接垂直定位在所述上部基板結構下側和所述下部電子構件之間。

【請求項9】根據請求項1所述的電子裝置，其中所述腔包括孔，所述孔完全延伸穿過所述腔基板結構介電質層。

【請求項10】根據請求項1所述的電子裝置，其中：
 所述腔包括孔，所述孔完全延伸穿過所述腔基板結構介電質層；
 所述腔基板結構包括第二腔基板結構介電質層；以及
 所述腔僅部分延伸穿過所述第二腔基板結構介電質層。

【請求項11】根據請求項1所述的電子裝置，其中：
 所述下部電子構件的至少一部分是從所述電子裝置暴露；以及
 所述上部電子構件沒有任一部分是從所述電子裝置暴露。

【請求項12】根據請求項1所述的電子裝置，其中所述下部電子構件是被動電子構件。

【請求項13】一種電子裝置，其包括：
 基板，其包括：

上部基板結構，其具有上部基板結構上側、上部基板結構下側和多個上部基板結構周邊側，所述上部基板結構包括上部基板結構導電層和上部基板結構介電質層；以及

腔基板結構，其具有腔基板結構上側、腔基板結構下側和多個腔基板結構周邊側，所述腔基板結構上側耦接到所述上部基板結構下側，其中：

所述腔基板結構包括腔基板結構導電層、第一腔基板結構介電質層以及第二腔基板結構介電質層；以及

所述腔基板結構包括下部腔以及在所述腔基板結構下側中的下部腔開口；

上部電子構件，其具有上部電子構件上側、上部電子構件下側以及多個上部電子構件周邊側，所述上部電子構件下側耦接到所述上部基板結構上側；

下部電子構件，其具有下部電子構件上側、下部電子構件下側以及多個下部電子構件周邊側，所述下部電子構件上側耦接到在所述腔中的所述腔基板結構下側的一部分，其中所述下部電子構件的至少一部分定位在所述下部腔中；以及

囊封材料，其至少覆蓋所述上部基板結構上側以及所述上部電子構件周邊側，所述囊封材料具有囊封上側、囊封下側以及多個囊封周邊側，所述囊封下側面對所述上部基板結構上側，

其中：

所述第一腔基板結構介電質層和所述第二腔基板結構介電質層橫向圍繞所述下部電子構件；以及

所述第一腔基板結構介電質層的一部分直接垂直定位在所述下部電子構件和所述上部基板結構下側之間。

【請求項14】根據請求項13所述的電子裝置，其中所述上部基板結構周邊側中的每一個上部基板結構周邊側是與所述腔基板結構周邊側中的對應的腔基板結構周邊側共面、與所述第一腔基板結構介電質層中的對應的周邊側共面以及與所述第二腔基板結構介電質層中的對應的周邊側共面。

【請求項15】根據請求項13所述的電子裝置，其中所述下部電子構件下側是從所述電子裝置暴露。

【請求項16】根據請求項13所述的電子裝置，其中所述第二腔基板結構介電質層覆蓋在所述腔的周邊周圍的所述第一腔基板結構介電質層的下側。

【請求項17】根據請求項13所述的電子裝置，其中：

所述上部基板結構包括在所述上部基板結構下側處的第二上部基板結構導電層；以及

所述第一腔基板結構介電質層橫向圍繞所述第二上部基板結構導電層的至少一部分。

【請求項18】根據請求項13所述的電子裝置，其中所述下部腔是從完成的所述電子裝置暴露。

【請求項19】根據請求項13所述的電子裝置，其中所述互連凸塊包括導電球、焊球或銅球中的一個或多個。

【請求項20】一種電子裝置，其包括：

基板，其包括：

上部基板結構，其具有上部基板結構上側、上部基板結構下側和多個上部基板結構周邊側，所述上部基板結構包括上部基板結構導電層和上部基板結構介電質層；以及

腔基板結構，其具有腔基板結構上側、腔基板結構下側和多個腔基板結構周邊側，所述腔基板結構上側耦接到所述上部基板結構下側，其中：

所述腔基板結構包括腔基板結構導電層以及腔基板結構介電質層；以及

所述腔基板結構包括下部腔以及在所述腔基板結構下側中的下部腔開口；

上部電子構件，其具有上部電子構件上側、上部電子構件下側以及多個上部電子構件周邊側，所述上部電子構件下側耦接到所述上部基板結構上側；

下部電子構件，其具有下部電子構件上側、下部電子構件下側以及多個下部電子構件周邊側，所述下部電子構件上側耦接到在所述腔中的所述腔基板結構下側的一部分，其中所述下部電子構件的至少一部分定位在所述下部腔中；

溝槽，其直接橫向地定位在所述腔基板結構介電質層和所述下部電子構件周邊側之間；以及

囊封材料，其至少覆蓋所述上部基板結構上側以及所述上部電子構件周邊側，所述囊封材料具有囊封上側、囊封下側以及多個囊封周邊側，所述囊封下側

面對所述上部基板結構上側。

【請求項21】根據請求項20所述的電子裝置，其中所述溝槽包括空氣溝槽。

【請求項22】根據請求項20所述的電子裝置，其中所述下部電子構件周邊側是完全暴露。

【請求項23】根據請求項20所述的電子裝置，其中：

所述腔基板結構包括第二腔基板結構介電質層；以及

所述腔基板結構介電質層和所述第二腔基板結構介電質層都橫向圍繞所述下部電子構件。

【請求項24】根據請求項23所述的電子裝置，其中：

所述腔完全延伸穿過所述第二腔基板結構介電質層；

所述腔僅部分延伸穿過所述腔基板結構介電質層；以及

所述第一腔基板結構介電質層中的一部分是直接垂直定位在所述下部電子構件和所述上部基板結構下側之間。

【發明圖式】

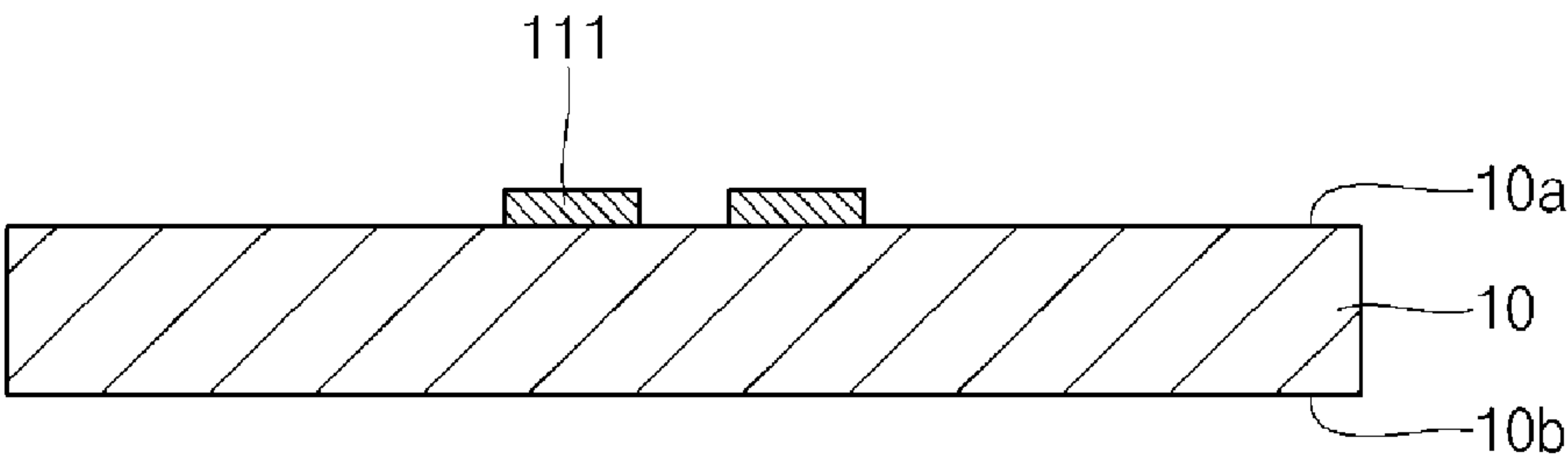


圖1A

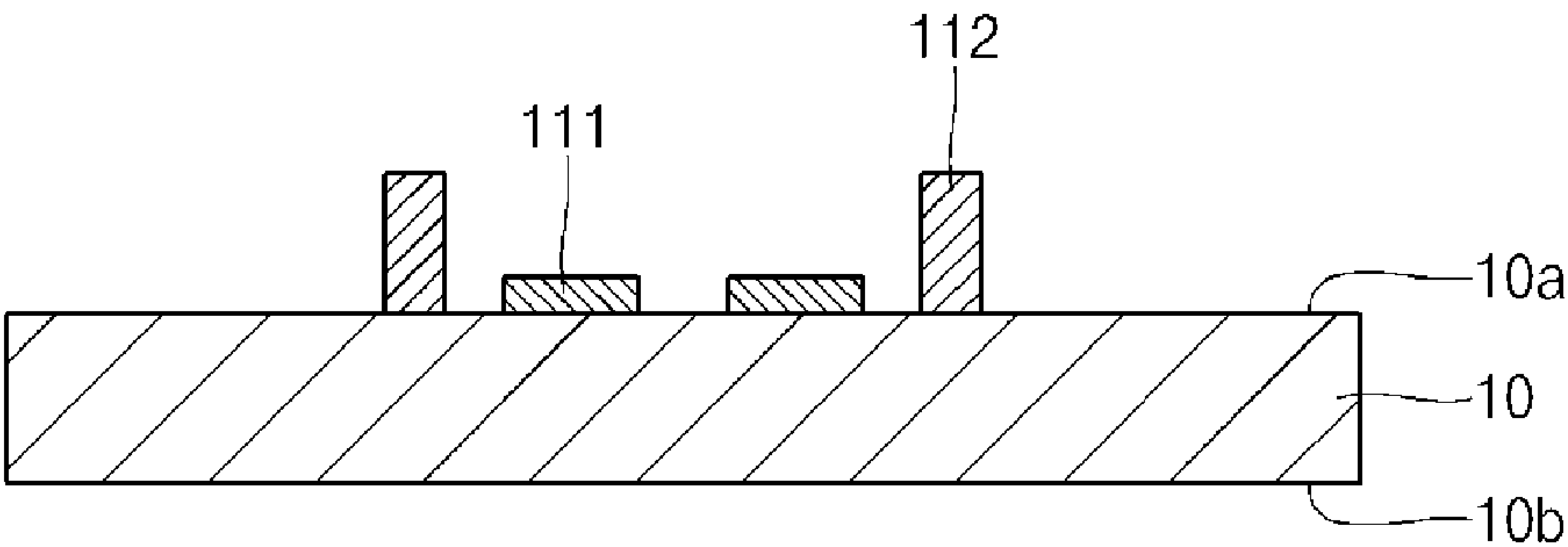


圖1B

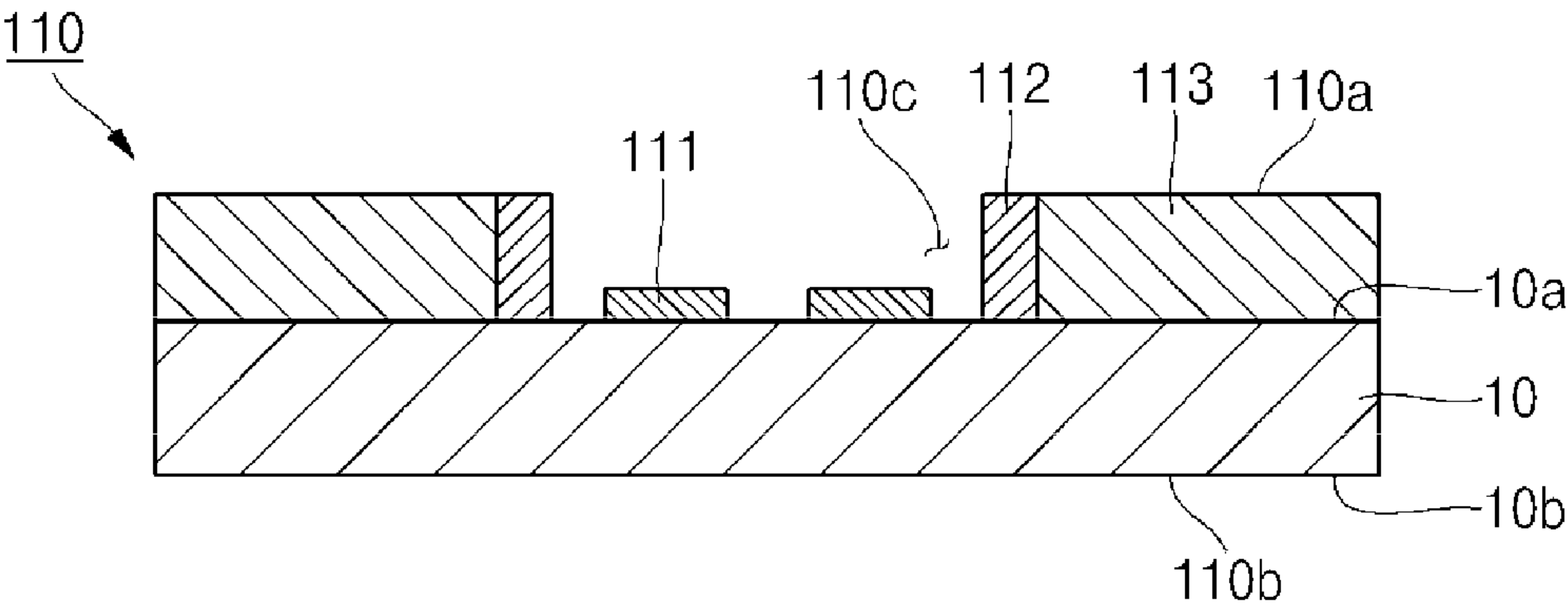


圖1C

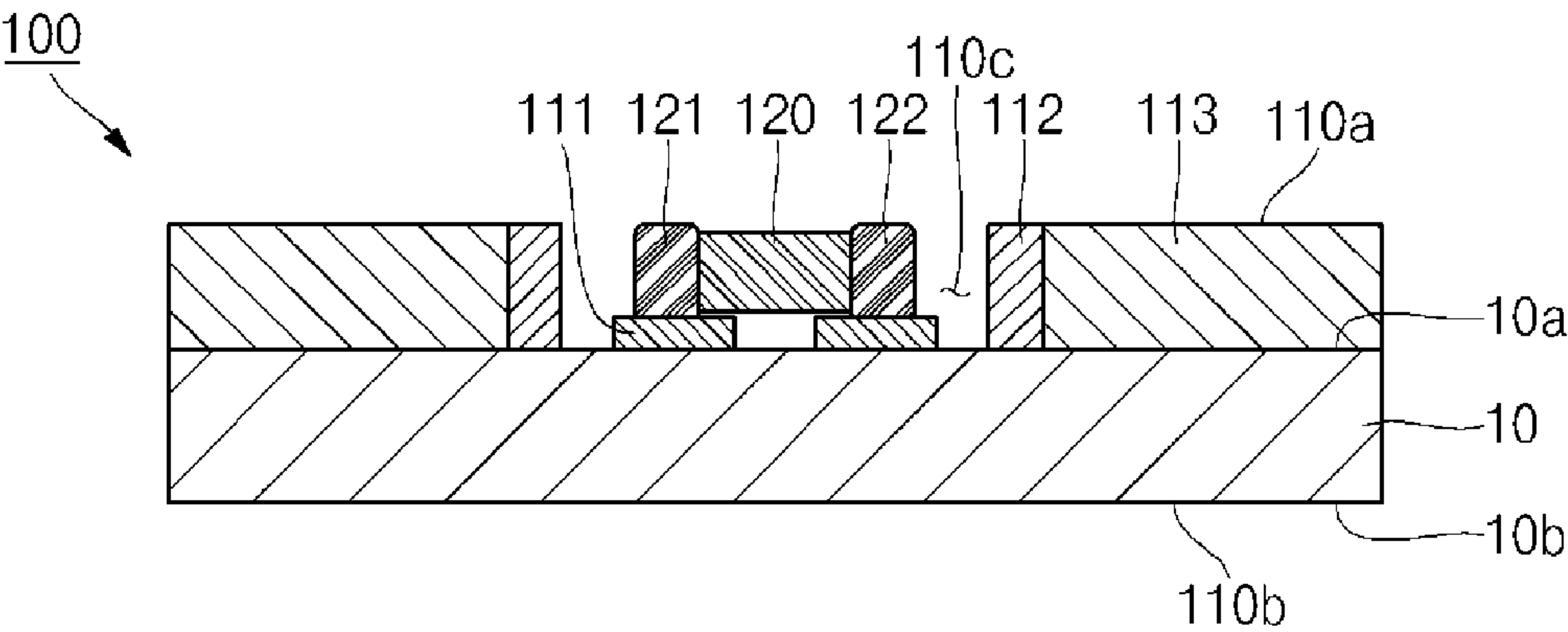


圖1D

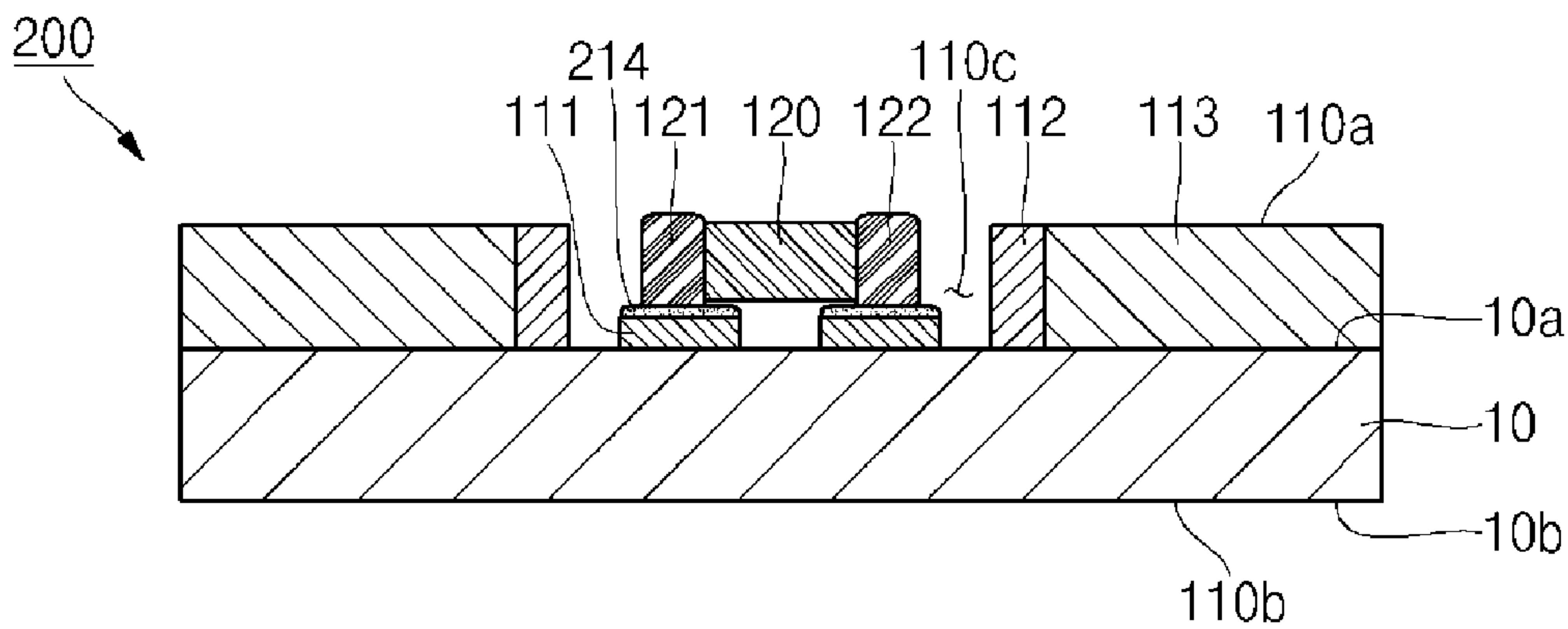


圖2

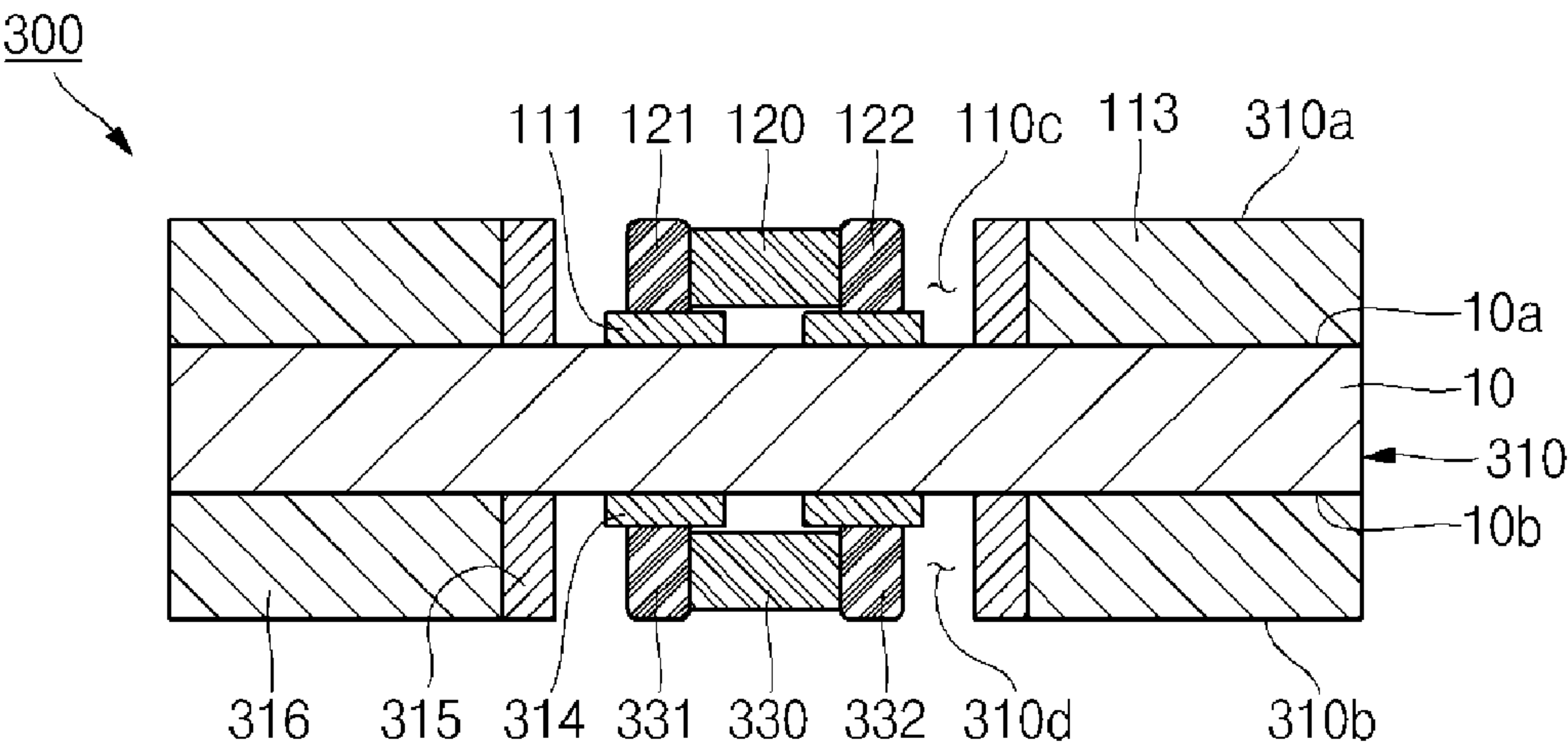


圖3

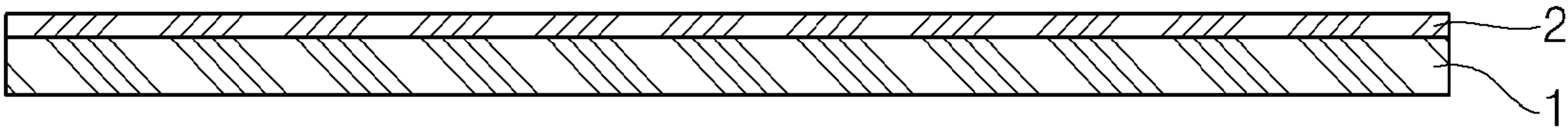


圖4A

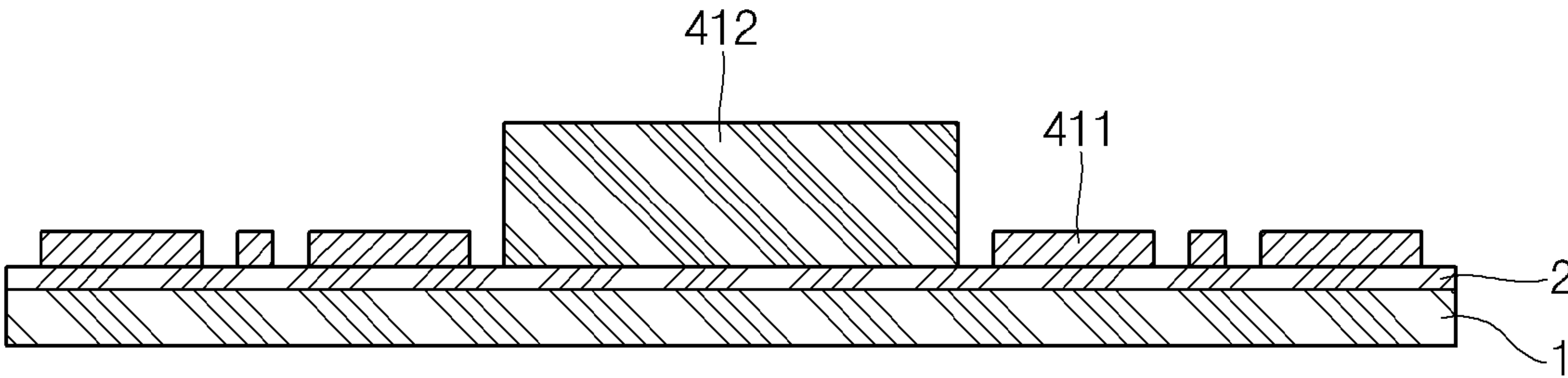


圖4B

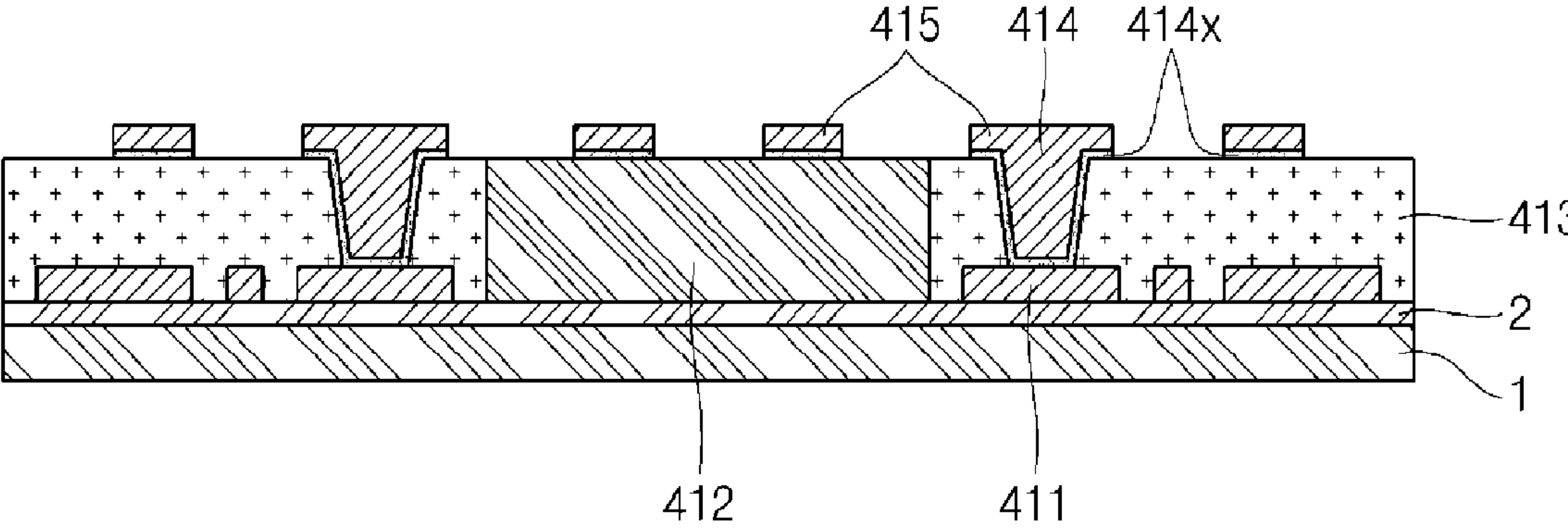


圖4C

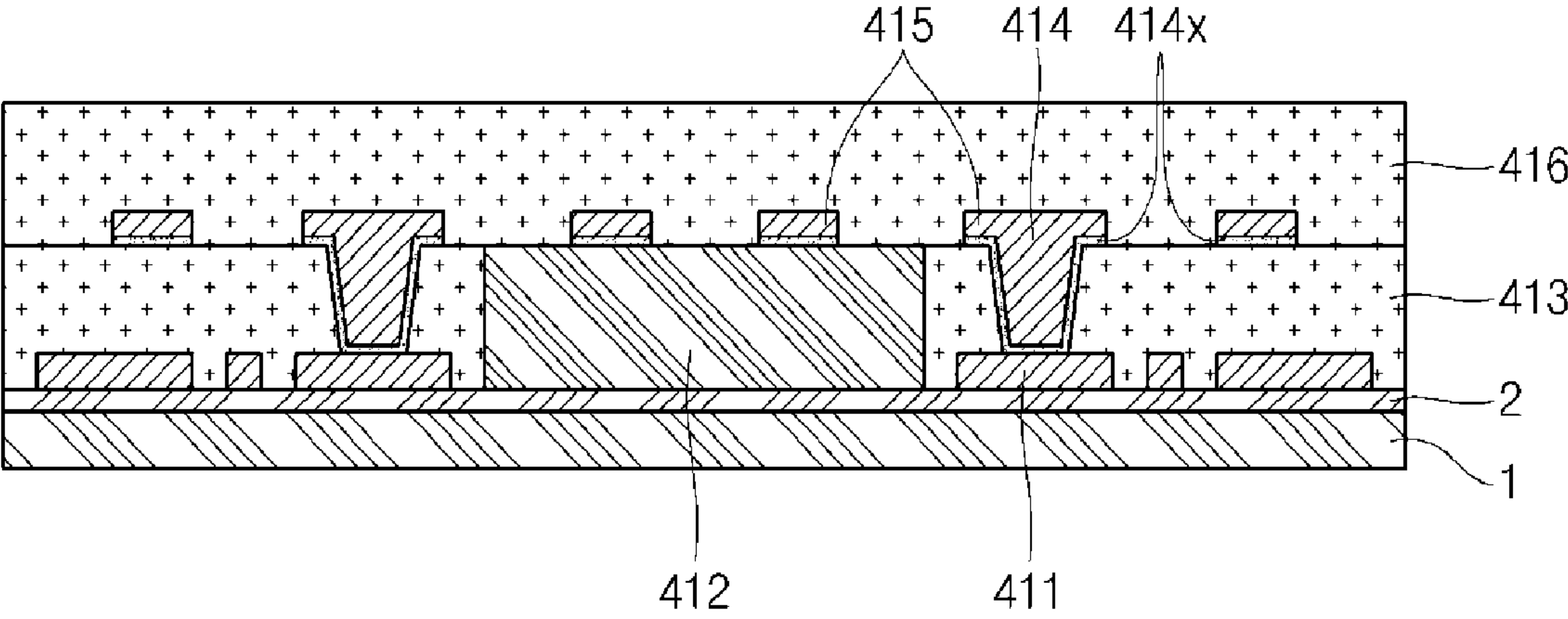


圖4D

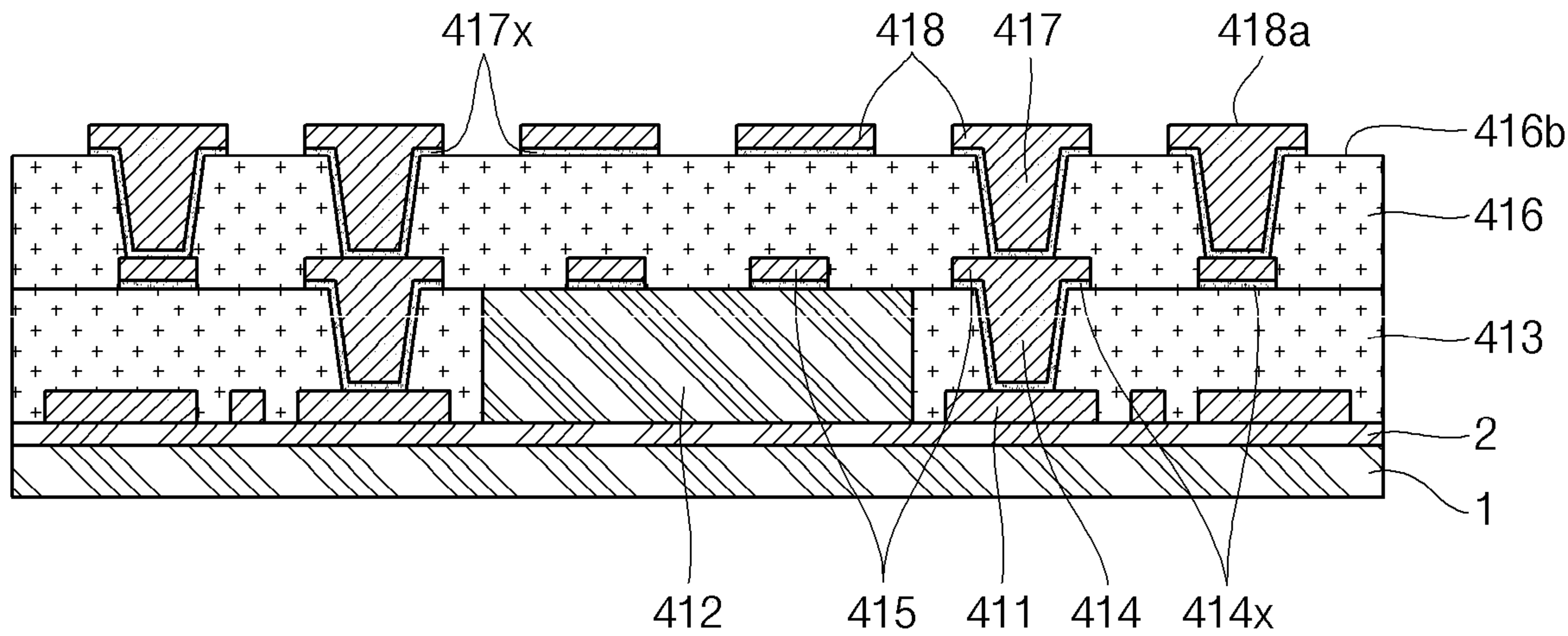


圖4E

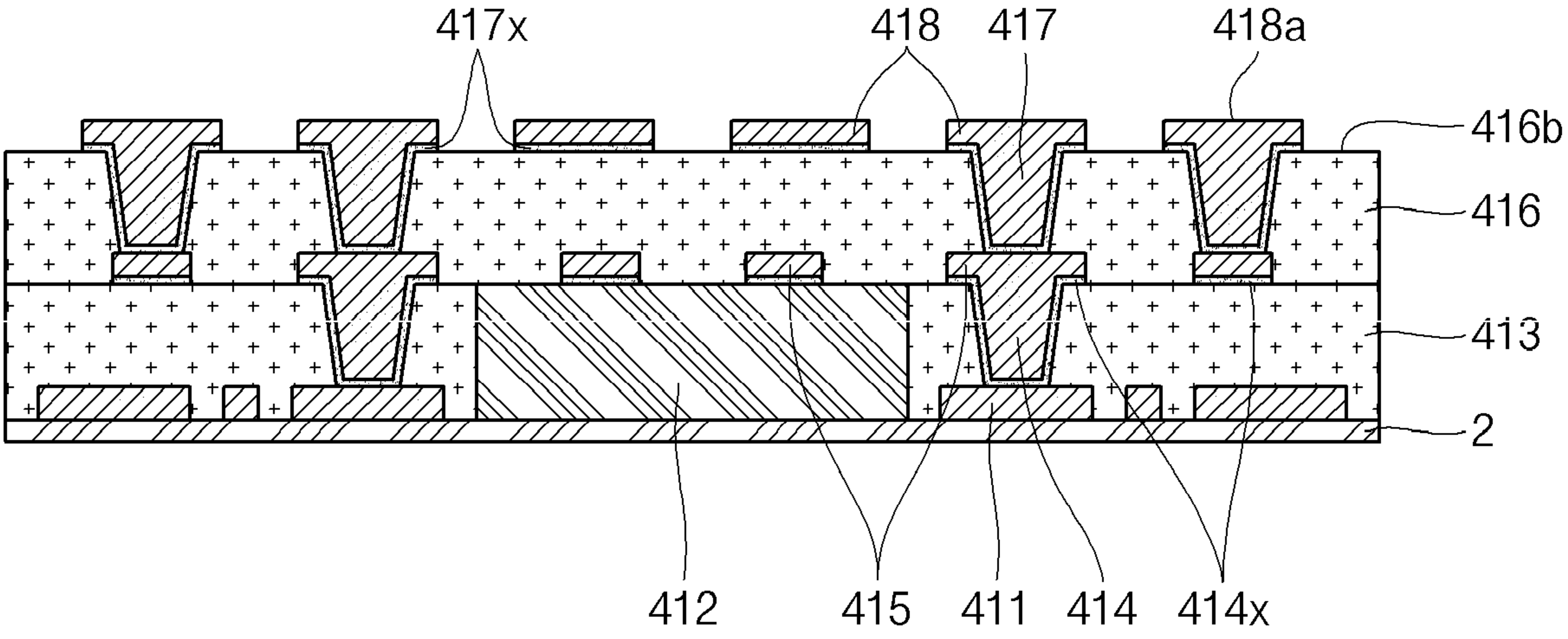


圖4F

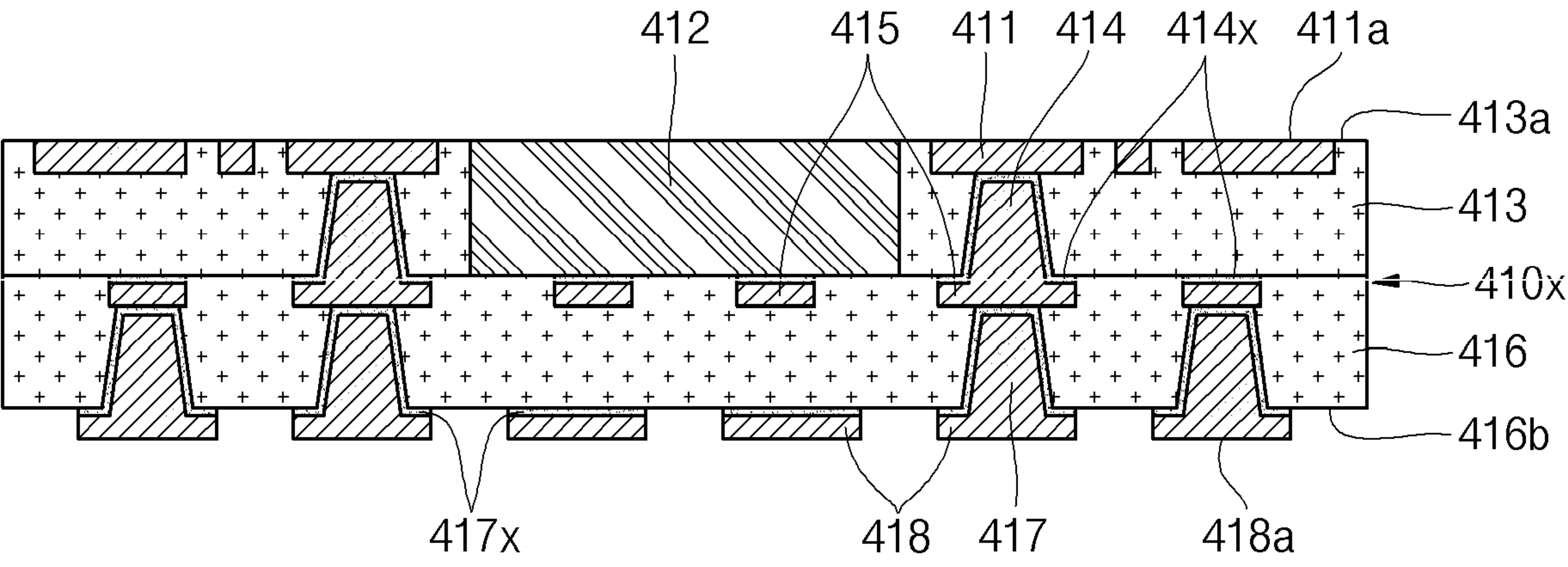


圖4G

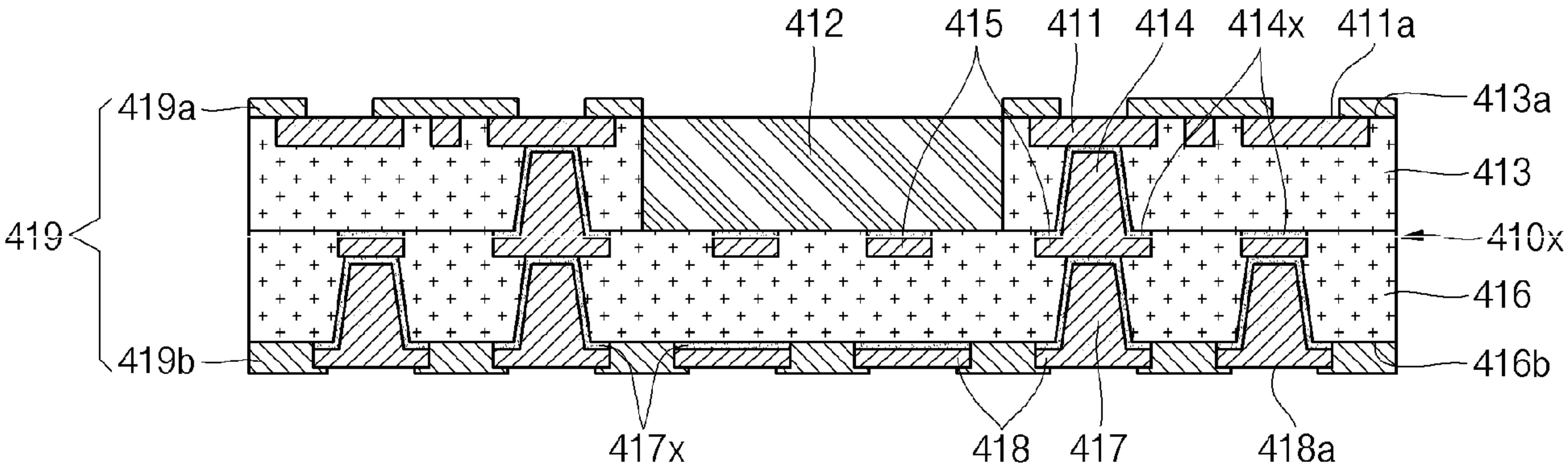


圖4H

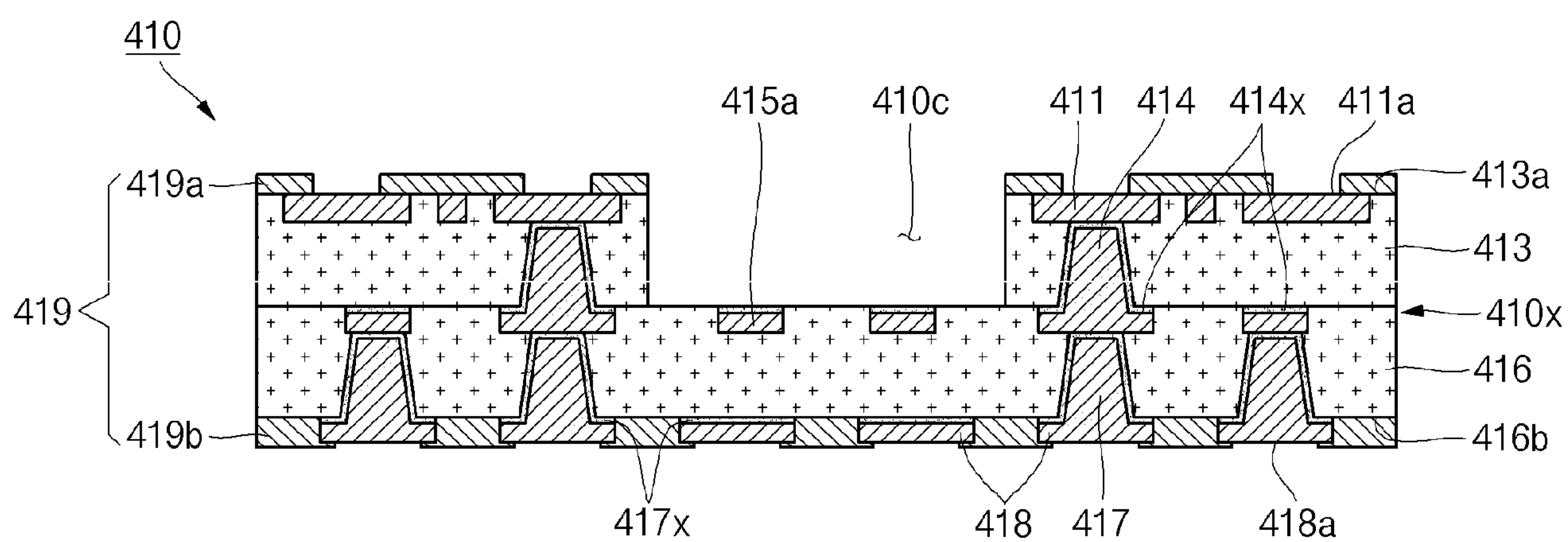


圖4I

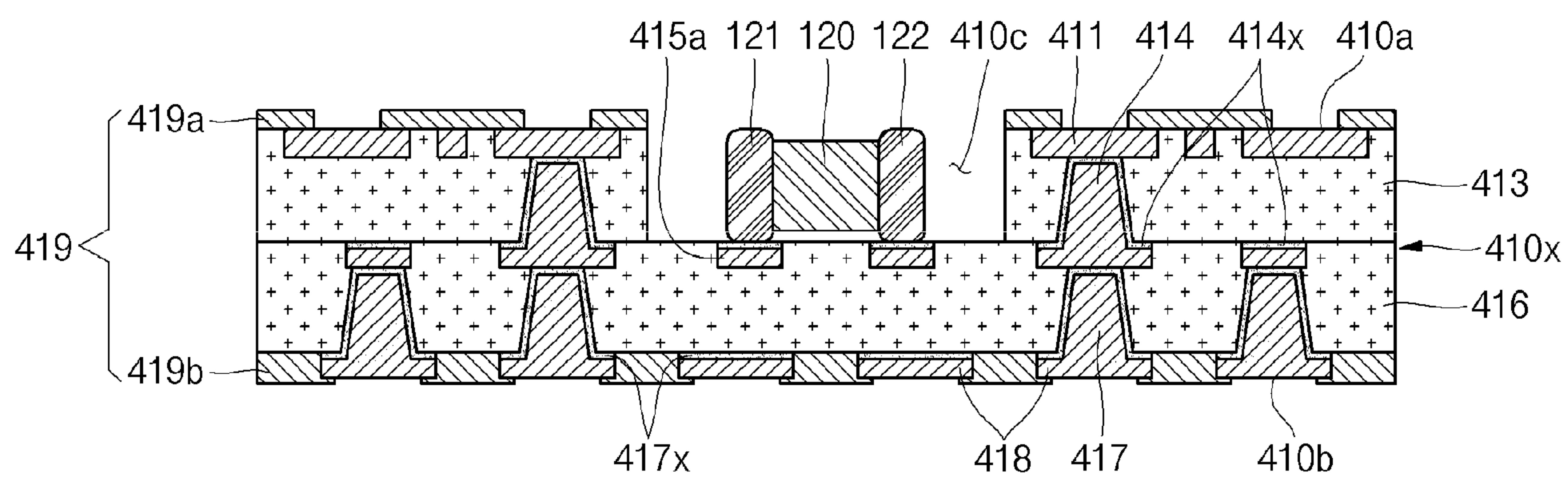


圖4J

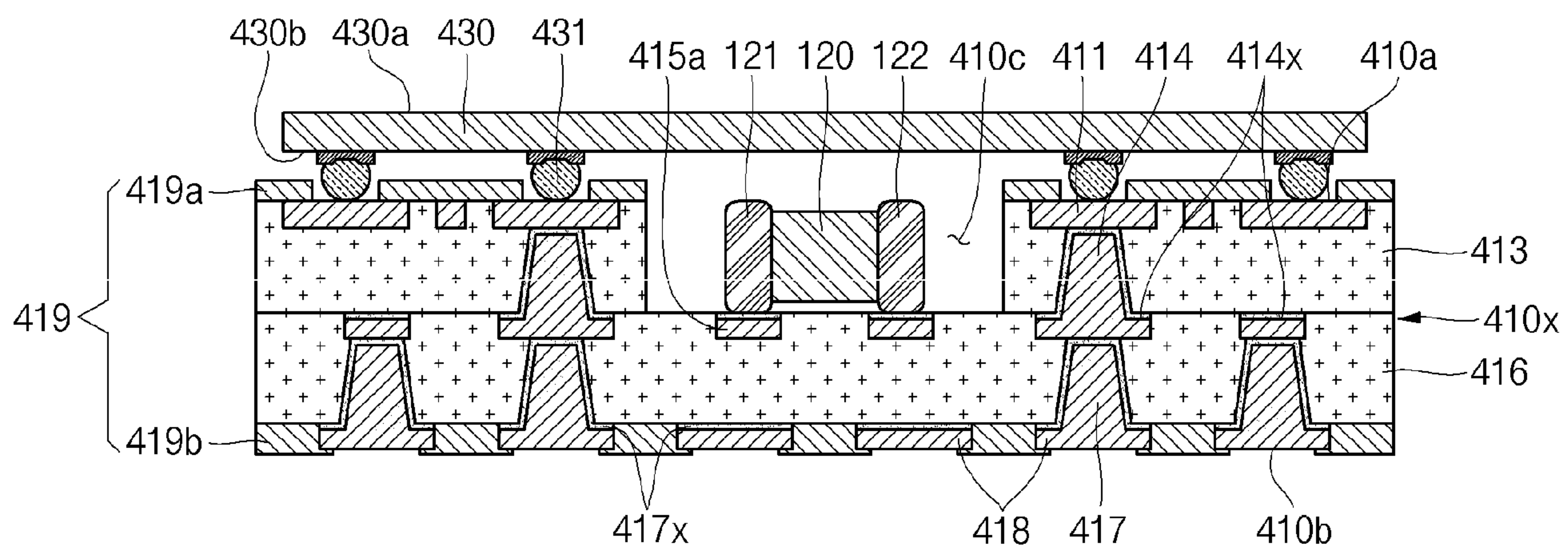


圖4K

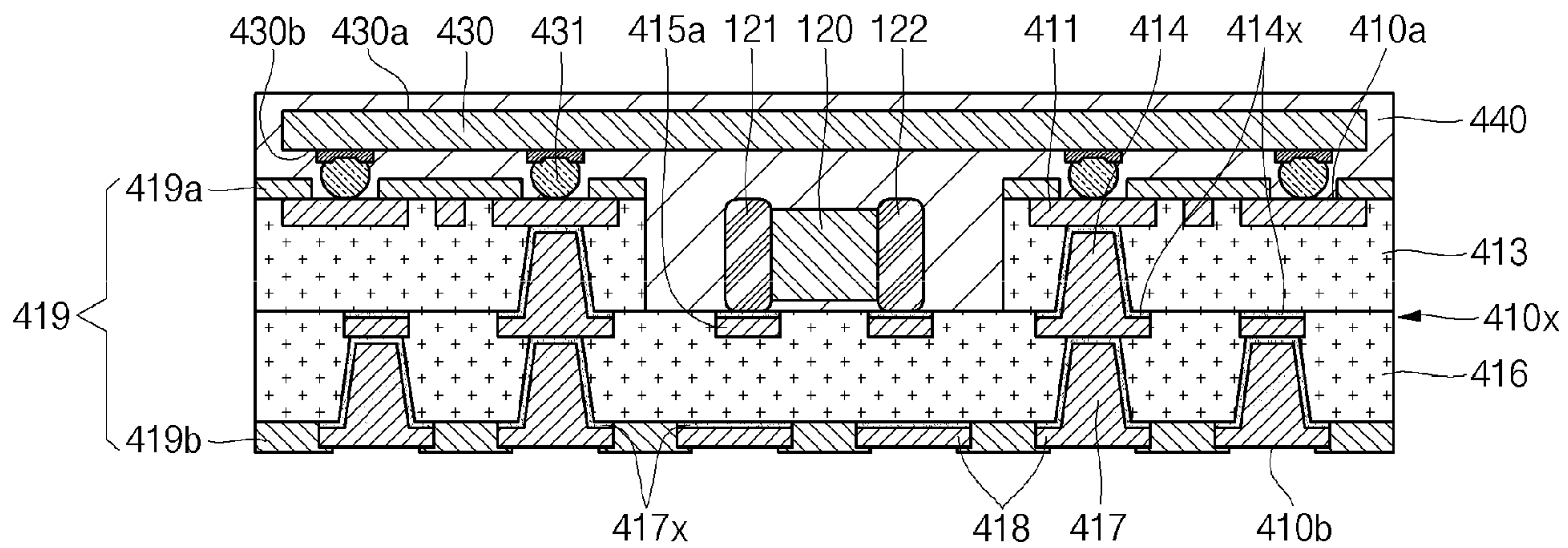


圖4L

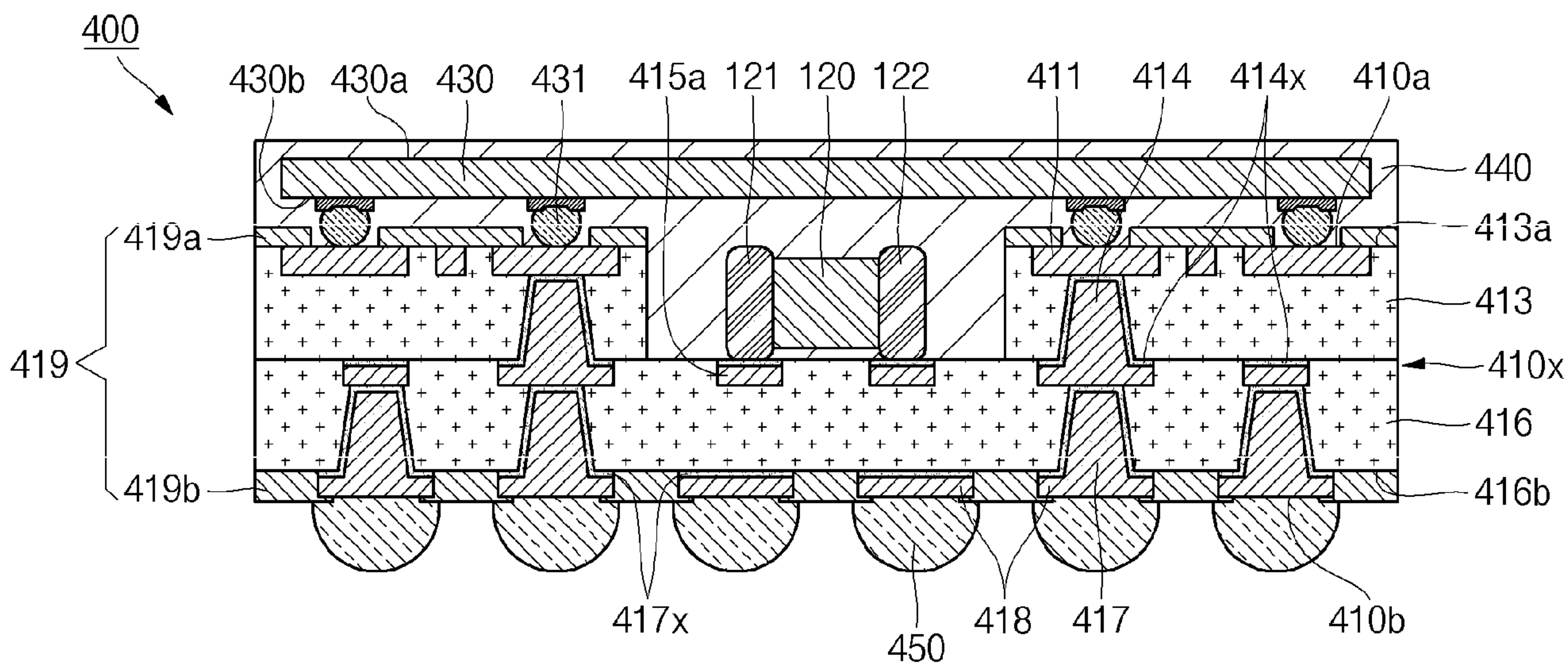


圖4M

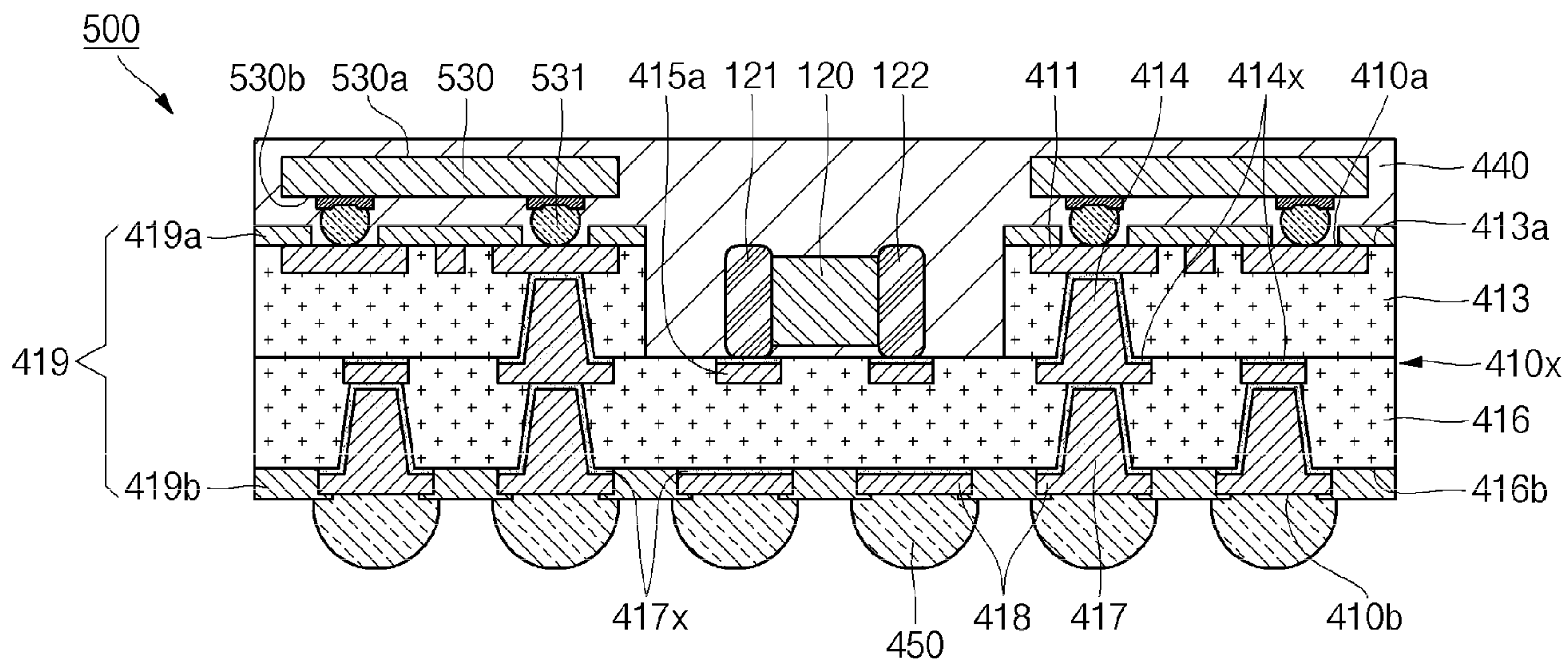


圖5

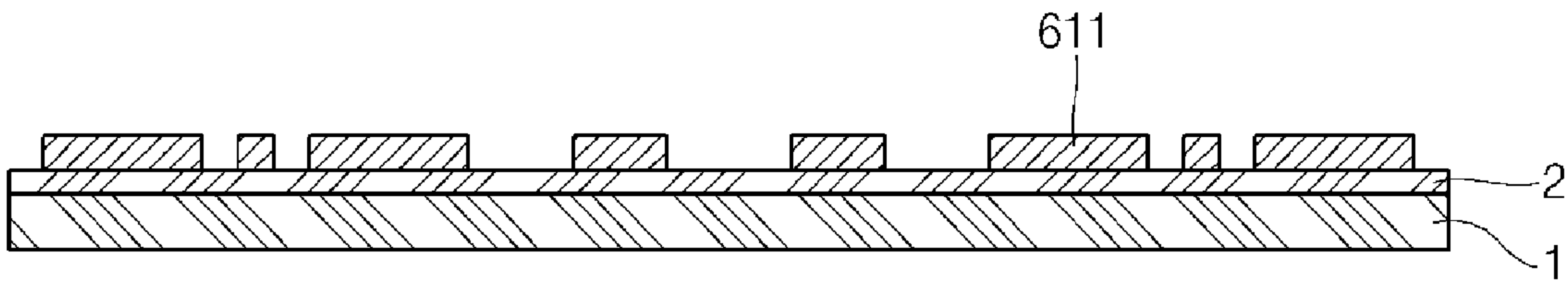


圖6A

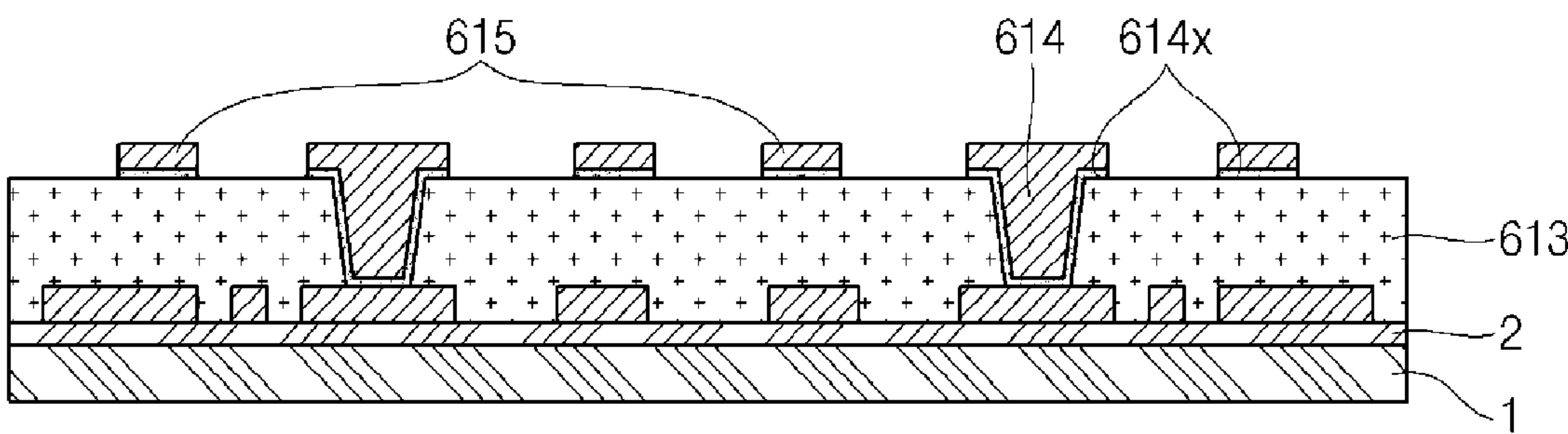


圖6B

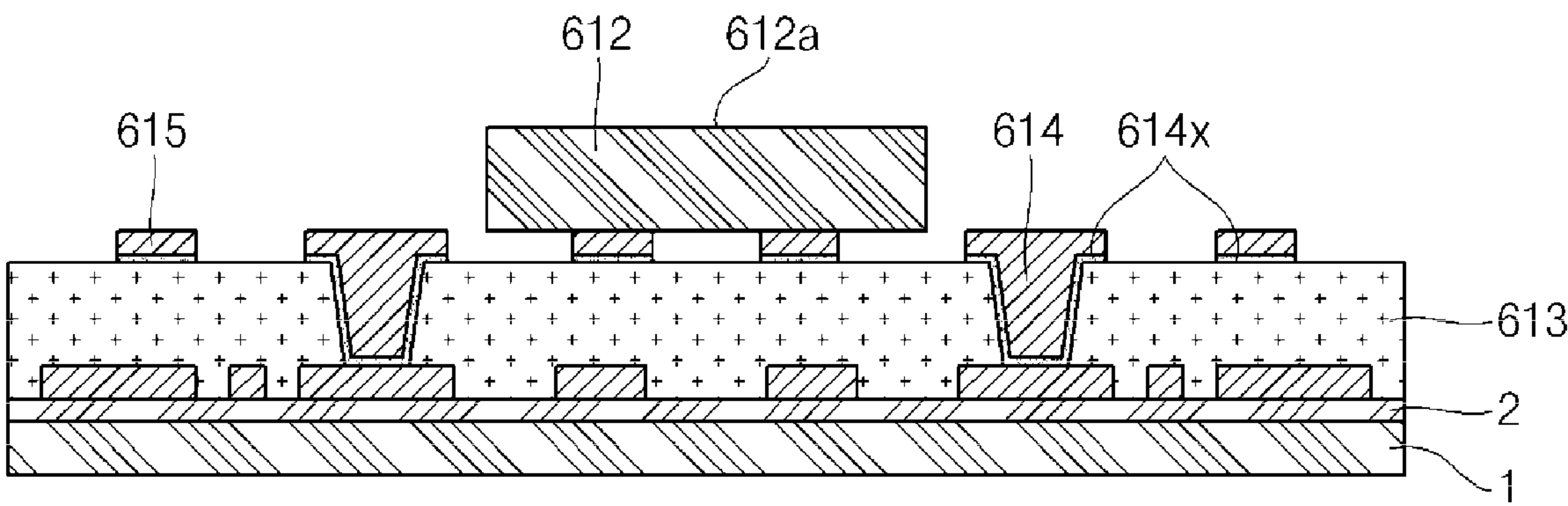


圖6C

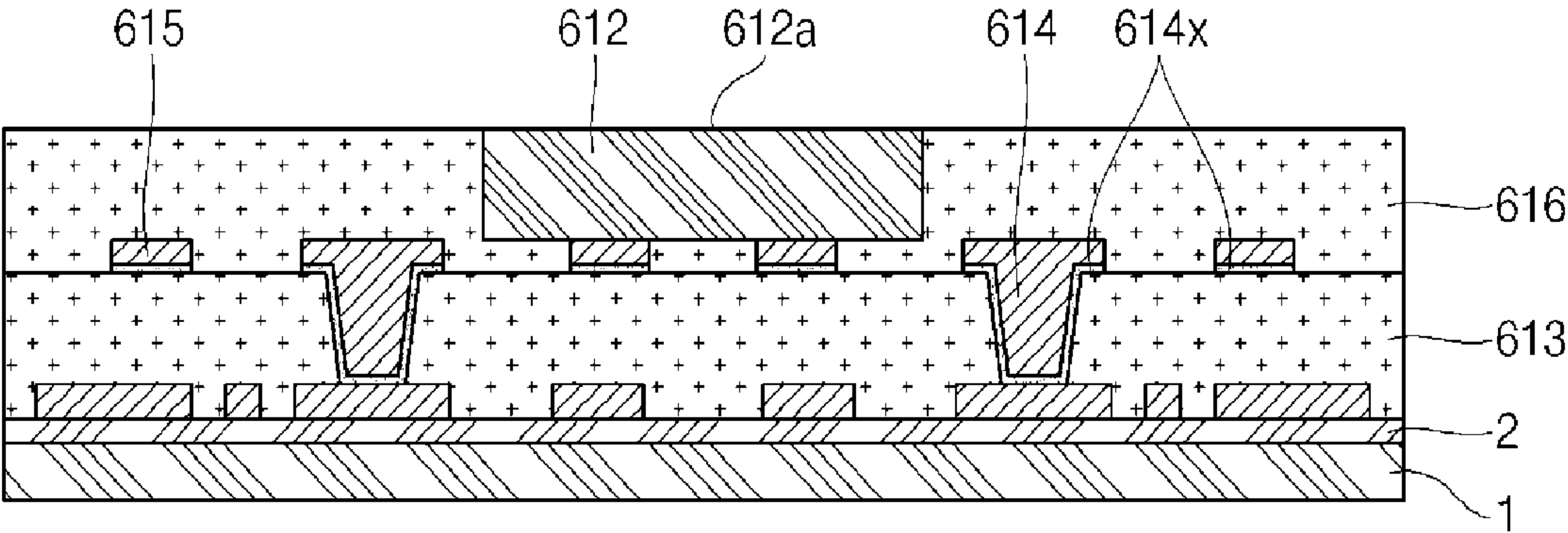


圖6D

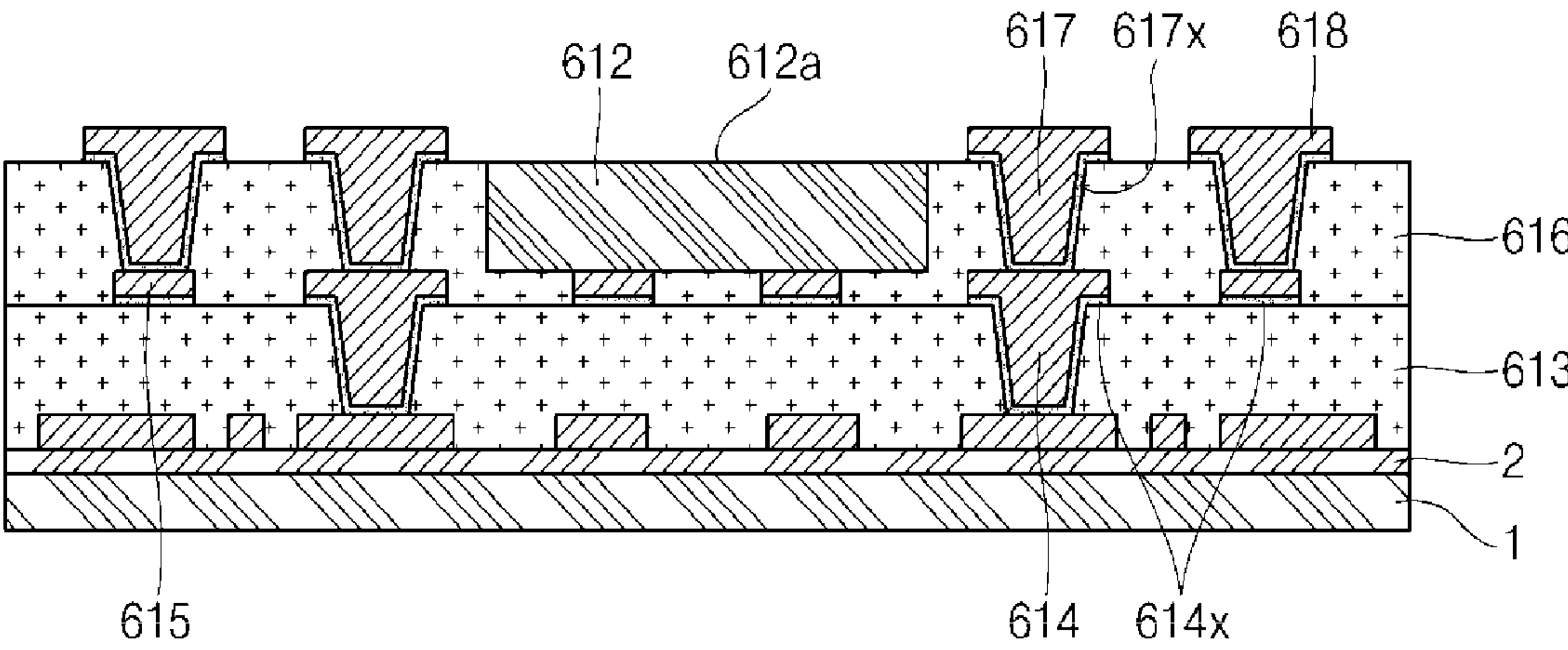


圖6E

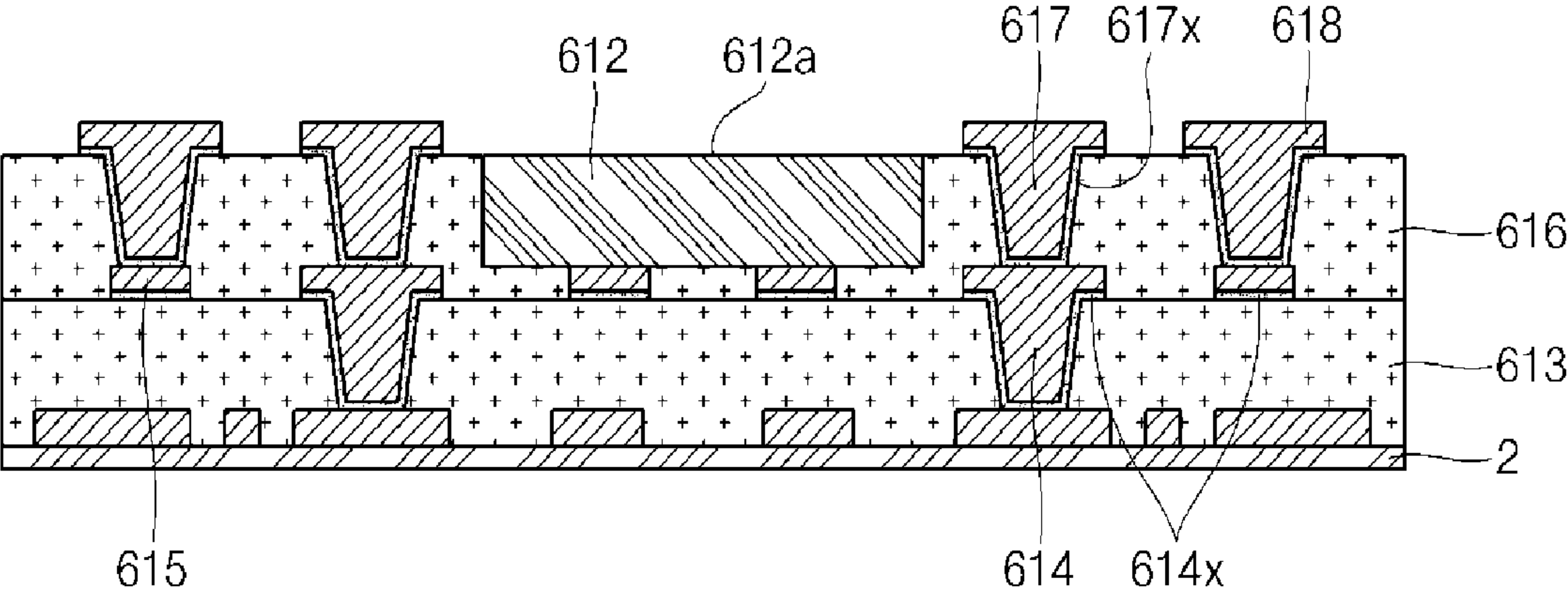


圖6F

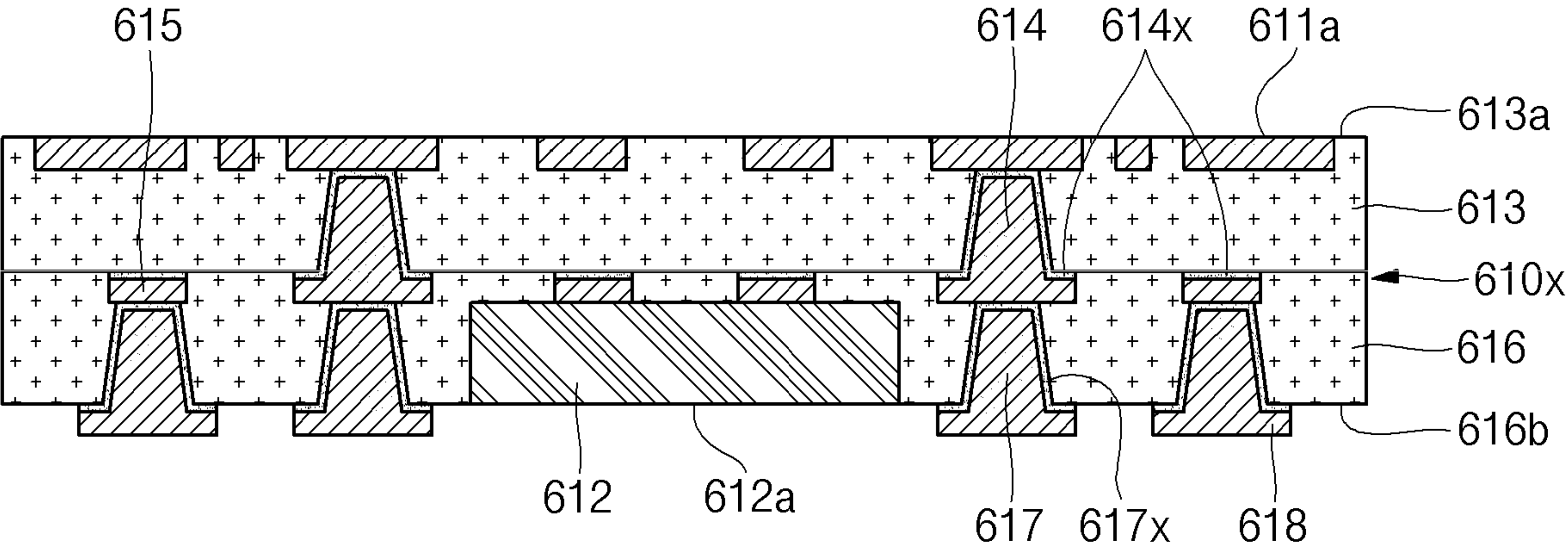


圖6G

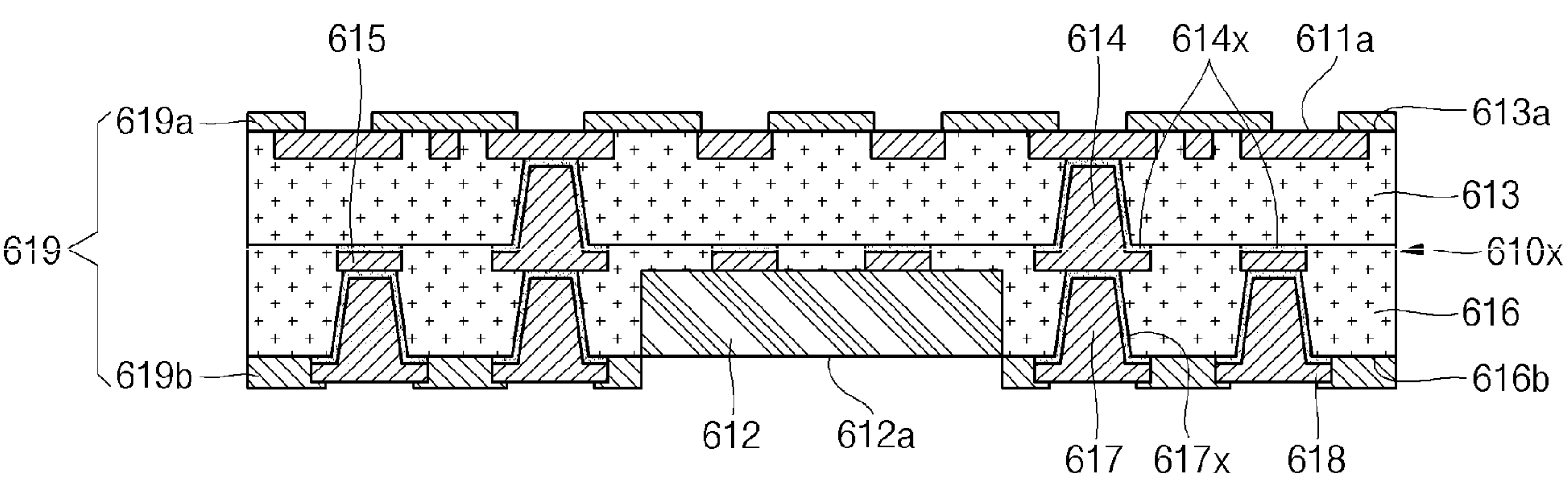


圖6H

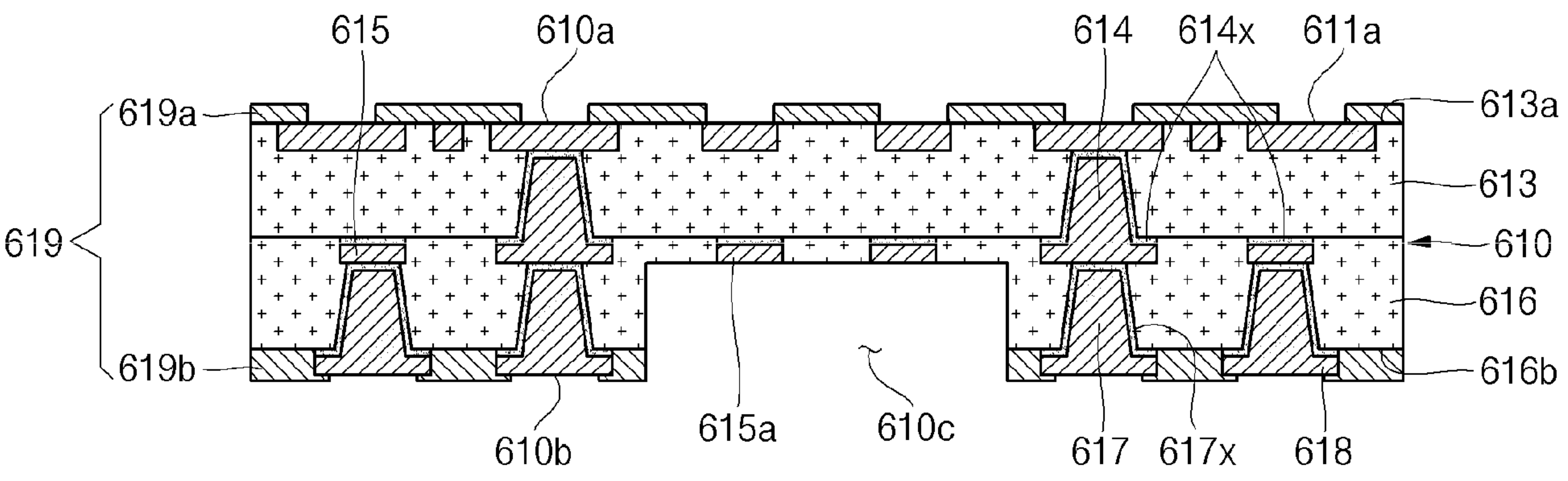


圖6I

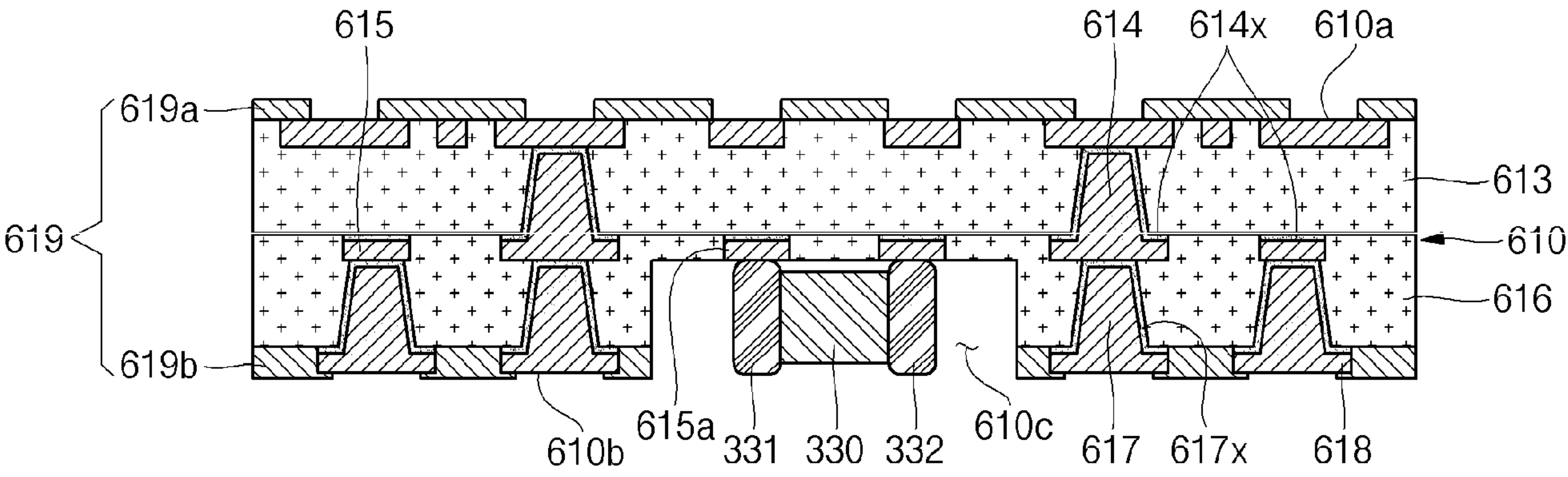


圖6J

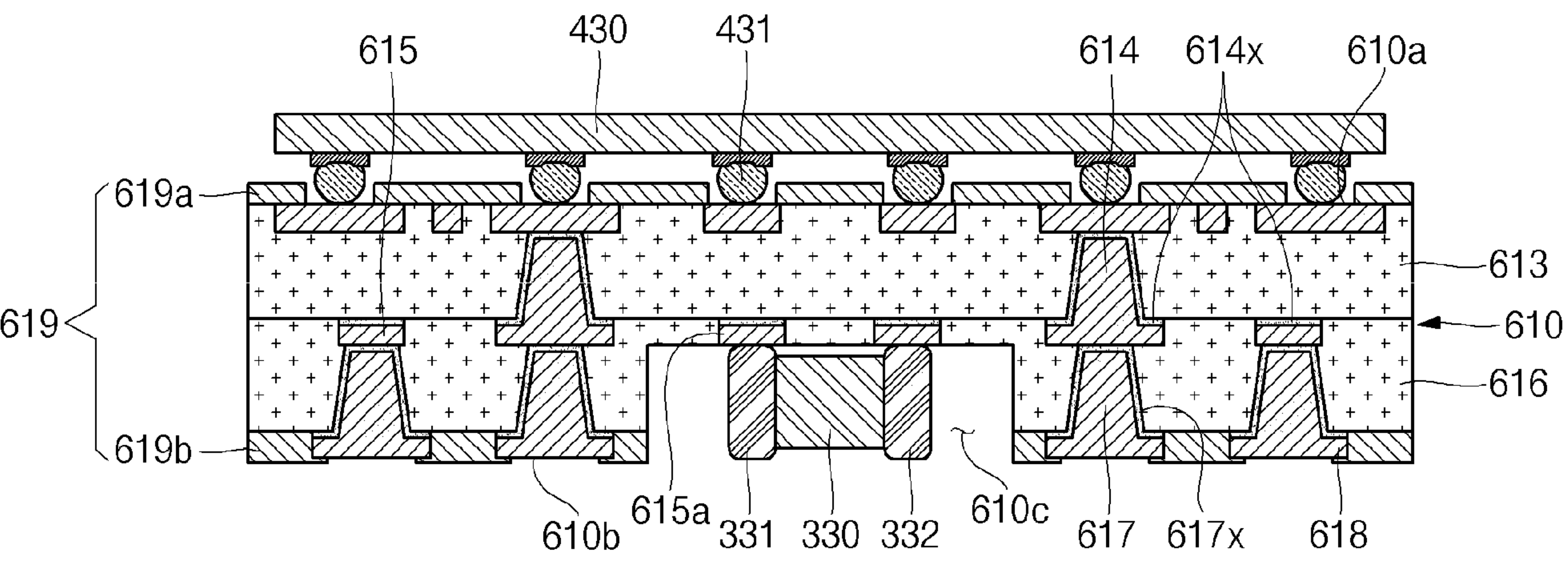


圖6K

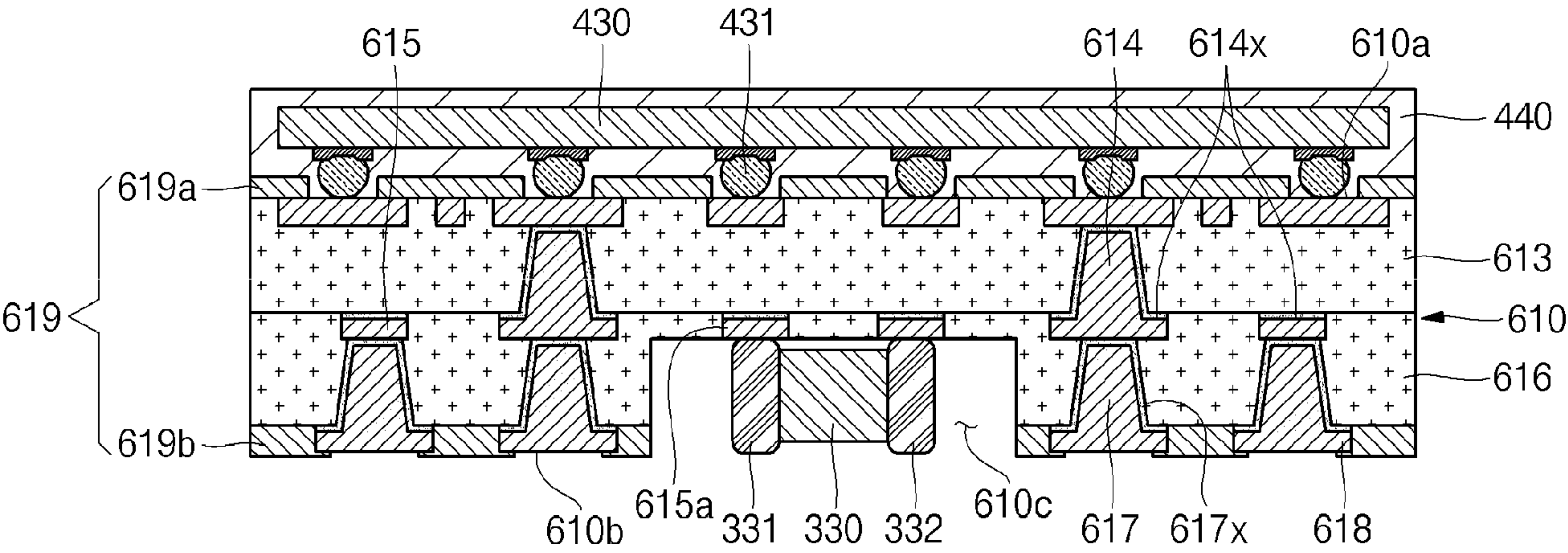


圖6L

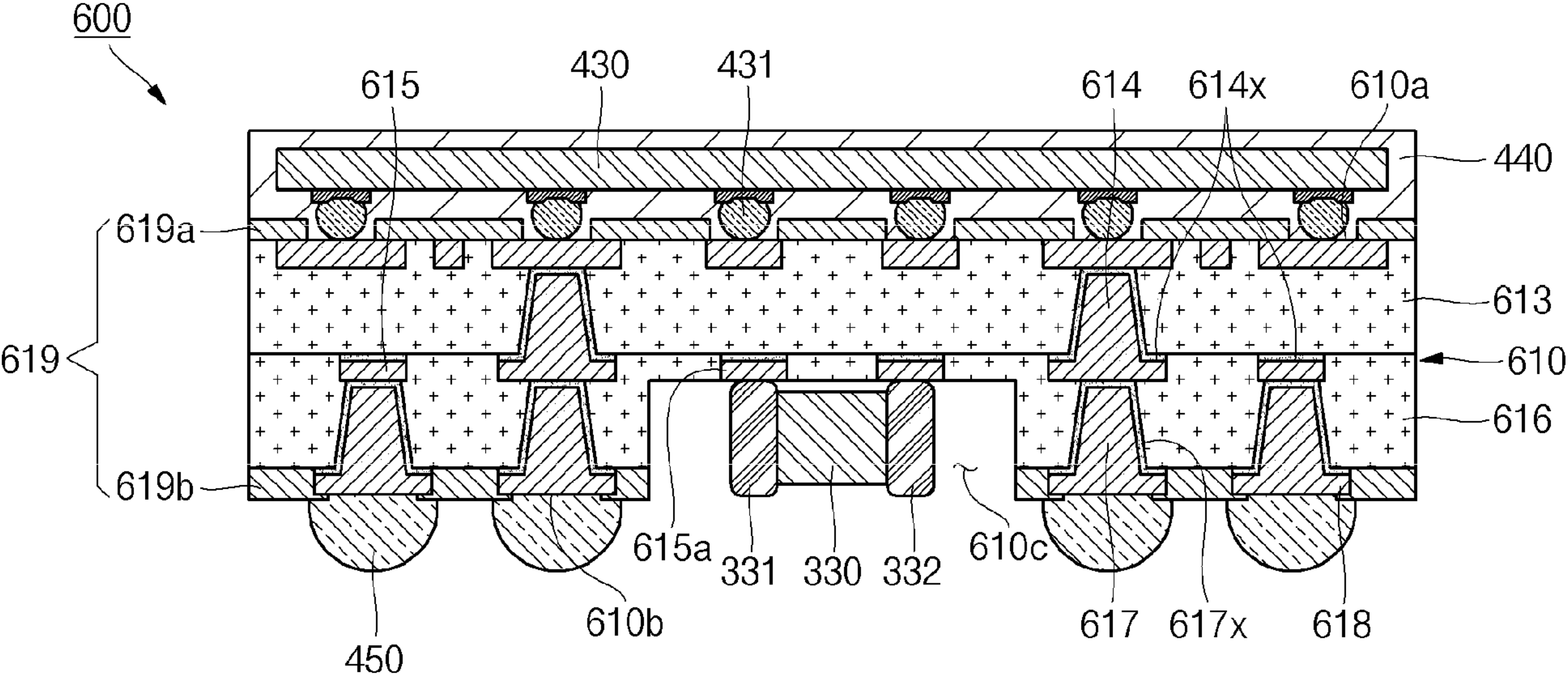


圖6M

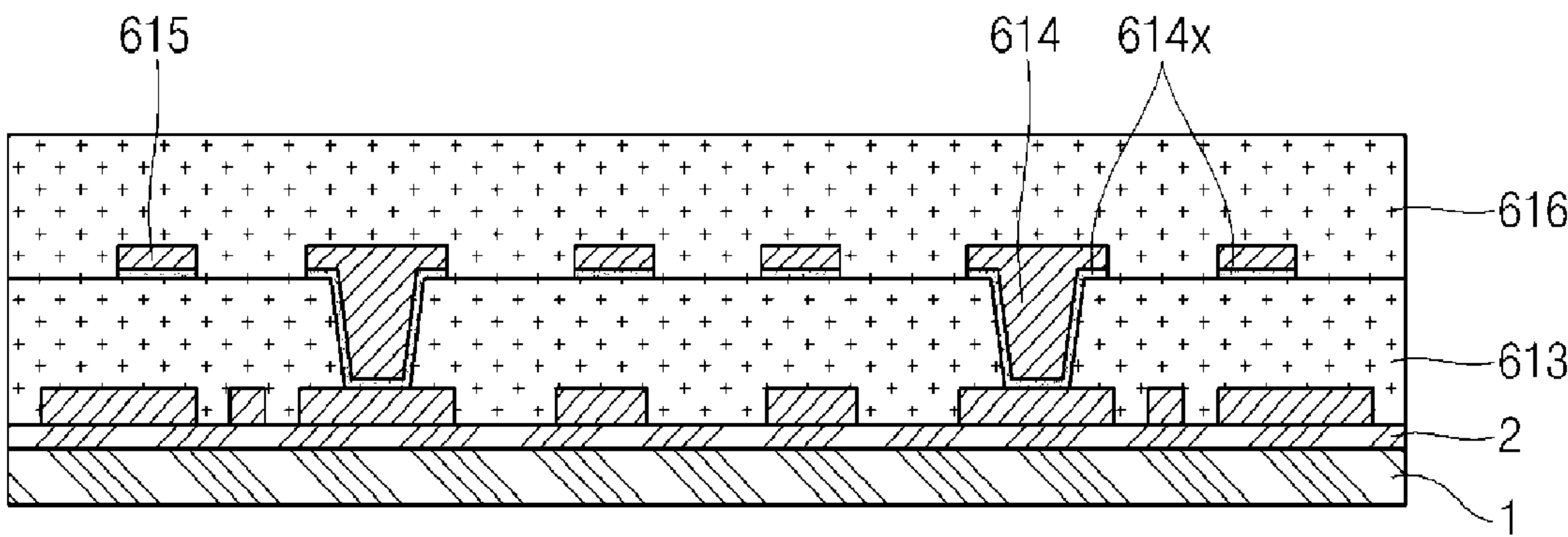


圖7A

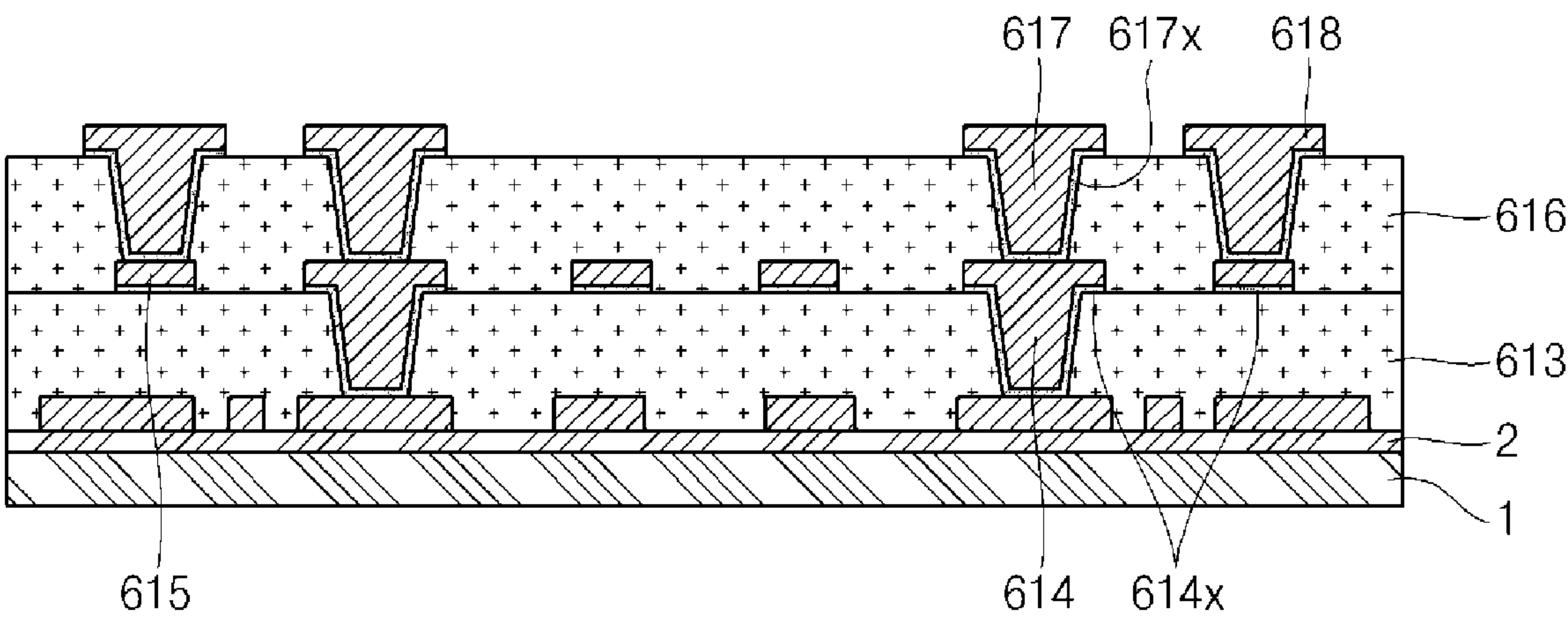


圖7B

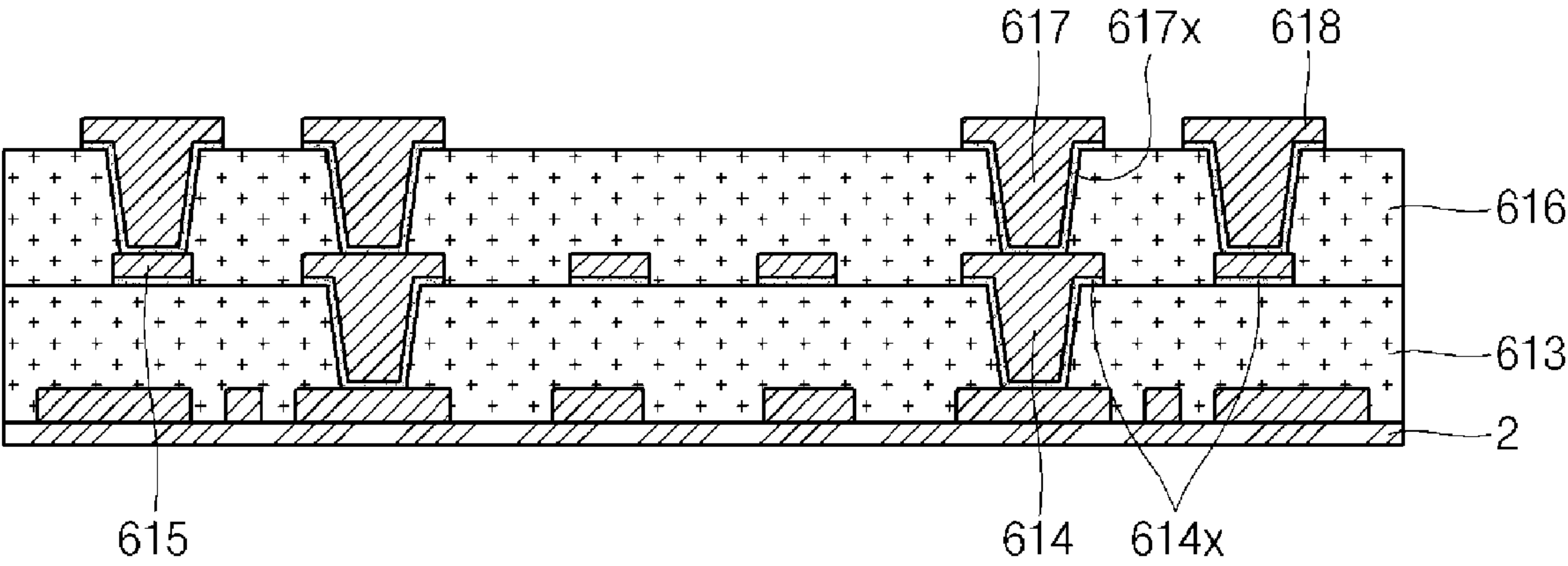


圖7C

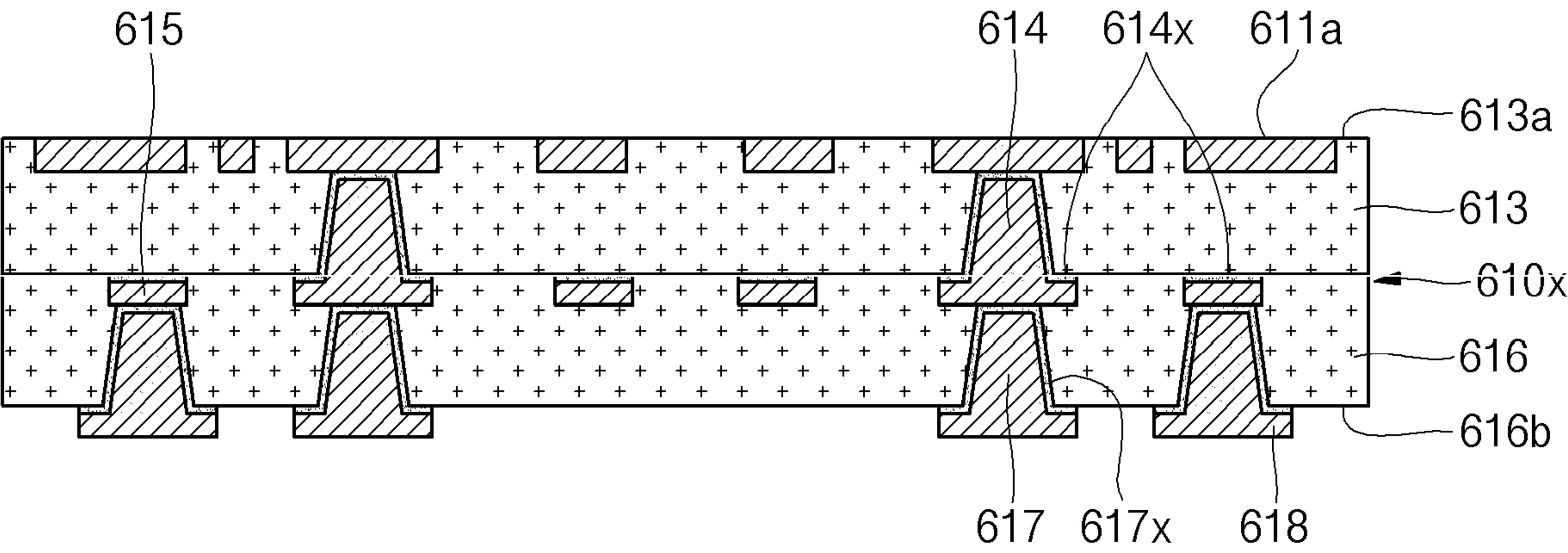


圖7D

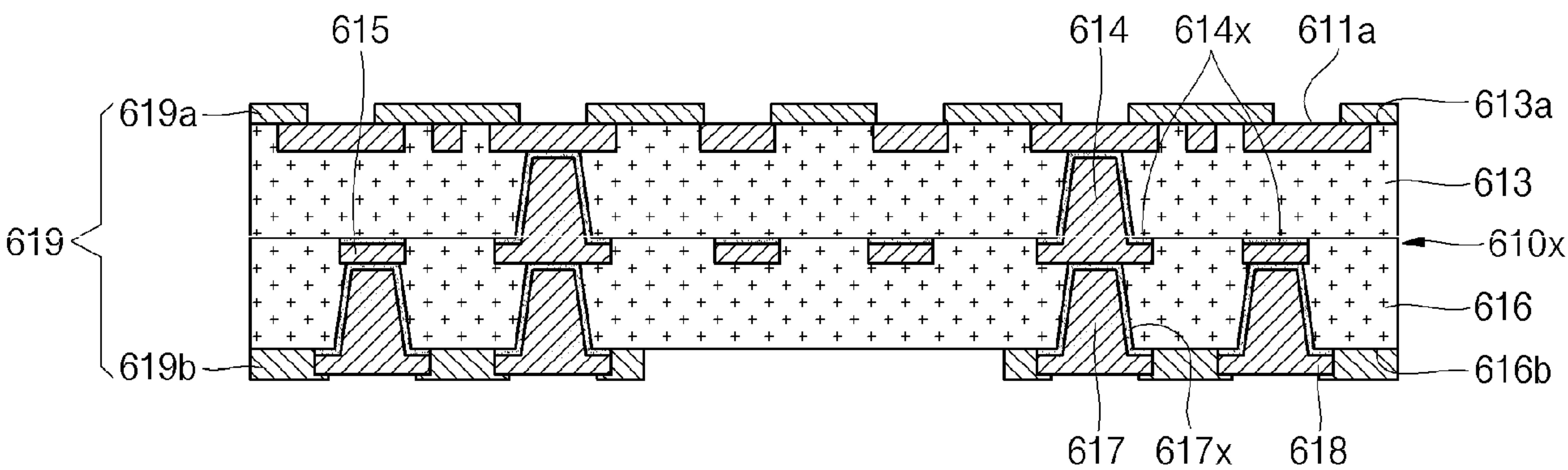


圖7E

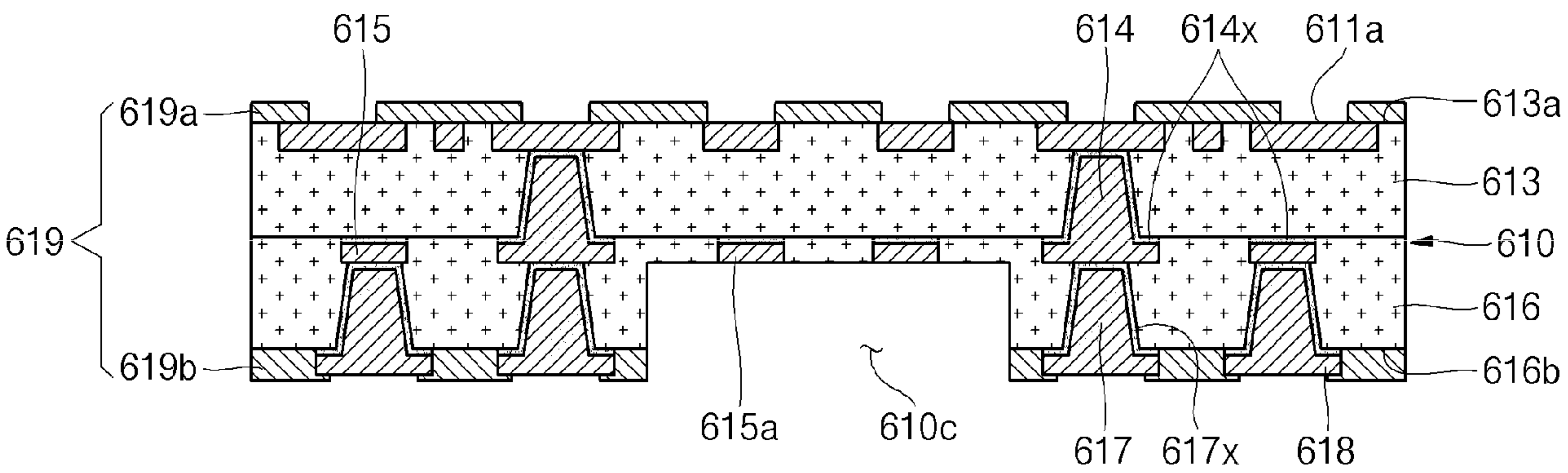


圖7F