

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2018 年 6 月 21 日 (21.06.2018)



(10) 国际公布号
WO 2018/107534 A1

- (51) 国际专利分类号:
G09G 3/3266 (2016.01) **G09G 3/36** (2006.01)
- (21) 国际申请号: PCT/CN2016/113033
- (22) 国际申请日: 2016 年 12 月 29 日 (29.12.2016)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201611161043.3 2016 年 12 月 15 日 (15.12.2016) CN
- (71) 申请人: 武汉华星光电技术有限公司 (WUHAN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国湖北省武汉市东湖开发区高新大道 666 号生物城 C5 栋, Hubei 430070 (CN)。
- (72) 发明人: 李亚锋 (LI, Yafeng); 中国湖北省武汉市东湖开发区高新大道 666 号生物城 C5 栋, Hubei 430070 (CN)。
- (74) 代理人: 北京聿宏知识产权代理有限公司 (YUHONG INTELLECTUAL PROPERTY LAW FIRM); 中国北京市西城区宣武门外大街 6 号庄胜广场第一座西翼 713 室吴大建 / 王浩, Beijing 100052 (CN)。
- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,

(54) Title: GATE DRIVE CIRCUIT AND DRIVING METHOD THEREFOR, AND DISPLAY DEVICE

(54) 发明名称: 一种栅极驱动电路及其驱动方法、显示装置

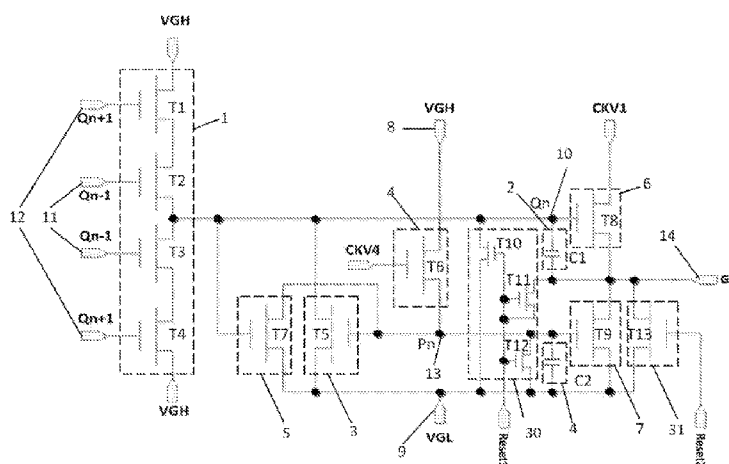


图 4

(57) Abstract: A gate drive circuit and a driving method therefor, and a display device using the gate drive circuit. The gate drive circuit uses high level generated when an output signal of a Q_{n-1} node in a front-end drive circuit overlaps an output signal of a Q_{n+1} node in a back-end drive circuit for pre-charging a Q_n node in an n -th circuit. The Q_{n-1} node and the Q_{n+1} node are both at a low level relatively in an All Gate On display state, and therefore, the probability of electric leakage of the Q_n node can be reduced greatly.

(57) 摘要: 一种栅极驱动电路及其驱动方法、以及使用栅极驱动电路的显示装置。栅极驱动电路采用在前级驱动电路中 Q_{n-1} 节点输出信号和后级驱动电路中 Q_{n+1} 节点输出信号二者交叠时的高电平为第 n 级电路的 Q_n 节点预充电。当进行 All Gate On 显示状态时, Q_{n-1} 节点、 Q_{n+1} 节点相对均为低电平, 因此可以大幅降低 Q_n 节点漏电的几率。

QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US,
UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM,
AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG,
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,
IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

根据细则4.17的声明:

— 发明人资格 (细则4.17(iv))

本国际公布:

— 包括国际检索报告 (条约第21条(3))。

一种栅极驱动电路及其驱动方法、显示装置

相关技术的交叉引用

本申请要求享有 2016 年 12 月 15 日提交的名称为“一种栅极驱动电路及其驱动方法、显示装置”的中国专利申请为 CN201611161043.3 的优先权，其全部内容通过引用并入本文中。

技术领域

本发明涉及显示技术领域，尤其涉及一种栅极驱动电路及其驱动方法，以及依据该栅极驱动电路及驱动方法制造的显示装置。

背景技术

TFT-LCD(Thin Film Transistor Liquid Crystal Display，薄膜晶体管-液晶显示器)以及 OLED(Active Matrix Driving OLED，有源矩阵驱动有机发光二极管)显示装置因其具有体积小、功耗低、无辐射以及制作成本相对较低等特点，而越来越多地被应用于高性能显示领域当中。

上述显示装置通常设置有栅极集成(Gate Driver on Array)电路，其利用现有薄膜晶体管液晶显示器的薄膜晶体管阵列制程将栅极扫描驱动信号电路制作在薄膜晶体管阵列基板上，该栅极集成电路每一级输出端与一行栅线相连接，用于向该栅线输出栅极扫描信号，以实现对该栅线的逐行扫描。

随着低温多晶硅(LTPS)半导体薄膜晶体管的发展，而且由于 LTPS 半导体本身超高载流子迁移率的特性，相应的面板周边集成电路也成为大家关注的焦点，并且很多人投入到 System on Panel(SOP)的相关技术研究，并逐步成为现实。

在现有的栅极集成驱动电路设计时都需要具有全部栅极打开(All Gate On)功能用于实现画面插黑和全部栅极关闭(All Gate Off)功能用于实现搭配 TP 扫描，现有的电路见图 1，正反向扫描时序见图 2、3。在 GOA 电路实现 All Gate On 功能时的具体做法是：通过 Reset1 信号将所有级 GOA 电路的 Q 点及 P 均拉低，同时将所有级的 Gn 点拉高。在实现 All Gate Off 时的具体做法是：通过 Reset2 信号将所有级 Gn 点同时拉低。

发明内容

针对上述现有技术中的缺陷，本发明所要解决的技术问题之一是提供一种具有 All Gate On 和 All Gate Off 功能的且有效防止 Q 节点漏电的栅极驱动电路，同时本发明的目的在于提供一种能够有效降低显示功耗的栅极驱动电路。

为了解决上述技术问题，本发明提供了一种栅极驱动电路，该栅极驱动电路具有多级结构，其第 n 级电路包括：

Q_n 节点预充电单元、 Q_n 节点上拉单元、 Q_n 节点下拉单元、 P_n 节点上拉单元、 P_n 节点下拉单元、 G_n 输出单元、 G_n 输出端下拉单元、第一复位单元和第二复位单元。

Q_n 节点预充电单元，其在第一输入信号 Q_{n-1} 、第二输出信号 Q_{n+1} 的作用下控制高电压信号 VGH 与 Q_n 节点之间的信号传输，由此对 Q_n 节点进行预充电；

Q_n 节点上拉单元，其电连接在 Q_n 节点与输出端 G_n 之间，用于维持 Q_n 节点的高电平状态；

Q_n 节点下拉单元，其电连接在低电压信号 VGL 与 Q_n 节点之间，用于在 P_n 节点电压信号的作用下控制低电压信号 VGL 与 Q_n 节点之间的信号传输，由此维持 Q_n 节点的低电平状态；

P_n 节点上拉单元，其电连接在高电压信号 VGH 与 P_n 节点之间，用于在第一时钟信号的作用下控制高电压信号 VGH 与 P_n 节点之间的信号传输，由此维持 P_n 节点的高电平状态；

P_n 节点下拉单元，其电连接在低电压信号 VGL 与 P_n 节点之间，用于在 Q_n 节点电压信号的作用下控制低电压信号 VGL 与 P_n 节点之间的信号传输，由此维持 P_n 节点的低电平状态；

G_n 输出单元，其电连接在第二时钟信号与输出端 G_n 之间，用于在 Q_n 节点电压信号的作用下控制第二时钟信号与输出端 G_n 之间的信号传输，由此输出 G_n 高电平信号；

G_n 输出端下拉单元，其电连接在低电压信号 VGL 与输出端 G_n 之间，用于在 P_n 节点电压信号的作用下控制低电压信号 VGL 与输出端 G_n 之间的信号传输，由此维持输出端 G_n 的低电平状态；

其中，第一输入信号 Q_{n-1} 为前级驱动电路中 Q_{n-1} 节点输出信号，第二输出信号 Q_{n+1} 为后级驱动电路中 Q_{n+1} 节点输出信号；

第一复位单元连接低电压信号 VHL、 Q_n 节点、 P_n 节点、输出端 G_n 和第一复位信号 Reset1，当第一复位信号 Reset1 跳变为高电平时，第一复位单元将 Q_n 节点和 P_n 节点均拉低至低电平，同时将输出端 G_n 拉至高电平；

第二复位单元连接电压信号 VHL、输出端 G_n 和第一复位信号 Reset2，当第二复位信号 Reset2 跳变为高电平时，第二复位单元将输出端 G_n 拉至低电平。

当第一复位信号 Reset1 跳变为高电平时，第二复位信号 Reset2 保持低电平。

当第二复位信号 Reset2 跳变为高电平时，第一复位信号 Reset1 保持低电平。

在一个实施例中，所述 Q_n 节点预充电单元包括第一晶体管 T1、第二晶体管 T2、第三晶体管 T3 及第四晶体管 T4。第一晶体管 T1 的源极与高电压信号 VGH 连接，第一晶体管 T1 栅极与第二输出信号 Q_{n+1} 连接，第一晶体管 T1 漏极与第二晶体管 T2 的源极连接。第二晶体管 T2 栅极连接第一输入信号 Q_{n-1} ，第二晶体管 T2 漏极连接第三晶体管 T3 的源极连接，并同时与 Q_n 节点连接。第三晶体管 T3 栅极与第一输入信号 Q_{n-1} 连接，第三晶体管 T3 漏极与第四晶体管 T4 的源极连接。第四晶体管 T4 栅极与第二输出信号 Q_{n+1} 连接，第四晶体管 T4 漏极与高电压信号 VGH 连接。

在一个实施例中，所述 Q_n 节点上拉单元包括第一电容 C1，所述第一电容 C1 两端分别连接 Q_n 节点与输出端 G_n 。

在一个实施例中，所述 Q_n 节点下拉单元包括第五晶体管 T5，第五晶体管 T5 的源极连接 Q_n 节点，第五晶体管 T5 的栅极连接 P_n 节点，第五晶体管 T5 的漏极连接低电压信号 VGL。

在一个实施例中，所述 P_n 节点上拉单元包括第六晶体管 T6 和第二电容 C2，所述第六晶体管 T6 的源极连接高电压信号 VGH，第六晶体管 T6 的栅极连接第一时钟信号，第六晶体管 T6 的漏极连接 P_n 节点。第二电容 C2 两端分别连接 P_n 节点与低电压信号 VGL。

在一个实施例中，所述 P_n 节点下拉单元包括第七晶体管 T7，所述第七晶体管 T7 的源极连接 P_n 节点，第七晶体管 T7 的栅极连接 Q_n 节点，第七晶体管 T7 的漏极连接低电压信号 VGL。

在一个实施例中，所述 G_n 输出单元包括第八晶体管 T8，所述第八晶体管 T8 的源极连接第二时钟信号，第八晶体管 T8 的栅极连接 Q_n 节点，第八晶体管 T8 的漏极连接输出端 G_n 。

在一个实施例中，所述 G_n 输出端下拉单元包括第九晶体管 T9，所述第九晶体管 T9 的源极连接输出端 G_n ，第九晶体管 T9 的栅极连接 P_n 节点，第九晶体管 T9 的漏极连接低电压信号 VGL。

在一个实施例中，所述第一复位单元包括第十晶体管 T10、第十一晶体管 T11 和第十二晶体管 T12。第十晶体管 T10 的源极连接 Q_n 节点，栅极连接第一复位信号 Reset1，漏极连接低电压信号 VGL。第十一晶体管 T11 的源极连接输出端 G_n ，栅极和漏极均连接

第一复位信号 Reset1, 第十二晶体管 T12 的源极连接 P_n 节点, 栅极连接第一复位信号 Reset1, 漏极连接低电压信号 VGL。

在一个实施例中, 所述第二复位单元包括第十三晶体管 T13, 第十三晶体管 T13 的源极连接输出端 G_n , 栅极连接第二复位信号 Reset2, 漏极连接低电压信号 VGL。

根据本发明的另一方面, 还提供了一种栅极驱动方法, 在进行正反双向扫描时, 包括如下阶段:

正向扫描阶段:

正常显示状态下, 第一复位信号 Reset1 及第二复位信号 Reset2 均保持低电平

阶段 a, 第一输入信号 Q_{n-1} 与第二输入信号 Q_{n+1} 交叠为高电平时, 第一、二晶体管串联导通, 第三、四晶体管也串联导通, 同时对 Q_n 节点进行预充电。

阶段 b, 在阶段 a 中, Q_n 节点被预充电, Q_n 节点上拉单元中的第一电容 C1 维持 Q_n 节点处于高电平状态, G_n 输出单元中的第八晶体管 T8 处于导通状态, 第二时钟信号的高电平输出到输出端 G_n 。

阶段 c, Q_n 节点上拉单元中的第一电容 C1 继续维持 Q_n 节点处于高电平状态, 而此时第二时钟信号的低电平将 G_n 输出端电平拉低, 当第一输入信号 Q_{n-1} 与第二输入信号 Q_{n+1} 同时为高电平时, 第一、二、三、四晶体管均处于串联导通状态, Q_n 节点被补充充电。

阶段 d, 当第一时钟信号为高电平时, P_n 节点上拉单元中的第六晶体管 T6 处于导通的状态, P_n 节点电平被拉高, Q_n 节点下拉单元中的第五晶体管 T5 导通, 此时 Q_n 节点电平被拉低到端 VGL。

阶段 e, 当 Q_n 节点变为低电平后, P_n 节点下拉单元的第七晶体管 T7 处于截止状态, 当第一时钟跳变为高电平时第六晶体管 T6 导通, P_n 节点被充电, 那么五晶体管 T5 和 G_n 输出端下拉单元的第九晶体管 T9 均处于导通的状态, 可以保证 Q_n 节点及 G_n 输出端低电平的稳定, 同时第二电容 C2 对 P_n 节点的高电平具有一定的保持作用。

在正常显示状态下, 第一复位信号 Reset1 及第二复位信号 Reset2 均保持低电平, 因此第十晶体管 T10、第十一晶体管 T11 和第十二晶体管 T12 及第十三晶体管 T13 均处于关闭状态。

All Gate On 显示状态时, 第一复位信号 Reset1 为高电平, 第二复位信号 Reset2 为低电平: 当第一复位信号 Reset1 跳变为高电平时, 第十晶体管 T10、第十一晶体管 T11 和第十二晶体管 T12 均处于导通状态, 第十三晶体管 T13 均处于截断状态。此时, Q_n 节点、 P_n 节点均被拉至低电平, 输出端 G_n 被拉至高电平。

All Gate Off 显示状态时, 第一复位信号 Reset1 为低电平, 第二复位信号 Reset2 为高

电平：当第一复位信号 Reset1 为低电平时，第十晶体管 T10、第十一晶体管 T11 和第十二晶体管 T12 均处于截断状态，第十三晶体管 T13 均处于导通状态。此时，输出端 G_n 被拉至低电平。

反向扫描阶段：

正常显示状态下，第一复位信号 Reset1 及第二复位信号 Reset2 均保持低电平

阶段 1，第一输入信号 Q_{n-1} 与第二输入信号 Q_{n+1} 交叠为高电平时，第一、二晶体管串联导通，第三、四晶体管也串联导通，同时对 Q_n 节点进行预充电。

阶段 2，在阶段 1 中， Q_n 节点被预充电， Q_n 节点上拉单元中的第一电容 C1 维持 Q_n 节点处于高电平状态， G_n 输出单元中的第八晶体管 T8 处于导通状态，第二时钟信号的高电平输出到 G_n 输出端。

阶段 3， Q_n 节点上拉单元中的第一电容 C1 继续维持 Q_n 节点处于高电平状态，而此时第二时钟信号的低电平将 G_n 输出端电平拉低，当第一输入信号 Q_{n-1} 与第二输入信号 Q_{n+1} 同时为高电平时，第一、二、三、四晶体管均处于串联导通状态， Q_n 节点被补充充电。

阶段 4，当第一时钟信号为高电平时， P_n 节点上拉单元中的第六晶体管 T6 处于导通的状态， P_n 节点电平被拉高， Q_n 节点下拉单元中的第五晶体管 T5 导通，此时 Q_n 节点电平被拉低到端 VGL。

阶段 5，当 Q_n 节点变为低电平后， P_n 节点下拉单元的第七晶体管 T7 处于截止状态，当第一时钟跳变为高电平时第六晶体管 T6 导通， P_n 节点被充电，那么五晶体管 T5 和 G_n 输出端下拉单元的第九晶体管 T9 均处于导通的状态，可以保证 Q_n 节点及 G_n 输出端低电平的稳定，同时第二电容 C2 对 P_n 节点的高电平具有一定的保持作用。

在正常显示状态下，第一复位信号 Reset1 及第二复位信号 Reset2 均保持低电平，因此第十晶体管 T10、第十一晶体管 T11 和第十二晶体管 T12 及第十三晶体管 T13 均处于关闭状态。

All Gate On 显示状态时，第一复位信号 Reset1 为高电平，第二复位信号 Reset2 为低电平：当第一复位信号 Reset1 跳变为高电平时，第十晶体管 T10、第十一晶体管 T11 和第十二晶体管 T12 均处于导通状态，第十三晶体管 T13 均处于截断状态。此时， Q_n 节点、 P_n 节点均被拉至低电平，输出端 G_n 被拉至高电平。

All Gate Off 显示状态时，第一复位信号 Reset1 为低电平，第二复位信号 Reset2 为高电平：当第一复位信号 Reset1 为低电平时，第十晶体管 T10、第十一晶体管 T11 和第十二晶体管 T12 均处于截断状态，第十三晶体管 T13 均处于导通状态。此时，输出端 G_n 被拉至低电平。

与现有技术相比，本发明的一个或多个实施例可以具有如下优点：

本发明中的栅极驱动电路中，针对第 n 级电路，采用前级驱动电路中 Q_{n-1} 节点输出信号和后级驱动电路中 Q_{n+1} 节点输出信号二者交叠时的高电平时为第 n 级电路 Q_n 节点预充电，当进行 All Gate On 显示状态时 Q_{n-1} 节点、 Q_{n+1} 节点相对于均为低电平，因此可以大幅降低 Q_n 节点漏电的几率。同时本发明中 Q_n 节点预充电单元在正反扫描时均使用高电压信号 V_{GH} ，因此不会再电压信号源之间形成通路，可以有效的降低电路功耗。

本发明的其它特征和优点将在随后的说明书中阐述，并且，部分地从说明书中变得显而易见，或者通过实施本发明而了解。本发明的目的和其他优点可通过在说明书、权利要求书以及附图中所特别指出的结构来实现和获得。

附图说明

附图用来提供对本发明的进一步理解，并且构成说明书的一部分，与本发明的实施例共同用于解释本发明，并不构成对本发明的限制。在附图中：

图 1 是现有技术中的栅极驱动电路；

图 2 是现有技术中的栅极驱动电路正向扫描的时序图；

图 3 是现有技术中的栅极驱动电路反向扫描的时序图；

图 4 是根据本发明的栅极驱动电路；

图 5 是根据本发明的栅极驱动电路正向扫描的时序图；

图 6 是根据本发明的栅极驱动电路反向扫描的时序图。

附图标记说明：

- | | |
|------------------------|------------------------|
| 1. Q_n 节点预充电单元； | 2. Q_n 节点上拉单元； |
| 3. Q_n 节点下拉单元； | 4. P_n 节点上拉单元； |
| 5. P_n 节点下拉单元； | 6. G_n 输出单元； |
| 7. G_n 输出端下拉单元； | 8. 高电压信号 V_{GH} ； |
| 9. 低电压信号 V_{GL} ； | 10. Q_n 节点； |
| 11. 第一输入信号 Q_{n-1} ； | 12. 第二输出信号 Q_{n+1} ； |
| 13. P_n 节点； | 14. 输出端 G_n ； |
| 30. 第一复位单元； | 31. 第二复位单元； |

具体实施方式

为使本发明的目的、技术方案和优点更加清楚，以下结合附图对本发明作进一步地

详细说明。

如图 1 所示, 在传统栅极集成驱动电路设计时, 为了保证输出点 G_n 的稳定性, 都会引入 Q、P 两点。正向扫描时, 其信号时序图如图 2 所示, 反向扫描时, 其信号时序图如图 3 所示。从图 1 中可以看出, 当所有 G_n 均被拉高时, 即 G_n 、 G_{n-2} 、 G_{n+2} 来讲, 均为高电平, 此时 T1 与 T3 均处于被打开的状态, 此时存在较大几率造成 Q 点漏电; 同时而 U2D 与 D2U 为相对的高低电平, 当 T1 与 T3 同时被打开时, 会造成 U2D 与 D2U 之间形成一定的导电通路, 相应的功耗也会增加。

为此, 本发明提供一种具有 All Gate On 和 All Gate Off 功能的且有效防止 Q 节点漏电的栅极驱动电路。

实施例 1

图 4 是根据本发明实施例所示的栅极驱动电路。下面结合图 4 对该栅极驱动电路进行说明。

如图 4 所示的一种栅极驱动电路, 该栅极驱动电路具有多级结构, 其第 n 级电路中包含 Q_n 节点预充电单元 1、 Q_n 节点上拉单元 2、 Q_n 节点下拉单元 3、 P_n 节点上拉单元 4、 P_n 节点下拉单元 5、 G_n 输出单元 6、 G_n 输出端下拉单元 7、第一复位单元 30 和第二复位单元 31。

其中, Q_n 节点预充电单元 1 连接第一输入信号 $Q_{n-1}11$ 、第二输出信号 $Q_{n+1}12$ 及高电压信号 VGH8, 该第一输入信号 $Q_{n-1}11$ 为前级驱动电路中 Q_{n-1} 节点输出信号, 第二输出信号 $Q_{n+1}12$ 为后级驱动电路中 Q_{n+1} 节点输出信号。第一输入信号 $Q_{n-1}11$ 和第二输出信号 $Q_{n+1}12$ 通过 Q_n 节点预充电单元 1 控制高电压信号 VGH8 与 Q_n 节点 10 之间的信号传输, 由此实现对 Q_n 节点 10 的预充电。

所述 Q_n 节点预充电单元 1 包括第一晶体管 T1、第二晶体管 T2、第三晶体管 T3 及第四晶体管 T4。第一晶体管 T1 的源极与高电压信号 VGH8 连接, 第一晶体管 T1 的栅极与第二输出信号 $Q_{n+1}12$ 连接, 第一晶体管 T1 的漏极与第二晶体管 T2 的源极连接。第二晶体管 T2 的栅极连接第一输入信号 $Q_{n-1}11$, 第二晶体管 T2 的漏极连接第三晶体管 T3 的源极连接, 并同时与 Q_n 节点 10 连接。第三晶体管 T3 的栅极与第一输入信号 $Q_{n-1}11$ 连接, 第三晶体管 T3 的漏极与第四晶体管 T4 的源极连接。第四晶体管 T4 的栅极与第二输出信号 $Q_{n+1}12$ 连接, 第四晶体管 T4 的漏极与高电压信号 VGH8 连接。

Q_n 节点上拉单元 2 用于维持 Q_n 节点 10 的高电平状态。所述 Q_n 节点上拉单元 2 包括第一电容 C1, 所述第一电容 C1 两端分别连接 Q_n 节点 10 与输出端 G_n14 。

Q_n 节点下拉单元 3 连接低电压信号 VGL9 用于维持 Q_n 节点 10 的低电平状态。所述

Q_n 节点下拉单元 3 包括第五晶体管 T5, 第五晶体管 T5 的源极连接 Q_n 节点 10, 第五晶体管 T5 的栅极连接 P_n 节点 13, 第五晶体管 T5 的漏极连接低电压信号 VGL9。

P_n 节点上拉单元 4 连接高电压信号 VGH8 和时钟信号 CKV4, 用于控制高电压信号 VGH8 与 P_n 节点 13 之间的信号传输。所述 P_n 节点上拉单元 4 包括第六晶体管 T6 和第二电容 C2, 所述第六晶体管 T6 的源极连接高电压信号 VGH8, 第六晶体管 T6 的栅极连接时钟信号 CKV4, 第六晶体管 T6 的漏极连接 P_n 节点 13。第二电容 C2 两端分别连接 P_n 节点 13 与低电压信号 VGL9。

P_n 节点下拉单元 5 连接低电压信号 VGL9, 用于维持 P_n 节点 13 处于低电平状态。所述 P_n 节点下拉单元 5 包括第七晶体管 T7, 所述第七晶体管 T7 的源极连接 P_n 节点, 第七晶体管 T7 的栅极连接 Q_n 节点 10, 第七晶体管 T7 的漏极连接低电压信号 VGL9。

G_n 输出单元 6 连接时钟信号 CKV1 和输出端 G_n14 , 用于控制时钟信号 CKV1 与输出端 G_n14 之间的信号传输。在一个实施例中, 所述 G_n 输出单元 6 包括第八晶体管 T8, 所述第八晶体管 T8 的源极连接时钟信号 CKV1, 第八晶体管 T8 的栅极连接 Q_n 节点 10, 第八晶体管 T8 的漏极连接输出端 G_n14 。

G_n 输出端下拉单元 7 连接低电压信号 VGL9 和输出端 G_n14 , 用于维持输出端 G_n14 处于低电平状态。所述 G_n 输出端下拉单元 7 包括第九晶体管 T9, 所述第九晶体管 T9 的源极连接输出端 G_n14 , 第九晶体管 T9 的栅极连接 P_n 节点 13, 第九晶体管 T9 的漏极连接低电压信号 VGL9。

第一复位单元 30 连接低电压信号 VHL9、 Q_n 节点 10、 P_n 节点 13、输出端 G_n14 和第一复位信号 Reset1, 当第一复位信号 Reset1 跳变为高电平时, 第一复位单元将 Q_n 节点 10 和 P_n 节点 13 均拉低至低电平, 同时将输出端 G_n14 拉至高电平。

所述第一复位单元 30 包括第十晶体管 T10、第十一晶体管 T11 和第十二晶体管 T12。第十晶体管 T10 的源极连接 Q_n 节点 10, 栅极连接第一复位信号 Reset1, 漏极连接低电压信号 VGL9。第十一晶体管 T11 的源极连接输出端 G_n14 , 栅极和漏极均连接第一复位信号 Reset1, 第十二晶体管 T12 的源极连接 P_n 节点 13, 栅极连接第一复位信号 Reset1, 漏极连接低电压信号 VGL。

第二复位单元连接电压信号 VHL9、输出端 G_n14 和第一复位信号 Reset2, 当第二复位信号 Reset2 跳变为高电平时, 第二复位单元将输出端 G_n14 拉至低电平。

当第一复位信号 Reset1 跳变为高电平时, 第二复位信号 Reset2 保持低电平。

当第二复位信号 Reset2 跳变为高电平时, 第一复位信号 Reset1 保持低电平。

本实施例的技术效果在于, 栅极驱动电路中, 针对第 n 级电路, 采用前级驱动电路

中 Q_{n-1} 节点输出信号和后续驱动电路中 Q_{n+1} 节点输出信号二者交叠时的高电平时为第 n 级电路 Q_n 节点预充电，当进行 All Gate On 显示状态时 Q_{n-1} 节点、 Q_{n+1} 节点相对于均为低电平，因此可以大幅降低 Q_n 节点漏电的几率。同时本发明中 Q_n 节点预充电单元在正反扫描时均使用高电压信号 V_{GH} ，因此不会再电压信号源之间形成通路，可以有效的降低电路功耗。

实施例 2

根据实施例 1 所述的栅极驱动电路，本实施例提供一种用于驱动上述栅极驱动电路的驱动方法。

正向扫描时该驱动方法的信号时序图如图 5 所示，扫描过程包括如下阶段 a 至阶段 e。

正常显示状态下，第一复位信号 Reset1 及第二复位信号 Reset2 均保持低电平。

阶段 a，第一输入信号 $Q_{n-1}11$ 与第二输入信号 $Q_{n+1}12$ 交叠为高电平时，第一、二晶体管串联导通，第三、四晶体管也串联导通，同时对 Q_n 节点 10 进行预充电。

阶段 b，在阶段 a 中， Q_n 节点 10 被预充电， Q_n 节点 10 上拉单元中的第一电容 C1 维持 Q_n 节点 10 处于高电平状态， G_n 输出单元 6 中的第八晶体管 T8 处于导通状态，第二时钟信号的高电平输出到输出端 G_n14 。

阶段 c， Q_n 节点上拉单元 2 中的第一电容 C1 继续维持 Q_n 节点 10 处于高电平状态，而此时第二时钟信号的低电平将输出端 G_n14 电平拉低，当第一输入信号 $Q_{n-1}11$ 与第二输入信号 $Q_{n+1}12$ 同时为高电平时，第一、二、三、四晶体管均处于串联导通状态， Q_n 节点 10 被补充充电。

阶段 d，当第一时钟信号为高电平时， P_n 节点上拉单元 4 中的第六晶体管 T6 处于导通的状态， P_n 节点 13 电平被拉高， Q_n 节点下拉单元 3 中的第五晶体管 T5 导通，此时 Q_n 节点 10 电平被拉低到低电压信号 V_{GL9} 。

阶段 e，当 Q_n 节点 10 变为低电平后， P_n 节点下拉单元 5 的第七晶体管 T7 处于截止状态，当第一时钟跳变为高电平时第六晶体管 T6 导通， P_n 节点 13 被充电，则第五晶体管 T5 和 G_n 输出端下拉单元 7 的第九晶体管 T9 均处于导通的状态，可以保证 Q_n 节点 10 及输出端 G_n14 低电平的稳定，同时第二电容 C2 对 P_n 节点 13 的高电平具有一定的保持作用。

在正常显示状态下，第一复位信号 Reset1 及第二复位信号 Reset2 均保持低电平，因此第十晶体管 T10、第十一晶体管 T11 和第十二晶体管 T12 及第十三晶体管 T13 均处于

关闭状态。

All Gate On 显示状态时，第一复位信号 Reset1 为高电平，第二复位信号 Reset2 为低电平：当第一复位信号 Reset1 跳变为高电平时，第十晶体管 T10、第十一晶体管 T11 和第十二晶体管 T12 均处于导通状态，第十三晶体管 T13 均处于截断状态。此时， Q_n 节点 10、 P_n 节点 13 均被拉至低电平，输出端 G_n14 被拉至高电平。

All Gate Off 显示状态时，第一复位信号 Reset1 为低电平，第二复位信号 Reset2 为高电平：当第一复位信号 Reset1 为低电平时，第十晶体管 T10、第十一晶体管 T11 和第十二晶体管 T12 均处于截断状态，第十三晶体管 T13 均处于导通状态。此时，输出端 G_n14 被拉至低电平。

反向扫描阶段：

正常显示状态下，第一复位信号 Reset1 及第二复位信号 Reset2 均保持低电平

阶段 1，第一输入信号 $Q_{n-1}11$ 与第二输入信号 $Q_{n+1}12$ 交叠为高电平时，第一、二晶体管串联导通，第三、四晶体管也串联导通，同时对 Q_n 节点 10 进行预充电。

阶段 2，在阶段 1 中， Q_n 节点 10 被预充电， Q_n 节点 10 上拉单元中的第一电容 C1 维持 Q_n 节点 10 处于高电平状态， G_n 输出单元 6 中的第八晶体管 T8 处于导通状态，第二时钟信号的高电平输出到输出端 G_n14 。

阶段 3， Q_n 节点上拉单元 2 中的第一电容 C1 继续维持 Q_n 节点 10 处于高电平状态，而此时第二时钟信号的低电平将输出端 G_n14 电平拉低，当第一输入信号 $Q_{n-1}11$ 与第二输入信号 $Q_{n+1}12$ 同时为高电平时，第一、二、三、四晶体管均处于串联导通状态， Q_n 节点 10 被补充充电。

阶段 4，当第一时钟信号为高电平时， P_n 节点上拉单元 4 中的第六晶体管 T6 处于导通的状态， P_n 节点 13 电平被拉高， Q_n 节点下拉单元 3 中的第五晶体管 T5 导通，此时 Q_n 节点 10 电平被拉低到低电压信号 VGL9。

阶段 5，当 Q_n 节点 10 变为低电平后， P_n 节点下拉单元 5 的第七晶体管 T7 处于截止状态，当第一时钟跳变为高电平时第六晶体管 T6 导通， P_n 节点 13 被充电，则第五晶体管 T5 和 G_n 输出端下拉单元 7 的第九晶体管 T9 均处于导通的状态，可以保证 Q_n 节点 10 及输出端 G_n14 低电平的稳定，同时第二电容 C2 对 P_n 节点 13 的高电平具有一定的保持作用。

在正常显示状态下，第一复位信号 Reset1 及第二复位信号 Reset2 均保持低电平，因此第十晶体管 T10、第十一晶体管 T11 和第十二晶体管 T12 及第十三晶体管 T13 均处于关闭状态。

All Gate On 显示状态时，第一复位信号 Reset1 为高电平，第二复位信号 Reset2 为低电平：当第一复位信号 Reset1 跳变为高电平时，第十晶体管 T10、第十一晶体管 T11 和第十二晶体管 T12 均处于导通状态，第十三晶体管 T13 均处于截断状态。此时， Q_n 节点、 P_n 节点均被拉至低电平，输出端 G_n 被拉至高电平。

All Gate Off 显示状态时，第一复位信号 Reset1 为低电平，第二复位信号 Reset2 为高电平：当第一复位信号 Reset1 为低电平时，第十晶体管 T10、第十一晶体管 T11 和第十二晶体管 T12 均处于截断状态，第十三晶体管 T13 均处于导通状态。此时，输出端 G_n 被拉至低电平。

本实施例的技术效果在于，栅极驱动电路中，针对第 n 级电路，采用前级驱动电路中 Q_{n-1} 节点输出信号和后级驱动电路中 Q_{n+1} 节点输出信号二者交叠时的高电平时为第 n 级电路 Q_n 节点预充电，当进行 All Gate On 显示状态时 Q_{n-1} 节点、 Q_{n+1} 节点相对于均为低电平，因此可以大幅降低 Q_n 节点漏电的几率。同时本发明中 Q_n 节点预充电单元在正反扫描时均使用高电压信号 VGH，因此不会再电压信号源之间形成通路，可以有效的降低电路功耗。

实施例 3

根据前述实施例 1 和实施例 2，本实施例提供一种显示装置，该显示装置包括显示面板和外围驱动电路，所述显示面板可以是液晶显示面板、等离子显示面板、发光二极管显示面板或有机发光二极管显示面板等。所述外围驱动电路包括栅极驱动电路和图像信号驱动电路。所述栅极驱动电路采用如实施例 1 中所述的栅极驱动电路。本实施例所述的显示装置在运行时，其栅极驱动电路的工作过程如实施例 2 所述的栅极驱动方法进行工作。

本实施的技术效果在于，本实施例的显示装置，由于其栅极驱动电路信号输出稳定，因此其显示效果相对现有技术中的显示装置更为稳定，其更够大大降低画面拖影、抖动等现象。

与现有技术相比，本发明的一个或多个实施例可以具有如下优点：本发明中的栅极驱动电路中，针对第 n 级电路，采用前级驱动电路中 Q_{n-1} 节点输出信号和后级驱动电路中 Q_{n+1} 节点输出信号二者交叠时的高电平时为第 n 级电路 Q_n 节点预充电，当进行 All Gate On 显示状态时 Q_{n-1} 节点、 Q_{n+1} 节点相对于均为低电平，因此可以大幅降低 Q_n 节点漏电的几率。同时本发明中 Q_n 节点预充电单元在正反扫描时均使用高电压信号 VGH，因此不会再电压信号源之间形成通路，可以有效的降低电路功耗。

以上所述，仅为本发明的具体实施案例，本发明的保护范围并不局限于此，任何熟

悉本技术的技术人员在本发明所述的技术规范内，对本发明的修改或替换，都应在本发明的保护范围之内。

权利要求书

1. 一种栅极驱动电路，该栅极驱动电路具有多级结构，第 n 级电路包括：

Q_n 节点预充电单元，其在第一输入信号 Q_{n-1} 、第二输出信号 Q_{n+1} 的作用下控制高电压信号 V_{GH} 与 Q_n 节点之间的信号传输，由此对 Q_n 节点进行预充电；

Q_n 节点上拉单元，其电连接在 Q_n 节点与输出端 G_n 之间，用于维持 Q_n 节点的高电平状态；

Q_n 节点下拉单元，其电连接在低电压信号 V_{GL} 与 Q_n 节点之间，用于在 P_n 节点电压信号的作用下控制低电压信号 V_{GL} 与 Q_n 节点之间的信号传输，由此维持 Q_n 节点的低电平状态；

P_n 节点上拉单元，其电连接在高电压信号 V_{GH} 与 P_n 节点之间，用于在第一时钟信号的作用下控制高电压信号 V_{GH} 与 P_n 节点之间的信号传输，由此维持 P_n 节点的高电平状态；

P_n 节点下拉单元，其电连接在低电压信号 V_{GL} 与 P_n 节点之间，用于在 Q_n 节点电压信号的作用下控制低电压信号 V_{GL} 与 P_n 节点之间的信号传输，由此维持 P_n 节点的低电平状态；

G_n 输出单元，其电连接在第二时钟信号与输出端 G_n 之间，用于在 Q_n 节点电压信号的作用下控制第二时钟信号与输出端 G_n 之间的信号传输，由此输出 G_n 高电平信号；

G_n 输出端下拉单元，其电连接在低电压信号 V_{GL} 与输出端 G_n 之间，用于在 P_n 节点电压信号的作用下控制低电压信号 V_{GL} 与输出端 G_n 之间的信号传输，由此维持输出端 G_n 的低电平状态；

第一复位单元，其连接低电压信号 V_{HL} 、 Q_n 节点、 P_n 节点、输出端 G_n 和第一复位信号，用于当第一复位信号跳变为高电平时，第一复位单元将 Q_n 节点和 P_n 节点均拉低至低电平，同时将输出端 G_n 拉至高电平；

第二复位单元，其连接低电压信号 V_{HL} 、输出端 G_n 和第二复位信号，用于当第二复位信号跳变为高电平时，将输出端 G_n 拉至低电平。

2. 如权利要求 1 所述的栅极驱动电路，其中，所述 Q_n 节点预充电单元包括第一晶体管、第二晶体管、第三晶体管及第四晶体管；第一晶体管的源极与高电压信号 V_{GH} 连接，第一晶体管的栅极与第二输出信号 Q_{n+1} 连接，第一晶体管的漏极与第二晶体管的源极连接；第二晶体管的栅极连接第一输入信号 Q_{n-1} ，第二晶体管的漏极连接第三晶体管的源极连接，并同时与 Q_n 节点连接；第三晶体管的栅极与第一输入信号 Q_{n-1} 连接，第三晶体管的漏极与第四晶体管的源极连接；第四晶体管的栅极与第二输出信号 Q_{n+1} 连接，

第四晶体管的漏极与高电压信号 V_{GH} 连接。

3. 如权利要求 2 所述的栅极驱动电路，其中，所述 Q_n 节点下拉单元包括第五晶体管，第五晶体管的源极连接 Q_n 节点，第五晶体管的栅极连接 P_n 节点，第五晶体管的漏极连接低电压信号 V_{GL} 。

4 如权利要求 3 所述的栅极驱动电路，其中，所述 P_n 节点上拉单元包括第六晶体管和第二电容，所述第六晶体管的源极连接高电压信号 V_{GH} ，第六晶体管的栅极连接第一时钟信号，第六晶体管的漏极连接 P_n 节点；第二电容两端分别连接 P_n 节点与低电压信号 V_{GL} 。

5. 如权利要求 4 所述的栅极驱动电路，其中，所述 P_n 节点下拉单元包括第七晶体管，所述第七晶体管的源极连接 P_n 节点，第七晶体管的栅极连接 Q_n 节点，第七晶体管的漏极连接低电压信号 V_{GL} 。

6. 如权利要求 5 所述的栅极驱动电路，其中，所述 G_n 输出端下拉单元包括第九晶体管，所述第九晶体管的源极连接输出端 G_n ，第九晶体管的栅极连接 P_n 节点，第九晶体管的漏极连接低电压信号 V_{GL} 。

7. 如权利要求 6 所述的栅极驱动电路，其中，所述第一复位单元包括第十晶体管、第十一晶体管和第十二晶体管；第十晶体管的源极连接 Q_n 节点，栅极连接第一复位信号，漏极连接低电压信号 V_{GL} ；第十一晶体管的源极连接输出端 G_n ，栅极和漏极均连接第一复位信号，第十二晶体管的源极连接 P_n 节点，栅极连接第一复位信号，漏极连接低电压信号 V_{GL} 。

8. 如权利要求 7 所述的栅极驱动电路，其中，所述第二复位单元包括第十三晶体管，第十三晶体管的源极连接输出端 G_n ，栅极连接第二复位信号，漏极连接低电压信号 V_{GL} 。

9. 一种栅极驱动电路的驱动方法，

所述栅极驱动电路具有多级结构，第 n 级电路包括：

Q_n 节点预充电单元，其在第一输入信号 Q_{n-1} 、第二输出信号 Q_{n+1} 的作用下控制高电压信号 V_{GH} 与 Q_n 节点之间的信号传输，由此对 Q_n 节点进行预充电；

Q_n 节点上拉单元，其电连接在 Q_n 节点与输出端 G_n 之间，用于维持 Q_n 节点的高电平状态；

Q_n 节点下拉单元，其电连接在低电压信号 V_{GL} 与 Q_n 节点之间，用于在 P_n 节点电压信号的作用下控制低电压信号 V_{GL} 与 Q_n 节点之间的信号传输，由此维持 Q_n 节点的低电平状态；

P_n 节点上拉单元, 其电连接在高电压信号 V_{GH} 与 P_n 节点之间, 用于在第一时钟信号的作用下控制高电压信号 V_{GH} 与 P_n 节点之间的信号传输, 由此维持 P_n 节点的高电平状态;

P_n 节点下拉单元, 其电连接在低电压信号 V_{GL} 与 P_n 节点之间, 用于在 Q_n 节点电压信号的作用下控制低电压信号 V_{GL} 与 P_n 节点之间的信号传输, 由此维持 P_n 节点的低电平状态;

G_n 输出单元, 其电连接在第二时钟信号与输出端 G_n 之间, 用于在 Q_n 节点电压信号的作用下控制第二时钟信号与输出端 G_n 之间的信号传输, 由此输出 G_n 高电平信号;

G_n 输出端下拉单元, 其电连接在低电压信号 V_{GL} 与输出端 G_n 之间, 用于在 P_n 节点电压信号的作用下控制低电压信号 V_{GL} 与输出端 G_n 之间的信号传输, 由此维持输出端 G_n 的低电平状态;

第一复位单元, 其连接低电压信号 V_{HL} 、 Q_n 节点、 P_n 节点、输出端 G_n 和第一复位信号, 用于当第一复位信号跳变为高电平时, 第一复位单元将 Q_n 节点和 P_n 节点均拉低至低电平, 同时将输出端 G_n 拉至高电平;

第二复位单元, 其连接低电压信号 V_{HL} 、输出端 G_n 和第二复位信号, 用于当第二复位信号跳变为高电平时, 将输出端 G_n 拉至低电平;

在所述栅极驱动电路的驱动方法中, 正常显示状态下, 第一复位信号 $Reset1$ 及第二复位信号 $Reset2$ 均保持低电平;

阶段 a, 第一输入信号 Q_{n-1} 与第二输入信号 Q_{n+1} 交叠为高电平时, 第一、二晶体管串联导通, 第三、四晶体管也串联导通, 同时对 Q_n 节点进行预充电;

阶段 b, 在阶段 a 中, Q_n 节点被预充电, Q_n 节点上拉单元中的第一电容维持 Q_n 节点处于高电平状态, G_n 输出单元中的第八晶体管处于导通状态, 第二时钟信号的高电平输出到输出端 G_n ;

阶段 c, Q_n 节点上拉单元中的第一电容继续维持 Q_n 节点处于高电平状态, 而此时第二时钟信号的低电平将 G_n 输出端电平拉低, 当第一输入信号 Q_{n-1} 与第二输入信号 Q_{n+1} 同时为高电平时, 第一、二、三、四晶体管均处于串联导通状态, Q_n 节点被补充充电;

阶段 d, 当第一时钟信号为高电平时, P_n 节点上拉单元中的第六晶体管处于导通的状态, P_n 节点电平被拉高, Q_n 节点下拉单元中的第五晶体管导通, 此时 Q_n 节点电平被拉低到端 V_{GL} ;

阶段 e, 当 Q_n 节点变为低电平后, P_n 节点下拉单元的第七晶体管处于截止状态, 当第一时钟跳变为高电平时第六晶体管导通, P_n 节点被充电, 那么五晶体管 and G_n 输出端下

拉单元的第九晶体管均处于导通的状态,可以保证 Q_n 节点及 G_n 输出端低电平的稳定,同时第二电容对 P_n 节点的高电平具有一定的保持作用;

在正常显示状态下,第一复位信号 Reset1 及第二复位信号 Reset2 均保持低电平,因此第十晶体管、第十一晶体管和第十二晶体管及第十三晶体管均处于关闭状态;

全部栅极打开显示状态时,第一复位信号 Reset1 为高电平,第二复位信号 Reset2 为低电平:当第一复位信号 Reset1 跳变为高电平时,第十晶体管、第十一晶体管和第十二晶体管均处于导通状态,第十三晶体管均处于截断状态,此时, Q_n 节点、 P_n 节点均被拉至低电平,输出端 G_n 被拉至高电平;

全部栅极关闭显示状态时,第一复位信号 Reset1 为低电平,第二复位信号 Reset2 为高电平:当第一复位信号 Reset1 为低电平时,第十晶体管、第十一晶体管和第十二晶体管均处于截断状态,第十三晶体管均处于导通状态,此时,输出端 G_n 被拉至低电平。

10. 一种显示装置,包含栅极驱动电路,

所述栅极驱动电路具有多级结构,第 n 级电路包括:

Q_n 节点预充电单元,其在第一输入信号 Q_{n-1} 、第二输出信号 Q_{n+1} 的作用下控制高电压信号 VGH 与 Q_n 节点之间的信号传输,由此对 Q_n 节点进行预充电;

Q_n 节点上拉单元,其电连接在 Q_n 节点与输出端 G_n 之间,用于维持 Q_n 节点的高电平状态;

Q_n 节点下拉单元,其电连接在低电压信号 VGL 与 Q_n 节点之间,用于在 P_n 节点电压信号的作用下控制低电压信号 VGL 与 Q_n 节点之间的信号传输,由此维持 Q_n 节点的低电平状态;

P_n 节点上拉单元,其电连接在高电压信号 VGH 与 P_n 节点之间,用于在第一时钟信号的作用下控制高电压信号 VGH 与 P_n 节点之间的信号传输,由此维持 P_n 节点的高电平状态;

P_n 节点下拉单元,其电连接在低电压信号 VGL 与 P_n 节点之间,用于在 Q_n 节点电压信号的作用下控制低电压信号 VGL 与 P_n 节点之间的信号传输,由此维持 P_n 节点的低电平状态;

G_n 输出单元,其电连接在第二时钟信号与输出端 G_n 之间,用于在 Q_n 节点电压信号的作用下控制第二时钟信号与输出端 G_n 之间的信号传输,由此输出 G_n 高电平信号;

G_n 输出端下拉单元,其电连接在低电压信号 VGL 与输出端 G_n 之间,用于在 P_n 节点电压信号的作用下控制低电压信号 VGL 与输出端 G_n 之间的信号传输,由此维持输出端 G_n 的低电平状态;

第一复位单元，其连接低电压信号 V_{HL} 、 Q_n 节点、 P_n 节点、输出端 G_n 和第一复位信号，用于当第一复位信号跳变为高电平时，第一复位单元将 Q_n 节点和 P_n 节点均拉低至低电平，同时将输出端 G_n 拉至高电平；

第二复位单元，其连接低电压信号 V_{HL} 、输出端 G_n 和第二复位信号，用于当第二复位信号跳变为高电平时，将输出端 G_n 拉至低电平。

11. 如权利要求 10 所述的显示装置，其中，所述 Q_n 节点预充电单元包括第一晶体管、第二晶体管、第三晶体管及第四晶体管；第一晶体管的源极与高电压信号 V_{GH} 连接，第一晶体管的栅极与第二输出信号 Q_{n+1} 连接，第一晶体管的漏极与第二晶体管的源极连接；第二晶体管的栅极连接第一输入信号 Q_{n-1} ，第二晶体管的漏极连接第三晶体管的源极连接，并同时与 Q_n 节点连接；第三晶体管的栅极与第一输入信号 Q_{n-1} 连接，第三晶体管的漏极与第四晶体管的源极连接；第四晶体管的栅极与第二输出信号 Q_{n+1} 连接，第四晶体管的漏极与高电压信号 V_{GH} 连接。

12. 如权利要求 11 所述的显示装置，其中，所述 Q_n 节点下拉单元包括第五晶体管，第五晶体管的源极连接 Q_n 节点，第五晶体管的栅极连接 P_n 节点，第五晶体管的漏极连接低电压信号 V_{GL} 。

13 如权利要求 12 所述的显示装置，其中，所述 P_n 节点上拉单元包括第六晶体管和第二电容，所述第六晶体管的源极连接高电压信号 V_{GH} ，第六晶体管的栅极连接第一时钟信号，第六晶体管的漏极连接 P_n 节点；第二电容两端分别连接 P_n 节点与低电压信号 V_{GL} 。

14. 如权利要求 13 所述的显示装置，其中，所述 P_n 节点下拉单元包括第七晶体管，所述第七晶体管的源极连接 P_n 节点，第七晶体管的栅极连接 Q_n 节点，第七晶体管的漏极连接低电压信号 V_{GL} 。

15. 如权利要求 14 所述的显示装置，其中，所述 G_n 输出端下拉单元包括第九晶体管，所述第九晶体管的源极连接输出端 G_n ，第九晶体管的栅极连接 P_n 节点，第九晶体管的漏极连接低电压信号 V_{GL} 。

16. 如权利要求 15 所述的显示装置，其中，所述第一复位单元包括第十晶体管、第十一晶体管和第十二晶体管；第十晶体管的源极连接 Q_n 节点，栅极连接第一复位信号，漏极连接低电压信号 V_{GL} ；第十一晶体管的源极连接输出端 G_n ，栅极和漏极均连接第一复位信号，第十二晶体管的源极连接 P_n 节点，栅极连接第一复位信号，漏极连接低电压信号 V_{GL} 。

17. 如权利要求 16 所述的显示装置，其中，所述第二复位单元包括第十三晶体管，

第十三晶体管的源极连接输出端 Gn，栅极连接第二复位信号，漏极连接低电压信号 VGL。

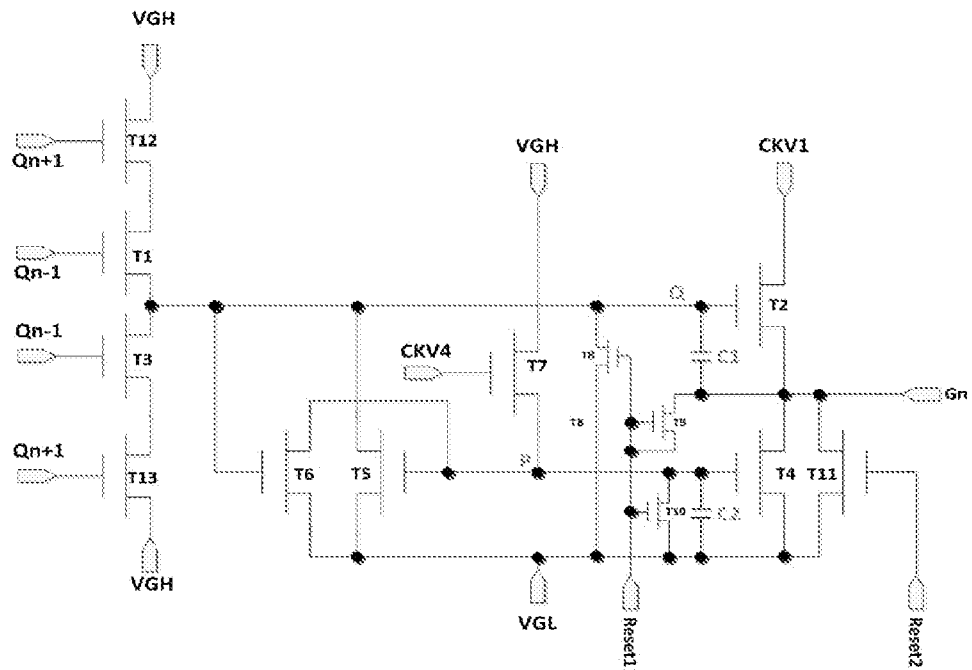


图 1

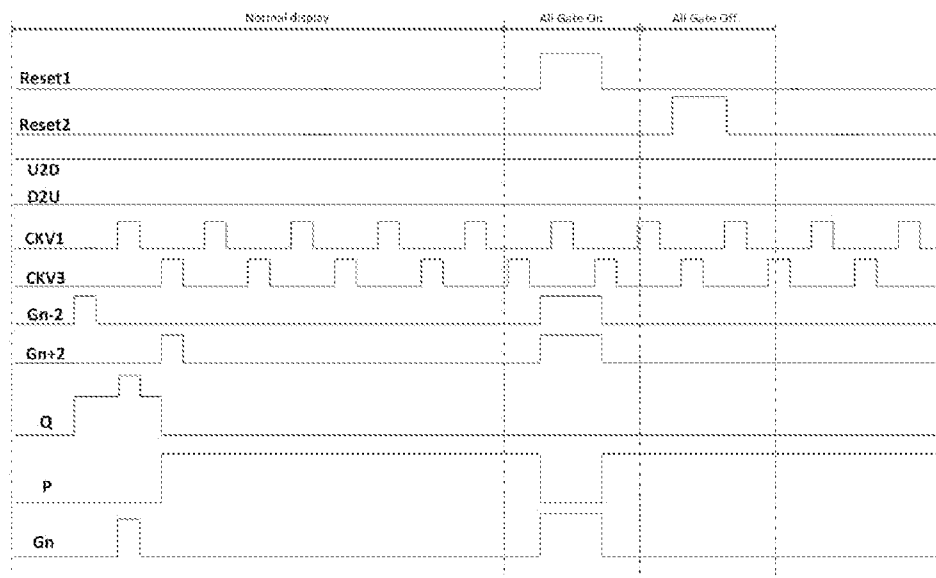


图 2

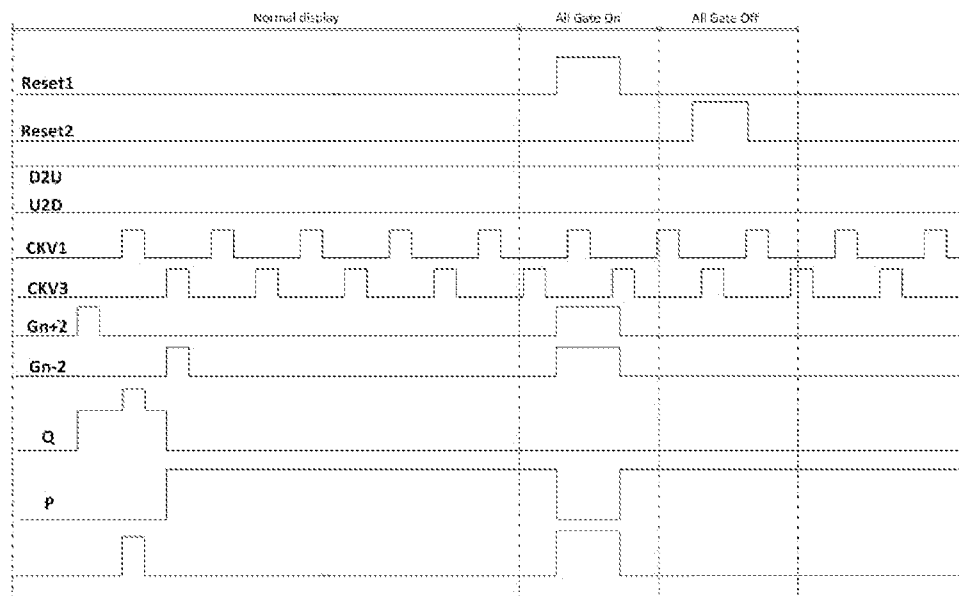


图 3

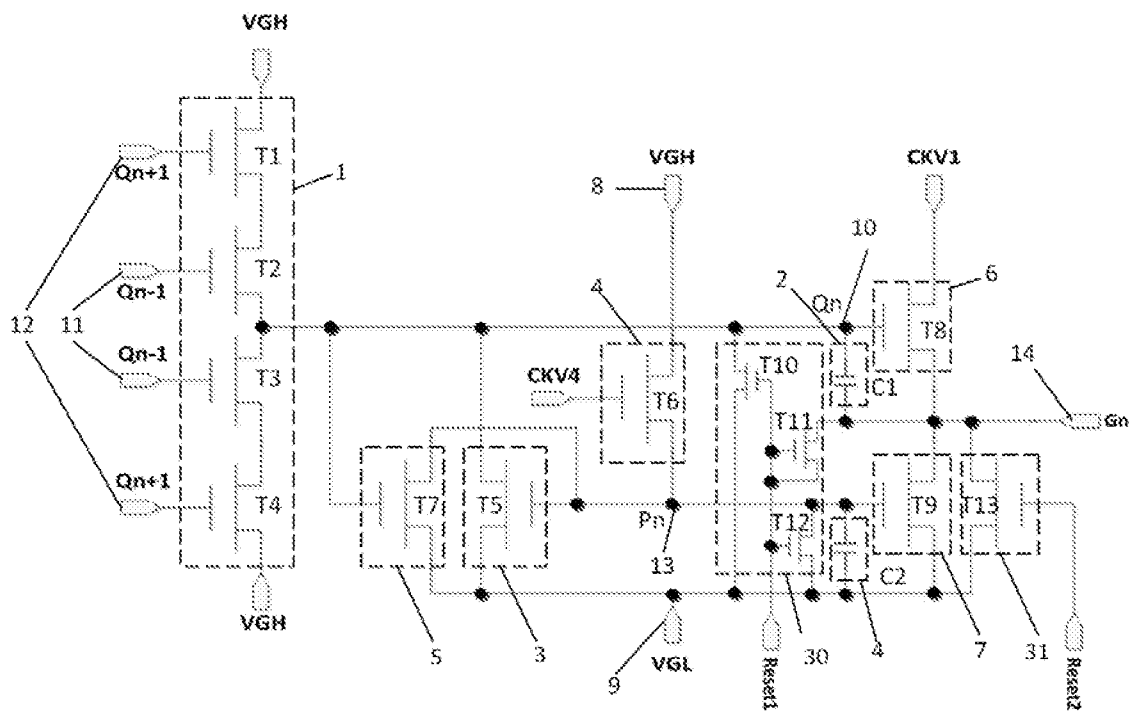


图 4

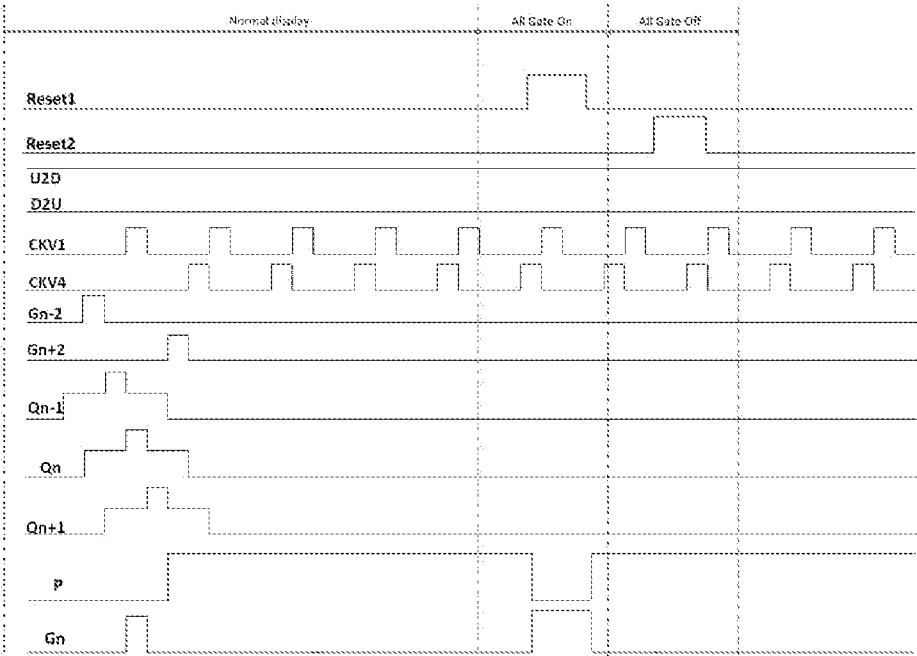


图 5

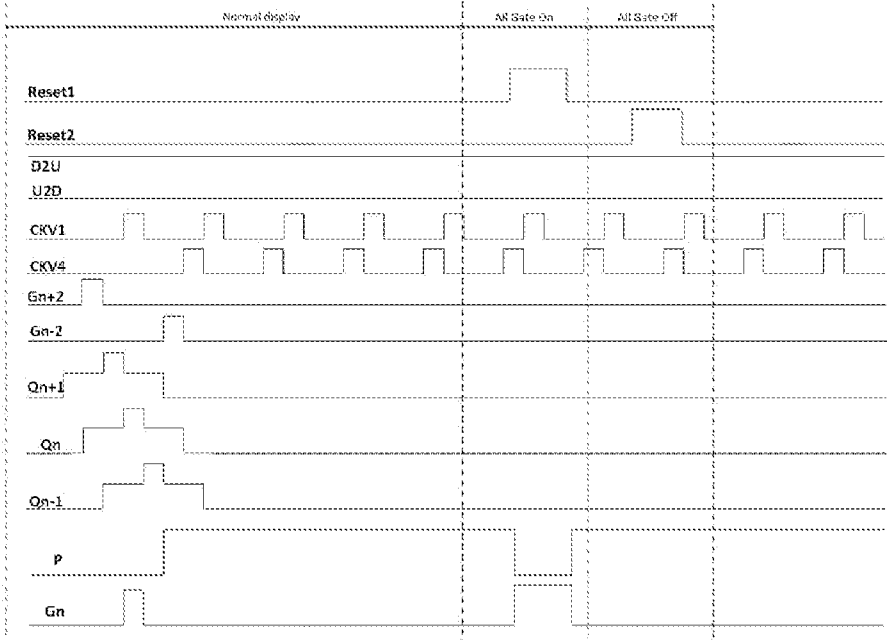


图 6

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2016/113033

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/3266 (2016.01) i; G09G 3/36 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G 3+; G11C 19+; G02F 1/13+

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS, CNTXT, VEN: 栅, 门, 闸, 扫描, 驱动, 晶体管, 开关, 十一, 十三, 预充, 充电, 上一, 下一, 前一, 后一, 漏, 补充, 补偿, 交替, gate, scan+, driv+, transistor?, switch+, TFT, eleven+, thirteen, +charg+, previous, former, next, leak+, compensat+, alternat+

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 106023946 A (BOE TECHNOLOGY GROUP CO., LTD. et al.), 12 October 2016 (12.10.2016), entire document	1-17
A	CN 104715732 A (INFOVISION OPTOELECTRONICS (KUNSHAN) CO., LTD.), 17 June 2015 (17.06.2015), entire document	1-17
A	CN 104282255 A (BOE TECHNOLOGY GROUP CO., LTD. et al.), 14 January 2015 (14.01.2015), entire document	1-17
A	CN 102915698 A (BOE TECHNOLOGY GROUP CO., LTD.), 06 February 2013 (06.02.2013), entire document	1-17
A	US 2008316189 A1 (UK-CHUL CHOI et al.), 25 December 2008 (25.12.2008), entire document	1-17

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	
“A” document defining the general state of the art which is not considered to be of particular relevance	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“E” earlier application or patent but published on or after the international filing date	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“O” document referring to an oral disclosure, use, exhibition or other means	“&” document member of the same patent family
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 14 September 2017	Date of mailing of the international search report 21 September 2017
Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451	Authorized officer JIANG, Yingting Telephone No. (86-10) 62085786

International application No.
PCT/CN2016/113033

Form PCT/ISA/210 (patent family annex) (July 2009)

国际检索报告

国际申请号

PCT/CN2016/113033

A. 主题的分类

G09G 3/3266(2016.01)i; G09G 3/36(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

G09G3+; G11C19+; G02F1/13+

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNABS, CNTXT, VEN: 栅, 门, 闸, 扫描, 驱动, 晶体管, 开关, 十一, 十三, 预充, 充电, 上一, 下一, 前一, 后一, 漏, 补充, 补偿, 交替, gate, scan+, driv+, transistor?, switch+, TFT, eleven+, thirteen, +charg+, previous, former, next, leak+, compensat+, alternat+

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	CN 106023946 A (京东方科技集团股份有限公司等) 2016年 10月 12日 (2016 - 10 - 12) 全文	1-17
A	CN 104715732 A (昆山龙腾光电有限公司) 2015年 6月 17日 (2015 - 06 - 17) 全文	1-17
A	CN 104282255 A (京东方科技集团股份有限公司等) 2015年 1月 14日 (2015 - 01 - 14) 全文	1-17
A	CN 102915698 A (京东方科技集团股份有限公司) 2013年 2月 6日 (2013 - 02 - 06) 全文	1-17
A	US 2008316189 A1 (UK-CHUL CHOI等) 2008年 12月 25日 (2008 - 12 - 25) 全文	1-17

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2017年 9月 14日

国际检索报告邮寄日期

2017年 9月 21日

ISA/CN的名称和邮寄地址

中华人民共和国国家知识产权局(ISA/CN)
中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

受权官员

姜颖婷

电话号码 (86-10)62085786

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2016/113033

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	106023946	A	2016年 10月 12日	无			
CN	104715732	A	2015年 6月 17日	CN	104715732	B	2017年 2月 1日
CN	104282255	A	2015年 1月 14日	CN	104282255	B	2016年 9月 28日
CN	102915698	A	2013年 2月 6日	CN	102915698	B	2016年 2月 17日
US	2008316189	A1	2008年 12月 25日	KR	20080113567	A	2008年 12月 31日

表 PCT/ISA/210 (同族专利附件) (2009年7月)