

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号  
特開2004-47829  
(P2004-47829A)

(43) 公開日 平成16年2月12日(2004.2.12)

(51) Int.Cl. <sup>7</sup>	F I	テーマコード (参考)
H O 1 L 21/82	H O 1 L 21/82 P	5 B O 4 6
G O 6 F 17/50	G O 6 F 17/50 6 5 8 A	5 F O 3 8
H O 1 L 21/822	G O 6 F 17/50 6 5 8 K	5 F O 6 4
H O 1 L 23/12	G O 6 F 17/50 6 5 8 Z	
H O 1 L 27/04	G O 6 F 17/50 6 6 6 Z	
審査請求 未請求 請求項の数 13 O L (全 19 頁) 最終頁に続く		

(21) 出願番号	特願2002-204776 (P2002-204776)	(71) 出願人	000003078
(22) 出願日	平成14年7月12日 (2002. 7. 12)		株式会社東芝
			東京都港区芝浦一丁目1番1号
		(74) 代理人	100083806
			弁理士 三好 秀和
		(74) 代理人	100068342
			弁理士 三好 保男
		(74) 代理人	100100712
			弁理士 岩▲崎▼ 幸邦
		(74) 代理人	100100929
			弁理士 川又 澄雄
		(74) 代理人	100108707
			弁理士 中村 友之
		(74) 代理人	100095500
			弁理士 伊藤 正和
		最終頁に続く	

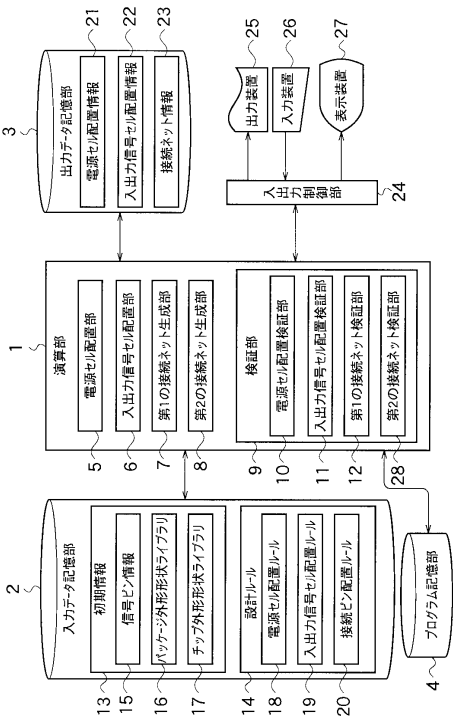
(54) 【発明の名称】 半導体装置の接続端子設計装置、半導体装置の接続端子設計方法、及び半導体装置の接続端子設計プログラム

(57) 【要約】

【課題】 接続端子の割り当てを効率的に且つ設計ルールに正確に行うことができる半導体装置の接続端子設計装置等を提供する。

【解決手段】 半導体チップ内に配設された複数の入出力スロットの一部に電源セルを配置する電源セル配置部と、複数の入出力スロットの他の一部に入出力信号セルを配置する入出力信号セル配置部と、複数の入出力スロットと半導体チップ上に配設された複数のバンプとの間を接続する第1の接続ネットを生成する第1の接続ネット生成部と、複数のバンプとパッケージ基体上に配設された複数の外部電極との間を接続する第2の接続ネットを生成する第2の接続ネット生成部と、電源セル、入出力信号セル、及び第1及び第2の接続ネットが所定の設計ルールに違反しているか否かを検証する検証部とを有する。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

半導体チップ内に配設された複数の入出力スロットの一部に、電源セルを配置する電源セル配置部と、  
前記複数の入出力スロットの他の一部に、入出力信号セルを配置する入出力信号セル配置部と、  
前記複数の入出力スロットと前記半導体チップ上に配設された複数のパンプとの間を接続する第 1 の接続ネットを生成する第 1 の接続ネット生成部と、  
前記複数のパンプとパッケージ基体上に配設された複数の外部電極との間を接続する第 2 の接続ネットを生成する第 2 の接続ネット生成部と、  
前記電源セル、前記入出力信号セル、及び前記第 1 及び第 2 の接続ネットが、所定の設計ルールに違反しているか否かを検証する検証部と  
を有することを特徴とする半導体装置の接続端子設計装置。

10

## 【請求項 2】

前記第 1 の接続ネット生成部は、前記電源セル又は前記入出力信号セルが配置された前記複数の入出力スロットと前記複数のパンプとの間を接続する前記第 1 の接続ネットを生成し、  
前記第 2 の接続ネット生成部は、前記第 1 の接続ネットによって前記複数の入出力スロットに接続された前記複数のパンプと前記複数の外部電極との間を接続する前記第 2 の接続ネットを生成することを特徴とする請求項 1 記載の半導体装置の接続端子設計装置。

20

## 【請求項 3】

前記複数のパンプは前記半導体チップの主表面全体に配設され、前記複数の外部電極は前記パッケージ基体の主表面全体に配設されていることを特徴とする請求項 1 記載の半導体装置の接続端子設計装置。

## 【請求項 4】

前記所定の設計ルールには、  
前記電源セルの数及び配置位置に関する電源セル配置ルールと、  
前記入出力信号セルの大きさ及び配置禁止領域に関する入出力信号セル配置ルールと、  
等長配線の要求、ペア配線の要求、接続ネット同士が交差する数の制限、及び最大配線長に関する接続ピン配置ルールと  
が含まれることを特徴とする請求項 1 記載の半導体装置の接続端子設計装置。

30

## 【請求項 5】

前記電源セル配置部は、前記電源セルの数及び配置位置に関する電源セル配置ルールに従って、前記電源セルを配置し、  
前記入出力信号セル配置部は、前記入出力信号セルの大きさ及び配置禁止領域に関する入出力信号セル配置ルールに従って、前記入出力信号セルを配置し、  
前記第 1 及び第 2 の接続ネット生成部は、等長配線の要求、ペア配線の要求、接続ネット同士が交差する数の制限、及び最大配線長に関する接続ピン配置ルールに従って、前記第 1 及び第 2 の接続ネットをそれぞれ生成することを特徴とする請求項 1 記載の半導体装置の接続端子設計装置。

40

## 【請求項 6】

半導体チップ内に配設された複数の入出力スロットの一部に電源セルを配置し、  
前記複数の入出力スロットの他の一部に入出力信号セルを配置し、  
前記複数の入出力スロットと前記半導体チップ上に配設された複数のパンプとの間を接続する第 1 の接続ネットを生成し、  
前記複数のパンプとパッケージ基体上に配設された複数の外部電極との間を接続する第 2 の接続ネットを生成し、  
前記電源セル、前記入出力信号セル、及び前記第 1 及び第 2 の接続ネットが、所定の設計ルールに違反しているか否かを検証することを特徴とする半導体装置の接続端子設計方法。

50

## 【請求項 7】

前記第 1 の接続ネットは、前記電源セル及び前記入出力信号セルを配置した後に生成され、  
前記第 2 の接続ネットは、前記第 1 の接続ネットを生成した後に生成される  
ことを特徴とする請求項 6 記載の半導体装置の接続端子設計方法。

## 【請求項 8】

前記所定の設計ルールには、  
前記電源セルの数及び配置位置に関する電源セル配置ルールと、  
前記入出力信号セルの大きさ及び配置禁止領域に関する入出力信号セル配置ルールと、  
等長配線の要求、ペア配線の要求、接続ネット同士が交差する数の制限、及び最大配線長  
に関する接続ピン配置ルールと  
が含まれることを特徴とする請求項 6 記載の半導体装置の接続端子設計方法。 10

## 【請求項 9】

前記電源セルは、当該電源セルの数及び配置位置に関する電源セル配置ルールに従って配置され、  
前記入出力信号セルは、当該入出力信号セルの大きさ及び配置禁止領域に関する入出力信号セル配置ルールに従って配置され、  
前記第 1 及び第 2 の接続ネットは、等長配線の要求、ペア配線の要求、接続ネット同士が交差する数の制限、及び最大配線長に関する接続ピン配置ルールに従ってそれぞれ生成される  
ことを特徴とする請求項 6 記載の半導体装置の接続端子設計方法。 20

## 【請求項 10】

コンピュータに、  
半導体チップ内に配設された複数の入出力スロットの一部に電源セルを配置し、  
前記複数の入出力スロットの他の一部に入出力信号セルを配置し、  
前記複数の入出力スロットと前記半導体チップ上に配設された複数のバンプとの間を接続する第 1 の接続ネットを生成し、  
前記複数のバンプとパッケージ基体上に配設された複数の外部電極との間を接続する第 2 の接続ネットを生成し、  
前記電源セル、前記入出力信号セル、及び前記第 1 及び第 2 の接続ネットが、所定の設計  
ルールに違反しているか否かを検証する  
ことを実行させることを特徴とする半導体装置の接続端子設計プログラム。 30

## 【請求項 11】

前記第 1 の接続ネットは、前記電源セル及び前記入出力信号セルを配置した後に生成され、  
前記第 2 の接続ネットは、前記第 1 の接続ネットを生成した後に生成される  
ことを特徴とする請求項 10 記載の半導体装置の接続端子設計プログラム。

## 【請求項 12】

前記所定の設計ルールには、  
前記電源セルの数及び配置位置に関する電源セル配置ルールと、  
前記入出力信号セルの大きさ及び配置禁止領域に関する入出力信号セル配置ルールと、  
等長配線の要求、ペア配線の要求、接続ネット同士が交差する数の制限、及び最大配線長  
に関する接続ピン配置ルールと  
が含まれることを特徴とする請求項 10 記載の半導体装置の接続端子設計プログラム。 40

## 【請求項 13】

前記電源セルは、当該電源セルの数及び配置位置に関する電源セル配置ルールに従って配置され、  
前記入出力信号セルは、当該入出力信号セルの大きさ及び配置禁止領域に関する入出力信号セル配置ルールに従って配置され、  
前記第 1 及び第 2 の接続ネットは、等長配線の要求、ペア配線の要求、接続ネット同士が 50

交差する数の制限、及び最大配線長に関する接続ピン配置ルールに従ってそれぞれ生成される

ことを特徴とする請求項 10 記載の半導体装置の接続端子設計プログラム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置の接続端子設計装置、半導体装置の接続端子設計方法、及び半導体装置の接続端子設計プログラムに関わり、特に、半導体設計フローにおいて、チップ自動配置配線工程及びパッケージ基板詳細設計工程の前に行われるピンアサイン工程に関する。また特に、本発明は、複数のバンブ或いは外部電極が格子状に配置されたフリップチップパッケージ或いは BGA 等の高密度実装半導体パッケージの設計に係る。 10

【0002】

【従来の技術】

図 11 に示すように、従来のクワッドフラットパッケージ (Quad Flat Package: QFP) において、パッケージ最外周に配置されたパッケージピン 93 と、パッケージ内部において半導体チップ 81 に接続されるインナーリードピン 95 は、共にパッケージ外周に沿って線状に配設されている。したがって、両者の対応関係は明確である。また、半導体チップ 81 内のボンディングパッド 87 は、半導体チップ 81 の外周に沿って線状に配設されているため、インナーリードピン 95 とボンディングパッド 87 との対応関係は明確であり、両者の相対的な配置順序も同じである。更に、ボンディングパッド 87 と半導体チップ 81 内の入出力スロット 83 との対応関係も明確であり、両者の相対的な配置順序も同じである。 20

【0003】

したがって、図 11 に示す SIG 1 ~ 40、VDD、VSS などの信号をパッケージピン 93 にそれぞれ割り当てると、インナーリードピン 95 及びボンディングパッド 83 に割り当てられる信号も自動的に定まる。即ち、パッケージピン 93 からボンディングパッド 83 までの接続ネットはおのずと決まる。また更に、入出力バッファが置かれる入出力スロット 83 の位置、及びボンディングパッド 87 と入出力スロット 83 間の接続ネットもおのずと決まる。また、隣接する入出力スロット 83 に割り当てられる差動バッファセル等の特定のセルは、パッケージピン 93 のレベルにおいて隣接して配置することで、入出力スロット 83 のレベルにおいても自動的に隣接して配置される。なお、上記の QFP に係る接続端子の割り当て (ピンアサイン) は、ピン接続を単層で行うボールグリッドアレイ (Ball Grid array: BGA) 等についても同様である。 30

【0004】

【発明が解決しようとする課題】

しかしながら、ピン接続を複数層で行う BGA (以後、単に「BGA」と呼ぶ) 又はフリップチップパッケージなどの、近年の半導体装置の高密度実装・多ピン化に対応できるパッケージは、以下に示すような従来の QFP 等との構造上の相違点から様々な技術的問題点を有する。

【0005】

BGA では、複数の外部電極 (ボール型電極) はパッケージ基体の主表面に格子状に配設されている。BGA の外部電極は、QFP のパッケージピン 93 に対応する。また、フリップチップパッケージでは、複数のバンブ (突起状電極) が半導体チップの主表面に格子状に配設され、半導体チップはバンブを介してパッケージ基体にパッケージングされている。即ち、外部電極とバンブ間及びバンブと入出力スロット間の対応関係は明確であるとは言えず、相対的な配置順序も同じとは言えない。 40

【0006】

従って、信号を外部電極に割り当てても、バンブ及び入出力スロットに自動的に信号が割り当てられることがなく、外部電極だけでなく、バンブ及び入出力スロットのピンアサイン作業をそれぞれ行わなければならない。 50

## 【 0 0 0 7 】

また、一般的に、チップ上のパンプからパッケージ基体の外部端子までの接続ネットは、設計の初期段階では放射状に設計する。BGAにおいて接続ネットを放射状に設計した場合、差動バッファの信号を隣接する外部電極に割り当てても、パンプのレベルで隣接して割り当てることができないことがある。更に、入出力スロットのレベルでは、より高い確率で差動バッファセルの隣接が不可能となる。同様に、セル仕様から要求される等長配線・ペア配線等の設計要求を満たすことが困難となる。これらの問題を解消すべく外部端子、パンプ及び入出力スロットへの信号の割り当てを変更すると、接続ネットの配線交差数が増大して、詳細な配線設計が困難になるなどの別の問題が生じてしまう。

## 【 0 0 0 8 】

更に、これらの設計ルールに基いて接続端子（外部電極、パンプ及び入出力スロット）の配置を検証する具体的手段は存在しない。よって、設計ルールによる検証は設計者の手作業で出来る範囲に絞られ、最終的な製造可否の判断は、チップ自動配置配線工程・パッケージ詳細設計工程に委ねられていた。そのため、ピンアサイン以降の工程においてピンアサイン起因のエラーが発見された場合、チップ自動配置配線工程及びパッケージ詳細設計工程の両方をやり直す可能性が大きかった。

## 【 0 0 0 9 】

近年のピン数の増大、設計制約の複雑化に伴い、上記の技術的問題点は作業時間増大の問題と相まって深刻化している。

## 【 0 0 1 0 】

本発明はこのような従来技術の問題点を解決するために成されたものであり、その目的は、接続端子の割り当てを、効率的に且つ設計ルールに正確に行うことができる半導体装置の接続端子設計装置、半導体装置の接続端子設計方法、及び半導体装置の接続端子設計プログラムを提供することである。

## 【 0 0 1 1 】

## 【課題を解決するための手段】

上記目的を達成するため、本発明の第1の特徴は、半導体チップ内に配設された複数の入出力スロットの一部に、電源セルを配置する電源セル配置部と、複数の入出力スロットの他の一部に入出力信号セルを配置する入出力信号セル配置部と、複数の入出力スロットと半導体チップ上に配設された複数のパンプとの間を接続する第1の接続ネットを生成する第1の接続ネット生成部と、複数のパンプとパッケージ基体上に配設された複数の外部電極との間を接続する第2の接続ネットを生成する第2の接続ネット生成部と、電源セル、入出力信号セル、及び第1及び第2の接続ネットが所定の設計ルールに違反しているか否かを検証する検証部とを有する半導体装置の接続端子設計装置であることである。

## 【 0 0 1 2 】

本発明の第1の特徴によれば、電源セル配置部、入出力信号セル配置部、及び第1及び第2の接続ネット生成部は、入出力スロット、パンプ、外部電極などの複数種類の接続端子に対して、それぞれ電源信号或いは入出力信号を割り当てる。そして、検証部は、各接続端子について所定の設計ルールに従った検証を行う。従って、外部電極とパンプ間及びパンプと入出力スロット間の対応関係は明確であるとは言えず、相対的な配置順序も同じとは言えない場合であっても、所定の設計ルールに違反することなく、接続端子に信号を効率的に割り当てることことができる。

## 【 0 0 1 3 】

本発明の第2の特徴は、半導体チップ内に配設された複数の入出力スロットの一部に電源セルを配置し、複数の入出力スロットの他の一部に入出力信号セルを配置し、複数の入出力スロットと半導体チップ上に配設された複数のパンプとの間を接続する第1の接続ネットを生成し、複数のパンプとパッケージ基体上に配設された複数の外部電極との間を接続する第2の接続ネットを生成し、電源セル、入出力信号セル、及び第1及び第2の接続ネットが所定の設計ルールに違反しているか否かを検証する半導体装置の接続端子設計方法であることである。

10

20

30

40

50

## 【 0 0 1 4 】

本発明の第 3 の特徴は、コンピュータに、半導体チップ内に配設された複数の入出力スロットの一部に電源セルを配置し、複数の入出力スロットの他の一部に入出力信号セルを配置し、複数の入出力スロットと半導体チップ上に配設された複数のバンプとの間を接続する第 1 の接続ネットを生成し、複数のバンプとパッケージ基体上に配設された複数の外部電極との間を接続する第 2 の接続ネットを生成し、電源セル、入出力信号セル、及び第 1 及び第 2 の接続ネットが所定の設計ルールに違反しているか否かを検証することを実行させる半導体装置の接続端子設計プログラムであることである。

## 【 0 0 1 5 】

本発明の第 2 及び第 3 の特徴によれば、入出力スロット、バンプ、外部電極などの複数種類の接続端子に対してそれぞれ電源信号或いは入出力信号を割り当てる。そして、各接続端子について所定の設計ルールに従った検証を行う。従って、外部電極とバンプ間及びバンプと入出力スロット間の対応関係は明確であるとは言えず、相対的な配置順序も同じとは言えない場合であっても、所定の設計ルールに違反することなく、接続端子に信号を効率的に割り当てることができる。

## 【 0 0 1 6 】

## 【 発明の実施の形態 】

以下図面を参照して、本発明の実施の形態を説明する。図面の記載において同一あるいは類似の部分には同一あるいは類似な符号を付している。ただし、図面は模式的なものであり、層の厚みと幅との関係、各層の厚みの比率などは現実のものとは異なることに留意すべきである。また、図面の相互間においても互いの寸法の関係や比率が異なる部分が含まれていることはもちろんである。

## 【 0 0 1 7 】

( 半導体装置について )

実施の形態に係る半導体装置の接続端子設計について説明する前に、設計対象となる半導体装置についてフリップチップ BGA を例に取り説明する。

## 【 0 0 1 8 】

図 2 に示すように、半導体チップ 31 は、方形状の外周に沿って線状に配設された複数の入出力スロット 33 と、複数の入出力スロット 33 の内側に配置された内部セル 32 とを有する。入出力スロット 33 には、電源セル 34 或いは入出力信号セル 35 が配置されている。内部セル 32 は、半導体チップ 31 が実現する演算機能又は記憶機能などの特定の機能手段を構成している。電源セル 34 は、主に入出力信号セル 35 の動作に必要な電圧を供給するためのセルであり、通常、出力用電源セルと、入力用電源セル、若しくは入出力兼用の電源セルで構成されている。実際には、内部セル 32 用の電源は、入出力スロットを使っていないケースがほとんどで、内部セル 32 用の電源セルは使わずに、入出力スロットにつながらないバンプから直接電源を供給している。また、出力用電源セルと入力用電源セルは分けて使わないケース ( 入出力兼用セル ) もある。なお、図 2 では、半導体チップ 31 の主表面上に配設されているバンプの記載を省略している。バンプと入出力スロット 33 との相互関係は図 3 ( a ) 及び ( b ) を参照して説明する。

## 【 0 0 1 9 】

図 3 ( a ) に示すように、半導体チップ 31 の上には複数のバンプ 37 が格子状に配設されている。バンプ 37 は、内部セル 32 が配置されている領域、入出力スロット 33 が配置されている領域、及び入出力スロット 33 から半導体チップ 31 の外周端までの領域に配設されている。即ち、半導体チップ 31 の主表面全体に渡って配設されている。複数の入出力スロット 33 と複数のバンプ 37 との間は、第 1 の接続ネット 38 によって接続されている。入出力スロット 33 とバンプ 37 は、1 対 1 に対応して接続されている。第 1 の接続ネット 38 は、入出力スロット 33 とバンプ 37 とをほぼ直線状に結ぶ線であり、入出力スロット 33 とバンプ 37 とを実際のデバイス上で接続する配線と区別されるべきである。入出力スロット 33 とバンプ 37 とを接続する実際の配線は、後述するチップ配置配線工程時に設計される。

10

20

30

40

50

## 【 0 0 2 0 】

図 3 ( b ) は、図 3 ( a ) に示した入出力スロット 3 3、バンク 3 7、及び第 1 の接続ネット 3 8 のチップ厚さ方向の構成を示す図である。半導体基板 3 9 の上方に入出力スロット 3 3 が配置され、入出力スロット 3 3 の上方に第 1 の接続ネット形成領域 4 0 を介してバンク 3 7 が配置されている。また、バンク 3 7 は、半導体チップ 3 1 の主表面 4 2 上に配置されている。第 1 の接続ネット 3 8 或いは実際のデバイス上での配線は、第 1 の接続ネット形成領域 4 0 内に形成される。

## 【 0 0 2 1 】

図 4 ( a ) に示すように、フリップチップ B G A のパッケージ基体 4 1 は、格子状に配設された複数の外部電極 4 3 と、パッケージ基体 4 1 の中央部に配置された、半導体チップが接続されるチップ領域 4 6 とを有する。チップ領域 4 6 には、図 3 ( a ) のバンク 3 7 に対応する位置に複数のバンク接続部 4 7 が配設されている。複数のバンク接続部 4 7 と複数の外部電極 4 3 との間は、第 2 の接続ネット 4 5 によって接続されている。第 2 の接続ネット 4 5 は、バンク接続部 4 7 と外部電極 4 3 とをほぼ直線状に結ぶ線であり、バンク接続部 4 7 と外部電極 4 3 とを実際のデバイス上で接続する配線と区別されるべきである。バンク接続部 4 7 と外部電極 4 3 とを接続する実際の配線は、後述するパッケージ詳細設計工程時に設計される。なお、図 4 ( a ) においては、バンク接続部 4 7 と外部電極 4 3 間を接続する第 2 の接続ネット 4 5 を図示する為、チップ領域 4 6 上に配設されるべき外部電極 4 3 の記載を省略している。しかし、実際の外部電極 4 3 は、チップ領域 4 6 を含むパッケージ基体 4 1 の主表面全体に渡って配設されている。

## 【 0 0 2 2 】

図 4 ( b ) は、図 4 ( a ) に示したバンク接続部 4 7、外部電極 4 3、及び第 2 の接続ネット 4 5 のパッケージ厚さ方向の構成を示す図である。パッケージ基体 4 1 の主表面 4 4 上に外部電極 4 3 が配置され、パッケージ基体 4 1 の主表面 4 4 に対抗する面上にバンク接続部 4 7 が配置されている。また、半導体チップ 3 1 は、主表面 4 4 に対抗する面のチップ領域 4 6 内に、バンク 3 7 を介してパッケージ基体 4 1 に接続されている。バンク 3 7 は、パッケージ基体 4 1 のバンク接続部 4 7 に接続されている。第 2 の接続ネット 4 5 或いは実際のデバイス上での配線は、パッケージ基体 4 1 内に形成され、バンク 3 7 と外部電極 4 3 の間を接続している。

## 【 0 0 2 3 】

図 5 に示すように、正形状のパッケージ基体 4 1 の主表面全体に渡って、複数の外部電極 4 3 が格子状に配設されている。パッケージ基体 4 1 の中央部には、正形状のチップ領域 4 6 が形成され、半導体チップ 3 1 は、パッケージ基体 4 1 のチップ領域 4 6 に複数のバンク 3 7 を介して接続されている。バンク 3 7 は、半導体チップ 3 1 の主表面全体に渡って格子状に配設されている。バンク 3 7 と外部電極 4 3 は、第 2 の接続ネット 4 5 によって接続されている。

## 【 0 0 2 4 】

図 6 に示すように、半導体チップ 3 1 上のバンク 3 7 は、第 2 の接続ネット 4 5 によって外部電極 4 3 に接続されている。

## 【 0 0 2 5 】

図 7 に示すように、複数の入出力スロット 3 3 が半導体チップ 3 1 の外周に沿って線状に配設され、複数の入出力スロット 3 3 の内側に内部セル 3 2 が配置されている。半導体チップ 3 1 の主表面全体に複数のバンク 3 7 が格子状に配設されている。半導体チップ 3 1 内の入出力スロット 3 3 は、第 1 の接続ネット 3 8 によって半導体チップ 3 1 上のバンク 3 7 に接続されている。入出力スロット 3 3 とバンク 3 7 は、1 対 1 に対応して接続されている。

## 【 0 0 2 6 】

ここで「入出力スロット」は、上位概念「接続端子」に含まれる下位概念であり、どの入出力スロット 3 3 にどの電源セル 3 4 或いはどの入出力信号セル 3 5 を割り当てるかは、半導体装置の接続端子設計の対象に含まれる。同様に、「バンク」及び「外部電極」は、

10

20

30

40

50

上位概念「接続端子」に含まれる下位概念であり、どのパンプ 37 及び外部電極 43 にどの電源信号或いはどの入出力信号を割り当てるかは、半導体装置の接続端子設計の対象に含まれる。

【0027】

<半導体装置の接続端子設計について>

図 1 に示すように、第 1 の実施の形態に係る半導体装置の接続端子設計装置は、接続端子を設計する為の機能手段を備えた演算部 1、演算部 1 に接続された入力データ記憶部 2、出力データ記憶部 3、及びプログラム記憶部 4 を少なくとも有する。

【0028】

演算部 1 は、電源セル配置部 5、入出力信号セル配置部 6、第 1 の接続ネット生成部 7、第 2 の接続ネット生成部 8、及び検証部 9 を有する。検証部 9 は、電源セル配置検証部 10、入出力信号セル配置検証部 11、第 1 の接続ネット検証部 12、及び第 2 の接続ネット検証部 28 を有する。入力データ記憶部 2 には、初期情報 13、及び設計ルール 14 に関する情報が記憶されている。出力データ記憶部 3 には、電源セル配置情報 21、入出力信号セル配置情報 22、及び接続ネット情報 23 が記憶されている。初期情報 13 には、信号ピン情報 15、パッケージ外形形状ライブラリ 16、チップ外形形状ライブラリ 17 が含まれる。設計ルール 14 には、電源セル配置ルール 18、入出力信号セル配置ルール 19、接続ピン配置ルール 20 が含まれる。

【0029】

演算部 1 は、通常のコンピュータシステムの中央処理装置 (CPU) の一部として構成すればよい。電源セル配置部 5、入出力信号セル配置部 6、第 1 の接続ネット生成部 7、第 2 の接続ネット生成部 8、及び検証部 9 は、それぞれ専用のハードウェアで構成しても良く、通常のコンピュータシステムの CPU を用いて、ソフトウェアで実質的に等価な機能を有する機能手段として構成しても構わない。

【0030】

入力データ記憶部 2、出力データ記憶部 3、及びプログラム記憶部 4 は、それぞれ、半導体 ROM、半導体 RAM 等の半導体メモリ装置、磁気ディスク装置、磁気ドラム装置、磁気テープ装置などの外部記憶装置で構成してもよく、CPU の内部の主記憶装置で構成しても構わない。

【0031】

また、演算部 1 には、入出力制御部 24 を介して、操作者からのデータや命令などの入力を受け付ける入力装置 26 と、接続端子の設計結果を出力する出力装置 25 及び表示装置 27 が接続されている。入力装置 26 は、キーボード、マウス、ライトペンまたはフレキシブルディスク装置などで構成されている。出力装置 10 はプリンタ装置などにより構成され、表示装置 27 は CRT、液晶などのディスプレイ装置などで構成されている。

【0032】

演算部 1 で実行される各処理の入力データは、入力データ記憶部 2 に記憶され、プログラム命令はプログラム記憶部 4 に記憶されている。そしてこれらの入力データやプログラム命令は必要に応じて CPU に読み込まれ、CPU の内部の演算部 1 によって、演算処理が実行されるとともに、一連の演算処理の各段階で発生した数値情報などのデータは、RAM や磁気ディスクなどの出力データ記憶部 3 に格納される。

【0033】

電源セル配置部 5 は、半導体チップ内に配設された複数の入出力スロットの一部に、電源セルを配置する。電源セル配置部 5 は、電源セル配置ルール 18 に従って電源セルを配置する。電源セル配置部 5 は、CPU に入力された信号ピン情報 15 及びチップ外径形状ライブラリ 17 に基いて、必要な電源セルの数を計算し、最適な位置に所望する電源セルを挿入する。必要な電源セルの数は、出力信号セルの同時スイッチングノイズや、入出力信号セル及び内部セルの消費電流量・使用条件等から計算される。電源セルが挿入される最適な位置は、出力バッファセルの近くに出力用電源セル、入力バッファセルの近くに入力用電源セルが置かれるようにし、同時スイッチングするグループには多数の電源セルを配



置する。

【 0 0 3 4 】

入出力信号セル配置部 6 は、複数の入出力スロットの他の一部に、入出力信号セルを配置する。入出力信号セル配置部 6 は、入出力信号セル配置ルール 1 9 に従って入出力信号セルを配置する。入出力信号セルの配置は、電源セル配置部 5 によって挿入された電源セルの配置に合わせて行われる。

【 0 0 3 5 】

第 1 の接続ネット生成部 7 は、複数の入出力スロットと半導体チップ上に配設された複数のバンプとの間を接続する第 1 の接続ネットを生成する。第 1 の接続ネット生成部 7 は、接続ピン配置ルール 2 0 に従って第 1 の接続ネットを生成する。

10

【 0 0 3 6 】

第 2 の接続ネット生成部 8 は、複数のバンプとパッケージ基体上に配設された複数の外部電極との間を接続する第 2 の接続ネットを生成する。第 2 の接続ネット生成部 8 は、接続ピン配置ルール 2 0 に従って第 2 の接続ネットを生成する。

【 0 0 3 7 】

検証部 9 は、電源セル、入出力信号セル、及び第 1 及び第 2 の接続ネットが、所定の設計ルールに違反しているか否かを検証する。ここでは「所定の設計ルール」として設計ルール 1 4 を使用する。具体的には、電源セル配置検証部 1 0 は、電源セルの数及び配置位置が電源セル配置ルール 1 8 に違反しているか否かを検証する。入出力信号セル配置検証部 1 1 は、入出力信号セルの配置位置が入出力信号セル配置ルール 1 9 に違反しているか否かを検証する。第 1 の接続ネット検証部 1 2 は、第 1 の接続ネットが接続ピン配置ルール 2 0 に違反しているか否かを検証する。第 2 の接続ネット検証部 2 8 は、第 2 の接続ネットが接続ピン配置ルール 2 0 に違反しているか否かを検証する。

20

【 0 0 3 8 】

検証部 9 によって設計ルール 1 4 に違反していないと判定された電源セル、入出力信号セル、及び第 1 及び第 2 の接続ネットは、電源セル配置情報 2 1、入出力信号セル配置情報 2 2、及び接続ネット情報 2 3 として、出力データ記憶部 3 へそれぞれ出力され記憶される。一方、検証部 9 によって設計ルール 1 4 に違反していると判定された場合、検証部 9 は、例えば表示装置 2 7 の表示画面に、ルール違反があった違反項目、違反箇所、違反内容などを表示して、操作者に対して設計変更の注意を促す。操作者は、表示装置 2 7 の表示画面を見ながら手作業で電源セル或いは入出力信号セルの配置変更や、第 1 及び第 2 の接続ネットの入れ替えを行う。そして、検証部 9 は、編集（変更、入れ替え）後の電源セル、入出力信号セル、及び第 1 及び第 2 の接続ネットに対して、再度ルールチェックを行う。

30

【 0 0 3 9 】

電源セル配置ルール 1 8 は、電源セルの数及び配置位置に関するルールである。入出力信号セル配置ルール 1 9 は、入出力信号セルの大きさ及び配置禁止領域に関するルールである。接続ピン配置ルール 2 0 には、セル仕様から要求される等長配線の要求、ペア配線の要求、接続ネットが交差する数の制限、最大配線長、及び配線の引き出しが出来るバンプの口ウ（Row）数に関するルールが含まれる。ここでは「接続ピン」は、上位概念「接続端子」に含まれる下位概念であり、「バンプ」及び「外部電極」を含む上位概念である。

40

【 0 0 4 0 】

信号ピン情報 1 5 には、信号名、I/Oバッファ名、パッケージ配線での等長配線ペアなどの要求事項等の情報が含まれる。パッケージ外形形状ライブラリ 1 6 は、外部電極の位置座標等の情報を有する。チップ外形形状ライブラリ 1 7 は、入出力スロット及びバンプの位置座標等の情報を有する。

【 0 0 4 1 】

以上説明したように、図 1 に示す演算部（5～8）は、入出力スロット、バンプ、外部電極などの複数種類の接続端子に対して、それぞれ電源信号或いは入出力信号を割り当てる

50

。そして、検証部 9 は、各接続端子について設計ルール 14 に従った検証を行う。従って、外部電極とパンプ間及びパンプと入出力スロット間の対応関係は明確であるとは言えず、相対的な配置順序も同じとは言えない場合であっても、設計ルール 14 に違反することなく、接続端子に信号を効率的に割り当てることことができる。

【0042】

図 8 に示すように、本発明の実施の形態に係る半導体装置の接続端子設計方法は、S01～S17 段階から構成されている。

【0043】

(イ) まず、S01 段階において、信号ピン情報、パッケージ外形形状ライブラリ、チップ外形形状ライブラリなどの初期情報、及び電源セル配置ルール、入出力信号セル配置ルール、接続ピン配置ルールなどの設計ルールに関する情報を、図 1 の入力装置 26 を介して入力データ記憶部 2 へ入力する。

10

【0044】

(ロ) 次に、S02 段階において、半導体チップ内に配設された複数の入出力スロットの一部に電源セルを配置する。この時、電源セルは、入力データ記憶部 2 に記憶されている電源セル配置ルールに従って配置される。具体的には、出力セルの同時スイッチングノイズや、入出力信号セル及び内部セルの消費電流量・使用条件等を考慮して、必要な電源セルの数を計算する。電源セルを挿入する位置は、出力用バッファセルの近くに出力用電源セルが、入力用バッファセルの近くに入力用電源セルがそれぞれ置かれるようにし、同時スイッチングするグループには多くの電源セルを配置する。次に、S03 段階において、電源セルが、所定の設計ルールに違反しているか否かを検証する。S03 段階での「所定の設計ルール」として、電源セル配置ルールを使用する。

20

【0045】

(ハ) 検証した結果、電源セルの数或いは配置位置にルール違反があると判定された場合 (S04 段階において、Yes)、図 1 の表示装置 27 に電源セルにルール違反がある旨及び違反箇所を表示し、操作者に対して注意を促す。S05 段階において、操作者は、ルール違反を回避するように、入力装置 26 を用いて電源セルの数或いは配置位置を編集することができる。そして、S03 段階に戻り、再度、電源セルの数或いは配置位置のルールチェックを行う。S03～S05 のループは、電源セルの数或いは配置位置にルール違反がないと判定された場合 (S04 段階において、No)、終了して S06 段階へ進む。

30

【0046】

(ニ) 次に、S06 段階において、複数の入出力スロットの他の一部に入出力信号セルを配置する。即ち、電源セルが配置されていない入出力スロットに入出力信号セルを配置する。この時、入出力信号セルは、入出力信号セル配置ルールに従って配置される。次に、S07 段階において、入出力信号セルが、所定の設計ルールに違反しているか否かを検証する。S07 段階での「所定の設計ルール」として、入出力信号セル配置ルールを使用する。

【0047】

(ホ) 検証した結果、入出力信号セルの大きさ及び配置位置にルール違反があると判定された場合 (S08 段階において、Yes)、図 1 の表示装置 27 に入出力信号セルにルール違反がある旨及び違反箇所を表示し、操作者に対して注意を促す。S09 段階において、操作者は、ルール違反を回避するように、入力装置 26 を用いて入出力信号セルの数或いは配置位置を編集することができる。そして、S07 段階に戻り、再度、入出力信号セルの大きさ及び配置禁止領域 (位置) のルールチェックを行う。S07～S09 のループは、入出力信号セルの大きさ及び配置禁止領域 (位置) にルール違反がないと判定された場合 (S08 段階において、No)、終了して S10 段階へ進む。

40

【0048】

(ヘ) 次に、S10 段階において、複数の入出力スロットと半導体チップ上に配設された複数のパンプとの間を接続する第 1 の接続ネットを生成する。この時、第 1 の接続ネットは、接続ピン配置ルールに従って生成される。具体的には、「接続ピン配置ルール」には

50

、図3(b)の第1の接続ネット形成領域40の配線可能層数及び配線間隔などから定まる第1の接続ネットの交差の制約、配線の引き出しが出来るバンクの口ウ(Row)数などの制約、セル仕様から要求される等長配線等の制約などが含まれている。次に、S11段階において、第1の接続ネットが、所定の設計ルールに違反しているか否かを検証する。S11段階での「所定の設計ルール」を接続ピン配置ルールを使用する。

【0049】

(ト)検証した結果、第1の接続ネットにルール違反があると判定された場合(S12段階において、Yes)、図1の表示装置27に第1の接続ネットにルール違反がある旨及び違反箇所を表示し、操作者に対して注意を促す。S13段階において、操作者は、ルール違反を回避するように、入力装置26を用いてバンクの割り当てを編集することができる。そして、S11段階に戻り、再度、第1の接続ネットのルールチェックを行う。S11~S13のループは、第1の接続ネットにルール違反がないと判定された場合(S12段階において、No)、終了してS14段階へ進む。

10

【0050】

(チ)次に、S14段階において、複数のバンクとパッケージ基体上に配設された複数の外部電極との間を接続する第2の接続ネットを生成する。この時、第2の接続ネットは、接続ピン配置ルールに従って生成される。具体的には、「接続ピン配置ルール」には、図4(b)のパッケージ基体41の配線可能層数及び配線間隔などから定まる第2の接続ネットの交差の制約、配線の引き出しが出来る外部電極の口ウ(Row)数などの制約、セル仕様から要求される等長配線等の制約などが含まれている。次に、S15段階において、第2の接続ネットが、所定の設計ルールに違反しているか否かを検証する。S15段階での「所定の設計ルール」を接続ピン配置ルールを使用する。

20

【0051】

(リ)検証した結果、第2の接続ネットにルール違反があると判定された場合(S16段階において、Yes)、図1の表示装置27に第2の接続ネットにルール違反がある旨及び違反箇所を表示し、操作者に対して注意を促す。S17段階において、操作者は、ルール違反を回避するように、入力装置26を用いて外部電極の割り当てを編集することができる。そして、S15段階に戻り、再度、第2の接続ネットのルールチェックを行う。S15~S17のループは、第2の接続ネットにルール違反がないと判定された場合(S16段階において、No)、終了する。

30

【0052】

(ヌ)最後に、電源セル配置情報、入出力信号セル配置情報、接続ネット情報などを図1の出力データ記憶部3へ出力及び記憶する。

【0053】

以上の段階を経て、接続端子の割り当てが終了した後、チップ自動配置配線工程、パッケージ詳細設計工程を実施する。「チップ自動配置配線工程」では、第1の接続ネットに従って実際の半導体チップの入出力スロットとバンク間の配線を設計する。「パッケージ詳細設計工程」では、第2の接続ネットに従って実際のパッケージ基体のバンクと外部電極間の配線を設計する。

【0054】

以上説明したように、S02、S06、S10、及びS14段階において、入出力スロット、バンク、外部電極などの複数種類の接続端子に対して、それぞれ電源信号或いは入出力信号が割り当てられる。そして、S03、S07、S11、及びS15段階において、各接続端子について設計ルールに従った検証が行われる。従って、外部電極とバンク間及びバンクと入出力スロット間の対応関係は明確であるとは言えず、相対的な配置順序も同じとは言えない場合であっても、設計ルールに違反することなく、接続端子に信号を効率的に割り当てることができる。

40

【0055】

また、隣接する接続端子に割り当てべき差動バッファ等の特定の信号を、設計ルールに違反することなく、入出力スロット、バンク、及び外部電極にそれぞれ隣接して割り当て

50

ることができる。

【 0 0 5 6 】

更に、チップ自動配置配線工程及びパッケージ詳細設計工程において、ピンアサイン起因のエラーが発見されることが防止され、チップ自動配置配線及びパッケージ詳細設計をやり直すことがなくなる。

【 0 0 5 7 】

なお、図 8 の操作者による編集段階 ( S 0 5 、 S 0 9 、 S 1 3 、 及び S 1 3 ) の後、戻るべき段階は、一通りとは限らない。例えば、入出力信号セルの配置位置にルール違反が発見され ( S 0 8 ) 、編集を行った後 ( S 0 9 ) 、 S 0 7 段階に戻るだけに限られない。入出力信号セルの配置位置を編集した結果、電源セルの数或いは配置位置を検証する必要がある場合もあり得る。この場合、 S 0 7 段階ではなく S 0 3 段階に戻り、電源セルのルールチェック ( S 0 3 ) を実施することが望ましい。同様に、第 1 及び第 2 の接続ネットについて編集 ( S 1 3 、 S 1 7 ) した結果、電源セル又は入出力信号セルについて検証する必要がある場合もあり得る。この場合、 S 1 1 段階又は S 1 5 段階ではなく S 0 3 段階或いは S 0 7 段階に戻り、電源セル又は入出力信号セルのルールチェック ( S 0 3 、 S 0 7 ) を実施することが望ましい。

10

【 0 0 5 8 】

以上説明したように、本発明の実施の形態によれば、複数の外部電極或いは複数のバンパがパッケージ基体半導体或いはチップの主表面に格子状に配設されている半導体装置において、入出力スロット、バンパ、外部電極などの接続端子の割り当てを、効率的に且つ設計ルールに正確に行うことができる。即ち、 B G A 又はフリップチップパッケージなどの、近年の高密度実装・多ピン化に対応できるパッケージを有する半導体装置において、入出力信号セルの自動配置や、接続ネットの自動生成を、短時間で、しかも設計要求に正確に処理することができる。特に、入出力信号セルの配置における設計ルール検証や概略配線 ( 接続ネット ) の段階で設計ルール検証を行うため、チップ自動配置配線及びパッケージ詳細設計のやり直しを減少できる。

20

【 0 0 5 9 】

上述した半導体装置の接続端子設計方法は、時系列的につながった一連の処理又は操作、即ち「手順」として表現することができる。従って、この方法を、コンピュータシステムを用いて実行するために、コンピュータシステム内のプロセッサなどが果たす複数の機能を特定するプログラムとして構成することができる。また、このプログラムは、コンピュータ読み取り可能な記録媒体に保存することができる。この記録媒体をコンピュータシステムによって読み込ませ、このプログラムを実行してコンピュータを制御しながら上述した方法を実現することができる。この記録媒体は、図 1 に示したプログラム記憶部 4 として用いる、あるいはプログラム記憶部 4 に読み込ませ、このプログラムにより演算部 1 における種々の作業を所定の処理手順に従って実行することができる。ここで、このプログラムを保存する記録媒体としては、メモリ装置、磁気ディスク装置、光ディスク装置、その他のプログラムを記録することができるような装置が含まれる。

30

【 0 0 6 0 】

図 1 0 に示すように、半導体装置の接続端子設計装置 1 0 0 の本体全面には、フレキシブルディスクドライブ 1 0 1 、及び C D - R O M ドライブ 1 0 2 が設けられている。磁気ディスクとしてのフレキシブルディスク 1 0 3 または光ディスクとしての C D - R O M 1 0 4 を各ドライブ入り口から挿入し、所定の読み出し操作を行うことにより、これらの記録媒体に格納されたプログラムをシステム内にインストールすることができる。また、所定のドライブ装置 1 0 7 を接続することにより、例えばゲームパックなどに使用されている半導体メモリとしての R O M 1 0 5 や、磁気テープとしてのカセットテープ 1 0 6 を用いることもできる。

40

【 0 0 6 1 】

( 変形例 )

図 9 を参照して、変形例に係る半導体装置の接続端子設計方法について説明する。

50

## 【 0 0 6 2 】

(イ) まず、図 8 の S 0 1 段階と同様に、S 5 1 段階において初期情報及び設計ルールを入力する。

## 【 0 0 6 3 】

(ロ) 次に、S 5 2 段階～S 5 5 段階において、電源セルの配置、入出力信号セルの配置、及び第 1 及び第 2 の接続ネットの生成を実施する。即ち、変形例においては、電源セルを配置した (S 5 2) 後、電源セルの数及び位置を検証せずに入出力信号セルを配置する (S 5 3)。そして、入出力信号セルの位置を検証せずに第 1 の接続ネットを生成し (S 5 4)、続けて第 2 の接続ネットを生成する (S 5 5)。

## 【 0 0 6 4 】

(ハ) その後、S 5 6 段階において電源セルの数及び配置位置を検証する。検証の結果、電源セルの数或いは配置位置にルール違反が有る場合 (S 5 7 において Yes)、違反箇所を編集した (S 5 8) 後、再び電源セルのルールチェックを行う。

## 【 0 0 6 5 】

(ニ) そして、S 5 9 段階において入出力信号セルの配置位置を検証する。検証の結果、入出力信号セルの位置にルール違反が有る場合 (S 6 0 において Yes)、違反箇所を編集した (S 6 1) 後、再び電源セルのルールチェックを行う。

## 【 0 0 6 6 】

(ホ) そして、S 6 2 段階において第 1 の接続ネットを検証する。検証の結果、第 1 の接続ネットにルール違反が有る場合 (S 6 3 において Yes)、違反箇所を編集した (S 6 4) 後、再び第 1 の接続ネットのルールチェックを行う。

## 【 0 0 6 7 】

(ヘ) そして、S 6 5 段階において第 2 の接続ネットを検証する。検証の結果、第 2 の接続ネットにルール違反が有る場合 (S 6 6 において Yes)、違反箇所を編集した (S 6 7) 後、再び第 2 の接続ネットのルールチェックを行う。

## 【 0 0 6 8 】

なお、図 8 のフローチャートと同様に、操作者による編集段階 (S 5 8、S 6 1、S 6 4、及び S 6 7) の後、戻るべき段階は、一通りとは限らない。例えば、入出力信号セルの配置位置にルール違反が発見され (S 6 0)、編集を行った後 (S 6 1)、S 5 9 段階に戻るだけに限られない。入出力信号セルの位置を編集した結果、電源セルの数或いは配置位置を検証する必要がある場合もあり得る。この場合、S 5 9 段階ではなく S 5 6 段階に戻り、電源セルのルールチェック (S 5 6) を実施することが望ましい。同様に、第 1 及び第 2 の接続ネットについて編集 (S 6 4、S 6 7) した結果、電源セル又は入出力信号セルについて検証する必要がある場合もあり得る。この場合、S 6 2 段階又は S 6 5 段階ではなく S 5 6 段階或いは S 5 9 段階に戻り、電源セル又は入出力信号セルのルールチェック (S 5 6、S 5 9) を実施することが望ましい。

## 【 0 0 6 9 】

このように、直前の検証段階ではなくそれ以前の検証段階へ戻る場合、変形例においては、以下に示す図 8 のフローチャートには無い特有の効果をも有する。図 8 において、例えば、入出力信号セルのルール違反に対して操作者が編集を行い (S 0 9)、電源セルの数或いは位置を再度検証した (S 0 3) 場合、S 0 6 段階において、再度入出力信号セルの配置を行うことになる。一方、図 9 においては、入出力信号セルのルール違反に対して操作者が編集を行い (S 6 1)、電源セルの数或いは位置を再度検証しても (S 5 6)、S 5 6～S 6 1 のループの中に入出力信号セルの配置段階 (S 5 3) が含まれていないため、入出力信号セルの配置段階 (S 5 3) を実施することが無い。即ち、入出力信号セルのルール違反に対して操作者が行った編集 (S 6 1) の結果を十分に利用して、各検証段階 (S 5 6、S 5 9、S 6 2、S 6 5) を実施することができる。よって、一度、配置/生成した電源セル、入出力信号セル、第 1 及び第 2 の接続ネットを有効に利用することができ、より効率的な設計を行うことが可能となる。

## 【 0 0 7 0 】

10

20

30

40

50

(その他の実施の形態)

上記のように、本発明は、1つの実施の形態及びその変形例によって記載したが、この開示の一部をなす論述及び図面はこの発明を限定するものであると理解すべきではない。この開示から当業者には様々な代替実施の形態、実施例及び運用技術が明らかとなろう。

【0071】

図8に示したフローチャートには、図2～図7に示したフリップチップチップBGA等の半導体装置に適した接続端子設計方法を示す。即ち、フリップチップチップBGAにおいては、第1の接続ネットは、電源セル及び入出力信号セルを配置した後に生成され、第2の接続ネットは、第1の接続ネットを生成した後に生成されることが望ましい。基本的には、「電源セル及び入出力信号セルの配置」、「第1の接続ネットの生成」及び「第2の接続ネットの生成」の設計自由度は、「電源セル及び入出力信号セルの配置」<「第1の接続ネットの生成」<「第2の接続ネットの生成」の関係にある。従って、設計自由度の低いものから順番に設計していくことで設計効率が向上する。逆に、設計自由度の高いものから順番に設計していくことで設計制約を満たさない可能性が増加する。一般的に、「第1の接続ネット」は一層で形成されている為、その設計自由度は小さく、セルからバンブまでの対応関係はある程度決まっている(少ない選択の可能性)。しかし、「第2の接続ネット」は複数層で形成されている為、「第1の接続ネット」よりも設計自由度が大きい(大きな選択の可能性)。よって、設計自由度の低いものから作業していく方が効率的である。例えば等長配線が「第1の接続ネットの生成」のルールチェックでエラーが発生しても「第2の接続ネットの生成」においてそのエラーを吸収可能である。

【0072】

しかし、本発明の実施の形態に係る接続端子の設計方法は、図8に示したフローチャートに限られない。フリップチップチップBGA以外の半導体装置、例えば、QFPなどにおいては、まず、第2の接続ネットの生成及び検証(S14～S17)を行い、次に第1の接続ネットの生成及び検証(S10～S13)を行い、次に入出力信号セル及び電源信号セルの配置及び検証(S02～S09)を行うことが望ましい。

【0073】

図5等では複数のバンブ37が半導体チップ31の主表面全体に配設され、複数の外部電極43がパッケージ基体41の主表面全体に配設されている場合について示した。しかし、接続端子設計の対象となる半導体装置は、これに限定されるものではなく、半導体チップ31或いはパッケージ基体41の一部分にのみ配置されていても構わない。例えば、図5のパッケージ基体41の主表面の内、チップ領域46を除いた領域にのみに、複数の外部電極43が格子状に配設されていても構わない。同様に、図2の半導体チップ31の主表面の内、内部セル32が形成されていない領域にのみに、図3(a)の複数のバンブ37が格子状に配設されていても構わない。

【0074】

このように、本発明はここでは記載していない様々な実施の形態等を包含するということを理解すべきである。したがって、本発明はこの開示から妥当な特許請求の範囲に係る発明特定事項によってのみ限定されるものである。

【0075】

【発明の効果】

以上説明したように、本発明によれば、接続端子の割り当てを、効率的に且つ設計ルールに正確に行うことができる半導体装置の接続端子設計装置、半導体装置の接続端子設計方法、及び半導体装置の接続端子設計プログラムを提供することができる。

【図面の簡単な説明】

【図1】本発明の実施の形態に係る半導体装置の接続端子設計装置の構成を示すブロック図である。

【図2】フリップチップBGAにパッケージングされる半導体チップの全体構成を示す平面図である。

【図3】図3(a)は、図2の点線で囲んだ領域36の詳細な構成を示す拡大図である。

図 3 ( b ) は、図 3 ( a ) の A - A ' 切断面に沿った断面図である。

【図 4】図 4 ( a ) は、図 2 の半導体チップをパッケージングするフリップチップ B G A のパッケージ基体の一部分を示す平面図である。図 4 ( b ) は、B - B ' 切断面に沿った断面図である。

【図 5】フリップチップ B G A のより具体的な構成を示す平面図である。

【図 6】図 5 の破線で囲まれた楕円の領域 5 1 を拡大した平面図である。

【図 7】図 5 の破線で囲まれた楕円の領域 5 2 を拡大した平面図である。

【図 8】本発明の実施の形態に係る半導体装置の接続端子設計方法を示すフローチャートである。

【図 9】図 8 に示した半導体装置の接続端子設計方法の変形例を示すフローチャートである。 10

【図 10】接続端子設計プログラムを読み取り、そこに記述された手順に従って、半導体装置の接続端子設計システムが果たす複数の機能を制御することにより、半導体装置の接続端子設計方法を実現するコンピュータシステムからなる半導体装置の接続端子設計装置の一例を示す外観図である。

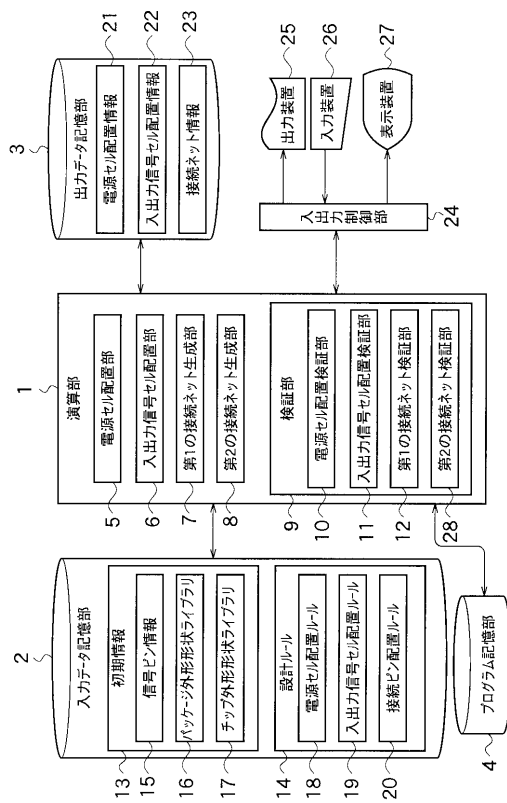
【図 11】従来の Q F P の構成を示す平面図である。

【符号の説明】

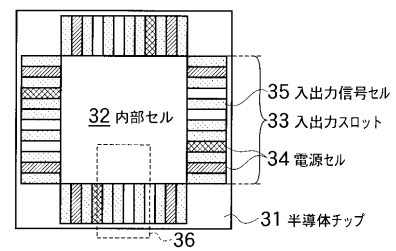
1	演算部	
2	入力データ記憶部	
3	出力データ記憶部	20
4	プログラム記憶部	
5	電源セル配置部	
6	入出力信号セル配置部	
7	第 1 の接続ネット生成部	
8	第 2 の接続ネット生成部	
9	検証部	
10	電源セル配置検証部	
11	入出力信号セル配置検証部	
12	第 1 の接続ネット検証部	
13	初期情報	30
14	設計ルール	
15	信号ピン情報	
16	パッケージ外形形状ライブラリ	
17	チップ外形形状ライブラリ	
18	電源セル配置ルール	
19	入出力信号セル配置ルール	
20	接続ピン配置ルール	
21	電源セル配置情報	
22	入出力信号セル配置情報	
23	接続ネット情報	40
24	入出力制御部	
25	出力装置	
26	入力装置	
27	表示装置	
28	第 2 の接続ネット検証部	
31	半導体チップ	
32	内部セル	
33	入出力スロット	
34	電源セル	
35	入出力信号セル	50

- 3 7      バンプ
- 3 8      第 1 の接続ネット
- 3 9      半導体基板
- 4 0      第 1 の接続ネット形成領域
- 4 1      パッケージ基体
- 4 3      外部電極
- 4 5      第 2 の接続ネット
- 4 6      チップ領域
- 4 7      バンプ接続部

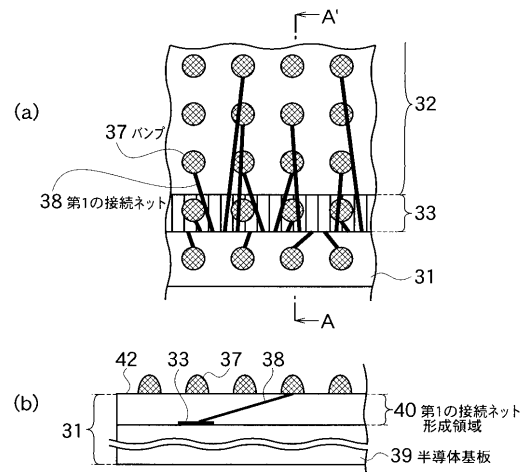
【 図 1 】



【 図 2 】

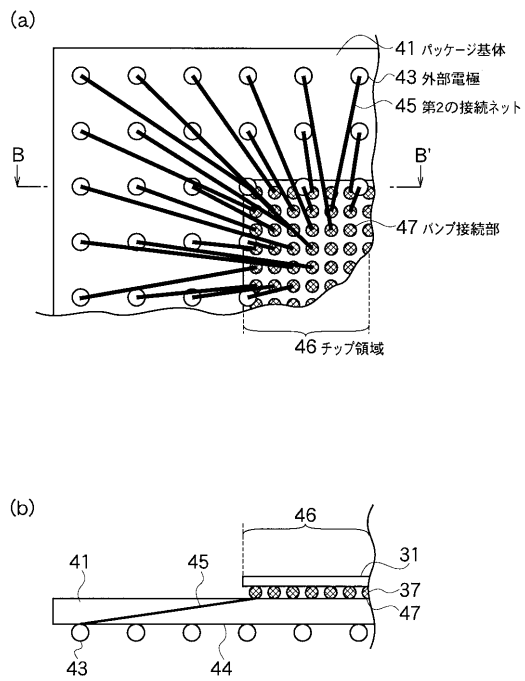


【 図 3 】

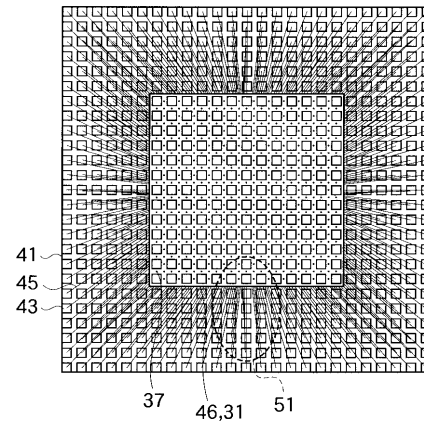




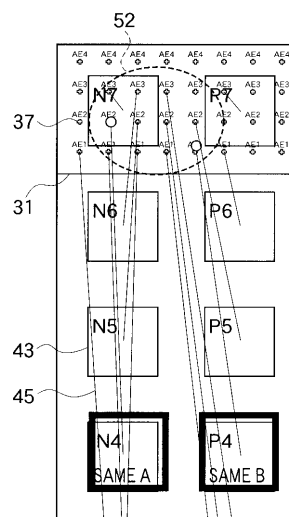
【図 4】



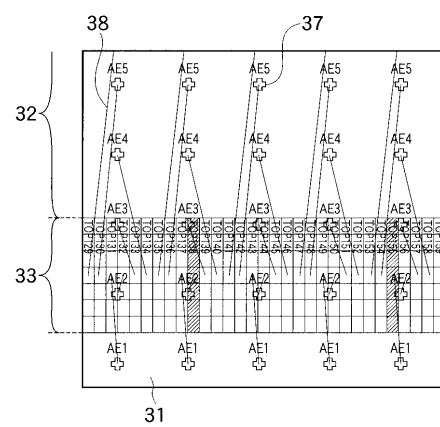
【図 5】



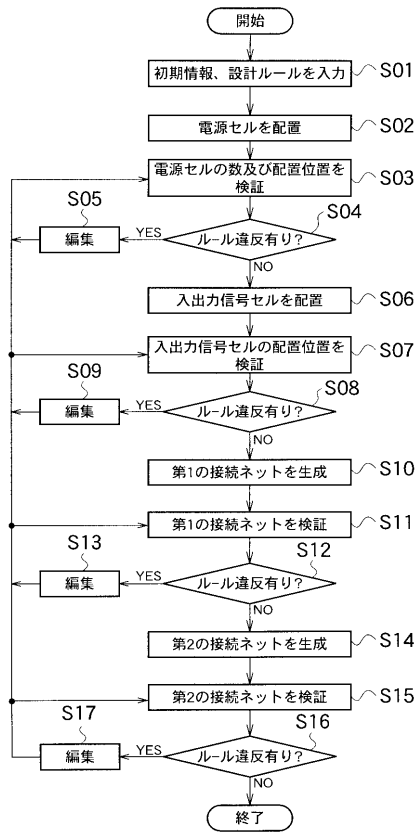
【図 6】



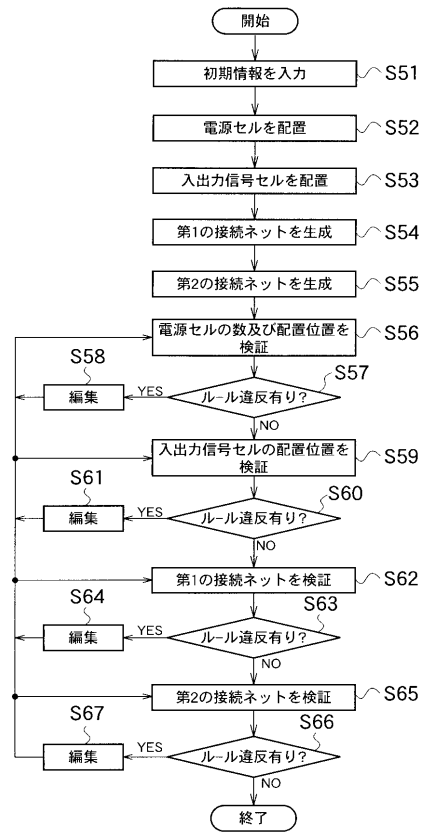
【図 7】



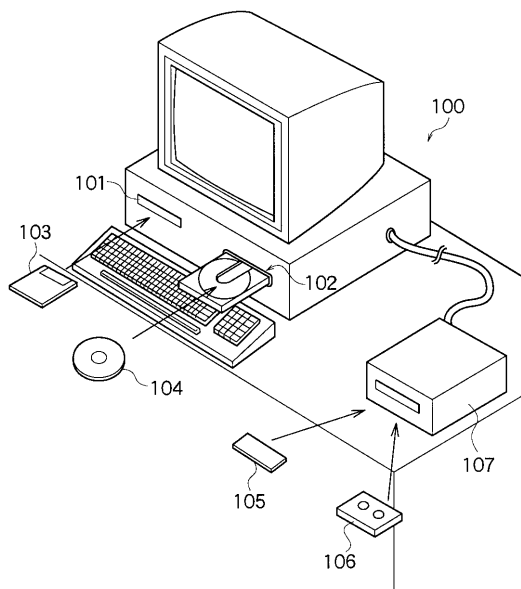
【図 8】



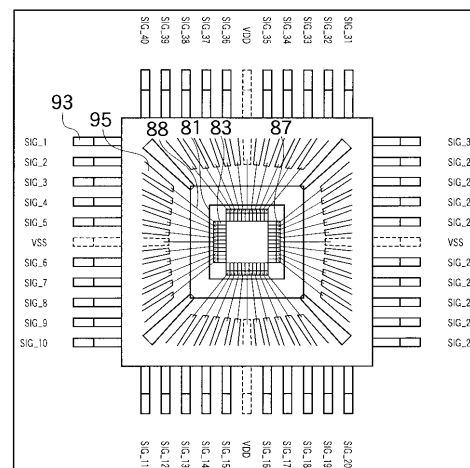
【図 9】



【図 10】



【図 11】



## フロントページの続き

(51)Int.Cl. <sup>7</sup>	F I	テーマコード(参考)
	H 0 1 L 23/12	5 0 1 Z
	H 0 1 L 21/82	C
	H 0 1 L 27/04	E

(74)代理人 100101247

弁理士 高橋 俊一

(74)代理人 100098327

弁理士 高松 俊雄

(72)発明者 今田 知彦

神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝マイクロエレクトロニクスセンター内

(72)発明者 柴田 豊和

神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝マイクロエレクトロニクスセンター内

(72)発明者 渡辺 清次

神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝マイクロエレクトロニクスセンター内

F ターム(参考) 5B046 AA08 BA04 JA01

5F038 BE07 CA10 CA17 CD02 CD05 EZ09 EZ20

5F064 DD32 DD34 DD42 EE02 EE03 EE08 EE14 EE15 EE16 EE17

EE19 EE20 EE26 HH06 HH10 HH14