

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年4月19日(19.04.2018)



(10) 国際公開番号

WO 2018/070261 A1

(51) 国際特許分類:
H04L 25/02 (2006.01) H03K 19/0948 (2006.01)
H03K 19/0175 (2006.01)

(21) 国際出願番号: PCT/JP2017/035192

(22) 国際出願日: 2017年9月28日(28.09.2017)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2016-200644 2016年10月12日(12.10.2016) JP

(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014

神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).

(72) 発明者: 木原 広己(KIHARA Hiroki); 〒2430014
神奈川県厚木市旭町四丁目14番1号
ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

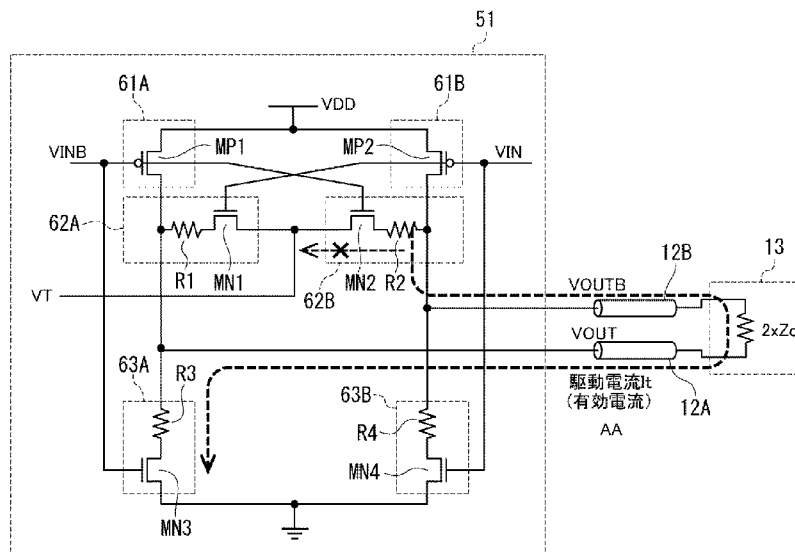
(74) 代理人: 西川 孝, 外 (NISHIKAWA Takashi et al.); 〒1600023 東京都新宿区西新宿7丁目5番25号 西新宿木村屋ビルディング9階 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO,

(54) Title: DRIVER CIRCUIT, METHOD FOR CONTROLLING SAME, AND TRANSMISSION/RECEPTION SYSTEM

(54) 発明の名称: ドライバ回路およびその制御方法、並びに、送受信システム

Fig. 3



AA Driving current It (active current)

(57) Abstract: The present technology pertains to a driver circuit that enables a signal output having an amplitude large enough for long-distance transmission to be realized with low power consumption, a method for controlling the driver circuit, and a transmission/reception system. The driver circuit is provided with: a current-driving circuit that outputs a prescribed current; and a terminating resistance circuit that is connected in parallel to the current-driving circuit, wherein the terminating resistance circuit connects a terminating resistor to a transmission line when the current-driving circuit is

DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告 (条約第21条(3))

outputting the current, and separates the terminating resistor from the transmission line when the current-driving circuit is not outputting current. For example, the present technology can be applied to a driver circuit, or the like that outputs a signal to a long-distance transmission line.

(57) 要約: 本技術は、長距離伝送に必要な大振幅の信号出力を低消費電力で実現することができるようにするドライバ回路およびその制御方法、並びに、送受信システムに関する。ドライバ回路は、所定の電流を出力する電流駆動回路と、電流駆動回路と並列に接続された終端抵抗回路とを備え、終端抵抗回路は、電流駆動回路が電流を出力しているときには終端抵抗を伝送路に接続し、電流駆動回路が電流を出力していないときには終端抵抗を伝送路から切り離す。本技術は、例えば、長距離の伝送路に信号を出力するドライバ回路等に適用できる。

明 細 書

発明の名称：

ドライバ回路およびその制御方法、並びに、送受信システム

技術分野

[0001] 本技術は、ドライバ回路およびその制御方法、並びに、送受信システムに関し、特に、長距離伝送に必要な大振幅の信号出力を低消費電力で実現することができるようにしたドライバ回路およびその制御方法、並びに、送受信システムに関する。

背景技術

[0002] サーバ等のバックプレーンやHDMI(登録商標) (High-Definition Multimedia Interface) ケーブル等の中長距離ケーブルなど減衰が大きい伝送路向けの高速通信においては、ドライバ回路として、例えば、CML(Current Mode Logic)が使用されている(例えば、非特許文献1参照)。

[0003] CMLは、PCIe、USB3.0など、多くの高速通信規格で使われているが、貫通電流が流れてしまうため、消費電流が大きいという問題がある。これに対して、モバイル機器など低消費電力が求められる製品には、貫通電流が無く、消費電力が少ないNMOS Push Pullが用いられるようになった。しかしながら、NMOS Push Pullでは、HiレベルがPush NMOSの $V_{gs}-V_{th}$ で制限されるため、振幅を拡大するのが難しく、長距離伝送には不向きとされる。

先行技術文献

非特許文献

[0004] 非特許文献1：＜URL: http://www.ece.tamu.edu/~spalermo/ecen689/lecture5_ee720_termination_txdriver.pdf＞、[平成28年9月12日検索]

発明の概要

発明が解決しようとする課題

[0005] 近年、センサネットワークの進行と共に、イメージセンサ等の高データレートデバイスから中長距離に信号を伝送するケースが増えることが予測さ

れ、これを低消費電力で実現する技術が求められている。

[0006] 本技術は、このような状況に鑑みてなされたものであり、長距離伝送に必要な大振幅の信号出力を低消費電力で実現することができるようにするものである。

課題を解決するための手段

[0007] 本技術の第1の側面のドライバ回路は、所定の電流を出力する電流駆動回路と、前記電流駆動回路と並列に接続された終端抵抗回路とを備え、前記終端抵抗回路は、前記電流駆動回路が電流を出力しているときには終端抵抗を伝送路に接続し、前記電流駆動回路が電流を出力していないときには前記終端抵抗を前記伝送路から切り離す。

[0008] 本技術の第2の側面のドライバ回路の制御方法は、所定の電流を出力する電流駆動回路と、前記電流駆動回路と並列に接続された終端抵抗回路とを備えるドライバ回路の前記終端抵抗回路が、前記電流駆動回路が電流を出力しているときには終端抵抗を伝送路に接続し、前記電流駆動回路が電流を出力していないときには前記終端抵抗を前記伝送路から切り離す。

[0009] 本技術の第3の側面の送受信システムは、送信装置と受信装置とからなり、前記送信装置は、所定の電流を出力する電流駆動回路と、前記電流駆動回路と並列に接続された終端抵抗回路とを備え、前記終端抵抗回路は、前記電流駆動回路が電流を出力しているときには終端抵抗を伝送路に接続し、前記電流駆動回路が電流を出力していないときには前記終端抵抗を前記伝送路から切り離す。

[0010] 本技術の第1乃至第3の側面においては、所定の電流を出力する電流駆動回路と、前記電流駆動回路と並列に接続された終端抵抗回路とが設けられ、前記終端抵抗回路において、前記電流駆動回路が電流を出力しているときには終端抵抗が伝送路に接続され、前記電流駆動回路が電流を出力していないときには前記終端抵抗が前記伝送路から切り離される。

[0011] ドライバ回路は、独立した装置であっても良いし、1つの装置を構成している内部ブロックであっても良い。

発明の効果

[0012] 本技術の第1乃至第3の側面によれば、長距離伝送に必要な大振幅の信号出力を低消費電力で実現することができる。

[0013] なお、ここに記載された効果は必ずしも限定されるものではなく、本開示中に記載されたいずれかの効果であってもよい。

図面の簡単な説明

[0014] [図1]CMLを用いたドライバ回路の構成例を示す図である。

[図2]NMOS Push Pullを用いたドライバ回路の構成例を示す図である。

[図3]本技術を適用したドライバ回路の第1実施の形態の構成例を示す図である。

[図4]図3のドライバ回路から出力される差動信号VOUT及びVOUTBの波形を示す図である。

[図5]本技術を適用したドライバ回路の第2実施の形態の構成例を示す図である。

[図6]本技術を適用したドライバ回路の第3実施の形態の構成例を示す図である。

[図7]図6のドライバ回路の動作を示すタイミングチャートである。

[図8]本技術を適用したドライバ回路の第4実施の形態の構成例を示す図である。

[図9]本技術を適用したドライバ回路の第5実施の形態の構成例を示す図である。

[図10]本技術を適用したドライバ回路の第6実施の形態の構成例を示す図である。

[図11]MIPI C-PHYの概要を説明する図である。

[図12]送受信全体の回路図である。

[図13]本技術による消費電流削減効果を説明する図である。

発明を実施するための形態

[0015] 以下、本技術を実施するための形態（以下、実施の形態という）について

説明する。なお、説明は以下の順序で行う。

1. CML回路
2. NMOS Push Pull回路
3. ドライバ回路の第1実施の形態
4. ドライバ回路の第2実施の形態
5. ドライバ回路の第3実施の形態
6. ドライバ回路の第4実施の形態
7. ドライバ回路の第5実施の形態
8. ドライバ回路の第6実施の形態
9. 送受信全体図
10. 効果
11. まとめ

[0016] <1. CML回路>

図1は、CMLを用いたドライバ回路（以下、CML回路という。）の構成例を示す図である。

[0017] 図1のCML回路11は、電流源21と、2対の駆動トランジスタ22および50Ωの負荷抵抗23（以下、終端抵抗23とも称する。）とからなる差動回路で構成される。駆動トランジスタ22は、PMOSトランジスタで構成される。

[0018] CML回路11は、伝送路12A及び12Bで構成される差動伝送路12を介して、不図示のレシーバに所定の振幅の差動信号を送信する。レシーバの終端回路13は、差動100Ωで終端されている。

[0019] CML回路11は、信号の減衰が大きい場合には、電流源21が流す電流を増やすことで、容易に信号振幅を拡大することができる利点があるが、消費電流が大きい。

[0020] 例えば、受信側の終端回路13が差動100Ωで終端された差動伝送路12に0.2Vの振幅の信号を送信する場合、伝送路12A及び12Bには2mAの電流が流れるが、同時に、CML回路11の終端抵抗23に6mAの貫通電流が流れてしま

う。この6mAの貫通電流は通信に寄与しない電流であり、消費電流の3/4を無効に消費していることとなる。

[0021] <2. NMOS Push Pull回路>

図2は、NMOS Push Pullを用いたドライバ回路（以下、NMOS Push Pull回路という。）の構成例を示す図である。

[0022] 図2のNMOS Push Pull回路31は、出力Hi側に配置された対の電圧駆動回路32と、出力Low側に配置された対の電圧駆動回路33とからなる差動回路で構成される。電圧駆動回路32および33それぞれは、NMOSトランジスタ41と抵抗42とで合わせて50Ωとなるよう構成されている。

[0023] このNMOS Push Pull回路31を用いて、図1と同様に、受信側の終端回路13が差動100Ωで終端された差動伝送路12に0.2Vの振幅の信号を送信する場合、貫通電流は流れない。しかしながら、Hiレベルが電圧駆動回路32のNMOSトランジスタ41の $V_{gs}-V_{th}$ で制限されるため、振幅を拡大するのが難しく、長距離伝送には不向きとされる。

[0024] <3. ドライバ回路の第1実施の形態>

図3は、本技術を適用したドライバ回路の第1実施の形態の構成例を示している。

[0025] 図3のドライバ回路51は、対となる電流駆動回路61A及び61B、終端抵抗回路62A及び62B、並びに、電圧駆動回路63A及び63Bからなる差動回路で構成されている。

[0026] 電流駆動回路61AはPMOSトランジスタMP1で構成され、電流駆動回路61BはPMOSトランジスタMP2で構成され、電流駆動回路61Aおよび61Bは、所定の電流を出力する。PMOSトランジスタMP1及びMP2は、いずれも飽和領域で動作する。電流駆動回路61A及び61Bを構成するトランジスタをPMOSトランジスタで構成することで、出力信号のHiレベルを電源電圧に近いレベルまで上げることができる。

[0027] 終端抵抗回路62Aは、直列に接続された抵抗R1とNMOSトランジスタMN1とで構成され、スイッチとしてのNMOSトランジスタMN1がオンされたとき、送信

側の終端抵抗として機能する。終端抵抗回路 6 2 Bは、直列に接続された抵抗 R2とNMOSトランジスタMN2とで構成され、スイッチとしてのNMOSトランジスタMN2がオンされたとき、送信側の終端抵抗として機能する。

[0028] NMOSトランジスタMN1及びNM2は、いずれも線形領域で動作する。NMOSトランジスタMN1およびMN2は終端電位VTに接続されており、この終端電位VTは、出力信号のHiレベルの電位と等しい。電源電圧VDDと終端電位VTはAC的に短絡とみなすことができるので、電流駆動回路 6 1 Aと終端抵抗回路 6 2 Aは並列に接続されている。同様に、電流駆動回路 6 1 Bと終端抵抗回路 6 2 Bも並列に接続されている。

[0029] 電圧駆動回路 6 3 Aは、NMOSトランジスタMN3と抵抗R3で構成され、電圧駆動回路 6 3 Bは、NMOSトランジスタMN4と抵抗R4で構成され、NMOSトランジスタMN3及びNM4は、いずれも線形領域で動作する。

[0030] 従って、出力Low側の電圧駆動回路 6 3 A及び 6 3 Bは、図 2 のNMOS Push Pull回路 3 1 の電圧駆動回路 3 3 と同様の構成であり、ドライバ回路 5 1 は、出力Hi側の回路に対して、本技術を適用した構成とされている。

[0031] PMOSトランジスタMP2、NMOSトランジスタMN1、および、NMOSトランジスタMN4の各ゲートには制御信号VINが供給される。一方、PMOSトランジスタMP1、NMOSトランジスタMN2、および、NMOSトランジスタMN3の各ゲートには制御信号VINBが供給される。制御信号VINと制御信号VINBは差動信号となっている。

[0032] 従って、電流駆動回路 6 1 Aが所定の電流を出力しているときには、NMOSトランジスタMN1がオンするので伝送路 1 2 Aに終端抵抗回路 6 2 Aが接続され、終端抵抗回路 6 2 Aが送信側の終端抵抗として機能する。終端抵抗回路 6 2 Aの終端抵抗は、伝送路 1 2 Aの特性インピーダンスと等しい。電流駆動回路 6 1 Aが所定の電流を出力していないときには、終端抵抗回路 6 2 Aは伝送路 1 2 Aから切り離される。同様に、電流駆動回路 6 1 Bが所定の電流を出力しているときには、NMOSトランジスタMN2がオンするので伝送路 1 2 Bに終端抵抗回路 6 2 Bが接続され、終端抵抗回路 6 2 Bが送信側の終端抵抗として機能する。終端抵抗回路 6 2 Bの終端抵抗は、伝送路 1 2 Bの特性インピーダンスと

等しい。電流駆動回路 6 1 Bが所定の電流を出力していないときには、終端抵抗回路 6 2 Bは伝送路 1 2 Bから切り離される。

[0033] 図 4 は、図 3 のドライバ回路 5 1 から差動伝送路 1 2 に出力される差動信号 VOUT 及び VOUTB の波形を示している。

[0034] 終端電位 VT は、差動信号 VOUT 及び VOUTB の Hi レベルの電位 VH と等しい電位に設定される。

[0035] 再び図 3 を参照して、ドライバ回路 5 1 の動作について説明する。

[0036] 制御信号 VIN が Low、制御信号 VINB が Hi に設定された場合、電流駆動回路 6 1 B の PMOS トランジスタ MP2、終端抵抗回路 6 2 B の NMOS トランジスタ MN2、および、電圧駆動回路 6 3 A の NMOS トランジスタ MN3 がオンするので、駆動電流 I_t が、図 3 に示されるように流れる。

[0037] ここで、差動伝送路 1 2 のシングルエンドの特性インピーダンスを Z_c とし、送受信側の終端抵抗をこれとマッチングさせた場合、受信側の終端回路 1 3 の抵抗は $2 \times Z_c$ 、抵抗 R2 と NMOS トランジスタ MN2 で構成された終端抵抗回路 6 2 B の抵抗は Z_c となるため、差動伝送路 1 2 の出力レベル VOUTB は、 $VOUTB = I_t \times 3 \times Z_c$ となる。仮に、 $I_t = 2\text{mA}$ 、 $Z_c = 50\Omega$ とすると、 $VOUTB = 0.3\text{V}$ である。このとき、終端電位 VT も、電流出力時の出力電位 VOUTB と同じ 0.3V とされているので、電流駆動回路 6 1 B の PMOS トランジスタ MP2 を流れた電流は、終端抵抗回路 6 2 B には流れない。即ち、オープンドレインのように、駆動電流の全てを差動伝送路 1 2 に流すことができる。

[0038] 以上のように、図 3 のドライバ回路 5 1 によれば、終端抵抗回路 6 2 B によって、駆動電流の全てを差動伝送路 1 2 に流すことができるとともに、差動伝送路 1 2 における反射などに起因するノイズを抑えるための送信側終端機能を持たせることができる。

[0039] 制御信号 VIN が Hi、制御信号 VINB が Low に設定された場合についての終端抵抗回路 6 2 A についても同様である。

[0040] 図 1 の CML 回路 1 1 では、終端抵抗 2 3 が電源またはグランドに接続されているため、終端抵抗 2 3 に大きな電流が流れるが、本技術を適用したドライ

バ回路 5 1 では、終端抵抗である終端抵抗回路 6 2 A および 6 2 B には電流を流すことなく、全ての駆動電流を差動伝送路 1 2 に流し込むことができる。

[0041] また、電流駆動回路 6 1 A 及び 6 1 B は PMOS トランジスタ MP1 及び MP2 で構成されるので、Hi レベルを電源電圧に近いレベルまで上げることができる。

[0042] < 4. ドライバ回路の第 2 実施の形態 >

図 5 は、本技術を適用したドライバ回路の第 2 実施の形態の構成例を示している。

[0043] 図 5 において、図 3 に示した第 1 実施の形態と対応する部分については同一の符号を付してあり、その説明は適宜省略する。

[0044] 図 5 に示される第 2 実施の形態のドライバ回路 7 1 は、おおまかには、第 1 実施の形態の出力 Hi 側に採用した構成を、出力 Low 側にも適用した回路となっている。

[0045] ドライバ回路 7 1 の出力 Hi 側については、電流駆動回路 6 1 A 及び 6 1 B と電源電圧 VDD との間に、電流源としての PMOS トランジスタ MP3 が追加されている。また、終端抵抗回路 6 2 A には、スイッチとして NMOS トランジスタ MN 1 だけでなく、PMOS トランジスタ MP4 が追加されている。終端抵抗回路 6 2 B においても同様に、スイッチとして NMOS トランジスタ MN2 だけでなく、PMOS トランジスタ MP5 が追加されている。NMOS トランジスタ MN 1 および PMOS トランジスタ MP4 と、NMOS トランジスタ MN2 および PMOS トランジスタ MP5 との接続点は終端電位 VH に接続されており、この終端電位 VH は、出力信号の Hi レベルの電位と等しい。PMOS トランジスタ MP4 のゲートには制御信号 VINB が供給され、PMOS トランジスタ MP5 のゲートには制御信号 VIN が供給される。

[0046] ドライバ回路 7 1 の出力 Low 側も、出力 Hi 側と同様に、電流源としての NMOS トランジスタ MN5、対となる電流駆動回路 8 1 A 及び 8 1 B、並びに、終端抵抗回路 8 2 A 及び 8 2 B で構成されている。

[0047] 電流駆動回路 8 1 A は NMOS トランジスタ MN6 で構成され、電流駆動回路 6 1 B は NMOS トランジスタ MN7 で構成される。NMOS トランジスタ MN6 及び MN7 は、いずれも飽和領域で動作する。電流駆動回路 8 1 A 及び 8 1 B を構成するトランジ

スタをNMOSトランジスタで構成することで、出力信号のLowレベルをグランドに近いレベルまで下げることができる。

[0048] 終端抵抗回路82Aは、抵抗R5と、スイッチとしてのNMOSトランジスタMN8及びPMOSトランジスタMP6とで構成され、終端抵抗回路82Bは、抵抗R6と、スイッチとしてのNMOSトランジスタMN9及びPMOSトランジスタMP7とで構成される。NMOSトランジスタMN8及びMN9並びにPMOSトランジスタMP6及びMP7は、いずれも線形領域で動作する。

[0049] NMOSトランジスタMN7、PMOSトランジスタMP6、および、NMOSトランジスタMN9の各ゲートには制御信号VINが供給される。NMOSトランジスタMN6、PMOSトランジスタMP7、および、NMOSトランジスタMN8の各ゲートには制御信号VINBが供給される。

[0050] 終端抵抗回路82Aは、NMOSトランジスタMN8またはPMOSトランジスタMP6がオン状態のとき、抵抗R5と合わせて送信側の終端抵抗を構成する。同様に、終端抵抗回路82Bは、NMOSトランジスタMN9またはPMOSトランジスタMP7がオン状態のとき、抵抗R6と合わせて送信側の終端抵抗を構成する。NMOSトランジスタMN8およびPMOSトランジスタMP6と、NMOSトランジスタMN9およびPMOSトランジスタMP7との接続点は終端電位VLに接続されており、この終端電位VLは、出力信号のLowレベルの電位と等しい。

[0051] 以上の構成を有するドライバ回路71においても、第1実施の形態のドライバ回路51と同様に、駆動電流の全てを差動伝送路12に流すことができるとともに、差動伝送路12における反射などに起因するノイズを抑えるための送信側終端機能を持たせることができる。

[0052] <5. ドライバ回路の第3実施の形態>

図6は、本技術を適用したドライバ回路の第3実施の形態の構成例を示している。

[0053] 図6のドライバ回路101は、本技術の信号レベル終端抵抗機能を備える電流駆動と、電圧駆動とを組み合わせ、伝送路損失を補償するエンファシス機能を持たせた回路である。

[0054] 図7は、図6のドライバ回路101の動作を示すタイミングチャートである。

[0055] ドライバ回路101は、信号遷移がなく、Hiの場合には振幅VH1の信号を出力し、Lowの場合には振幅VL1の信号を出力する。一方、信号遷移がある場合、即ち、信号レベルが前の状態から変化して、Hiを送信する場合、ドライバ回路101は、振幅VH1よりも大きい振幅VH2（エンファシスHi）の信号を出力し、信号レベルが前の状態から変化して、Lowを送信する場合、振幅VL1よりも小さい振幅VL2（エンファシスLow）の信号を出力する。

[0056] 図7は、ドライバ回路101が伝送路12Aを介して送信する送信データとして“0,0,1,1,0,0,1,0,1”を送信する場合の、ドライバ回路101の各トランジスタに供給される制御信号と出力レベルVOUTを示している。

[0057] 図6に戻り、ドライバ回路101は、出力Hi側の電流駆動回路111、出力Low側の電流駆動回路112、及び、電流駆動時の終端回路と電圧駆動回路を兼用する電圧駆動兼終端回路113で構成される。

[0058] 出力Hi側の電流駆動回路111は、差動対を構成するPMOSトランジスタMPN1及びMPP1を有し、電源電圧VDDに接続されている。PMOSトランジスタMPN1のゲートには制御信号PENが供給され、PMOSトランジスタMPP1のゲートには制御信号PEPが供給される。

[0059] 出力Low側の電流駆動回路112は、差動対を構成するNMOSトランジスタMNN1及びMNP1を有し、グラウンドに接続されている。NMOSトランジスタMNN1のゲートには制御信号NENが供給され、NMOSトランジスタMNP1のゲートには制御信号NEPが供給される。

[0060] 電圧駆動兼終端回路113は、伝送路12A側の終端抵抗となるPMOSトランジスタMPP2、NMOSトランジスタMNP2、および、抵抗RP1と、伝送路12B側の終端抵抗となるPMOSトランジスタMPN2、NMOSトランジスタMNN2、および、抵抗RN1とで構成される。PMOSトランジスタMPP2とNMOSトランジスタMNP2は差動対を構成し、PMOSトランジスタMPN2とNMOSトランジスタMNN2は差動対を構成する。

[0061] PMOSトランジスタMPP2およびNMOSトランジスタMNP2のゲートには制御信号Aが供給され、PMOSトランジスタMPN2とNMOSトランジスタMNN2のゲートには制御信号Aが供給される。

[0062] PMOSトランジスタMPP2およびMPN2のソースには、終端レベル生成回路121の電圧レギュレータ122によって生成された電位VH2が供給される。NMOSトランジスタMNP2およびMNN2のソースには、終端レベル生成回路121の電圧レギュレータ123によって生成された電位VL2が供給される。

[0063] 電圧駆動兼終端回路113は、信号遷移がない定常状態においては、電圧駆動回路として動作し、振幅VH1及びVL1 ($VL1 < VH1$) の出力信号を生成して、差動伝送路12に出力する。

[0064] また、信号遷移時には、電流駆動回路111及び112が、振幅VH1及びVL1よりも大きい振幅VH1及びVL1 ($VH1 < VH2$, $VL2 < VL1$) の出力信号を生成して、差動伝送路12に出力する。このとき、電圧駆動兼終端回路113は、オンしたままとし、終端回路として機能する。PMOSトランジスタMPN2はPMOSトランジスタMPN1の、PMOSトランジスタMPP2はPMOSトランジスタMPP1の、NMOSトランジスタMNN2はNMOSトランジスタMNN1の、NMOSトランジスタMNP1はNMOSトランジスタMNP2の、それぞれ、終端抵抗回路のスイッチの役割を持つ。

[0065] <6. ドライバ回路の第4実施の形態>

図8は、本技術を適用したドライバ回路の第4実施の形態の構成例を示している。

[0066] 第4実施の形態は、本技術をシングルエンド出力のドライバ回路に適用した例を示している。

[0067] 図8のドライバ回路131は、電流ソース回路であるPMOSトランジスタMP11と、直列に接続されたPMOSトランジスタMP12および抵抗RVHとを有する。スイッチとしてのPMOSトランジスタMP12がオンされたとき、直列に接続されたPMOSトランジスタMP12および抵抗RVHは、送信側の終端抵抗として機能する。PMOSトランジスタMP11およびMP12のゲートには、制御信号VIPが供給され、PMOSトランジスタMP11のソースは電源電圧VDDに、PMOSトランジスタMP12のソー

スは終端電位 V_H に、それぞれ、接続されている。直列に接続されたPMOSトランジスタMP12および抵抗RVHは、PMOSトランジスタMP11と並列に接続されている。

[0068] また、ドライバ回路131は、電流シンク回路であるNMOSトランジスタMN11と、直列に接続されたNMOSトランジスタMN12および抵抗RVHLとを有する。スイッチとしてのNMOSトランジスタMN12がオンされたとき、直列に接続されたNMOSトランジスタMN12および抵抗RVHLは、送信側の終端抵抗として機能する。NMOSトランジスタMN11およびMN12のゲートには、制御信号VINが供給され、NMOSトランジスタMN11のソースはグランドに、NMOSトランジスタMN12のソースは終端電位 V_L に、それぞれ、接続されている。直列に接続されたNMOSトランジスタMN12と抵抗RVHLは、NMOSトランジスタMN11と並列に接続されている。

[0069] 以上のように構成されるドライバ回路131の出力は、1本の伝送路12Aを介して受信側終端回路13と接続されている。このドライバ回路131を差動伝送路12である2本の伝送路12Aと12Bに合わせて2つ設け、2つのドライバ回路131が差動で動作するようにしたものが、図5のドライバ回路71に相当する。

[0070] <7. ドライバ回路の第5実施の形態>

図9は、本技術を適用したドライバ回路の第5実施の形態の構成例を示している。

[0071] 図9のドライバ回路141は、図8と同様のシングルエンド出力のドライバ回路であり、図8のドライバ回路131と同一構成のシングルエンド回路151を n 個用意し、その n 個のシングルエンド回路151₁乃至151 _{n} を並列に接続した構成を有する。

[0072] 制御部152は、 n 個のシングルエンド回路151₁乃至151 _{n} のどれを使用するかを決定し、シングルエンド回路151₁乃至151 _{n} に供給する制御信号VIP₁乃至VIP _{n} と、制御信号VIN₁乃至VIN _{n} を制御する。 n 個のシングルエンド回路151₁乃至151 _{n} の終端電位VL₁乃至VL _{n} および終端電位VH₁乃至VH _{n} を、例えば、VL₁<VL₂<VL₃<...<VL _{n} 、VH₁<VH₂<VH₃<...<VH _{n} のように異な

る電位に設定し、シングルエンド回路 151₁乃至151_nの1つを適宜選択することで、エンファシス機能を実現することができる。

[0073] <8. ドライバ回路の第6実施の形態>

図10は、本技術を適用したドライバ回路の第6実施の形態の構成例を示している。

[0074] 第6実施の形態は、本技術を3線コンプリメンタリ出力のドライバ回路に適用した例を示している。ここで、3線コンプリメンタリ出力とは、3線の出力信号の和が一定（例えば、ゼロ）となる出力をいう。

[0075] 図10のドライバ回路171は、3個のシングルエンド回路161a乃至161cと、それらを制御する制御部162とで構成される。

[0076] シングルエンド回路161aは、図8のドライバ回路131と同様の、電流ソース回路であるPMOSトランジスタMP11と、直列に接続されたPMOSトランジスタMP12および抵抗RVHとを有する。PMOSトランジスタMP11およびMP12のゲートには、制御信号VINHaが供給され、PMOSトランジスタMP11のソースは電源電圧VDDに、PMOSトランジスタMP12のソースは終端電位VHに、それぞれ、接続されている。

[0077] また、シングルエンド回路161aは、図8のドライバ回路131と同様の、電流シンク回路であるNMOSトランジスタMN11と、直列に接続されたNMOSトランジスタMN12および抵抗RVHLとを有する。NMOSトランジスタMN11およびMN12のゲートには、制御信号VINLaが供給され、NMOSトランジスタMN11のソースはグラウンドに、NMOSトランジスタMN12のソースは終端電位VLに、それぞれ、接続されている。

[0078] さらに、シングルエンド回路161aは、スイッチとしてのPMOSトランジスタMP13およびNMOSトランジスタMN13と、それらと直列に接続された抵抗RVHMとを有する。NMOSトランジスタMN13のゲートには、制御信号VINMaが供給され、PMOSトランジスタMP13のゲートには、インバータIVTによって反転された制御信号VINMaの反転信号が供給される。抵抗RVHMのPMOSトランジスタMP13およびNMOSトランジスタMN13と接続された一端と異なる他端は、PMOSトランジス

タMP11およびNMOSトランジスタMN11の各ドレインと接続されている。

- [0079] シングルエンド回路161aは、制御部162の制御にしたがい、終端電位 V_H （第1レベル）、 V_M （第2レベル）、または V_L （第3レベル）（ $V_L < V_M < V_H$ ）のいずれかと等しい出力電位 V_{OUT} の信号を伝送路12Aに出力する。
- [0080] シングルエンド回路161bは、シングルエンド回路161aにおける制御信号 V_{INH_a} 、 V_{INM_a} および V_{INL_a} が、それぞれ、制御信号 V_{INH_b} 、 V_{INM_b} および V_{INL_b} に置き換えられる点を除いて、シングルエンド回路161aと同様に構成されている。シングルエンド回路161bは、制御部162の制御にしたがい、終端電位 V_H 、 V_M または V_L のいずれかと等しい出力電位 V_{OUT} の信号を伝送路12Bに出力する。
- [0081] シングルエンド回路161cは、シングルエンド回路161aにおける制御信号 V_{INH_a} 、 V_{INM_a} および V_{INL_a} が、それぞれ、制御信号 V_{INH_c} 、 V_{INM_c} および V_{INL_c} に置き換えられる点を除いて、シングルエンド回路161aと同様に構成されている。シングルエンド回路161cは、制御部162の制御にしたがい、終端電位 V_H 、 V_M または V_L のいずれかと等しい出力電位 V_{OUT} の信号を伝送路12Cに出力する。
- [0082] シングルエンド回路161a乃至161cはコンプリメンタリ回路を構成し、制御部162は、シングルエンド回路161aの出力信号、シングルエンド回路161bの出力信号、シングルエンド回路161cの出力信号それぞれが他の出力信号と同電位とならないように（排他的であり）、かつ、それらの和が一定（例えば、ゼロ）となるように、制御信号 V_{INH_a} 乃至 V_{INH_c} 、 V_{INM_a} 乃至 V_{INM_c} 、および V_{INL_a} 乃至 V_{INL_c} の信号レベルを制御する。
- [0083] 以上のように構成される、3線コンプリメンタリ出力のドライバ回路171は、例えば、モバイル機器のカメラやディスプレイとのインターフェイス規格であるMIPI (Mobile industry processor Interface) C-PHYに準拠した伝送に適用することができる。
- [0084] 図11は、MIPI C-PHYの概要を説明する図である。
- [0085] MIPI C-PHYでは、ドライバ191とレシーバ192とが3線で接続される

。ドライバ191は、3線に対して、H、M、またはL ($L < M < H$) の電位の信号を排他的に出力する。レシーバ192は、3線で受信されたH、M、またはLの電位の信号から、A-B, B-C, C-Aの差動信号を生成し、生成された差動信号に基づいて送信されたデータを認識する。差動信号の電圧は、「強い1 (Strong1)」、「弱い1 (Weak1)」、「弱い0 (Weak0)」、「強い0 (Strong0)」の4つのレベルのいずれかを取る。

[0086] このように規定されるMIPI C-PHYの伝送に対して、低消費電力で大振幅の信号出力が可能な図10のドライバ回路171を用いることで、MIPI C-PHYに準拠した伝送を中長距離伝送にも適用することができる。

[0087] なお、図10及び図11は、3線コンプリメンタリ出力の例について示したが、本技術は、4線以上の各出力信号の和が一定（例えば、ゼロ）となる4線以上のコンプリメンタリ出力にも勿論適用可能である。

[0088] <9. 送受信全体図>

図12は、上述したドライバ回路51を含む送受信全体の回路図を示している。

[0089] 送受信システム200は、差動信号を送信する送信装置201と、送信装置201から送信された差動信号を差動伝送路12（伝送路12A及び12B）を介して受信する受信装置（レシーバ）202とを含む。

[0090] 送信装置201は、ドライバ回路51、終端レベル生成回路211、および、レベルシフト回路212を備える。

[0091] 終端レベル生成回路211は、ドライバ回路51の終端抵抗回路62A及び62Bに終端電位 V_T を供給する。

[0092] レベルシフト回路212は、終端抵抗回路62A及び62BのNMOSトランジスタMN1及びMN2のゲートに、ドライバ回路51内の電源電圧 V_{DD} よりも高い電源電圧 V_{DDH} ($V_{DD} < V_{DDH}$) を供給する。出力信号のレベルが高くなると、終端抵抗回路62A及び62BのスイッチであるNMOSトランジスタMN1及びMN2がオンしづらくなるため、レベルシフト回路212によって、電源電圧 V_{DD} よりも高い電源電圧 V_{DDH} でNMOSトランジスタMN1及びMN2をオンオフさせる。

[0093] 送信装置201は、1つのチップまたはモジュールで構成することができる。あるいはまた、終端レベル生成回路211を除くドライバ回路51とレベルシフト回路212を1つのチップまたはモジュールで構成してもよい。

[0094] 図12は、本技術を適用したドライバ回路の一例としてドライバ回路51を採用した送信装置201について示したが、ドライバ回路51の他、上述したドライバ回路71、101、131、141、および、171についても同様に構成することができる。

[0095] <10. 効果>

図13を参照して、本技術による消費電流削減効果を説明する。

[0096] 図13は、シングルエンド信号の振幅に対する消費電流を、図1のCML回路11と図3のドライバ回路51とで比較したグラフである。

[0097] 図13から明らかなように、本技術を用いたドライバ回路51によれば、CML回路11と比較して消費電流効果が高く、振幅が大きいときほど、その効果がより顕著となる。

[0098] <11. まとめ>

以上説明したように、本技術を適用した第1実施の形態乃至第6実施の形態のドライバ回路によれば、電流ソース側の駆動回路としてPMOSトランジスタを用いることにより、信号振幅を電源電圧レベルまで上げることができる。また、終端抵抗回路の終端電位を出力電位に合わせることで、オープンドレインのように駆動電流の全てを伝送路に流すことができる。また、終端抵抗回路により、伝送路とのインピーダンスマッチも確保できる。従って、長距離伝送に必要な大振幅の信号出力を低消費電力で実現することができる。

[0099] また、第1実施の形態乃至第6実施の形態のドライバ回路はCMOS回路で実現することができるため、低電源電圧での動作に適している。

[0100] 本技術の実施の形態は、上述した実施の形態に限定されるものではなく、本技術の要旨を逸脱しない範囲において種々の変更が可能である。

[0101] 例えば、上述した複数の実施の形態の全てまたは一部を組み合わせた形態を採用することができる。

[0102] なお、本明細書に記載された効果はあくまで例示であって限定されるものではなく、本明細書に記載されたもの以外の効果があってもよい。

[0103] 本明細書において、システムとは、複数の構成要素（装置、モジュール（部品）等）の集合を意味し、すべての構成要素が同一筐体中にあるか否かは問わない。したがって、別個の筐体に収納され、ネットワークを介して接続されている複数の装置、及び、1つの筐体の中に複数のモジュールが収納されている1つの装置は、いずれも、システムである。

[0104] なお、本技術は以下のような構成も取ることができる。

(1)

所定の電流を出力する電流駆動回路と、
前記電流駆動回路と並列に接続された終端抵抗回路と
を備え、

前記終端抵抗回路は、前記電流駆動回路が電流を出力しているときには終端抵抗を伝送路に接続し、前記電流駆動回路が電流を出力していないときには前記終端抵抗を前記伝送路から切り離す

ドライバ回路。

(2)

前記終端抵抗回路の終端電位は、前記電流駆動回路が電流を出力しているときの前記伝送路への出力電位と同じである

前記(1)に記載のドライバ回路。

(3)

前記終端抵抗は、前記伝送路の特性インピーダンスと等しい

前記(1)または(2)に記載のドライバ回路。

(4)

前記電流駆動回路と前記終端抵抗回路とからなる回路を複数個備え、
複数個の前記回路は、差動で動作する

前記(1)乃至(3)のいずれかに記載のドライバ回路。

(5)

前記終端抵抗回路は、電圧駆動回路を兼用し、

前記終端抵抗回路は、信号遷移がない定常状態においては前記電圧駆動回路として機能し、信号遷移時には終端抵抗として機能する

前記（１）乃至（４）のいずれかに記載のドライバ回路。

（６）

前記電流駆動回路と前記終端抵抗回路とからなる回路を複数個並列に備える

前記（１）乃至（３）のいずれかに記載のドライバ回路。

（７）

複数個の前記回路それぞれでは、前記終端抵抗回路の終端電位が異なる

前記（６）に記載のドライバ回路。

（８）

前記電流駆動回路と前記終端抵抗回路とからなる回路を３以上備え、

３以上の前記回路の出力信号の和は一定である

前記（１）乃至（３）のいずれかに記載のドライバ回路。

（９）

３個の前記回路を備え、

３個の前記回路それぞれは、前記出力信号として、第１レベル、第２レベル、第３レベル（第１レベル＞第２レベル＞第３レベル）の電位の信号を排他的に出力する

前記（８）に記載のドライバ回路。

（１０）

前記電流駆動回路は、トランジスタで構成され、

前記終端抵抗回路は、トランジスタと抵抗で構成される

前記（１）乃至（９）のいずれかに記載のドライバ回路。

（１１）

所定の電流を出力する電流駆動回路と、前記電流駆動回路と並列に接続された終端抵抗回路とを備えるドライバ回路の

前記終端抵抗回路が、前記電流駆動回路が電流を出力しているときには終端抵抗を伝送路に接続し、前記電流駆動回路が電流を出力していないときには前記終端抵抗を前記伝送路から切り離す

ドライバ回路の制御方法。

(12)

送信装置と受信装置とからなり、

前記送信装置は、

所定の電流を出力する電流駆動回路と、

前記電流駆動回路と並列に接続された終端抵抗回路と

を備え、

前記終端抵抗回路は、前記電流駆動回路が電流を出力しているときには終端抵抗を伝送路に接続し、前記電流駆動回路が電流を出力していないときには前記終端抵抗を前記伝送路から切り離す

送受信システム。

符号の説明

[0105] 51 ドライバ回路, 61A, 61B 電流駆動回路, 62A, 62B 終端抵抗回路, 71 ドライバ回路, 81A, 81B 電流駆動回路, 82A, 82B 終端抵抗回路, 101 ドライバ回路, 111, 112 電流駆動回路, 113 電圧駆動兼終端回路, 121 終端レベル生成回路, 131, 141 ドライバ回路, 151₁乃至151_n, 161a乃至161c シングルエンド回路, 162 制御部, 171 ドライバ回路, 200 送受信システム, 201 送信装置, 202 受信装置

請求の範囲

- [請求項1] 所定の電流を出力する電流駆動回路と、
前記電流駆動回路と並列に接続された終端抵抗回路と
を備え、
前記終端抵抗回路は、前記電流駆動回路が電流を出力しているときには終端抵抗を伝送路に接続し、前記電流駆動回路が電流を出力していないときには前記終端抵抗を前記伝送路から切り離す
ドライバ回路。
- [請求項2] 前記終端抵抗回路の終端電位は、前記電流駆動回路が電流を出力しているときの前記伝送路への出力電位と同じである
請求項1に記載のドライバ回路。
- [請求項3] 前記終端抵抗は、前記伝送路の特性インピーダンスと等しい
請求項1に記載のドライバ回路。
- [請求項4] 前記電流駆動回路と前記終端抵抗回路とからなる回路を複数個備え、
複数個の前記回路は、差動で動作する
請求項1に記載のドライバ回路。
- [請求項5] 前記終端抵抗回路は、電圧駆動回路を兼用し、
前記終端抵抗回路は、信号遷移がない定常状態においては前記電圧駆動回路として機能し、信号遷移時には終端抵抗として機能する
請求項1に記載のドライバ回路。
- [請求項6] 前記電流駆動回路と前記終端抵抗回路とからなる回路を複数個並列に備える
請求項1に記載のドライバ回路。
- [請求項7] 複数個の前記回路それぞれでは、前記終端抵抗回路の終端電位が異なる
請求項6に記載のドライバ回路。
- [請求項8] 前記電流駆動回路と前記終端抵抗回路とからなる回路を3以上備え

、

3 以上の前記回路の出力信号の和は一定である

請求項 1 に記載のドライバ回路。

[請求項9]

3 個の前記回路を備え、

3 個の前記回路それぞれは、前記出力信号として、第 1 レベル、第 2 レベル、第 3 レベル（第 1 レベル > 第 2 レベル > 第 3 レベル）の電位の信号を排他的に出力する

請求項 8 に記載のドライバ回路。

[請求項10]

前記電流駆動回路は、トランジスタで構成され、

前記終端抵抗回路は、トランジスタと抵抗で構成される

請求項 1 に記載のドライバ回路。

[請求項11]

所定の電流を出力する電流駆動回路と、前記電流駆動回路と並列に接続された終端抵抗回路とを備えるドライバ回路の

前記終端抵抗回路が、前記電流駆動回路が電流を出力しているときには終端抵抗を伝送路に接続し、前記電流駆動回路が電流を出力していないときには前記終端抵抗を前記伝送路から切り離す

ドライバ回路の制御方法。

[請求項12]

送信装置と受信装置とからなり、

前記送信装置は、

所定の電流を出力する電流駆動回路と、

前記電流駆動回路と並列に接続された終端抵抗回路と

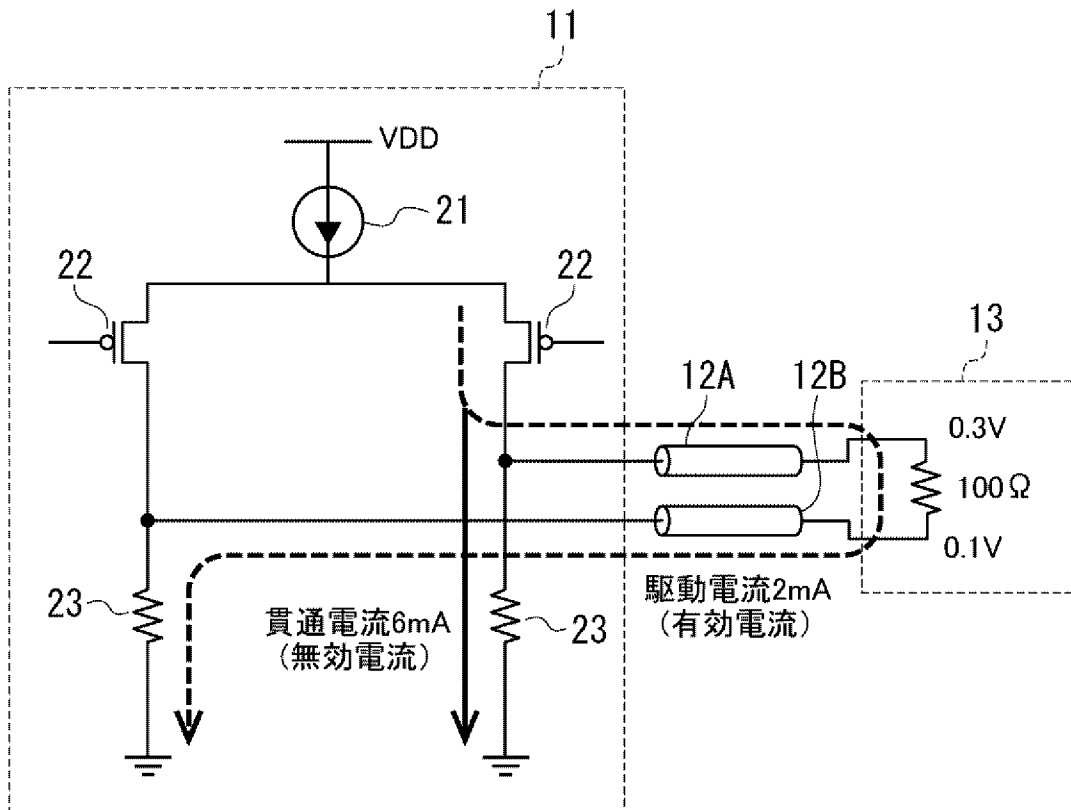
を備え、

前記終端抵抗回路は、前記電流駆動回路が電流を出力しているときには終端抵抗を伝送路に接続し、前記電流駆動回路が電流を出力していないときには前記終端抵抗を前記伝送路から切り離す

送受信システム。

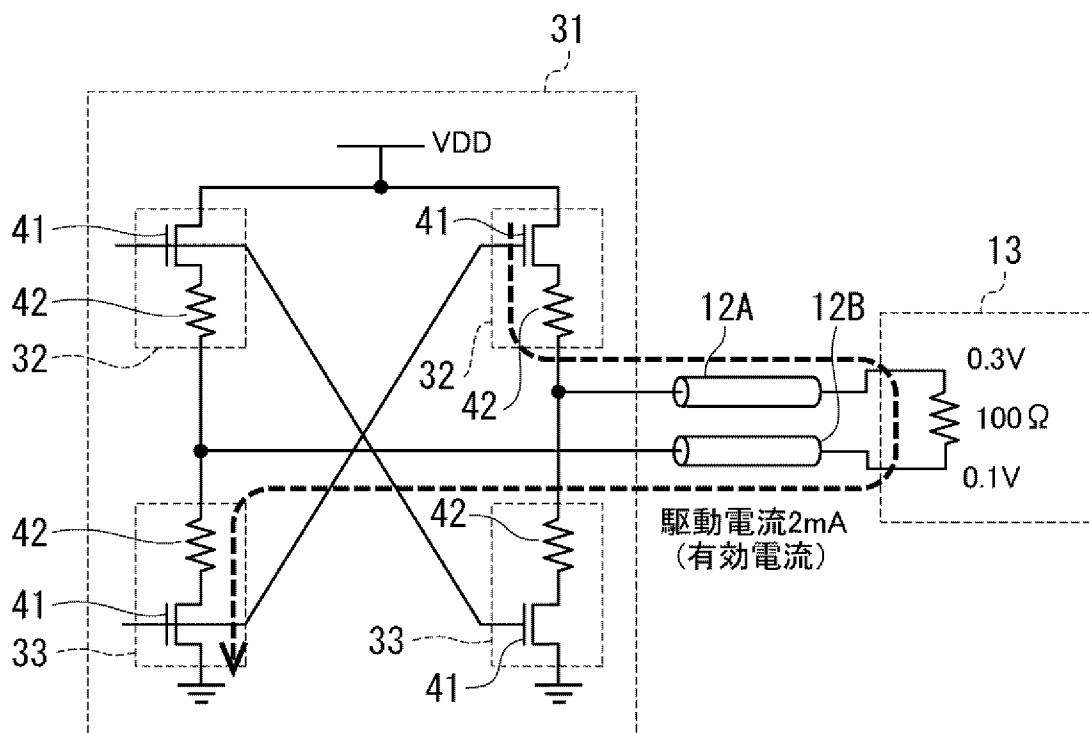
[図1]

Fig. 1



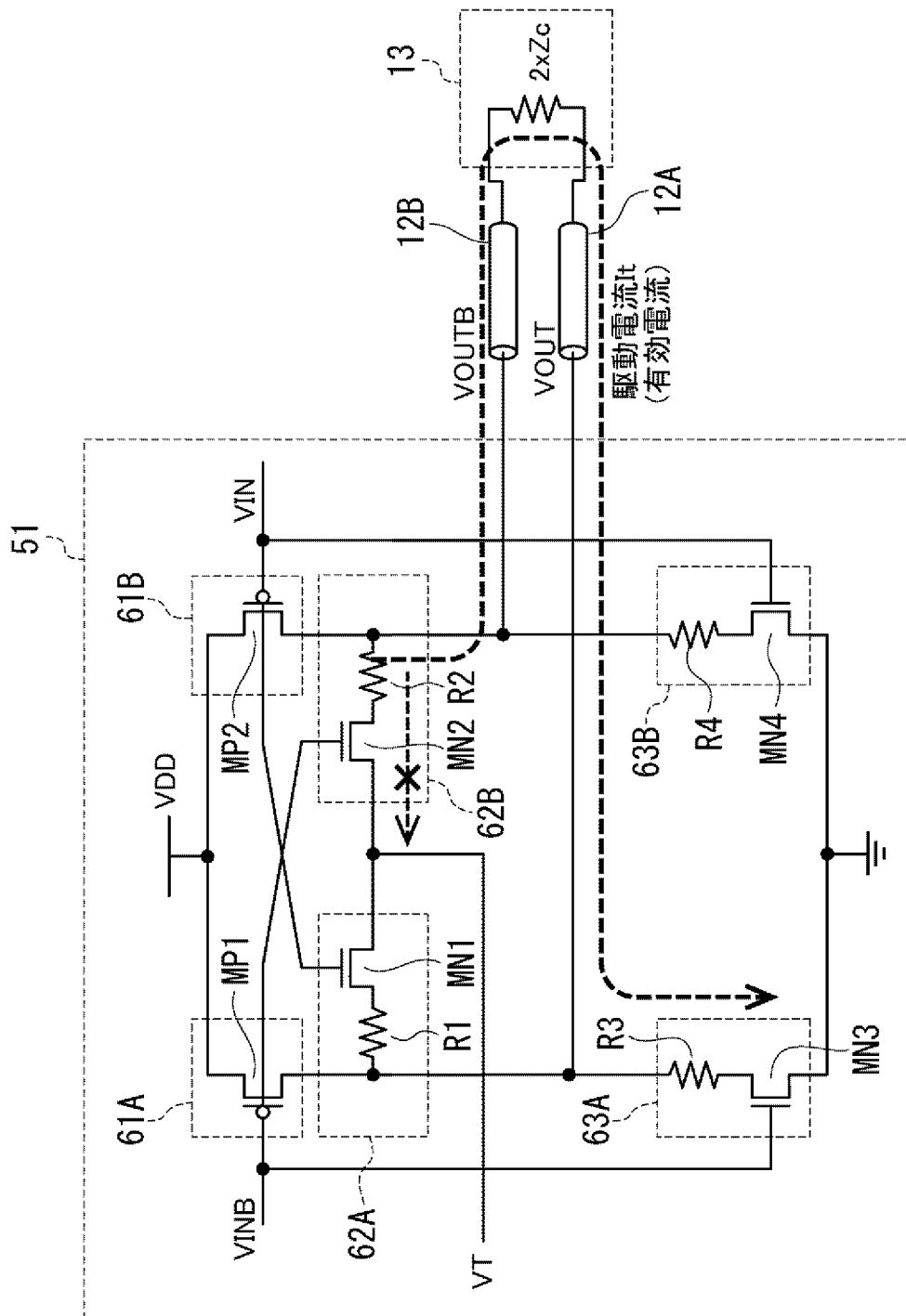
[図2]

Fig. 2



[図3]

Fig. 3



[図4]

Fig. 4

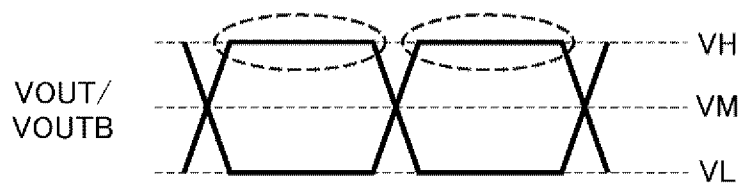
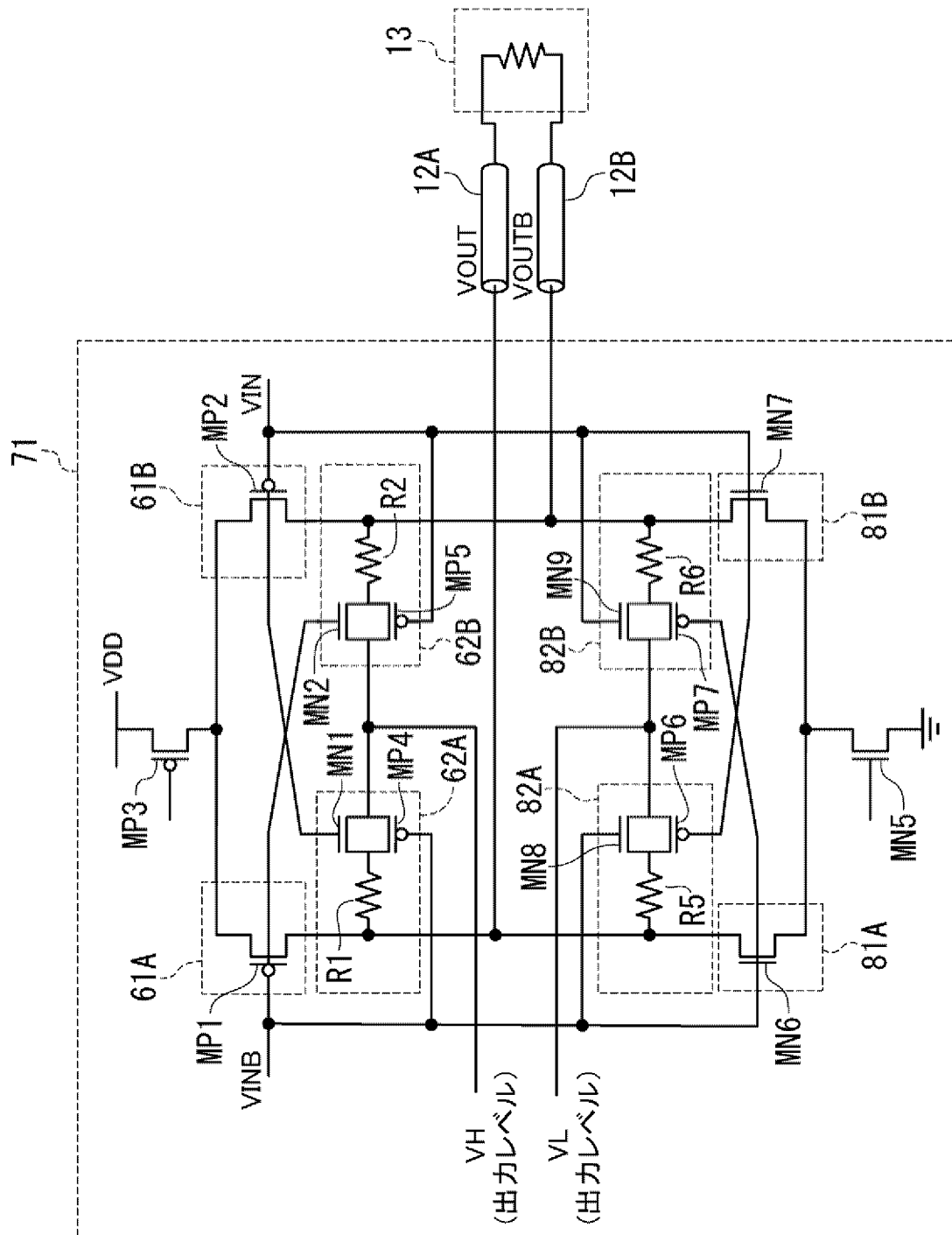
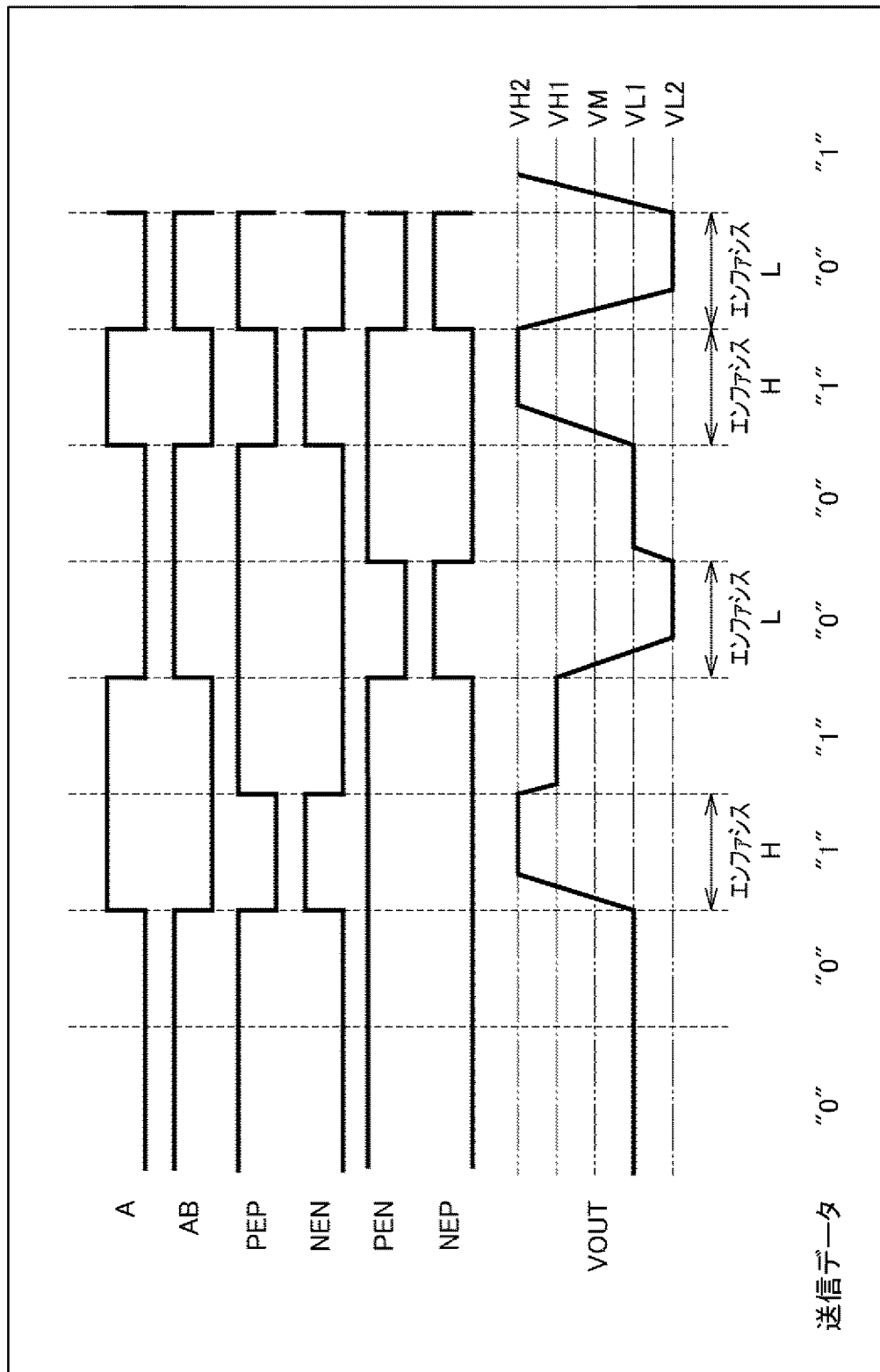


Fig. 5



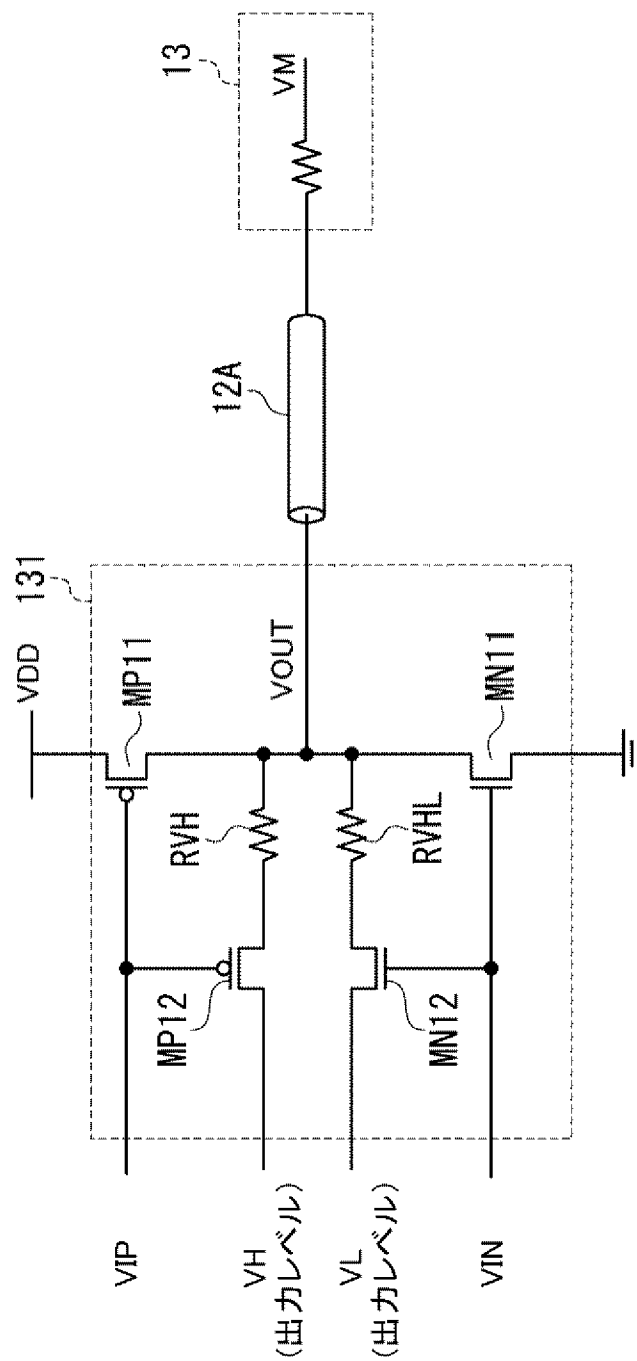
[図7]

Fig. 7



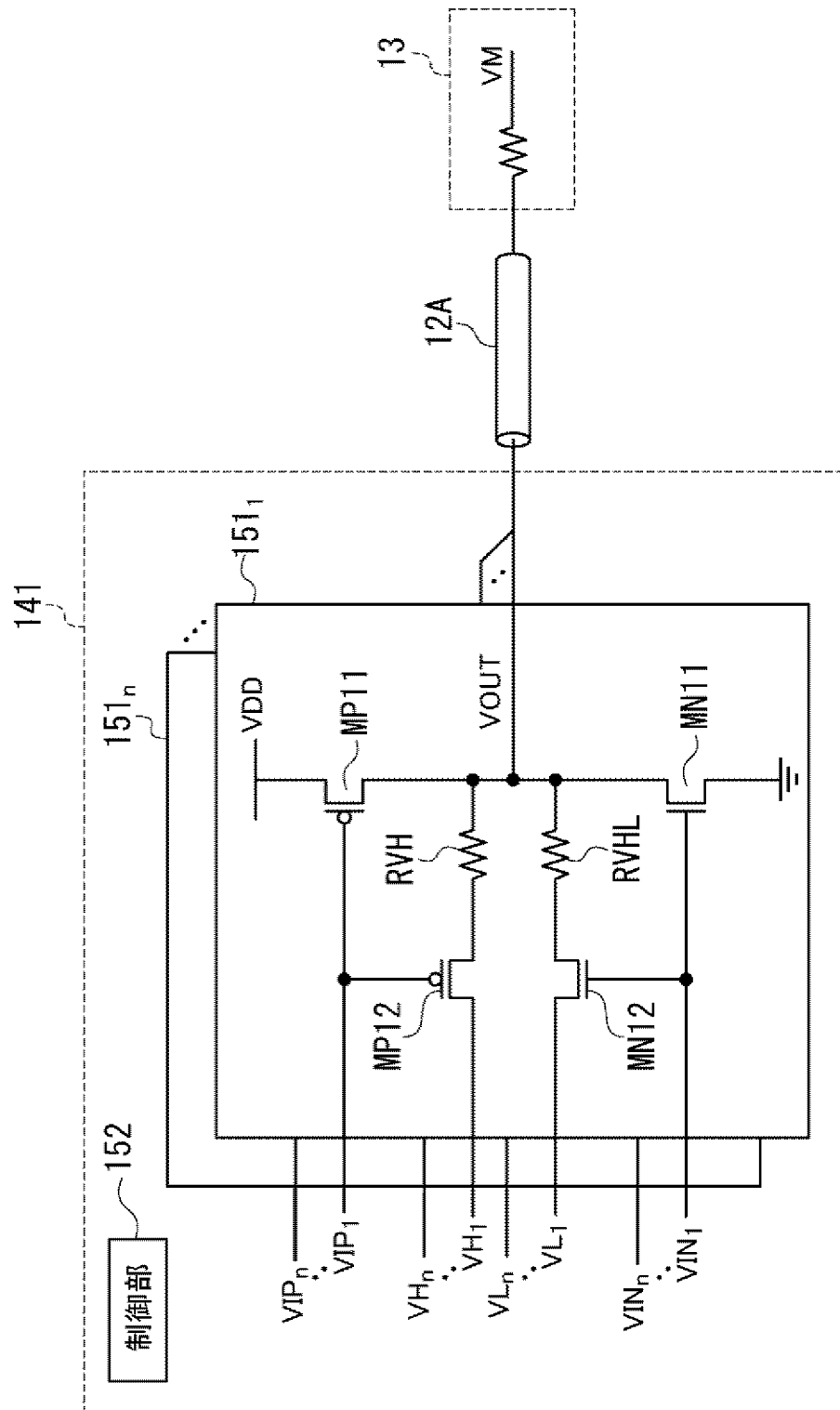
[図8]

Fig. 8



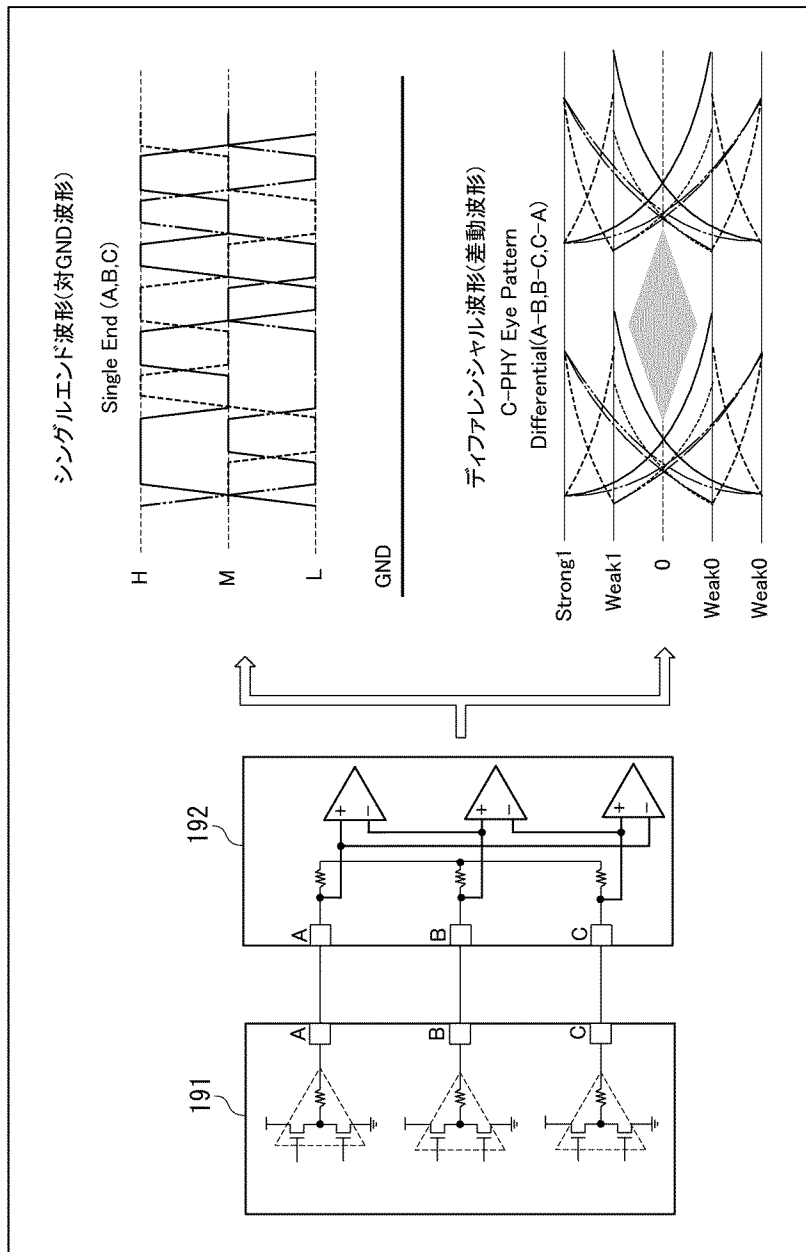
[図9]

Fig. 9



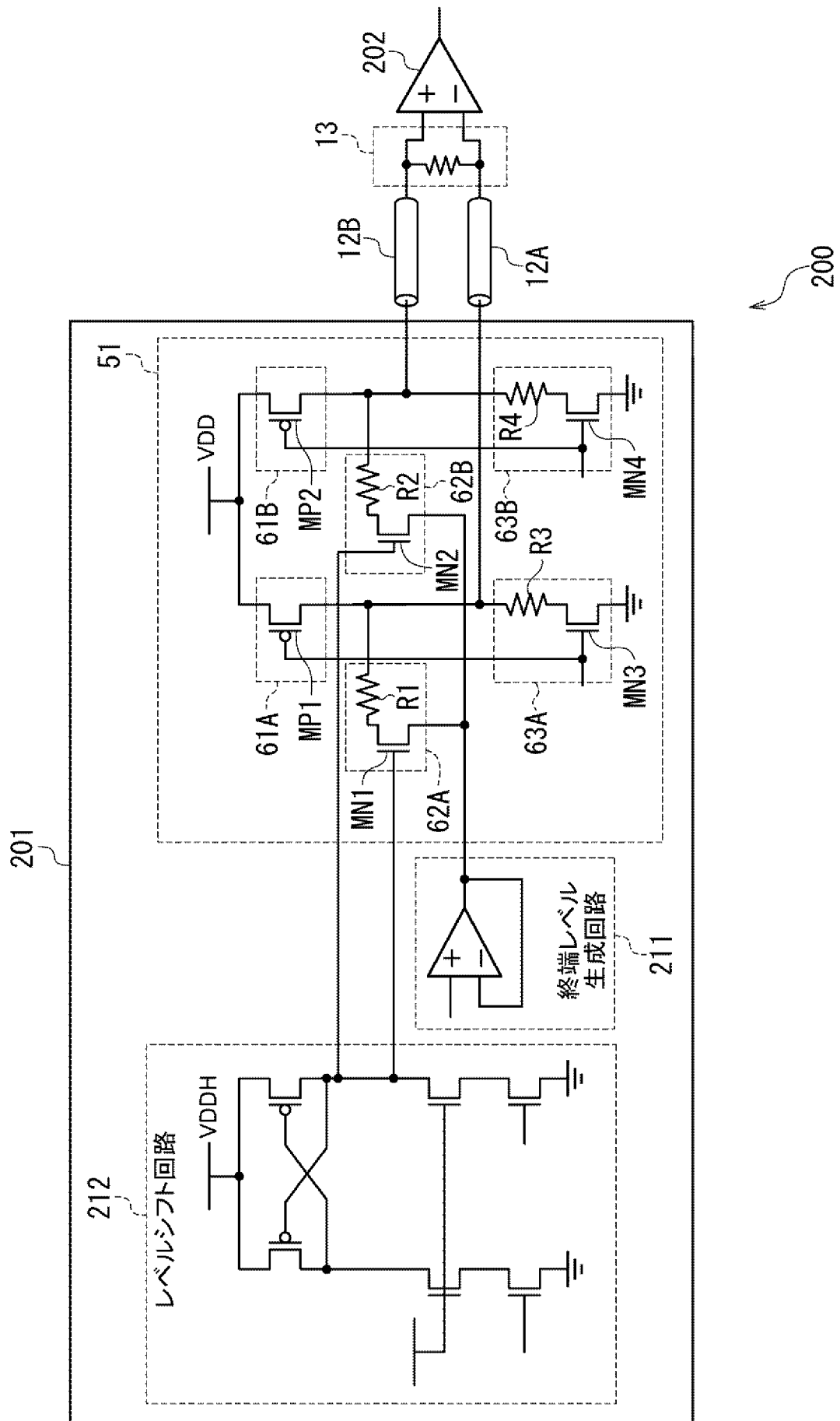
[図11]

Fig. 11



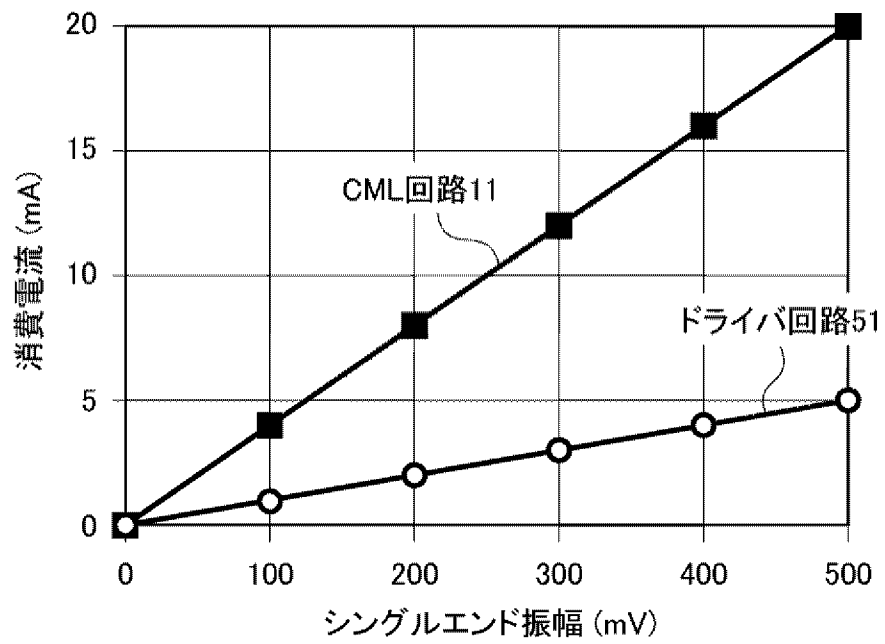
[図12]

Fig. 12



[図13]

Fig. 13



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/035192

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H04L25/02 (2006.01) i, H03K19/0175 (2006.01) i, H03K19/0948 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H04L25/02, H03K19/0175, H03K19/0948

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2017
Registered utility model specifications of Japan	1996-2017
Published registered utility model applications of Japan	1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	US 2005/0258870 A1 (INTERNATIONAL BUSINESS MACHINES CORPORATION) 24 November 2005, paragraphs [0031]-[0043], [0046], [0047], fig. 2-4, 6, 7 & US 7215144 B2	1-5, 10-12 6-9



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
14 December 2017

Date of mailing of the international search report
26 December 2017

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/035192

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 6407609 B1 (AGERE SYSTEMS GUARDIAN CORP.) 18 June 2002 (Family: none)	1-12
A	US 6566891 B1 (AGERE SYSTEMS INC.) 20 May 2003 (Family: none)	1-12

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H04L25/02(2006.01)i, H03K19/0175(2006.01)i, H03K19/0948(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H04L25/02, H03K19/0175, H03K19/0948

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2017年
日本国実用新案登録公報	1996-2017年
日本国登録実用新案公報	1994-2017年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	US 2005/0258870 A1 (INTERNATIONAL BUSINESS MACHINES CORPORATION) 2005.11.24,	1-5, 10-12
A	段落[0031]-[0043], [0046], [0047], 第2-4, 6, 7 図 & US 7215144 B2	6-9

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

14.12.2017

国際調査報告の発送日

26.12.2017

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

阿部 弘

5 K

9382

電話番号 03-3581-1101 内線 3556

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	US 6407609 B1 (AGERE SYSTEMS GUARDIAN CORP.) 2002.06.18, (ファミリーなし)	1-12
A	US 6566891 B1 (AGERE SYSTEMS INC.) 2003.05.20, (ファミリーなし)	1-12