

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号  
特許第7438186号  
(P7438186)

(45)発行日 令和6年2月26日(2024.2.26)

(24)登録日 令和6年2月15日(2024.2.15)

(51)国際特許分類		F I	
G 0 9 G	3/36 (2006.01)	G 0 9 G	3/36
G 0 9 G	3/20 (2006.01)	G 0 9 G	3/20 6 2 1 A
G 0 9 G	3/34 (2006.01)	G 0 9 G	3/20 6 2 2 D
G 0 2 F	1/13 (2006.01)	G 0 9 G	3/20 6 2 2 K
G 0 2 F	1/133(2006.01)	G 0 9 G	3/20 6 2 2 R
請求項の数 6 (全44頁) 最終頁に続く			
(21)出願番号	特願2021-505339(P2021-505339)	(73)特許権者	502161508
(86)(22)出願日	令和1年8月2日(2019.8.2)		シナプティクス インコーポレイテッド
(65)公表番号	特表2021-536031(P2021-536031 A)		アメリカ合衆国, 9 5 1 3 1 カリフォルニア州, サンノゼ, マッケイ ドライブ 1 1 0 9
(43)公表日	令和3年12月23日(2021.12.23)	(74)代理人	100205350
(86)国際出願番号	PCT/US2019/044931		弁理士 狩野 芳正
(87)国際公開番号	WO2020/046538	(74)代理人	100117617
(87)国際公開日	令和2年3月5日(2020.3.5)		弁理士 中尾 圭策
審査請求日	令和4年7月25日(2022.7.25)	(72)発明者	モリン、スティーブン・エル
(31)優先権主張番号	16/118,377		アメリカ合衆国, 9 5 1 3 1 カリフォルニア州, サンノゼ, マッケイ ドライブ 1 2 5 1
(32)優先日	平成30年8月30日(2018.8.30)	審査官	西島 篤宏
(33)優先権主張国・地域又は機関	米国(US)		
		最終頁に続く	

(54)【発明の名称】 ディスプレイの再スキャン

(57)【特許請求の範囲】

【請求項1】

行及び列に配列される複数のピクセル要素を含むピクセルアレーに表示されるべき画像に対応する表示データのフレームであって、前記画像が第1時刻において前記ピクセルアレーに表示されるべきものであるところの表示データのフレームを受信することと、  
前記ピクセルアレーに含まれる各ピクセル要素について、前記各ピクセル要素をそのターゲットピクセル値において安定させるターゲット電圧を受信した前記フレームに基づいて決定することと、

前記第1時刻より前のピクセル調節期間の間に、前記ピクセルアレーの第1の一部の行をスキャンして、決定された前記ターゲット電圧を、前記第1の一部の行の各ピクセル要素に印加することと、  
前記ピクセル調節期間の間に、前記ピクセルアレーの第2の一部の行をスキャンして、前記第2の一部の行のピクセル要素についてのオーバードライブ電圧が前記第2の一部の行のピクセル要素のターゲット電圧と異なっているところのオーバードライブ電圧を、前記第2の一部の行のピクセル要素に印加することと、

前記ピクセル調節期間の間に、前記ピクセルアレーの前記第2の一部の行を再スキャンして、前記第2の一部の行に含まれる各ピクセル要素に決定された前記ターゲット電圧を印加することと、

1以上の光源によって、前記第1時刻に開始する表示期間において前記ピクセルアレーを照らすことと、

を含む、  
方法。

【請求項 2】

前記 1 以上の光源が、前記ピクセル調節期間の間に非活性化される、  
請求項 1 に記載の方法。

【請求項 3】

前記ピクセルアレーの前記第 1 の一部の行のスキャンが、前記ピクセルアレーの前記第 2 の一部の行のスキャンよりも前に行われる、  
請求項 1 に記載の方法。

【請求項 4】

行及び列に配列された複数のピクセル要素を含むピクセルアレーと、  
データドライバであり、  
前記ピクセルアレーに表示されるべき画像に対応する表示データのフレームであって、前記画像が第 1 時刻において前記ピクセルアレーに表示されるべきものであるところの表示データのフレームを受信し、  
前記ピクセルアレーに含まれる各ピクセル要素について、前記各ピクセル要素をそのターゲットピクセル値において安定させるターゲット電圧を受信した前記フレームに基づいて決定し、

前記第 1 時刻より前のピクセル調節期間の間に、前記ピクセルアレーの第 1 の一部の行をスキャンして、決定された前記ターゲット電圧を、前記第 1 の一部の行の各ピクセル要素に印加し、  
前記ピクセル調節期間の間に、前記ピクセルアレーの第 2 の一部の行をスキャンして、前記第 2 の一部の行のピクセル要素についてのオーバードライブ電圧が前記第 2 の一部の行のピクセル要素のターゲット電圧と異なっているところのオーバードライブ電圧を、前記第 2 の一部の行のピクセル要素に印加し、

前記ピクセル調節期間の間に、前記ピクセルアレーの前記第 2 の一部の行を再スキャンして、前記第 2 の一部の行に含まれる各ピクセル要素に決定された前記ターゲット電圧を印加する、

ように構成されたデータドライバと、  
前記第 1 時刻に開始する表示期間において前記ピクセルアレーを照らすように構成された 1 以上の光源と、  
を備える、  
表示デバイス。

【請求項 5】

前記 1 以上の光源が、前記ピクセル調節期間の間に非活性化される、  
請求項 4 に記載の表示デバイス。

【請求項 6】

前記ピクセルアレーの前記第 1 の一部の行のスキャンが、前記ピクセルアレーの前記第 2 の一部の行のスキャンよりも前に行われる、  
請求項 4 に記載の表示デバイス。

【発明の詳細な説明】

【技術分野】

【0001】

本実施形態は、一般には表示デバイスに関し、詳細には、表示デバイスを再スキャンするための技術に関する。

【背景技術】

【0002】

ヘッドマウントディスプレイ (Head-mounted display) (HMD) デバイスは、ユーザの頭に着用、又は、さもなくば取り付けのように構成されている。HMD デバイスは、ユーザの目の一方又は両方の前方に配置される 1 以上のディスプレイ

10

20

30

40

50

を備える場合がある。HMDは、ユーザの周辺環境（例えば、カメラでキャプチャされた）からの情報及び／又は画像を重ねられた、画像ソースからの画像（例えば、静止画像、連続した画像、及び／又は、動画）を表示し、例えば、ユーザを仮想世界に没頭させ得る。HMDデバイスは、医療、軍事、ゲーミング、航空、工学、及び、様々な他のプロフェッショナル及び／又はエンターテインメント産業において応用される。

#### 【0003】

多くのHMDデバイスは、そのディスプレイにおいて液晶ディスプレイ（liquid-crystal display）（LCD）の技術を用いる。LCD表示パネルは、行及び列に配列されたピクセル要素（例えば、液晶セル）のアレーから形成されている場合がある。ピクセル要素の各行は、それぞれのゲートラインに接続され、ピクセル要素の各列はそれぞれのデータ（あるいはソース）ラインに接続される。ピクセル要素は、相対的に高い電圧をゲートラインに印加してピクセル要素の対応する行を「選択」あるいは活性化し、対応するデータラインに他の電圧を印加して選択されたピクセル要素を更新することによって、アクセス（たとえば、新たなピクセルデータで更新）される場合がある。データラインの電圧レベルは、ターゲットピクセル値の所望の色及び／又は強度に依存する場合がある。そのため、LCD表示パネルは、ピクセルアレーの各行が更新されるまで、ピクセル要素の行を（例えば1度に1行ずつ）連続して「スキャン」することにより更新される場合がある。

#### 【0004】

データラインに印加される電圧は、特定のピクセル要素の物理状態を変更（例えば回転）することにより、ピクセル要素の色及び／又は明るさを変更する。そのため、各ピクセル要素は新たな状態あるいは位置に安定するための時間を必要とする場合がある。特定のピクセル要素の安定化時間は、色及び／又は明るさの変化の度合いに依存する場合がある。例えば、最大明るさ設定（例えば、「白色」のピクセル）から最小明るさ設定（例えば、「黒色」のピクセル）への遷移は、中間の明るさ設定から他の中間の明るさ設定への（例えば、「灰色」のうち一つの色合いから「灰色」の他の色合いへの）遷移よりも長い安定化時間を必要とし得る。ピクセルの遷移における遅延は、ピクセル要素の安定化時間が連続するフレーム更新の間の時間よりも遅い場合、ゴースト及び／又は他の視覚的なアーティファクトをディスプレイに生じさせ得る。

#### 【0005】

LCDオーバードライブは、LCDディスプレイの更新時にピクセル遷移を加速するための技術である。詳細には、ピクセル要素は、所望の色及び／又は明るさのレベルに対応するターゲット電圧より高い電圧を印加される。より高い電圧は液晶をより速く回転させるため、液晶をより短い時間でターゲットの明るさに到達させる。固定のLCDディスプレイ（例えば、テレビ、モニタ、携帯電話、等）においては、一つのオブジェクトは、複数のフレームの持続時間にわたって、しばしば同じピクセル要素によって照らされる。そのため、そのエラーが1フレームだけ持続する場合には、ユーザは対応するピクセルの色及び／又は明るさにおけるエラーを検知できない場合があるため、固定のLCDディスプレイのピクセル要素に適用されるオーバードライブの量は概算でよい。しかしながら、HMDデバイス、特に仮想現実（virtual reality）（VR）のアプリケーションにおいては、ディスプレイ上で視認されるオブジェクトは、ユーザの頭及び／又は目が動くにつれて、異なるピクセルに照らされる場合がある。そのため、HMDディスプレイのピクセル要素それぞれに適用されるオーバードライブの量は、仮想環境に没頭するユーザの感覚を維持するために、はるかに正確であるべきである。

#### 【発明の概要】

#### 【0006】

本概要は、以下の詳細な説明でさらに説明される、概念の選択を単純化された形態で紹介するために提供される。本概要は、請求された主題の範囲の鍵となる特徴や必須の特徴を特定することを意図せず、請求された主題の範囲を限定することを意図していない。

#### 【0007】

表示デバイスのピクセル要素を更新するための方法及び装置。表示デバイスは、複数のピクセル要素を含むピクセルアレーを備える。データドライバは、第1時刻においてピクセルアレーに表示されるべき画像に対応する表示データのフレームを受信するように構成されている。データドライバは、第1時刻より前のピクセル調節期間の間に、ピクセルアレーの各行をスキャンして、受信したフレームに基づいて、複数の第1電圧を、それぞれに、複数のピクセル要素に印加する。データドライバは、更に、ピクセル調節期間の間に、ピクセルアレーの一部の行を再スキャンして、受信したフレームに基づいて、一部の行に含まれるそれぞれのピクセル要素に第2電圧を印加する。1以上の光源は、第1時刻においてピクセルアレーを照らすように構成されている。いくつかの実施形態では、1以上の光源は、ピクセル調節期間の間に非活性化される場合がある。

10

**【0008】**

いくつかの実施形態では、表示デバイスは、受信したフレームに基づいて、複数のピクセル要素について、それぞれに、複数のピクセル値を決定するように構成されたオーバードライブ回路部を備える場合がある。ピクセルアレーに含まれる各ピクセル要素について、オーバードライブ回路部は、ピクセル要素をそのターゲットピクセル値において安定させるターゲット電圧を決定する場合がある。オーバードライブ回路部は、更に、ピクセル要素についてのオーバードライブ電圧がそのピクセル要素についてのターゲット電圧とは異なるところのオーバードライブ電圧を受信するようにピクセル要素のうち少なくともいくつかを選択する場合がある。いくつかの態様では、オーバードライブ回路部は、オーバードライブ電圧を受信するように選択されたピクセル要素に少なくとも部分的に基づいて、再スキャンされるべき一部の行を選択する場合がある。

20

**【0009】**

いくつかの実施形態では、データドライバは、ピクセルアレーの一部の行に含まれるそれぞれのピクセル要素にオーバードライブ電圧を印加し、ピクセルアレーのうち残る各行に含まれるそれぞれのピクセル要素にターゲット電圧を印加することで、ピクセルアレーの各行をスキャンする場合がある。データドライバは、更に、ピクセルアレーの一部の行に含まれるそれぞれのピクセル要素に、ターゲット電圧を印加することで、ピクセルアレーの各行を再スキャンする場合がある。

**【0010】**

いくつかの実施形態では、画像が、全視野 (full field-of-view) (FFOV) 画像と、FFOV画像の内に位置する中心視画像と、を含む場合がある。表示デバイスは、FFOV画像の各ピクセルを表示するための、ピクセルアレーの複数のピクセル要素を選択するように構成されたディスプレイドライバを更に備える場合がある。ディスプレイドライバは、更に、ピクセルアレーのそれぞれのピクセル要素を中心視画像の各ピクセルを表示するように選択する場合がある。いくつかの態様では、ディスプレイドライバは、中心視画像を表示するように選択されたピクセル要素に少なくとも部分的に基づいて、一部の行を選択する場合がある。いくつかの実施形態では、第1電圧のそれぞれは、FFOV画像をピクセルアレーのそれぞれのピクセル要素に描写するために用いられる場合があり、第2電圧のうち少なくともいくつかは、中心視画像をピクセルアレーのそれぞれのピクセル要素に描写するために用いられる場合がある。

30

40

**【0011】**

いくつかの実施形態では、データドライバは、ピクセル要素の各グループがピクセルアレーの複数の行を含むところの、ピクセル要素のグループを連続して活性化し、活性化された各グループについて複数の行に含まれるそれぞれのピクセル要素に、同時に、第1電圧を印加することで、ピクセルアレーの各行をスキャンする場合がある。データドライバは、更に、一部の行に含まれるピクセル要素の各行を連続して活性化し、活性化された各行に含まれるそれぞれのピクセル要素に第2電圧を印加することで、ピクセルアレーの各行を再スキャンする場合がある。いくつかの態様では、スキャンすることが、再スキャンすることよりも高速に実行される場合がある。

**【図面の簡単な説明】**

50

【 0 0 1 2 】

示された実施形態は、例として図示されており、添付の図面の図によって限定されることを意図されたものではない。

【 0 0 1 3 】

【図 1】図 1 は、本実施形態がその中で実装され得る表示システムの例を示す。

【 0 0 1 4 】

【図 2】図 2 は、表示デバイスのピクセル要素を周期的に更新するための例示的な動作を表すタイミング図を示す。

【 0 0 1 5 】

【図 3】図 3 は、いくつかの実施形態に係る、表示デバイスのブロック図を示す。

10

【 0 0 1 6 】

【図 4】図 4 は、いくつかの実施形態に係る、例示的なスキャン 再スキャンピクセル更新動作を表すタイミング図を示す。

【 0 0 1 7 】

【図 5】図 5 は、いくつかの実施形態に係る、オーバードライブ回路部を有する表示デバイスのブロック図を示す。

【 0 0 1 8 】

【図 6】図 6 は、表示デバイスのピクセル更新の例示的なタイミングを表すタイミング図を示す。

【 0 0 1 9 】

20

【図 7 A】図 7 A は、いくつかの実施形態に係る、プログレッシブオーバードライブの実装例を表すタイミング図を示す。

【図 7 B】図 7 B は、いくつかの実施形態に係る、プログレッシブオーバードライブの実装例を表すタイミング図を示す。

【 0 0 2 0 】

【図 8】図 8 は、いくつかの実施形態に係る、例示的なオーバードライブ補正動作を表すタイミング図を示す。

【 0 0 2 1 】

【図 9】図 9 は、いくつかの実施形態に係る、中心視描写回路部を有する表示デバイスのブロック図を示す。

30

【 0 0 2 2 】

【図 1 0】図 1 0 は、いくつかの実施形態に係る、表示デバイスに表示され得る例示的な画像を示す。

【 0 0 2 3 】

【図 1 1】図 1 1 は、いくつかの実施形態に係る、例示的なフレームバッファ画像を示す。

【 0 0 2 4 】

【図 1 2 A】図 1 2 A は、いくつかの実施形態に係る、表示デバイスに画像を描写するための例示的な動作を示す。

【図 1 2 B】図 1 2 B は、いくつかの実施形態に係る、表示デバイスに画像を描写するための例示的な動作を示す。

40

【 0 0 2 5 】

【図 1 3】図 1 3 は、いくつかの実施形態に係る、例示的な中心視描写処理を表すタイミング図を示す。

【 0 0 2 6 】

【図 1 4】図 1 4 は、いくつかの実施形態に係る、階層的なゲートドライバ回路のブロック図である。

【 0 0 2 7 】

【図 1 5 A】図 1 5 A は、いくつかの実施形態に係る、階層的なゲートドライバ回路の動作を制御するために用いられ得る例示的なタイミング信号を表すタイミング図である。

【図 1 5 B】図 1 5 B は、いくつかの実施形態に係る、階層的なゲートドライバ回路の動

50

作を制御するために用いられ得る例示的なタイミング信号を表すタイミング図である。

【 0 0 2 8 】

【図 1 6】図 1 6 は、いくつかの実施形態に係る、階層的なゲートドライバ回路を用いたスキャン 再スキャンピクセル更新動作の例示的なタイミングを表すタイミング図を示す。

【 0 0 2 9 】

【図 1 7】図 1 7 は、いくつかの実施形態に係る、表示デバイスの一部を表すブロック図である。

【 0 0 3 0 】

【図 1 8】図 1 8 は、いくつかの実施形態に係る、例示的なスキャン 再スキャンピクセル更新動作を表す例示的なフローチャートである。

10

【 0 0 3 1 】

【図 1 9】図 1 9 は、いくつかの実施形態に係る、例示的なオーバードライブ補正動作を表す例示的なフローチャートである。

【 0 0 3 2 】

【図 2 0】図 2 0 は、いくつかの実施形態に係る、例示的な中心視描写動作を表す例示的なフローチャートである。

【発明を実施するための形態】

【 0 0 3 3 】

以下の説明では、本開示の十分な理解を提供するために、具体的なコンポーネント、回路、及び、処理の例のような、多くの具体的な詳細が示される。ここで使われる「接続された」という言葉は、直接に接続されている、又は、仲介する 1 以上のコンポーネント又は回路を介して接続されていることを意味する。「電子システム」や「電子デバイス」という用語は、情報を電子的に処理可能な任意のシステムを示すために、互換可能に用いられる場合がある。更に、以下の説明において、及び、説明を目的として、本開示の態様の十分な理解を提供するために、特定の命名法が用いられる。しかし、例示的な実施形態を実施するためには、これらの具体的な詳細が必要でない場合があることが当業者には明らかであろう。他の例では、本開示が不明確になることを避けるために、周知の回路及びデバイスがブロック図の形式で示される。以下の詳細な説明のいくつかの部分は、過程、論理ブロック、処理、及び、コンピュータのメモリ内のデータビットへの操作を他の記号で表現したもの、という形で提示されている。

20

【 0 0 3 4 】

これらの説明及び表現は、データ処理技術の当業者によって、彼らの仕事の実質をもっとも効果的に他の当業者に伝えるために用いられる手段である。本開示においては、過程、論理ブロック、又は、処理等は、所望の結果を導くステップ又は命令の自己無撞着なシーケンスとなるように考案されている。当該ステップは、物理量の物理的な操作を必要とするステップである。通常、必須ではないものの、これらの量はコンピュータシステムにおいて、記憶、送信、合成、比較、及び他の操作が可能な電子的又は磁気的な信号の形態を取る。しかしながら、これら及び同様の文言の全てが、適切な物理量と関連付けられるべきであり、かつ、これらの量に適用される便利なラベルに過ぎないということが留意されるべきである。

30

【 0 0 3 5 】

後述の議論から明らかなように、特にそうでないと述べられていない場合には、本出願を通して、「アクセスする」、「受信する」、「送信する」、「用いる」、「選択する」、「決定する」、「正規化する」、「乗算する」、「平均する」、「モニタする」、「比較する」、「適用する」、「更新する」、「計測する」、「導出する」、等のような表現を用いて行われる議論は、コンピュータシステム（又は同様の電子計算デバイス）によるアクション及び処理を参照していると認められる。これらのアクション及び処理は、コンピュータシステムのレジスタ及びメモリ内の物理（電気）量として示されるデータを、コンピュータシステムのメモリまたはレジスタ、又は他のそのような情報ストレージ、伝送器、又は表示デバイス内の物理量として同様に示される他のデータに操作及び変換する。

40

50

## 【 0 0 3 6 】

図において、単一のブロックが一又は複数の機能を実行するように説明される場合がある。しかし、実際の実施においては、そのブロックによって実行される一又は複数の機能は、単一のコンポーネントによって、あるいは複数のコンポーネントにまたがって実行される場合があり、及び/又は、ハードウェアを用いて、ソフトウェアを用いて、又は、ハードウェア及びソフトウェアの組合せを用いて実行される場合がある。このハードウェアとソフトウェアの互換可能性を明確に示すために、様々な例示的なコンポーネント、ブロック、モジュール、回路、及び、ステップが、それらの機能性の観点から、以下で一般に説明される。そのような機能性がハードウェア又はソフトウェアのいずれとして実装されるかは、特有の用途と、システム全体に課せられる設計上の制約と、に依存する。当業者は、説明された機能性を各特有の用途に応じた多様な方法で実装し得るが、そのような実装の決定が、本発明の範囲からの逸脱を起こすと解釈されてはならない。さらに、例示的な入力デバイスは、示されたものとは異なるコンポーネントとして、プロセッサ、及び、メモリ等といった周知のコンポーネントを含む場合がある。

10

## 【 0 0 3 7 】

ここで説明される技術は、特定の態様で実装されると特に記述されない場合は、ハードウェア、ソフトウェア、ファームウェア、又はそれらの組み合わせとして実装し得る。モジュール又はコンポーネントとして説明された任意の構成は、集積ロジックデバイスと一緒に実装されることがあり、又は、別々だが相互に情報交換可能な論理デバイス、として別々に実装されることがある。ソフトウェアとして実装された場合、この技術は、少なくとも部分的に、実行されたときに上述された方法のうち1以上を実施する命令を保存する非一時的なプロセッサ読取り可能な記憶媒体によって実現され得る。この非一時的なプロセッサ読取り可能なデータ記憶媒体は、コンピュータプログラム製品の一部を形成する場合がある。コンピュータプログラム製品は、包装材を含み得る。

20

## 【 0 0 3 8 】

非一時的なプロセッサ読取り可能な記憶媒体は、同期ダイナミックランダムアクセスメモリ ( `synchronous dynamic random access memory` ) ( `SDRAM` ) のようなランダムアクセスメモリ ( `random access memory` ) ( `RAM` ) 、リードオンリーメモリ ( `read only memory` ) ( `ROM` ) 、不揮発性ランダムアクセスメモリ ( `non-volatile random access memory` ) ( `NVRAM` ) 、電子的消去可能プログラマブルリードオンリーメモリ ( `electrically erasable programmable read-only memory` ) ( `EEPROM` ) 、フラッシュメモリ、他の既知の記憶媒体等、を備える場合がある。本技術は追加的に、あるいは代替的に、少なくとも一部が、コードを命令又はデータ構造の形で伝達または通信し、かつ、コンピュータ又は他のプロセッサによってアクセス、読取り、及び/又は、実行可能な、プロセッサ読取り可能な通信媒体によって実現され得る。

30

## 【 0 0 3 9 】

本明細書で開示される実施形態に関して説明される様々な例示的な論理ブロック、モジュール、回路、及び、命令は、1以上のプロセッサによって実行され得る。本明細書で用いられる「プロセッサ」という言葉は、任意の汎用プロセッサ、従来のプロセッサ、コントローラ、マイクロコントローラ、及び/又は、メモリに記憶された1以上のソフトウェアプログラムのスクリプト又は命令を実行可能な状態機械、を示す場合がある。本明細書で用いられる「電圧源」という言葉は、直流 ( `direct-current` ) ( `DC` ) の電圧源、交流 ( `alternating-current` ) ( `AC` ) の電圧源、又は、( 接地のような ) 電位を生成する他の手段を示す場合がある。

40

## 【 0 0 4 0 】

図1は、本実施形態が実装され得る例示的な表示システム100を示す。表示システム100は、ホストデバイス110と、表示デバイス120と、を備える。表示デバイス120は、画像、又は、一連の画像 ( 例えば、動画 ) をユーザに表示するように構成された

50

任意のデバイスであり得る。いくつかの実施形態では、表示デバイス120は、ヘッドマウントディスプレイ(HMD)デバイスである場合がある。いくつかの態様では、ホストデバイス110は、表示デバイス120の物理的な一部として実装され得る。あるいは、ホストデバイス110は、バスやネットワークのような様々な有線及び/又は無線の相互接続及び通信技術を用いて、表示デバイス120の構成要素に対して接続される(及び構成要素と通信する)場合がある。例示的な技術は、集積回路間(Integrated Circuit)(I<sup>2</sup>C)、シリアル・ペリフェラル・インターフェース(Serial Peripheral Interface)(SPI)、PS/2、ユニバーサルシリアルバス(Universal Serial bus)(USB)、Bluetooth(登録商標)、赤外線データ通信(Infrared Data Association)(IrDA)、及び、IEEE802.11基準で定義された様々な無線周波数(radio frequency)(RF)通信プロトコルを含み得る。

10

#### 【0041】

ホストデバイス110は、画像ソースデータ101を画像ソース(シンプルにするために図示せず)から受信し、表示デバイス120において表示するために(例えば、表示データ102として)画像ソースデータ101を描写する。いくつかの実施形態では、ホストデバイス110は、画像ソースデータ101を表示デバイス120の1以上の能力に従って処理するように構成された描写エンジン112を備える場合がある。例えば、いくつかの態様では、表示デバイス120はユーザの目の位置に基づいて動的に更新された画像をユーザに表示する場合がある。より詳細には、表示デバイス120は、ユーザの頭及び/又は目の動きを追跡する場合があり、画像のうちユーザが凝視する点と一致する部分(例えば、中心視領域)を、画像の他の領域(例えば、フルフレーム画像)よりも高い解像度で表示する場合がある。そのため、いくつかの実施形態では、描写エンジン112は、フルフレーム画像の中心視領域に重ねられるべき高解像度の中心視画像を生成する場合がある。いくつかの他の実施形態では、描写エンジン112は、フルフレーム画像を表示デバイス120において(例えば、中心視画像よりも低解像度で)表示するためにスケーリングする場合がある。

20

#### 【0042】

表示デバイス120は、表示データ102をホストデバイス110から受信し、受信した表示データ102に基づいて、対応する画像をユーザに表示する。いくつかの実施形態では、表示デバイス120はディスプレイ122と、バックライト124と、を備える場合がある。ディスプレイ122は、表示パネルの一方の表面から他方へと通過する光の量を(例えば、各ピクセル要素に印加される電圧又は電場に応じて)変化可能にするように構成されたピクセル要素(例えば、液晶セル)のアレーから形成された液晶ディスプレイ(LCD)パネルである場合がある。例えば、表示デバイス120は、各ピクセル要素に適切な電圧を印加して、(フルフレーム画像に重ねられた中心視画像を含む場合がある)画像をディスプレイ122上で描写する場合がある。上述したように、LCDは発光しないため、画像がユーザに視認可能になるように、ピクセル要素を照らす別個の光源に依存する。

30

#### 【0043】

バックライト124は、背後からピクセル要素を照らすために、ディスプレイ122に近接して配置される場合がある。バックライト124は、冷陰極蛍光灯(cold cathode fluorescent lamp)(CCFL)、外部電極型蛍光灯(external electrode fluorescent lamp)(EEFL)、熱陰極蛍光灯(hot-cathode fluorescent lamp)(HCFL)、フラット型蛍光灯(flat fluorescent lamp)(FFL)、発光ダイオード(light-emitting diode)(LED)、又は、これらの任意の組合せ(しかしこれに限定されない)を含む1以上の光源を備える場合がある。いくつかの態様では、バックライト124は、ディスプレイ122の異なる領域に異なるレベルの照明を供給可能な(LEDのような)個別の光源のアレーを備える場合がある。い

40

50

くつかの実施形態では、表示デバイス 120 は、例えば、画像の品質向上、及び/又は、消費電力の節約のために、バックライト 124 の強度又は明るさを動的に変更可能なインバータ（シンプルにするために図示せず）を備える場合がある。

#### 【0044】

固定 LCD ディスプレイでは、バックライト 124 はピクセルアレーに照明を継続して（例えば、バックライトが継続的にオンであるか、少なくとも所望の明るさレベルになるようにパルス幅が変調される）提供する場合がある。そのため、ピクセル値の任意の変化は、更新された電圧がピクセル要素に印加されるとすぐに認識可能となる場合がある。しかしながら、仮想現実（VR）のアプリケーションでは、ディスプレイで視認されるオブジェクトは、ユーザの頭及び/又は目が動くにつれて、異なるピクセルによって照らされる場合がある。ピクセル値の急激な変動は、LCD ディスプレイに描写された画像において、仮想現実体験を損ない得るモーションブラー及び/又は他のアーティファクトを生じ得る。表示デバイスは、表示を（継続的に行うよりは）周期的に更新することによりモーションブラーを低減あるいは防ぐことがある。例えば、表示デバイスは、そのような間隔でピクセル値が急激に変化することが（例えば、人の視覚認識におけるサッカー抑制現象と同様に）抑制されるように、バックライトを周期的な間隔で点滅する場合がある。

#### 【0045】

図 2 は、表示デバイスのピクセル要素を周期的に更新するための例示的な動作を表すタイミング図 200 を示す。図 2 で示すように、表示の更新はそれぞれ、ピクセル調節期間（例えば、時刻  $t_0$  から  $t_2$ 、 $t_3$  から  $t_5$ 、及び、 $t_6$  から  $t_8$ ）と、これに続く一連の画像（例えば、画像 1、画像 2、及び、画像 3）を表示するための表示期間（例えば、時刻  $t_2$  から  $t_3$ 、 $t_5$  から  $t_6$ 、及び、 $t_8$  から  $t_9$ ）と、を含む。各ピクセル調節期間の間に、表示デバイスはピクセル要素のアレーを“スキャン”して（例えば、一度に一行）、ディスプレイの各ピクセル要素についてピクセル値を更新する場合がある。より詳細には、各ピクセル要素は、ピクセル要素を新たなピクセル値に遷移（又は、現在のピクセル値を保持）させる所望の電圧を印加される場合がある。各表示期間の間、表示デバイスのバックライト（又は、1 以上の光源）が、ピクセルアレーを照らし、表示デバイスに画像を表示するために、短時間活性化又はオンにされる。なお、バックライトは、ピクセル調節期間の間に、（例えば、ピクセル更新をユーザに気づかれないように）非活性化又はオフにされる場合がある。

#### 【0046】

従来の LCD ディスプレイでは、ピクセルアレーは各ピクセル調節期間の間に一度だけスキャンされる。例えば、ピクセルアレーが表示のために照らされる前に、ピクセルアレーの各ピクセル要素に電圧が一度だけ印加され得る。しかし、本開示の態様では、初期スキャンが完了した後に、ピクセル値の更なる調節を行うことが望ましいことがあり得ることが認識されている。例えば、追加的な調節が、特定のピクセル要素についてのピクセル値を更に精緻化、又は、補正するために用いられる場合がある。そのため、いくつかの実施形態では、表示デバイスは、ピクセルアレーのうち 1 以上の行を（例えば、初期スキャンが実行された後に）再スキャンして、再スキャンされた行に含まれるピクセル要素に電圧の第 2 セットを印加する場合がある。より詳細には、表示デバイスは、単一のピクセル調節期間の間に（例えば、異なる時刻において）同じピクセル要素に 2 以上の電圧を印加する場合がある。

#### 【0047】

図 3 は、1 以上の実施形態に係る、表示デバイス 300 のブロック図を示す。表示デバイス 300 は、図 1 の表示デバイス 120 の例示的な実施形態である場合がある。表示デバイス 300 は、ピクセルアレー 310、タイミングコントローラ 320、表示メモリ 330、及び、表示更新制御器 340 を備える場合がある。いくつかの実施形態では、表示デバイス 300 は LCD 表示パネルに対応する場合がある。ピクセルアレー 310 は複数のピクセル要素（シンプルにするために図示せず）を備えている場合がある。ピクセル要素の各行はそれぞれのゲートライン（GL）に接続され、ピクセル要素の各列はそれぞれ

10

20

30

40

50

のデータライン(DL)に接続されている。これに応じて、アレー310に含まれる各ピクセル要素はゲートライン及びソースラインの交差点に配置されている。

【0048】

データドライバ312は、データラインDL(1) DL(N)を介してピクセルアレー310に接続されている。いくつかの態様では、データドライバ312は、データラインDL(1) DL(N)を介して、個別のピクセル要素に(例えば、対応する電圧の形で)ピクセルデータを印加して、ピクセルアレー310に表示されるフレーム又は画像を更新するように構成されている場合がある。例えば、データラインDL(1) DL(N)に印加される電圧は、アレー310(例えば、ピクセル要素が液晶であるとき)のピクセル要素の物理状態を変える(例えば、回転)場合がある。そのため、各ピクセル要素に印加される電圧は、色、及び/又は、ピクセル要素によって発される光の強度に影響を与える場合がある。なお、ピクセルアレー310のピクセル要素の各行は、それぞれ同じデータラインDL(1) DL(N)に接続される。そのため、表示デバイス300は、ピクセル要素の行を逐次的に(例えば、一度に一行)スキャンすることで、ピクセルアレー310を更新する場合がある。

10

【0049】

ゲートドライバ314は、ゲートラインGL(1) GL(M)を介してピクセルアレー310に接続される。いくつかの態様では、ゲートドライバ314は、任意の所与の時刻において、データドライバ312によって印加されるピクセルデータをピクセル要素の何れの行が受信するかを選択するように構成される場合がある。例えば、アレー310に含まれる各ピクセル要素は、アクセストランジスタ(シンプルにするために図示せず)を介して、データラインDL(1) DL(N)のうち1つ、及び、ゲートラインGL(1) GL(M)のうち一つと接続される場合がある。アクセストランジスタは、ゲートラインGL(1) GL(M)のうち一つと接続されたゲート端子と、データラインDL(1) DL(N)のうち一つと接続されたドレイン(又はソース)端子と、アレー310に含まれる対応するピクセル要素と接続されたソース(又はドレイン)端子、を有するN MOS(又はPMOS)トランジスタである場合がある。ゲートラインGL(1) GL(M)のうち一つが十分に高い電圧を印加されたときに、選択されたゲートラインと接続されたアクセストランジスタがオンになり、データラインDL(1) DL(N)から、選択されたゲートラインと接続された対応するピクセル要素へと電流が流れることができるようになる。これに応じて、ゲートドライバ314は、ゲートラインGL(1) GL(M)のそれぞれを、ピクセルアレー310の各行が更新されるまで、逐次を選択する、あるいは活性化するように構成される場合がある。

20

30

【0050】

タイミングコントローラ320は、データドライバ312とゲートドライバ314のタイミングを制御するように構成される。例えば、タイミングコントローラ320は、タイミング制御信号の第1セット(D\_CTRL)を生成して、データドライバ312によるデータラインDL(1) DL(N)の活性化を制御する場合がある。タイミングコントローラ320は、タイミング制御信号の第2セット(G\_CTRL)を更に生成して、ゲートドライバ314によるゲートラインGL(1) GL(M)の活性化を制御する場合がある。タイミングコントローラ320は、信号生成器322によって生成される基準クロック信号に基づいて、D\_CTRL及びG\_CTRL信号を生成する場合がある。例えば、信号生成器322は水晶発振器である場合がある。タイミングコントローラ320は、それぞれの位相オフセットを基準クロック信号に適用することに基づいて、D\_CTRLとG\_CTRL信号を駆動する場合がある。より詳細には、D\_CTRL信号及びG\_CTRL信号のタイミングは、データドライバ312がそのピクセル要素の行について意図されたピクセルデータでデータラインDL(1) DL(N)を駆動する時刻において、ゲートドライバ314が(例えば、ピクセルデータを印加されるべきピクセル要素の行に接続された)正しいゲートラインを活性化するように、同期される場合がある。

40

【0051】

50

表示メモリ 330 は、ピクセルアレー 310 に表示されるべき画像に対応する表示データ 303 を記憶又はバッファするように構成される場合がある。表示データ 303 は、アレー 310 の 1 以上のピクセル要素についての（例えば、色及び／又は強度に対応する）ピクセル値 304 を含む場合がある。例えば、各ピクセル要素は、赤色（R）、緑色（G）、及び、青色（B）のサブピクセルを含む（しかしこれに限定されない）複数のサブピクセルを備える場合がある。いくつかの態様では、表示データ 303 は、表示されるべき画像のサブピクセルについての R、G、及び、B の値を示す場合がある。R、G、及び、B の値は、各ピクセルの色及び強度（例えば、階調）に影響を及ぼす場合がある。例えば、ピクセル値 304 はそれぞれに、256 の可能な階調レベルのうち 1 つを示す 8 ビットの値である場合がある。各ピクセル値 304 はターゲット電圧のレベルに対応し得る。ターゲット電圧は、特定のピクセル要素に印加されたときに、そのピクセル要素の色及び／又は明るさを所望のピクセル値に安定させる電圧であってもよい。

10

#### 【0052】

表示更新制御器 340 は、ピクセル値 304 に少なくとも部分的に基づいて、アレー 310 に含まれる 1 以上のピクセル要素に印加されるべきピクセル電圧を決定する場合がある。より詳細には、アレー 310 の各ピクセル要素について、表示更新制御器 340 は、現在のピクセル値（例えば、直前のフレーム更新からのピクセル値）をターゲットピクセル値（例えば、次のフレーム更新についてのピクセル値）と比較して、フレーム更新期間内にピクセル値の所望の変化を達成するためにピクセル要素に印加されるべき電圧の量を決定する場合がある。いくつかの実施形態では、表示更新制御器 340 は、単一のフレーム更新期間の間での、ピクセルアレーの複数回のスキャンを（例えば、スキャン及び再スキャン）を容易にし得る。例えば、ピクセルアレーの初期スキャンの間、表示更新制御器 340 は、（例えば、データドライバ 312 によって）ピクセルアレー 310 の各ピクセル要素に印加されるべきそれぞれのピクセル電圧 305 を決定する場合がある。後続するピクセルアレーの再スキャンの間、表示更新制御器 340 は、ピクセルアレー 310 の 1 以上の行に含まれるそれぞれのピクセル要素に印加されるべき調節されたピクセル電圧 306 を決定する場合がある。

20

#### 【0053】

いくつかの実施形態では、ピクセルアレー 310 の各行は、再スキャンする処理の間に更新される場合がある。例えば、表示更新制御器 340 は、ピクセルアレー 310 の各ピクセル要素について、ピクセル電圧 305 及び調節されたピクセル電圧 306 を決定する場合がある。いくつかの他の実施形態では、再スキャン動作の間に、より少ない一部の行のみが再スキャンされる場合がある。例えば、表示更新制御器 340 は、一部の行に含まれるそれぞれのピクセル要素についてのみ、調節されたピクセル電圧 306 を決定する場合がある。いくつかの態様では、表示更新制御器 340 は、再スキャンされるべき一部の行を示す再スキャン制御信号（R\_CTRL）をタイミングコントローラ 320 に供給する場合がある。そして、再スキャン動作の間、タイミングコントローラ 320 は再スキャン制御信号によって調節されたピクセル電圧 306 を印加されるべきと示された一部の行のみを連続的に活性化する場合がある。

30

#### 【0054】

図 4 は、例示的なスキャン - 再スキャンピクセル更新動作を表すタイミング図 400 を示す。図 4 に示された例示的な動作は、図 3 の表示デバイス 300 のような表示デバイスによって実行される場合がある。そのため、いくつかの実施形態では、表示デバイスは、単一のフレーム更新期間（例えば、ピクセルアレーを更新して新たなフレーム又は画像を表示するとき）の間にピクセルアレーのスキャンを複数回実行するように構成されている場合がある。

40

#### 【0055】

図 4 に示すように、各フレーム更新期間は、ピクセル調節期間（例えば、時刻  $t_0$  から  $t_3$ 、 $t_4$  から  $t_7$ 、及び、 $t_8$  から  $t_{11}$ ）と、これに続いて、対応する画像（例えば、画像 1、画像 2、及び、画像 3）を表示するための表示期間（例えば、時刻  $t_3$  から  $t_4$

50

、 $t_7$ から $t_8$ 、及び、 $t_{11}$ から $t_{12}$ ）と、を含む。表示デバイスは、各ピクセル調節期間の間に、ピクセル要素のアレーを（例えば、時刻 $t_0$ から $t_1$ 、 $t_4$ から $t_5$ 、及び、 $t_8$ から $t_9$ までに）スキャンして、ディスプレイのピクセル要素それぞれについてピクセル値を更新する場合がある。表示デバイスは、そして、同一のピクセル調節期間の間に（例えば、時刻 $t_1$ から $t_2$ 、 $t_5$ から $t_6$ 、及び、 $t_9$ から $t_{10}$ までに）ピクセル要素の1以上の行を再スキャンして、ピクセルアレーのピクセル要素の一部について電圧及び/又はピクセル値を更に調節する場合がある。そのため、本開示の態様は、表示期間の持続時間を（特に、スキャンの終了と表示期間の開始の間）を利用して、1以上のピクセル要素についてのピクセル値を精緻化、又は、補正する場合がある。

#### 【0056】

いくつかの実施形態では、再スキャン動作は、オーバードライブ補正のために利用される場合がある。例えば、いくつかの態様では、ピクセル要素は、ピクセル要素をターゲットピクセル値に安定させ得るターゲット電圧を超える（例えば、ターゲット電圧より高い、又は、低い）オーバードライブ電圧を印加される場合がある。以下でより詳細に説明するように、オーバードライブ電圧は、ピクセル要素をターゲットピクセル値により高速に遷移させる。しかしながら、オーバードライブ電圧は、ピクセル要素を、ターゲットピクセル値を越えた（例えば、ターゲットピクセル値より高い又は低い）ピクセル値に安定させる場合もある。このことは、表示されるべき次の画像又はフレームについてのピクセル電圧の計算を更に複雑にし得る。そのため、いくつかの実施形態では、表示デバイスは、ピクセル要素をターゲットピクセル値に安定させるために、オーバードライブ電圧が印加されるピクセル要素を（例えば、初期スキャンから）再スキャンする場合がある。例えば、表示デバイスは再スキャンされた行に含まれるそれぞれのピクセル要素にターゲット電圧を印加する場合がある。

#### 【0057】

いくつかの他の実施形態では、再スキャン動作は中心視描画のために用いられる場合がある。例えば、いくつかの態様では、表示される画像は、中心視画像と合成された全視野（FFOV）画像を含む場合がある。より詳細には、中心視画像は、FFOV画像の中心視領域内で表示される場合がある。FFOV画像及び中心視画像のピクセル値をマージすることは時間とリソースを消費する場合があり、それによりピクセルアレーの更新が可能な速度をさらに制限する場合がある。そこで、いくつかの実施形態では、表示デバイスはFFOV画像及び中心視画像をピクセルアレー上で、別々に、異なる速度で描写する場合がある。例えば、表示デバイスは、FFOV画像を中心視画像よりも高速に描写する場合がある。いくつかの態様では、表示デバイスは、ピクセルアレーの各ピクセル要素を更新して、初期スキャンの間にFFOV画像を描写する場合がある。表示デバイスは、FFOV画像の中心視領域に対応するピクセルアレーの行を連続的に再スキャンして、中心視画像をそこに描写する場合がある。

#### 【0058】

オーバードライブ補正

#### 【0059】

上記で説明したように、各ピクセル要素の色及び/又は明るさは、そのピクセル要素に印加される電圧を変化することで調節される場合がある。具体的には、特定のピクセル値に対応するターゲット電圧は、ピクセル要素に印加されたときに、該ピクセル要素を所望のピクセル値に安定させる電圧を表す場合がある。しかしながら、単一のフレーム遷移又は更新において達成可能な色及び/又は明るさの変化の度合いは、ピクセル要素の安定化時間によって制限される場合がある。例えば、最大明るさの値（例えば、「白色」のピクセル）から最小明るさの値（例えば、「黒色」のピクセル）への遷移は、中間の明るさ設定から他の中間の明るさ設定への（例えば、「灰色」のうち一つの色合いから「灰色」の他の色合いへの）遷移よりも長い安定化時間を必要とし得る。

#### 【0060】

もしピクセル値の変化が閾値量を超える場合、ターゲット電圧は、所与のフレーム更新

10

20

30

40

50

期間内にピクセル要素を所望のピクセル値で駆動するためには不十分である場合がある。ピクセル要素が連続するフレーム更新の間に所望の色、及び／又は、明るさに到達できない場合には、（ゴーストのような）アーティファクトが表示された画像に現れる場合がある。LCDオーバードライブはLCDディスプレイを更新するときのピクセルの遷移の速度を速くするための技術である。具体的には、ピクセル要素は、所望の色及び／又は明るさに関連するターゲット電圧よりも高い電圧を駆動され得る。より高い電圧は、ピクセル要素の中の液晶をより速く回転させ、そのため、ターゲットの明るさにより短時間で遷移させる。

#### 【0061】

図5は、いくつかの実施形態に係る、オーバードライブ回路部を有する表示デバイス500のブロック図を示す。表示デバイス500は、図1の表示デバイス120、又は、図3の表示デバイス300の例示的な実施形態である場合がある。表示デバイス500は、ピクセルアレー510、タイミングコントローラ520、及び、オーバードライブ回路部530、スキャン／再スキャン回路部540を備える場合がある。いくつかの実施形態では、表示デバイス500はLCD表示パネルに対応する場合がある。ピクセルアレー510は複数のピクセル要素（シンプルにするために図示せず）を備えている場合がある。ピクセル要素の各行はそれぞれのゲートライン（GL）に接続され、ピクセル要素の各列はそれぞれのデータライン（DL）に接続されている。

#### 【0062】

データドライバ512は、データラインDL（1）DL（N）を介してピクセルアレー510に接続されている。いくつかの態様では、データドライバ512は、データラインDL（1）DL（N）を介して、個別のピクセル要素に（例えば、対応する電圧の形で）ピクセルデータを印加して、ピクセルアレー510に表示されるフレーム又は画像を更新するように構成されている場合がある。なお、ピクセルアレー510のピクセル要素の各行は、それぞれ同じデータラインDL（1）DL（N）に接続される。そのため、表示デバイス500は、ピクセル要素の行を逐次的に（例えば、一度に一行）スキャンすることで、ピクセルアレー510を更新する場合がある。

#### 【0063】

ゲートドライバ514は、ゲートラインGL（1）GL（M）を介してピクセルアレー510に接続される。いくつかの態様では、ゲートドライバ514は、任意の所与の時刻において、データドライバ512によって駆動されるピクセルデータをピクセル要素の何れの行が受信するかを選択するように構成される場合がある。例えば、ゲートドライバ514は、ゲートラインGL（1）GL（M）のそれぞれを、ピクセルアレー510の各行が更新されるまで、逐次を選択する、あるいは活性化するように構成される場合がある。

#### 【0064】

タイミングコントローラ520は、データドライバ512とゲートドライバ514のタイミングを制御するように構成される。例えば、タイミングコントローラ520は、タイミング制御信号の第1セット（D\_CTRL）を生成して、データドライバ512によるデータラインDL（1）DL（N）の活性化を制御する場合がある。タイミングコントローラ520は、タイミング制御信号の第2セット（G\_CTRL）を更に生成して、ゲートドライバ514によるゲートラインGL（1）GL（M）の活性化を制御する場合がある。タイミングコントローラ520は、信号生成器522によって生成される基準クロック信号に基づいて、D\_CTRL及びG\_CTRL信号を生成する場合がある。

#### 【0065】

オーバードライブ回路部530は、アレー510の各ピクセル要素についての現在のピクセル値501及びターゲットピクセル値502に少なくとも部分的に基づいて、ピクセルアレー510の各ピクセル要素に印加されるべきピクセル電圧を決定する場合がある。例えば、現在のピクセル値501及びターゲットピクセル値502は、（図3の表示メモリ330のような）フレームバッファメモリから取得される場合がある。より詳細には、

10

20

30

40

50

アレー 5 1 0 の各ピクセル要素について、オーバードライブ回路部 5 3 0 は現在のピクセル値 5 0 1（例えば、直前のフレーム更新からのピクセル値）をターゲットピクセル値 5 0 2（例えば、次のフレーム更新についてのピクセル値）と比較して、フレーム更新期間内にピクセル値の所望の変化を達成するためにピクセル要素に印加されるべき電圧の量を決定する場合がある。

【 0 0 6 6 】

いくつかの実施形態では、オーバードライブ回路部 5 3 0 はアレー 5 1 0 に含まれるピクセル要素のそれぞれについて、ターゲット電圧 5 0 3 を決定する場合がある。上記で説明したように、特定のピクセル要素についてのターゲット電圧 5 0 3 は、該ピクセル要素をそのターゲットピクセル値 5 0 2 に安定させる。しかしながら、ピクセル値の変化が閾値量を超えている場合には、ターゲット電圧 5 0 3 は、ピクセル要素を所与のフレーム更新期間内に所望のピクセル値に駆動するためには十分でない場合がある。言い換えると、ピクセル要素は、自らのターゲットピクセル値 5 0 2 に安定するための時間を十分に有していない場合がある。そのため、いくつかの実施形態では、オーバードライブ回路部 5 3 0 は、アレー 5 1 0 に含まれる 1 以上のピクセル要素に印加されるべきオーバードライブ電圧 5 0 4 を決定する場合がある。上記で説明したように、オーバードライブ電圧 5 0 4 は、ピクセル要素についてのターゲット電圧 5 0 3 を超える（例えば、より高い、又は、より低い）場合があり、このため、オーバードライブ電圧 5 0 4 はターゲットピクセル値に向けて該ピクセル要素をより速く遷移させる場合がある。

【 0 0 6 7 】

本開示の態様は、オーバードライブ電圧はピクセル要素をより短い期間でターゲットピクセル値に到達させ得るが、オーバードライブ電圧はピクセル要素をターゲットピクセル値からオーバーシュートさせることを認識している。言い換えると、ピクセル要素は、最終的にターゲットピクセル値とは異なるピクセル値で安定する場合がある。このことは、連続するフレーム間でのピクセル電圧の計算を更に複雑にし得る。例えば、上記で説明したように、特定のピクセル要素に適用されるべきオーバードライブの量は、現在のピクセル値 5 0 1 からターゲットピクセル値 5 0 2 までの変化量に依存する。しかし、オーバードライブ電圧がピクセル要素に印加された後には、そのピクセル要素の現在のピクセル値 5 0 1 は、そのピクセル要素の前のフレームからのピクセル値に依存する。

【 0 0 6 8 】

例えば図 2 を参照して、第 3 のピクセル調節期間（例えば、時刻  $t_6$  から  $t_8$ ）の間に、特定のピクセル要素に印加されるべきピクセル電圧は、そのピクセル要素の現在の（例えば、時刻  $t_6$  から  $t_7$  までの）ピクセル値に加えて次の表示期間の開始（例えば、時刻  $t_8$ ）までに到達すべきターゲットピクセル値にも依存し得る。第 2 ピクセル調節期間（例えば、時刻  $t_3$  から  $t_5$ ）の間にオーバードライブ電圧がピクセル要素に印加される場合、ピクセル要素についての現在のピクセル値は、前のフレームについての該ピクセル要素のターゲットピクセル値とは異なる場合がある。より詳細には、ピクセル要素の現在の（例えば、第 3 のピクセル調節期間の間の）ピクセル値は、そのピクセル要素の第 1 のピクセル調節期間からの（例えば、時刻  $t_0$  から  $t_2$  までの）ピクセル値に加えて、そのピクセル要素の第 2 のピクセル調節期間からのピクセル値にも依存し得る。しかしながら、メモリの制限のために、受信した表示データの 2 以上のフレームを記憶することは、表示デバイスにとって実用的（または、実現可能）ではない場合がある。

【 0 0 6 9 】

そのため、いくつかの実施形態では、表示デバイス 5 0 0 は、ピクセルアレー 5 1 0 に含まれる各ピクセル要素をそのターゲット電圧 5 0 3 に安定させることで、ピクセル電圧の計算の複雑さを低減する場合がある。例えば、ピクセルアレー 5 1 0 の初期スキャンの間に、表示デバイス 5 0 0 は、ピクセルアレー 5 1 0 に含まれる 1 以上のピクセル要素にオーバードライブ電圧 5 0 4 を印加する場合がある。そして、表示デバイス 5 0 0 は、初期スキャンから、それぞれのターゲット電圧 5 0 3 をオーバードライブされた任意のピクセル要素（例えば、オーバードライブ電圧が印加されたピクセル要素）に印加することで

、ピクセルアレー 5 1 0 の少なくとも一部を再スキャンする場合がある。各ピクセル調整期間の終了時において、各ピクセル要素がそのターゲットピクセル値に調節されるため、次のフレームについての現在のピクセル値 5 0 1 は、直前のフレームについてのそのピクセル要素のターゲットピクセル値 5 0 2 と等しくなる場合がある。これに応じて、画像バッファメモリ（例えば、図 3 の表示メモリ 3 3 0 ）は、表示データの現在のフレーム（例えば、そこからターゲットピクセル値 5 0 2 が取得される）、及び、表示データの直前のフレーム（例えば、そこから現在のピクセル値 5 0 1 が取得される）のみを記憶する場合がある。

#### 【 0 0 7 0 】

いくつかの実施形態では、スキャン / 再スキャン回路部 5 4 0 は、ターゲット電圧 5 0 3 及びオーバードライブ電圧 5 0 4 に基づいて、スキャン電圧 5 0 5 と、再スキャン電圧 5 0 6 と、を生成する場合がある。例えば、各スキャン電圧 5 0 5 は、アレー 5 1 0 の初期スキャンの間に、ピクセルアレー 5 1 0 に含まれる各ピクセル要素に印加される場合がある。そのため、スキャン電圧 5 0 5 は、任意のピクセル要素についての、次の表示期間の開始時までにはそのピクセル要素のターゲットピクセル値に安定させることができないオーバードライブ電圧 5 0 4 を含む場合がある。更に、再スキャン電圧 5 0 6 は、（例えば、初期スキャンから）オーバードライブされた各ピクセル要素をそのターゲット電圧 5 0 3 に駆動するために用いられる場合がある。これに応じて、再スキャン電圧 5 0 6 は、1 以上のピクセル要素についてのターゲット電圧 5 0 3 のみを含む場合がある。

#### 【 0 0 7 1 】

本開示の態様は、多くの実例では、次の表示期間の前にピクセルの全ての行をスキャン及び再スキャンすることが実用的（又は実現可能）でない場合があることを認識している。そのため、表示デバイス 5 0 0 は、いくつかの実施形態では、初期スキャンの間、ピクセルアレー 5 1 0 に含まれる少なくともいくつかのピクセル要素にそれらのターゲット電圧 5 0 3 を印加し、一方で、ピクセル要素のより少ない一部のみにそれらのオーバードライブ電圧 5 0 4 を印加する場合がある。言い換えると、スキャン電圧 5 0 5 は、アレー 5 1 0 に含まれるピクセル要素のうち少なくともいくつかのためのターゲット電圧 5 0 3 と、アレー 5 1 0 に含まれる他のピクセル要素のためのオーバードライブ電圧 5 0 4 と、を含む場合がある。これに応じて、表示デバイス 5 0 0 は、オーバードライブされたピクセル要素を含むピクセルアレー 5 1 0 の行のうち一部のみを再スキャンする場合がある。いくつかの実施形態では、スキャン / 再スキャン回路部 5 4 0 は、再スキャンされるべき該一部の行を示す再スキャン制御信号（R \_ C T R L ）をタイミングコントローラ 5 2 0 に供給する場合がある。そのため、再スキャン動作の間、タイミングコントローラ 5 2 0 は再スキャン制御信号によって再スキャン電圧 5 0 6 を印加されるべきと示された該一部の行のみを逐次的に活性化する場合がある。

#### 【 0 0 7 2 】

図 6 は、表示デバイス内のピクセル更新の例示的なタイミングを表すタイミング図 6 0 0 を示す。表示デバイスは、それぞれに、図 1、3、及び、5 の表示デバイス 1 2 0、3 0 0、又は 5 0 0 の例示的な実施形態である場合がある。例えば図 5 を参照して、画像は、連続するフレーム更新期間の間に、ピクセルアレー 5 1 0 によって周期的に表示される場合がある。各フレーム更新期間（例えば、時刻  $t_0$  から  $t_3$ 、及び、時刻  $t_3$  から  $t_6$ ）は、ピクセル調節期間（例えば、時刻  $t_0$  から  $t_2$ 、及び、時刻  $t_3$  から  $t_5$ ）と、これに続く表示期間（例えば、時刻  $t_2$  から  $t_3$ 、及び、時刻  $t_5$  から  $t_6$ ）を含む場合がある。各ピクセル調節期間の間に、ピクセルアレー 5 1 0 はピクセル更新（例えば、時刻  $t_0$  から  $t_1$ 、及び、時刻  $t_3$  から  $t_4$ ）で駆動される。更新されたピクセル要素は、その後、続く表示期間の間に、ユーザに対して“表示される”（例えば、可視化される）。例えば、ピクセルアレー 5 1 0 上の画像は、ピクセルアレー 5 1 0 を照らすように構成された（図 1 のバックライト 1 2 4 のような）光源を活性化することにより、ユーザに対して表示され得る。

#### 【 0 0 7 3 】

10

20

30

40

50

各ピクセル調節期間の間に、ピクセルアレー 510 の個々の行は、（例えば、カスケード方式で）逐次的に更新される場合がある。曲線 601 及び 602 は、その行に関連付けられた行番号に基づく、ピクセルアレー 510 の各行についての例示的なピクセル更新時間を示す。そのため、図 6 に示すように、より高い（例えば、カスケードの更に下）ライン番号に関連づけられた行は、より低い（例えば、カスケードの開始に向けて）ライン番号に関連づけられた行よりも遅れて更新される。しかし、ピクセル要素が表示期間の間にのみ照らされるため、表示期間の前又は後に現れたピクセル値の如何なる変化も、ユーザによって視認され得ない。その結果、より高いライン番号に関連するピクセル要素（例えば、該カスケードのうちより遅く更新されるピクセル要素）は、より低いライン番号に関連するピクセル要素（例えば、該カスケードのうちより早く更新されるピクセル要素）よりも、自身の所望のピクセル値に遷移するための時間が短い。例えば、アレー 510 の最上段のピクセル要素は、それらのターゲットピクセル値へ到達するために、ピクセル調節期間の継続時間（ $T$ ）を有し得る。これに対して、アレー 510 の中段のピクセル要素は、それらのターゲットピクセル値に到達するために有意に短い期間（ $T - x$ ）を有する場合があります。アレー 210 の最下段のピクセル要素は、それらのターゲットピクセル値に到達するために更に短い期間（ $T - 2x$ ）を有する場合があります。

10

#### 【0074】

本開示の態様は、ピクセルアレー 510 のうち個々の行について遷移時間が異なるために、ピクセル要素の異なる行に異なる量のオーバードライブが適用され得ることを認識している。例えば、相対的に低いライン番号に関連するピクセル要素は、次の表示期間までにそれらのターゲットピクセル値に到達するために、少しのオーバードライブしか要しないか、オーバードライブを要しない場合がある。しかし、より高いライン番号に関連するピクセル要素は、次の表示期間までにそれらのターゲットピクセル値に到達するために、しだいにより高いオーバードライブ電圧を要する場合がある。そのため、いくつかの実施形態では、オーバードライブ回路部 530 は、アレー 510 におけるそれらの位置（例えば、ライン番号）に少なくとも部分的に基づいて、ピクセル要素の行に適用されるオーバードライブの量を漸次増加させる場合がある。より詳細には、より高いライン番号に関連付けられた（例えば、表示更新期間のうちより遅く更新される）ピクセル要素は、一般に、より低いライン番号に関連付けられた（例えば、表示更新期間のうちより早く更新される）ピクセル要素よりも大きい量のオーバードライブ電圧を供給される。

20

30

#### 【0075】

図 7A は、いくつかの実施形態に係る、プログレッシブオーバードライブの実装例を示すタイミング図 700A を示す。いくつかの実施形態では、図 7A に示されたプログレッシブオーバードライブの方法は、図 5 のオーバードライブ回路部 530 によって実行される場合がある。タイミング図 700A は、ピクセル調節期間（例えば、時刻  $t_0$  から  $t_1$ ）と、これに続く表示期間（例えば、時刻  $t_1$  から  $t_2$ ）と、を含み得る例示的なフレーム更新期間（例えば、時刻  $t_0$  から  $t_2$ ）を示す。曲線 701 は、ピクセルアレー 510 の各行に関連付けられたライン番号に基づく、その行の例示的なピクセル更新時間を表す。

#### 【0076】

図 7A の例では、オーバードライブ回路部 530 は、ピクセルアレー 510 のライン  $1_0$  から  $1_p$  の間のピクセル要素の連続する行について、プログレッシブオーバードライブ電圧を生成する場合がある。より詳細には、オーバードライブ電圧の量は、ライン  $1_0$  から  $1_p$  の間のピクセル要素の連続する行それぞれについて、漸次増加する場合がある。例えば、ライン  $1_p$  に接続されたピクセル要素は、表示期間の開始までにピクセル値において同量の変化（例えば、グレースケールのレベルにおいて同量の変化）を達成するために、ライン  $1_0$  に接続されたピクセル要素よりも高い電圧を印加される場合がある。いくつかの態様では、ピクセル要素に印加可能なオーバードライブの量は、データドライバ 512 の電圧レンジによって制限され得る。図 7A の例では、ライン  $1_p$  に接続されたピクセル要素が更新される時刻までに、オーバードライブ電圧が飽和する場合がある。そのため、オーバードライブ回路部 530 は、ピクセルアレー 510 のライン  $1_p$  とライン  $1_M$  の

40

50

間のピクセル要素の行に対して最大のオーバードライブを適用する場合がある。言い換えると、ライン  $l_p$  とライン  $l_M$  の間の任意のピクセル要素がピクセル調節期間の間に更新されるときには、オーバードライブ回路部 530 は、そのようなピクセル要素のピクセル値を変更するために最大のオーバードライブを適用する場合がある。

#### 【0077】

本開示の態様は、プログレッシブオーバードライブの必要性はLCDディスプレイの特性（例えば、ピクセルの数、温度、応答時間、等）に強く依存し得ることを認識している。例えば、より少ないピクセル要素を有する（又は、少なくともピクセルのラインがより少ない）LCDディスプレイは、ピクセルアレー全体の更新のために必要となる時間が短い場合がある。そのため、より小さいピクセルアレーにおいては、ピクセル要素の一つの行から他の行へのオーバードライブの変化がよりゆるやかである場合がある。本開示の態様は、いくつかの実施形態では、次の表示期間までにオーバードライブを用いることなく（例えば、ターゲット電圧のみをピクセル要素に印加することで）、1以上のピクセル要素の行がそのターゲットピクセル値で安定する場合があることを更に認識している。

#### 【0078】

図7Bは、いくつかの実施形態に係る、プログレッシブオーバードライブの他の実装例を示すタイミング図700Bを示す。いくつかの実施形態では、図7Bに示されたプログレッシブオーバードライブの方法は、図5のオーバードライブ回路部530によって実行される場合がある。タイミング図700Bは、ピクセル調節期間（例えば、時刻  $t_0$  から  $t_1$ ）と、これに続く表示期間（例えば、時刻  $t_1$  から  $t_2$ ）と、を含み得る例示的なフレーム更新期間（例えば、時刻  $t_0$  から  $t_2$ ）を示す。曲線702は、ピクセルアレー510の各行に関連付けられたライン番号（例えば、ゲートライン）に基づく、その行の例示的なピクセル更新時間を表す。

#### 【0079】

図7Bの例では、オーバードライブ回路部530は、ピクセルアレー510のライン  $l_0$  から  $l_n$  の間のピクセル要素の行に、如何なるオーバードライブも印加しない場合がある。その代わりに、ピクセル調節期間の間、ライン  $l_0$  から  $l_n$  の間の各ピクセル要素はそのターゲット電圧を印加される場合がある。オーバードライブ回路部530は、ピクセルアレー510のライン  $l_n$  から  $l_p$  の間のピクセル要素の連続する行について、漸増するオーバードライブ電圧を生成する場合がある。上記で説明したように、オーバードライブ電圧の量は、ライン  $l_n$  から  $l_p$  の間のピクセル要素の連続する行それぞれについて、漸次増加する場合がある。図7Bの例では、ライン  $l_p$  に接続されたピクセル要素が更新される時刻までに、オーバードライブ電圧が飽和する場合がある。そのため、オーバードライブ回路部530は、ピクセルアレー510のライン  $l_p$  とライン  $l_M$  の間のピクセル要素の行に対して最大のオーバードライブを適用する場合がある。言い換えると、ライン  $l_p$  とライン  $l_M$  の間の任意のピクセル要素がピクセル調節期間の間に更新されるときには、オーバードライブ回路部530は、そのようなピクセル要素のピクセル値を変更するために最大のオーバードライブを適用する場合がある。

#### 【0080】

オーバードライブを（図7A及び7Bに示したような）漸進的な態様で適用することで、オーバードライブ回路部530は、アレー510のピクセル要素のそれぞれが、次の表示期間より前に、そのターゲットピクセル値（あるいは、少なくとも、ターゲットピクセル値に十分に近いピクセル値）に更新されることを保証する場合がある。その上、（例えば、図7Bで示したように）オーバードライブをピクセルアレーの一部のみに選択的に適用することで、本明細書の実施形態は、ピクセルアレー510のためにオーバードライブ電圧を生成するために要するリソース（例えば、メモリ、時間、電力、及び他の処理リソース）の量を低減し得る。

#### 【0081】

図8は、いくつかの実施形態に係る、例示的なオーバードライブ補正動作を表すタイミング図800を示す。いくつかの実施形態では、図8で示されたオーバードライブ補正動

10

20

30

40

50

作は、それぞれに、図 1、3、及び、5 の表示デバイス 120、300、又は 500 の何れかによって実行される場合がある。例えば図 5 を参照して、画像は、連続するフレーム更新期間の間に、ピクセルアレー 510 によって周期的に表示される場合がある。各フレーム更新期間（例えば、時刻  $t_0$  から  $t_4$ 、及び、時刻  $t_4$  から  $t_8$ ）は、ピクセル調節期間（例えば、時刻  $t_0$  から  $t_3$ 、及び、時刻  $t_4$  から  $t_7$ ）と、これに続く表示期間（例えば、時刻  $t_3$  から  $t_4$ 、及び、時刻  $t_7$  から  $t_8$ ）を含む場合がある。

#### 【0082】

各ピクセル調節期間の間に、ピクセルアレー 510 の個々の行は、（例えば、カスケード方式で）逐次的に更新される場合がある。曲線 812、814、822、及び、824 は、各行に関連付けられた行番号に基づく、ピクセルアレー 510 の対応する各行についての例示的なピクセル更新時間を示す。より詳細には、第 1 のピクセル調節期間（例えば、時刻  $t_0$  から  $t_3$ ）の間において、曲線 812 はピクセルアレー 510 の初期スキャン（例えば、時刻  $t_0$  から  $t_1$ ）に対応し、曲線 814 はピクセルアレー 510 の再スキャン（例えば、時刻  $t_1$  から  $t_2$ ）に対応する。同様に、第 2 のピクセル調節期間（例えば、時刻  $t_4$  から  $t_7$ ）の間において、曲線 822 はピクセルアレー 510 の初期スキャン（例えば、時刻  $t_4$  から  $t_5$ ）に対応し、曲線 824 はピクセルアレー 510 の再スキャン（例えば、時刻  $t_5$  から  $t_6$ ）に対応する。いくつかの実施形態では、表示デバイス 500 は、初期スキャンと再スキャンの間に生じ得る任意の不所望なエッジを隠すために、ディザリングの技術を用いる場合がある。

#### 【0083】

図 8 の例では、オーバードライブ回路部 530 は、ピクセルアレー 510 のライン  $l_0$  から  $l_n$  の間のピクセル要素の行に、如何なるオーバードライブも印加しない場合がある。そのため、ライン  $l_0$  から  $l_n$  の間の各行は、初期スキャン 812 及び 822 の間、そのターゲット電圧を印加される場合がある。オーバードライブ回路部 530 は、ピクセルアレー 510 のライン  $l_n$  から  $l_m$  の間のピクセル要素の各行について、オーバードライブ電圧を生成する場合がある。いくつかの実施形態では、オーバードライブ電圧の量は、ライン  $l_n$  から  $l_m$  の間のピクセル要素の連続する行それぞれについて、漸次増加する場合がある。そのため、ライン  $l_n$  から  $l_m$  の間の各ピクセル要素は、初期スキャン 812 及び 822 の間、それぞれのオーバードライブ電圧に駆動される場合がある。オーバードライブ電圧がピクセルアレー 510 の行の一部（ライン  $l_0$  から  $l_n$ ）のみに印加されるため、再スキャン 814 及び 824 のそれぞれは、ピクセルアレー 510 の行の対応する一部に限定される。より詳細には、ライン  $l_n$  から  $l_m$  の間の各ピクセル要素は、再スキャン 814 及び 824 の間、そのターゲット電圧に駆動される。

#### 【0084】

なお、再スキャン 814 の後、ピクセルアレー 510 の各ピクセル要素（ライン  $l_0$  から  $l_m$ ）は、そのターゲットピクセル値で安定する場合がある。そのため、オーバードライブ回路部 530 は、第 1 のピクセル調節期間から、第 2 のピクセル調節期間の間に印加されるべきオーバードライブ電圧を計算するために、（例えば現在のピクセル値として）ターゲットピクセル値を用いる場合がある。これに応じて、本実施形態は、（例えば、初期スキャン 812 及び 822 の間に少なくともいくつかのピクセル要素にオーバードライブ電圧を印加することにより）ピクセルの遷移時間がより早くなるという利益を提供するとともに、後続のフレーム更新において印加されるべきピクセル電圧を求めるためのストレージの要求量及び計算の複雑さを低減する（例えば、再スキャン 814 及び 824 の間にオーバードライブされたピクセル要素にターゲット電圧を印加することによる）。

#### 【0085】

中心視の描写

#### 【0086】

上述したように、ヘッドマウントディスプレイ（HMD）デバイスは、ユーザの頭に着用、又は、さもなくば取り付けのように構成されている。HMD デバイスは、ユーザの目の一方又は両方の前方に配置される 1 以上のディスプレイを備える。HMD デバイスは、

10

20

30

40

50

ユーザの周辺環境（例えば、カメラでキャプチャされた）からの情報及び／又は画像を重ねられた、画像ソースからの画像（例えば、静止画像、連続した画像、及び／又は、動画）を表示し、例えば、ユーザを仮想世界に没頭させ得る。

【 0 0 8 7 】

いくつかの態様では、（HMDデバイスのような）表示デバイスは、ユーザの目の位置に基づいて動的に更新された画像をユーザに表示する場合がある。より詳細には、表示デバイスは、ユーザの目の動きを追跡する場合があり、画像のうちユーザが凝視する点と一致する部分（例えば、中心視領域）を、画像の他の領域（例えば、全視野画像）よりも高い解像度で表示する場合がある。そのため、いくつかの実施形態では、表示デバイスは高解像度の中心視画像を、全視野（FFOV）画像のうち中心視領域に重ねられた画像として表示または描写する場合がある。

10

【 0 0 8 8 】

図9は、いくつかの実施形態に係る、中心視描写回路部を有する表示デバイス900のブロック図を示す。表示デバイス900は、図1の表示デバイス120、又は、図3の表示デバイス300の例示的な実施形態である場合がある。表示デバイス900は、ピクセルアレー910、タイミングコントローラ920、及び、中心視描写回路部930、スキャン／再スキャン回路部940を備える場合がある。いくつかの実施形態では、表示デバイス900はLCD表示パネルに対応する場合がある。ピクセルアレー910は複数のピクセル要素（シンプルにするために図示せず）を備えている場合がある。ピクセル要素の各行はそれぞれのゲートライン（GL）に接続され、ピクセル要素の各列はそれぞれのデータライン（DL）に接続されている。

20

【 0 0 8 9 】

データドライバ912は、データラインDL（1） DL（N）を介してピクセルアレー510に接続されている。いくつかの態様では、データドライバ912は、データラインDL（1） DL（N）を介して、個別のピクセル要素に（例えば、対応する電圧の形で）ピクセルデータを印加して、ピクセルアレー910に表示されるフレーム又は画像を更新するように構成されている場合がある。なお、ピクセルアレー910のピクセル要素の各行は、それぞれ同じデータラインDL（1） DL（N）に接続される。そのため、表示デバイス900は、ピクセル要素の行を逐次的に（例えば、一度に一行）スキャンすることで、ピクセルアレー910を更新する場合がある。

30

【 0 0 9 0 】

ゲートドライバ914は、ゲートラインGL（1） GL（M）を介してピクセルアレー910に接続される。いくつかの態様では、ゲートドライバ914は、任意の所与の時刻において、データドライバ912によって駆動されるピクセルデータをピクセル要素の何れの行が受信するかを選択するように構成される場合がある。例えば、ゲートドライバ914は、ゲートラインGL（1） GL（M）のそれぞれを、ピクセルアレー910の各行が更新されるまで、逐次を選択する、あるいは活性化するように構成される場合がある。

【 0 0 9 1 】

タイミングコントローラ920は、データドライバ912とゲートドライバ914のタイミングを制御するように構成される。例えば、タイミングコントローラ920は、タイミング制御信号の第1セット（D\_CTRL）を生成して、データドライバ912によるデータラインDL（1） DL（N）の活性化を制御する場合がある。タイミングコントローラ920は、タイミング制御信号の第2セット（G\_CTRL）を更に生成して、ゲートドライバ914によるゲートラインGL（1） GL（M）の活性化を制御する場合がある。タイミングコントローラ920は、信号生成器922によって生成される基準クロック信号に基づいて、D\_CTRL及びG\_CTRL信号を生成する場合がある。

40

【 0 0 9 2 】

中心視描写回路部930は、受信した表示データのフレームからのFFOVピクセル値901及び中心視ピクセル値902に少なくとも部分的に基づいて、ピクセルアレー91

50

0 の各ピクセル要素に印加されるべきピクセル電圧を決定する場合がある。例えば、F F O V ピクセル値 9 0 1 及び中心視ピクセル値 9 0 2 は、( 図 3 の表示メモリ 3 3 0 のような ) フレームバッファメモリから取得される場合がある。いくつかの態様では、F F O V ピクセル値 9 0 1 は F F O V 画像に対応する場合があり、中心視ピクセル値 9 0 2 は、F F O V 画像と合成されて表示されるべき中心視画像に対応する場合がある。例えば、F F O V 画像は相対的に低解像度で描写され、中心視画像は相対的に高解像度で描写されて F F O V 画像内に位置する場合がある。

#### 【 0 0 9 3 】

例えば、図 1 0 は、ピクセルアレー 9 1 0 上に表示され得る合成画像 1 0 0 0 を示す。合成画像 1 0 0 0 は、F F O V 画像 1 0 0 2 に統合された中心視画像 1 0 0 4 を含むように示されている。F F O V 画像 1 0 0 2 は、ユーザの視線 1 0 0 8 の周辺に広がる。そのため、F F O V 画像 1 0 0 2 は、ピクセルアレー 9 1 0 のピクセル要素のうち ( 全てで無い場合は ) 大半にわたって表示されるべきフルフレーム画像に対応し得る。例えば、仮想現実環境においては、F F O V 画像 1 0 0 2 が、任意の所与の瞬間にユーザの目によって視認される、観測可能な仮想又は現実の世界の範囲を示し得る。一方、中心視画像 1 0 0 4 は、ユーザの視線 1 0 0 8 の中心視領域にのみ広がる。中心視領域は合成画像 1 0 0 0 のうち、ユーザの目 1 0 0 6 のうち中心窩の部分 ( 例えば、任意の所与の瞬間にユーザが最大の視力を持つと判断される領域 ) によって視認可能な部分に対応し得る。

#### 【 0 0 9 4 】

図 1 0 に示すように、中心視画像 1 0 0 4 は、合成画像 1 0 0 0 のうち、F F O V 画像 1 0 0 2 と比べて相対的に小さい領域を内包する場合がある。より詳細には、合成画像 1 0 0 0 を生成する時、中心視画像 1 0 0 4 は F F O V 画像 1 0 0 2 の ( 例えば、ユーザの視線 1 0 0 8 のうち中心視領域に一致する ) 一部に重ねられる場合がある。中心視画像 1 0 0 4 がユーザの視力が最大となる領域に広がるため、中心視画像 1 0 0 4 は F F O V 1 0 0 2 よりも高い解像度で描写される場合がある。例えば、中心視画像 1 0 0 4 の各ピクセルはピクセルアレー 9 1 0 のそれぞれのピクセル要素上に描写され得る。これに対して、F F O V 画像 1 0 0 2 の各ピクセルはピクセルアレー 9 1 0 の複数のピクセル要素にわたって描写され得る。このため、中心視画像 1 0 0 4 は、合成画像 1 0 0 0 において F F O V 画像 1 0 0 2 よりも鮮明に表示され得る。

#### 【 0 0 9 5 】

図 9 に戻って、中心視描写回路部 9 3 0 は、F F O V ピクセル値 9 0 1 及び中心視ピクセル値 9 0 2 にそれぞれ基づいて、ピクセルアレー 9 1 0 に印加されるべき F F O V 電圧 9 0 3 及び中心視電圧 9 0 4 を決定する場合がある。より詳細には、F F O V 電圧 9 0 3 及び中心視電圧 9 0 4 は、F F O V ピクセル値 9 0 1 及び中心視ピクセル値 9 0 2 に関連付けられたターゲット電圧に対応し得る。例えば、F F O V ピクセル値 9 0 1 は、ピクセルアレー 9 1 0 のピクセル要素のうち ( すべてで無い場合は ) ほとんどにわたって表示されるべきフルフレーム画像 ( 例えば、F F O V 画像 1 0 0 2 ) に対応し得る。F F O V 画像はユーザの視線の周辺に広がり得るため、F F O V ピクセル値 9 0 1 は相対的に低い解像度を有する場合がある。これに対して、中心視ピクセル値 9 0 2 はユーザの視線の中心視画像のみに広がる中心視画像 ( 例えば、中心視画像 1 0 0 4 ) に対応し得る。中心視領域はユーザが最大の視力を有すると判断される領域に対応するため、中心視ピクセル値 9 0 2 は相対的に高い解像度を有する場合がある。

#### 【 0 0 9 6 】

本開示の態様は、合成画像 1 0 0 0 の各ピクセルについてのそれぞれのピクセル値を受信及び記憶するために必要な帯域幅及びメモリの量が非常に多く成り得ることをも認識している。そのため、いくつかの実施形態では、表示デバイス 9 0 0 は F F O V 画像 1 0 0 2 と中心視画像 1 0 0 4 とを同じフレームバッファ画像内で別々に受信する場合がある。例えば、図 1 1 は表示デバイス 9 0 0 によって受信され得る例示的なフレームバッファ画像 1 1 0 0 を示す。フレームバッファ画像 1 1 0 0 は、F F O V 画像 1 1 0 2 と、中心視画像 1 1 0 4 とを含む。例えば、F F O V 画像 1 1 0 2 及び中心視画像 1 1 0 4 は、それ

10

20

30

40

50

ぞれ、図 10 の F F O V 画像 1 0 0 2 及び中心視画像 1 0 0 4 と対応し得る。

【 0 0 9 7 】

図 11 の例では、F F O V 画像 1 1 0 2 はフレームバッファ画像 1 1 0 0 の第 1 部分において符号化される場合があり、中心視画像 1 1 0 4 はフレームバッファ画像 1 1 0 0 の第 2 部分において符号化される場合がある。これに応じて、F F O V 画像 1 1 0 2 及び中心視画像 1 1 0 4 は、表示デバイス 9 0 0 によって連続して受信され得る。いくつかの実施形態では、F F O V 画像 1 1 0 2 は、（例えば、図 10 で示したように）それが表示されるべき解像度にアップスケールされていない。むしろ、F F O V 画像 1 1 0 2 及び中心視画像 1 1 0 4 は共に、それらの“ネイティブ”な解像度で送信される。このことにより、フレームバッファ画像 1 1 0 0 を伝達及び記憶するために必要な帯域幅を実質的に低減し得る。

10

【 0 0 9 8 】

いくつかの実施形態では、F F O V 画像 1 1 0 2 の中心視領域 1 1 0 8 を指定する中心視座標 1 1 0 6 が、フレームバッファ画像 1 1 0 0 内で符号化されている場合がある。例えば、表示デバイス 9 0 0 は、中心視座標 1 1 0 6 に基づいて、ピクセルアレー 9 1 0 に合成画像を描写するときに F F O V 画像 1 1 0 2 に対して中心視画像 1 1 0 4 を重ねる場所を決定する場合がある。中心視座標 1 1 0 6 は、F F O V 画像 1 1 0 2 の中心視領域 1 1 0 8 に対応する少なくとも 1 つのピクセルの位置を指定する場合がある。例えば、いくつかの態様では、中心視座標 1 1 0 6 は、中心視領域の特定の角、又は中心のピクセルを指定し得る。他のいくつかの態様では、中心視座標 1 1 0 6 は中心視領域の境界を定義するピクセルのセットを指定する場合がある。

20

【 0 0 9 9 】

いくつかの実施形態では、中心視座標 1 1 0 6 は、フレームバッファ画像 1 1 0 0 のうち、F F O V 画像 1 1 0 2 の非表示領域 1 0 1 0 と一致する部位に符号化され得る。図 11 の例では、中心視座標 1 1 0 6 は、フレームバッファ画像 1 1 0 0 の左上の隅において符号化される。いくつかの実施形態では、中心視座標 1 1 0 6 はピクセルデータとして符号化される場合がある。例えば、中心視座標 1 1 0 6 はフレームバッファ画像 1 1 0 0 の最初の 3 2 ピクセルを用いて符号化される場合がある。いくつかの実装では、中心視座標 1 1 0 6 は、ピクセル毎 2 ビットのスパース符号化技術を用いて符号化される場合がある。例えば、「00」のビットは黒のピクセルとして符号化される場合があり、「01」のビットは赤のピクセルとして符号化される場合があり、「10」のビットは緑のピクセルとして符号化される場合があり、そして、「11」のビットは白のピクセルとして符号化される場合がある。

30

【 0 1 0 0 】

いくつかの実施形態では、F F O V 画像 1 1 0 2 の各ピクセルは、それぞれの F F O V ピクセル値 9 0 1 に対応する場合があり、また、中心視画像 1 1 0 4 の各ピクセルは、それぞれの中心視ピクセル値 9 0 2 に対応する場合がある。F F O V 画像 1 1 0 2 はアップスケールされた解像度で表示されるべきであるため、中心視描写回路部 9 3 0 は、各 F F O V ピクセル値 9 0 1 を、（例えば、ピクセルアレー 9 1 0 のそれぞれのピクセル要素に印加されるべき）複数の F F O V 電圧 9 0 3 と関連付ける場合がある。一方で、中心視画像はそのネイティブな解像度（又は、少なくともネイティブに近い解像度）で表示される得るため、中心視描写回路部 9 3 0 は各中心視電圧 9 0 4 を、（例えば、ピクセルアレー 9 1 0 の一部に含まれる、それぞれのピクセル要素に印加されるべき）それぞれの中心視電圧 9 0 4 と関連づけする場合がある。

40

【 0 1 0 1 】

本開示の態様は、F F O V 画像 1 1 0 2 の解像度が相対的に低いため、F F O V 電圧 9 0 3 をピクセルアレー 9 1 0 に印加するときに、（例えば、複数のピクセル要素が同じ F F O V 電圧 9 0 3 を印加され得るため）行毎にスキャンすることが非効率であり得ることを更に認識している。そのため、いくつかの実施形態では、表示デバイス 9 0 0 は、異なる時刻において異なる速度で、ピクセルアレー 9 1 0 上に F F O V 画像 1 1 0 2 及び中心

50

視画像 1104 を描写し得る。例えば図 12A を参照して、表示デバイス 900 は、初期スキャン処理 1200A の間に、FFOV 画像 1210 をピクセルアレー 910 上に描写する場合がある。より詳細には、表示デバイス 900 は、ピクセルアレー 910 の各行を（例えば、ライン  $l_0$  から  $l_M$  まで）スキャンすることで、FFOV 画像 1210 を描写する場合がある。例えば図 12B を参照して、表示デバイス 900 は、続く再スキャン動作 1200B の間に、FFOV 画像 1210 に重ねられる画像として、中心視画像 1220 をピクセルアレー 910 上に描写する場合がある。より詳細には、表示デバイスは、ピクセルアレー 910 のうち FFOV 画像 1210 の中心視領域に対応する一部の行のみを（例えば、ライン  $l_{f1}$  から  $l_{f2}$  まで）再スキャンすることで、中心視画像 220 を描写する場合がある。

10

#### 【0102】

いくつかの実施形態では、表示デバイス 900 は、フレームバッファ画像において各画像を受信する順で、FFOV 画像 1210 及び中心視画像 1220 をピクセルアレー 910 上に描写する場合がある。図 11 に関して上記で説明したように、表示デバイス 900 は、FFOV 画像 1210 及び中心視画像 1220 を順次にフレームバッファ画像において受信する場合がある。そのため、表示デバイス 900 は、FFOV 画像 1210 を受信した時に初期スキャン動作 1200A を実行する場合があり、中心視画像 1220 を受信した時に再スキャン動作 1200B を実行する場合がある。なお、FFOV 画像 1210 は、再スキャン動作 1200B が実行される時刻までに、既にピクセルアレー 910 上に描写されているであろう。そのため、FFOV ピクセル値の少なくともいくつかは、初期スキャン処理 1200A が終了するとすぐに廃棄される場合がある。このことは、表示デバイス 900 のメモリの要件を更に低減し得る。

20

#### 【0103】

いくつかの実施形態では、スキャン/再スキャン回路部 940 は、スキャン電圧 905 及び再スキャン電圧 906 を、FFOV 電圧 903 及び中心視電圧 904 に基づいて生成する場合がある。例えば、スキャン電圧 905 は、ピクセルアレー 910 の初期スキャンの間に、ピクセルアレー 910 の各ピクセルに印加される場合がある。そのため、スキャン電圧 905 はそれぞれの FFOV 電圧 903 に対応する場合がある。更に、再スキャン電圧 906 は、それぞれの中心視電圧 904 を、ピクセルアレー 910 上に表示される FFOV 画像の中心視領域内の各ピクセル要素に印加するために用いられる場合がある。これに応じて、再スキャン電圧 905 は、再スキャンされるピクセル要素の少なくともいくつかについての中心視電圧 904 を含む場合がある。再スキャン動作の間、スキャン/再スキャン回路部 940 は、ピクセルアレー 910 のうち再スキャンされる行に含まれる FFOV 画像の中心視領域の外側にある任意の（図 12B の列  $c_0$  から  $c_{f1}$  まで、及び、 $c_{f2}$  から  $c_N$  までに含まれるピクセル要素のような）ピクセル要素に、FFOV 電圧 903 を再印加する場合がある。そのため、いくつかの実施形態では、再スキャン電圧 906 は、再スキャンされるピクセル要素のうち少なくともいくつかについての FFOV 電圧 903 をまた含む場合がある。

30

#### 【0104】

図 13 は、いくつかの実施形態に係る、例示的な中心視描写動作を表すタイミング図 1300 を示す。いくつかの実施形態では、図 8 で示された中心視描写動作は、それぞれに、図 1、3、及び、9 の表示デバイス 120、300、又は 900 によって実行される場合がある。例えば図 9 を参照して、画像は、連続するフレーム更新期間の間に、ピクセルアレー 910 によって周期的に表示される場合がある。各フレーム更新期間（例えば、時刻  $t_0$  から  $t_4$ 、及び、時刻  $t_4$  から  $t_8$ ）は、ピクセル調節期間（例えば、時刻  $t_0$  から  $t_3$ 、及び、時刻  $t_4$  から  $t_7$ ）と、これに続く表示期間（例えば、時刻  $t_3$  から  $t_4$ 、及び、時刻  $t_7$  から  $t_8$ ）を含む場合がある。

40

#### 【0105】

各ピクセル調節期間の間に、ピクセルアレー 910 の個々の行は、（例えば、カスケード方式で）逐次的に更新される場合がある。曲線 1312、1314、1322、及び、

50

1 3 2 4 は、各行に関連付けられた行番号に基づく、ピクセルアレー 9 1 0 の対応する各行についての例示的なピクセル更新時間を示す。より詳細には、第 1 のピクセル調節期間（例えば、時刻  $t_0$  から  $t_3$ ）の間において、曲線 1 3 1 2 はピクセルアレー 9 1 0 の初期スキャン（例えば、時刻  $t_0$  から  $t_1$ ）に対応し、曲線 1 3 1 4 はピクセルアレー 9 1 0 の再スキャン（例えば、時刻  $t_1$  から  $t_2$ ）に対応する。同様に、第 2 のピクセル調節期間（例えば、時刻  $t_4$  から  $t_7$ ）の間において、曲線 1 3 2 2 はピクセルアレーの初期スキャン（例えば、時刻  $t_4$  から  $t_5$ ）に対応し、曲線 1 3 2 4 はピクセルアレー 9 1 0 の再スキャン（例えば、時刻  $t_5$  から  $t_6$ ）に対応する。いくつかの実施形態では、表示デバイス 9 0 0 は、初期スキャンと再スキャンの間に生じ得る任意の不所望なエッジを隠すために、ディザリングの技術を用いる場合がある。

10

#### 【0106】

第 1 F F O V 画像が、第 1 ピクセル調節期間の間に、ピクセルアレー 9 1 0 上に描写され得る。例えば、スキャン/再スキャン回路部 9 4 0 は、初期スキャン 1 3 1 2 の間に、ピクセルアレー 9 1 0 の各行に含まれるそれぞれのピクセル要素に（例えばスキャン電圧 9 0 5 として）F F O V 電圧 9 0 3 を印加する場合がある。中心視画像は、その後、第 1 F F O V 画像の中心視領域内に描写され得る。図 1 3 の例では、第 1 F F O V 画像の中心視領域は、ピクセルアレー 9 1 0 のライン  $l_{f1}$  と  $l_{f3}$  の間に位置し得る。そのため、再スキャン 1 3 1 4 の間に、スキャン/再スキャン回路部 9 4 0 は、ライン  $l_{f1}$  と  $l_{f3}$  の間の F F O V 画像の中心視領域内に位置する（例えば、図 1 2 B の列  $c_{f1}$  と  $c_{f2}$  の間の）それぞれのピクセル要素に（例えば再スキャン電圧 9 0 6 として）中心視電圧 9 0 4 を印加する場合がある。スキャン/再スキャン回路部 9 4 0 は、更に、ライン  $l_{f1}$  と  $l_{f3}$  の間の F F O V 画像の中心視領域の外側に位置する（例えば、図 1 2 B の列  $c_0$  から  $c_{f1}$  まで、及び、列  $c_{f2}$  から  $c_N$  までの）それぞれのピクセル要素に（例えば再スキャン電圧 9 0 6 として）F F O V 電圧 9 0 3 を再印加する場合がある。

20

#### 【0107】

第 2 F F O V 画像が、第 2 ピクセル調節期間の間に、ピクセルアレー 9 1 0 上に描写され得る。例えば、スキャン/再スキャン回路部 9 4 0 は、初期スキャン 1 3 2 2 の間に、ピクセルアレー 9 1 0 の各行に含まれるそれぞれのピクセル要素に（例えばスキャン電圧 9 0 5 として）F F O V 電圧 9 0 3 を印加する場合がある。中心視画像は、その後、第 2 F F O V 画像の中心視領域内に描写され得る。図 1 3 の例では、第 2 F F O V 画像の中心視領域は、ピクセルアレー 9 1 0 のライン  $l_{f2}$  と  $l_{f4}$  の間に位置し得る。そのため、再スキャン 1 3 2 4 の間に、スキャン/再スキャン回路部 9 4 0 は、ライン  $l_{f2}$  と  $l_{f4}$  の間の F F O V 画像の中心視領域内に位置するそれぞれのピクセル要素に（例えば再スキャン電圧 9 0 6 として）中心視電圧 9 0 4 を印加する場合がある。スキャン/再スキャン回路部 9 4 0 は、更に、ライン  $l_{f2}$  と  $l_{f4}$  の間の F F O V 画像の中心視領域の外側に位置するそれぞれのピクセル要素に（例えば再スキャン電圧 9 0 6 として）F F O V 電圧 9 0 3 を再印加する場合がある。

30

#### 【0108】

図 1 3 に示すように、初期スキャン 1 3 1 2 及び 1 3 2 2 は、再スキャン 1 3 1 4 及び 1 3 2 4 よりも十分に高速度で実行される。そのような“速い”スキャンを容易にするために、ゲートドライバ 9 1 4 は、ピクセルアレー 9 1 0 の複数のラインを同時に活性化するように構成されている場合がある。例えば、いくつかの実施形態では、（例えば、G<sub>CTL</sub> 信号のセットに含まれている）ゲートクロック信号の各遷移は、ゲートドライバ 9 1 4 に、活性化されるゲートライン  $GL(1) - GL(M)$  を複数選択させる場合がある。いくつかの態様では、複数の隣接するゲートラインが、特定のゲートライングループに割当てられる場合がある。例えば、ゲートライン  $GL(1) - GL(4)$  は、第 1 ゲートライングループ ( $GLG1$ ) に割当てられる場合があり、ゲートライン  $GL(5) - GL(8)$  は、第 2 ゲートライングループ ( $GLG2$ ) に割当てられる場合がある。いくつかの態様では、ゲートドライバ 9 1 4 は、ゲートライングループ  $GLG1$  が選択されているときに、ゲートライン  $GL(1) - GL(4)$  を逐次的に駆動する。いくつかの他の態様

40

50

では、ゲートドライバ 9 1 4 は、ゲートライングループ G L G 1 が選択されているときに、ゲートライン G L ( 1 ) - G L ( 4 ) のうち 2 以上を同時に駆動する。

【 0 1 0 9 】

いくつかの実施形態では、ゲートドライバ 9 1 4 は、ゲートライン G L ( 1 ) - G L ( M ) を階層的な手法で駆動するように構成されている場合がある。例えば、ゲートクロック信号の各遷移に応答して特定のゲートラインを直接駆動するのではなく、代わりに、ゲートドライバ 9 1 4 は、ゲートクロック信号の各遷移に応答して、活性化されるゲートラインのグループを選択する場合がある。その後、ゲートドライバ 9 1 4 は選択されたグループに含まれる個々のゲートラインを選択的に活性化する場合がある。ゲートライン G L ( 1 ) - G L ( M ) が駆動される階層的な手法により、ゲートドライバ 9 1 4 にとって（例えば、相対的に低解像度な F F O V 画像を描写しているときに）ピクセルアレー 9 1 0 を速くスキャンし、（例えば、相対的に高解像度な中心視画像を描写しているときに）ピクセルアレー 9 1 0 をよりゆっくりとスキャンすることが容易になる。更にまた、ゲートライン G L ( 1 ) - G L ( M ) が駆動される階層的な手法により、（例えば、同数のゲートラインを駆動するために必要なシフトレジスタステージの数がより少ないため）ゲートドライバ 9 1 4 が既存のゲートドライバ回路部よりも小さいフットプリントを有することを可能にする。

10

【 0 1 1 0 】

図 1 4 は、いくつかの実施形態に係る、階層的なゲートドライバ回路 1 4 0 0 のブロック図である。例えば、階層的なゲートドライバ回路 1 4 0 0 は図 9 で示したゲートドライバ 9 1 4 の実施形態である場合がある。階層的なゲートドライバ回路 1 4 0 0 は、シフトレジスタ 1 4 1 0 と、複数のゲートドライバグループ 1 4 2 2 - 1 4 2 8 とを備える。シンプルにするために、図 1 4 の例では 4 つのゲートドライバグループ 1 4 2 2 - 1 4 2 8 のみが表されている。しかし、実際の実装では、階層的なゲートドライバ回路 1 4 0 0 は図 1 4 で示されたものよりも少ない、あるいはより多いゲートドライバグループを有しても良い。

20

【 0 1 1 1 】

シフトレジスタ 1 4 1 0 は、複数のステージ 1 4 1 2 - 1 4 1 8 を備える場合がある。例えば、シフトレジスタ ( S R ) ステージ 1 4 1 2 - 1 4 1 8 は、シリアルイン / パラレルアウト ( s e r i a l - i n / p a r a l l e l - o u t ) ( S I P O ) の構成で配列されたフリップフロップのカスケードとして実装される場合がある。いくつかの実施形態では、シフトレジスタ 1 4 1 0 内の S R ステージの数は、階層的なゲートドライバ回路 1 4 0 0 内のゲートドライバグループの数と対応している場合がある。そのため、図 1 4 の例では 4 つの S R ステージ 1 4 1 2 - 1 4 1 8 のみが表されているが、実際の実装では、シフトレジスタ 1 4 1 0 は図 1 4 で示されたものよりも少ない、あるいはより多いステージを有しても良い。シフトレジスタ 1 4 1 0 は、スタートパルス ( S \_ P L S ) 及び複数のゲートクロック信号 ( G \_ C L K A - G \_ C L K D ) を受け取るように接続されている。上記で説明したように、スタートパルス S \_ P L S は、複数のゲートライン ( g 1 A - g 4 D ) と接続された（図 9 のピクセルアレー 9 1 0 のような）ピクセルアレーのスキャンのトリガーとして用いられる場合がある。ゲートクロック信号 G \_ C L K A - G \_ C L K D は、異なる時刻でのゲートライン g 1 A - g 4 D の活性化を制御するために用いられる場合がある。そのため、ゲートクロック信号 G \_ C L K A - G \_ C L K D のそれぞれは、互いに対して異なる位相オフセットを有する場合がある。

30

40

【 0 1 1 2 】

カスケード内の第 1 S R ステージ 1 4 1 2 は、S \_ P L S を入力として受信するように構成され、さらに、S \_ P L S と第 1 ゲートクロック信号 ( G \_ C L K A ) に基づいて第 1 グループ選択ライン ( G \_ S E L 1 ) を駆動するように構成されている。第 2 S R ステージ 1 4 1 4 の入力、第 1 S R ステージ 1 4 1 2 の出力と接続されている。そのため、第 2 S R ステージ 1 4 1 4 は、G \_ S E L 1 と第 2 ゲートクロック信号 ( G \_ C L K B ) に基づいて第 2 グループ選択ライン ( G \_ S E L 2 ) を駆動するように構成されている。

50

第3SRステージ1416の入力は、第2SRステージ1414の出力と接続されている。そのため、第3SRステージ1416は、GSEL2と第3ゲートクロック信号(GCLKC)に基づいて第3グループ選択ライン(GSEL3)を駆動するように構成されている。第4SRステージ1419の入力は、第3SRステージ1416の出力と接続されている。そのため、第4SRステージ1418は、GSEL3と第4ゲートクロック信号(GCLKD)に基づいて第4グループ選択ライン(GSEL4)を駆動するように構成されている。いくつかの実施形態では、第4SRステージ1418の出力は、カスケード内の第5SRステージ(シンプルにするために図示せず)の入力と接続されている場合がある。

#### 【0113】

ゲートドライバグループ1422-1428は、グループ選択ラインGSEL1-GSEL4をそれぞれに介して、SRステージ1412-1418の出力と接続されている。ゲートドライバグループ1422-1428のそれぞれは、対応するグループセレクトラインが駆動されているときに、ゲートラインのグループ(g1-g4)を選択的に駆動するように構成されている。より詳細には、グループ選択ラインGSEL1-GSEL4は、それぞれのゲートドライバグループ1422-1428が対応するゲートラインのグループを駆動することを可能にする。例えば、第1グループ選択ラインGSEL1の活性化は、第1ゲートドライバグループ1422がゲートラインの第1グループg1A-g1Dを駆動することを可能にする。第2グループ選択ラインGSEL2の活性化は、第2ゲートドライバグループ1424がゲートラインの第2グループg2A-g2Dを駆動することを可能にする。第3グループ選択ラインGSEL3の活性化は、第3ゲートドライバグループ1426がゲートラインの第3グループg3A-g3Dを駆動することを可能にする。第4グループ選択ラインGSEL4の活性化は、第4ゲートドライバグループ1428がゲートラインの第4グループg4A-g4Dを駆動することを可能にする。

#### 【0114】

いくつかの実施形態では、ゲートドライバグループ1422-1428は、一連のゲートパルスGPLS1-GPLS8に少なくとも部分的に基づいて、ゲートラインg1A-g4Dを駆動する場合がある。より詳細には、ゲートパルスGPLS1-GPLS8は、ゲートドライバグループ1422-1428がゲートラインg1A-g4Dを駆動するタイミングを制御する場合がある。例えば、ゲートパルスGPLS1-GPLS4は、第1ゲートドライバグループ1422及び第3ゲートドライバグループ1426に提供される場合がある一方で、ゲートパルスGPLS5-GPLS8は、第2ゲートドライバグループ1424及び第4ゲートドライバグループ1428に提供される場合がある。そのため、第1ゲートドライバグループ1422は、ゲートパルスGPLS1-GPLS4に基づいて、ゲートラインの第1グループg1A-g1Dを駆動する場合がある。第2ゲートドライバグループ1424は、ゲートパルスGPLS5-GPLS8に基づいて、ゲートラインの第2グループg2A-g2Dを駆動する場合がある。第3ゲートドライバグループ1426は、ゲートパルスGPLS1-GPLS4に基づいて、ゲートラインの第3グループg3A-g3Dを駆動する場合がある。第4ゲートドライバグループ1428は、ゲートパルスGPLS5-GPLS8に基づいて、ゲートラインの第4グループg4A-g4Dを駆動する場合がある。

#### 【0115】

図15A及び15Bは、それぞれ、階層的なゲートドライバ回路の動作を制御するために用いられ得る例示的なタイミング信号を示すタイミング図1500A及び1500Bである。例えば図14を参照して、図15A及び15Bで示されているタイミング信号は、階層的なゲートドライバ回路1400の動作を制御する場合がある。

#### 【0116】

時刻t0において、スタートパルスSPLSはアサートされ、第1ゲートクロック信号GCLKAは論理ハイ状態へと遷移する。GCLKAの立ち上がりエッジ遷移は、

10

20

30

40

50

第1SRステージ1412に、S\_\_PLSの現在の状態をシフトイン（例えば、記憶）させる。S\_\_PLSが現在は論理ハイ状態にアサートされているため、時刻 $t_0$ において、第1SRステージ1412はまた、第1グループ選択ラインG\_\_SEL1を論理ハイ状態に駆動する。G\_\_SEL1の活性化は、第1ゲートドライバグループ1422に、ゲートパルスG\_\_PLS1 - G\_\_PLS4に応答してゲートラインの第1グループ $g1_A - g1_D$ を駆動できるようにする。

#### 【0117】

第1ゲートドライバグループ1422は、時刻 $t_0$ において、G\_\_SEL1及びG\_\_PLS1が同時にアサートされる期間（例えば、時刻 $t_0$ から $t_1$ まで）の間、ゲートライン $g1_A$ を駆動する場合がある。第1ゲートドライバグループ1422は、時刻 $t_1$ において、G\_\_SEL1及びG\_\_PLS2が同時にアサートされる期間（例えば、時刻 $t_1$ から $t_2$ まで）の間、ゲートライン $g1_B$ を駆動する場合がある。第1ゲートドライバグループ1422は、時刻 $t_2$ において、G\_\_SEL1及びG\_\_PLS3が同時にアサートされる期間（例えば、時刻 $t_2$ から $t_3$ まで）の間、ゲートライン $g1_C$ を駆動する場合がある。第1ゲートドライバグループ1422は、時刻 $t_3$ において、G\_\_SEL1及びG\_\_PLS4が同時にアサートされる期間（例えば、時刻 $t_3$ から $t_4$ まで）の間、ゲートライン $g1_D$ を駆動する場合がある。

#### 【0118】

時刻 $t_4$ において、スタートパルスS\_\_PLSはディアサートされ、第2ゲートクロック信号G\_\_CLKBは論理ハイ状態へと遷移する。G\_\_CLKBの立ち上がりエッジ遷移は、第2SRステージ1414に、G\_\_SEL1の現在の状態をシフトインさせる。G\_\_SEL1が現在は論理ハイ状態にアサートされているため、時刻 $t_4$ において、第2SRステージ1414はまた、第2グループ選択ラインG\_\_SEL2を論理ハイ状態に駆動する。G\_\_SEL2の活性化は、第2ゲートドライバグループ1424に、ゲートパルスG\_\_PLS5 - G\_\_PLS8に応答してゲートラインの第2グループ $g2_A - g2_D$ を駆動できるようにする。

#### 【0119】

第2ゲートドライバグループ1424は、時刻 $t_4$ において、G\_\_SEL2及びG\_\_PLS5が同時にアサートされる期間（例えば、時刻 $t_4$ から $t_5$ まで）の間、ゲートライン $g2_A$ を駆動する場合がある。第2ゲートドライバグループ1424は、時刻 $t_5$ において、G\_\_SEL2及びG\_\_PLS6が同時にアサートされる期間（例えば、時刻 $t_5$ から $t_6$ まで）の間、ゲートライン $g2_B$ を駆動する場合がある。第2ゲートドライバグループ1424は、時刻 $t_6$ において、G\_\_SEL2及びG\_\_PLS7が同時にアサートされる期間（例えば、時刻 $t_6$ から $t_7$ まで）の間、ゲートライン $g2_C$ を駆動する場合がある。第2ゲートドライバグループ1424は、時刻 $t_7$ において、G\_\_SEL2及びG\_\_PLS8が同時にアサートされる期間（例えば、時刻 $t_7$ から $t_8$ まで）の間、ゲートライン $g2_D$ を駆動する場合がある。

#### 【0120】

時刻 $t_8$ において、第1ゲートクロック信号G\_\_CLKAは論理ロー状態へと遷移し、一方で、第3ゲートクロック信号G\_\_CLKCは論理ハイ状態へと遷移する。G\_\_CLKAの立ち下がりエッジ遷移は、第1SRステージ1412に、S\_\_PLSの現在の状態をシフトインさせる。S\_\_PLSが現在は論理ロー状態にディアサートされているため、時刻 $t_8$ において、第1SRステージ1412はまた、G\_\_SEL1を論理ロー状態にする。G\_\_SEL1の非活性化は、第1ゲートドライバグループ1422を無効にし、そのため、ゲートラインの第1グループ $g1_A - g1_D$ のいずれかが活性化されることを防ぐ。

#### 【0121】

G\_\_CLKCの立ち上がりエッジ遷移は、第3SRステージ1416に、G\_\_SEL2の現在の状態をシフトインさせる。G\_\_SEL2が現在は論理ハイ状態にアサートされているため、時刻 $t_8$ において、第3SRステージ1416はまた、第3グループ選択ラインG\_\_SEL3を論理ハイ状態に駆動する。G\_\_SEL3の活性化は、第3ゲートドライ

10

20

30

40

50

バグループ 1 4 2 6 に、ゲートパルス  $G\_PLS1 - G\_PLS4$  に応答してゲートラインの第 3 グループ  $g3A - g3D$  を駆動できるようにする。

【0122】

第 3 ゲートドライバグループ 1 4 2 6 は、時刻  $t_8$  において、 $G\_SEL3$  及び  $G\_PLS1$  が同時にアサートされる期間（例えば、時刻  $t_8$  から  $t_9$  まで）の間、ゲートライン  $g3A$  を駆動する場合がある。第 3 ゲートドライバグループ 1 4 2 6 は、時刻  $t_9$  において、 $G\_SEL3$  及び  $G\_PLS2$  が同時にアサートされる期間（例えば、時刻  $t_9$  から  $t_{10}$  まで）の間、ゲートライン  $g3B$  を駆動する場合がある。第 3 ゲートドライバグループ 1 4 2 6 は、時刻  $t_{10}$  において、 $G\_SEL3$  及び  $G\_PLS3$  が同時にアサートされる期間（例えば、時刻  $t_{10}$  から  $t_{11}$  まで）の間、ゲートライン  $g3C$  を駆動する場合がある。第 3 ゲートドライバグループ 1 4 2 6 は、時刻  $t_{11}$  において、 $G\_SEL3$  及び  $G\_PLS4$  が同時にアサートされる期間（例えば、時刻  $t_{11}$  から  $t_{12}$  まで）の間、ゲートライン  $g3D$  を駆動する場合がある。

10

【0123】

時刻  $t_{12}$  において、第 2 ゲートクロック信号  $G\_CLKB$  は論理ロー状態へと遷移し、一方で、第 4 ゲートクロック信号  $G\_CLKD$  は論理ハイ状態へと遷移する。 $G\_CLKB$  の立ち下がりエッジ遷移は、第 2 SR ステージ 1 4 1 4 に、 $G\_SEL1$  の現在の状態をシフトインさせる。 $G\_SEL1$  が現在は論理ロー状態にディアサートされているため、時刻  $t_{12}$  において、第 2 SR ステージ 1 4 1 4 はまた、 $G\_SEL2$  を論理ロー状態にする。 $G\_SEL2$  の非活性化は、第 2 ゲートドライバグループ 1 4 2 4 を無効にし、そのため、ゲートラインの第 2 グループ  $g2A - g2D$  のいずれかが活性化されることを防ぐ。

20

【0124】

$G\_CLKD$  の立ち上がりエッジ遷移は、第 4 SR ステージ 1 4 1 8 に、 $G\_SEL3$  の現在の状態をシフトインさせる。 $G\_SEL3$  が現在は論理ハイ状態にアサートされているため、時刻  $t_{12}$  において、第 4 SR ステージ 1 4 1 8 はまた、第 4 グループ選択ライン  $G\_SEL4$  を論理ハイ状態に駆動する。 $G\_SEL4$  の活性化は、第 4 ゲートドライバグループ 1 4 2 8 に、ゲートパルス  $G\_PLS5 - G\_PLS8$  に応答してゲートラインの第 4 グループ  $g4A - g4D$  を駆動できるようにする。

【0125】

第 4 ゲートドライバグループ 1 4 2 8 は、時刻  $t_{12}$  において、 $G\_SEL4$  及び  $G\_PLS5$  が同時にアサートされる期間（例えば、時刻  $t_{12}$  から  $t_{13}$  まで）の間、ゲートライン  $g4A$  を駆動する場合がある。第 4 ゲートドライバグループ 1 4 2 8 は、時刻  $t_{13}$  において、 $G\_SEL4$  及び  $G\_PLS6$  が同時にアサートされる期間（例えば、時刻  $t_{13}$  から  $t_{14}$  まで）の間、ゲートライン  $g4B$  を駆動する場合がある。第 4 ゲートドライバグループ 1 4 2 8 は、時刻  $t_{14}$  において、 $G\_SEL4$  及び  $G\_PLS7$  が同時にアサートされる期間（例えば、時刻  $t_{14}$  から  $t_{15}$  まで）の間、ゲートライン  $g4C$  を駆動する場合がある。第 4 ゲートドライバグループ 1 4 2 8 は、時刻  $t_{15}$  において、 $G\_SEL4$  及び  $G\_PLS8$  が同時にアサートされる期間（例えば、時刻  $t_{15}$  から  $t_{16}$  まで）の間、ゲートライン  $g4D$  を駆動する場合がある。

30

40

【0126】

時刻  $t_{16}$  において、第 3 ゲートクロック信号  $G\_CLKC$  は論理ロー状態へと遷移し、一方で、第 1 ゲートクロック信号  $G\_CLKA$  は論理ハイ状態へと遷移する。 $G\_CLKC$  の立ち下がりエッジ遷移は、第 3 SR ステージ 1 4 1 6 に、 $G\_SEL2$  の現在の状態をシフトインさせる。 $G\_SEL2$  が現在は論理ロー状態にディアサートされているため、時刻  $t_{16}$  において、第 3 SR ステージ 1 4 1 6 はまた、 $G\_SEL3$  を論理ロー状態にする。 $G\_CLKA$  の立ち上がりエッジ遷移は、第 1 SR ステージ 1 4 1 2 に、 $S\_PLS$  の現在の状態をシフトインさせる。しかしながら、 $S\_PLS$  が、時刻  $t_{16}$  においていまだ論理ロー状態であるため、第 1 SR ステージ 1 4 1 2 は  $G\_SEL1$  を論理ロー状態に保持し続ける場合がある。

50

## 【 0 1 2 7 】

時刻  $t_{17}$  において、第 4 ゲートクロック信号  $G\_CLKD$  は論理ロー状態へと遷移し、一方で、第 2 ゲートクロック信号  $G\_CLKB$  は論理ハイ状態へと遷移する。 $G\_CLKD$  の立ち下がりエッジ遷移は、第 4 SR ステージ 1418 に、 $G\_SEL3$  の現在の状態をシフトインさせる。 $G\_SEL3$  が現在は論理ロー状態にディアサートされているため、時刻  $t_{17}$  において、第 4 SR ステージ 1418 はまた、 $G\_SEL4$  を論理ロー状態にする。 $G\_CLKB$  の立ち上がりエッジ遷移は、第 2 SR ステージ 1414 に、 $G\_SEL1$  の現在の状態をシフトインさせる。しかしながら、 $G\_SEL1$  が、時刻  $t_{17}$  においていまだ論理ロー状態であるため、第 2 SR ステージ 1414 は  $G\_SEL2$  を論理ロー状態に保持し続ける場合がある。

10

## 【 0 1 2 8 】

図 15 A の例では、ゲートクロック信号  $G\_CLKA - G\_CLKD$  は、互いに少なくとも部分的にオーバーラップしている。例えば、 $G\_CLKA$  は、 $G\_CLKB$  がアサートされている期間の少なくとも一部でアサートされたままであり、 $G\_CLKB$  は、 $G\_CLKC$  がアサートされている期間の少なくとも一部でアサートされたままであり、 $G\_CLKC$  は、 $G\_CLKD$  がアサートされている期間の少なくとも一部でアサートされたままであり、 $G\_CLKD$  は、 $G\_CLKA$  がアサートされている期間の少なくとも一部でアサートされたままである。しかしながら、ゲートパルス  $G\_PLS1 - G\_PLS8$  は、ゲートパルス  $G\_PLS1 - G\_PLS8$  がオーバーラップしないような短い期間の間アサートされる。このことにより、階層的なゲートドライバ回路 1400 は、特定のゲートクロック信号の単一のクロック周期の間に、複数のゲートラインを連続して駆動できる。いくつかの実施形態では、ゲートドライバグループ 1422 - 1428 はそれぞれ、次のゲートラインを論理ハイ状態に駆動する前に、各ゲートラインを完全に論理ロー状態にすることができる。

20

## 【 0 1 2 9 】

その上、SR ステージ 1412 - 1418 の出力が、負荷（例えば、ピクセル要素の行）を直接駆動するのではなく、ゲートドライバグループ 1422 - 1428 を有効にするために使用されるため、階層的なゲートドライバ回路 1400 は、ピクセルアレーの行を既存のゲートドライバ回路よりも大きい速度及び柔軟性でスキャンし得る。例えば、第 2 SR ステージ 1414 は、ゲートラインの第 1 グループ  $g1A - g1D$  の何れとも関連付けられていないため、第 2 SR ステージ 1414 は、 $g1A - g1D$  の何れかが十分に高い電圧（例えば、 $V_{GH}$ ）で駆動することを待つ必要なしに、第 2 グループ選択ライン  $G\_SEL2$  を駆動し得る。このことにより、階層的なゲートドライバ回路 1400 は、スキャン動作をより荒い粒度、及び/又は、より高い精度で実行し得る。

30

## 【 0 1 3 0 】

いくつかの実施形態では、階層的なゲートドライバ回路 1400 は、ゲートパルス  $G\_PLS1 - G\_PLS8$  のゲートドライバグループ 1422 - 1428 への流れを制御するためのゲートライン（ $GL$ ）制御器 1430 を備える場合がある。いくつかの態様では、 $GL$  制御器 1430 は、ゲートドライバグループ 1422 - 1428 を対象とする 1 以上のゲートパルス  $G\_PLS1 - G\_PLS8$  を抑制、及び/又は、リダイレクトし得る。例えば、 $GL$  制御器 1430 は、同じゲートパルスにตอบสนองして、同時に、2 以上のゲートドライバ要素にそれぞれのゲートラインを駆動させる場合がある。いくつかの態様では、 $GL$  制御器 1430 は複数のパルスフィルタ 1402 (1) - 1402 (4) と接続されている場合がある。複数のパルスフィルタ 1402 (1) - 1402 (4) のそれぞれは、ゲートドライバグループ 1422 - 1428 の 1 つにそれぞれに供給されたゲートパルスを選択的に抑制し得る。 $GL$  制御器 1430 は、複数のパルス制御信号  $P\_CTRL1 - P\_CTRL4$  により、パルスフィルタ 1402 (1) - 1402 (4) を制御する場合がある。

40

## 【 0 1 3 1 】

いくつかの実施形態では、パルスフィルタ 1402 (1) - 1402 (4) はそれぞれ

50

、ANDロジックゲートのセットを備える場合がある。例えば、第1パルスフィルタ1402(1)は、パルス制御信号P\_\_CTRL1の第1セットがアサートされているときに、ゲートパルスG\_\_PLS1 - G\_\_PLS4を第1ゲートドライバグループ1422に供給する場合がある。第2パルスフィルタ1402(2)は、パルス制御信号P\_\_CTRL2の第2セットがアサートされているときに、ゲートパルスG\_\_PLS5 - G\_\_PLS8を第1ゲートドライバグループ1422に供給する場合がある。第3パルスフィルタ1402(3)は、パルス制御信号P\_\_CTRL3の第3セットがアサートされているときに、ゲートパルスG\_\_PLS1 - G\_\_PLS4を第3ゲートドライバグループ1426に供給する場合がある。第4パルスフィルタ1402(4)は、パルス制御信号P\_\_CTRL4の第4セットがアサートされているときに、ゲートパルスG\_\_PLS5 - G\_\_PLS8を第4ゲートドライバグループ1428に供給する場合がある。

10

#### 【0132】

パルス制御信号P\_\_CTRL1の第1セットのうち1以上がディアサートされているときには、第1パルスフィルタ1402(1)は、ゲートパルスG\_\_PLS1 - G\_\_PLS4のうち対応する1以上を抑制する場合がある。パルス制御信号P\_\_CTRL2の第2セットのうち1以上がディアサートされているときには、第2パルスフィルタ1402(2)は、ゲートパルスG\_\_PLS5 - G\_\_PLS8のうち対応する1以上を抑制する場合がある。パルス制御信号P\_\_CTRL3の第3セットのうち1以上がディアサートされているときには、第3パルスフィルタ1402(3)は、ゲートパルスG\_\_PLS1 - G\_\_PLS4のうち対応する1以上を抑制する場合がある。パルス制御信号P\_\_CTRL4の第4セットのうち1以上がディアサートされているときには、第4パルスフィルタ1402(4)は、ゲートパルスG\_\_PLS5 - G\_\_PLS8のうち対応する1以上を抑制する場合がある。

20

#### 【0133】

いくつかの他の実施形態では、GL制御器1430は、各ゲートドライバグループ1422 - 1428の内のゲートドライバ要素の間で、ゲートパルスG\_\_PLS1 - G\_\_PLS8のうち1以上を再分配する場合がある。例えば、第1パルスフィルタ1402(1)は、GL制御器1430から受信したP\_\_CTRL1信号の第1セットに応答してゲートパルスG\_\_PLS2 - G\_\_PLS4が第1ゲートドライバグループ1422に配信されないようにする場合がある。P\_\_CTRL1信号の第2セットに応答して、パルスフィルタ1402(1)は、第1ゲートパルスG\_\_PLS1を第1ゲートドライバグループ1422内の各ゲートドライバ要素に再分配する場合がある。その結果、第1ゲートドライバグループ1422に接続された各ゲートラインg1A - g1Dは、同じゲートパルス(例えば、G\_\_PLS1)に応答して同時に駆動される場合がある。

30

#### 【0134】

他の利点の中でも、階層的なゲートドライバ回路1400は、表示ピクセルのアレーを既存のゲートドライバ回路よりも大きい速度及び/又は柔軟性でスキャンし得る。いくつかの実施形態では、GL制御器1430は、ゲートパルスG\_\_PLS1 - G\_\_PLS8のうち1以上を抑制して、(例えば、ピクセルアレー上でFFOV画像を描写するために)対応するピクセルアレーの高速なスキャンを実行する場合がある。いくつかの他の実施形態では、GL制御器1430は、ゲートパルスG\_\_PLS1 - G\_\_PLS8のうち特定のゲートドライバに対応する1以上のみが、(例えば、ピクセルアレー上で中心視画像を描写するために)ピクセルアレーの行のうち対応する一部のみについてより低速な再スキャンの実行を可能にし得る。

40

#### 【0135】

図16は、いくつかの実施形態に係る、階層的なゲートドライバ回路を用いたスキャン - 再スキャンピクセル更新動作の例示的なタイミングを示すタイミング図1600である。図14の例を参照して、図16の処理例は、ピクセルアレー上で中心視画像をFFOV画像内に描写するために、階層的なゲートドライバ回路1400によって実行される場合がある。より詳細には、図16の例では、初期スキャンの間に(例えば、時刻t<sub>0</sub>からt<sub>4</sub>

50

)、FFOV画像がピクセルアレー上に描写される場合があり、続く再スキャンの間に(例えば、時刻 $t_4$ から $t_9$ )、中心視画像がピクセルアレー上に描写される場合があり、  
【0136】

時刻 $t_0$ において、第1グループ選択ライン $G\_SEL1$ が論理ハイ状態に駆動される。 $G\_SEL1$ の活性化は、第1ゲートドライバグループ1422を、ゲートライン $g1_A - g1_D$ の第1グループをゲートパルス $G\_PLS1 - G\_PLS4$ に応答して駆動可能にし得る。図16の例では、GL制御器1430はゲートパルス $G\_PLS2 - G\_PLS4$ を抑制し、ゲートパルス $G\_PLS1$ のみが第1ゲートドライバグループ1422に供給されることを可能にする。これに応じて、第1ゲートドライバグループ1422は、ゲートパルス $G\_PLS5$ に응答して、ゲートライン $g1_A - g1_D$ を同時に駆動する場合がある。その結果、データライン(例えば、 $DL(1) - DL(N)$ )の電圧(例えば、スキャン電圧905)が、時刻 $t_0$ において、ゲートライン $g1_A - g1_D$ のそれぞれに接続されたそれぞれのピクセル要素に同時に印加され得る。

10

【0137】

時刻 $t_1$ において、第2グループ選択ライン $G\_SEL2$ が論理ハイ状態に駆動される。 $G\_SEL2$ の活性化は、第2ゲートドライバグループ1424を、ゲートライン $g2_A - g2_D$ の第2グループをゲートパルス $G\_PLS6 - G\_PLS8$ に응答して駆動可能にし得る。図16の例では、GL制御器1430はゲートパルス $G\_PLS2 - G\_PLS4$ を抑制し、ゲートパルス $G\_PLS5$ のみが第2ゲートドライバグループ1424に供給されることを可能にする。これに応じて、第2ゲートドライバグループ1424は、ゲートパルス $G\_PLS5$ に응答して、ゲートライン $g2_A - g2_D$ を同時に駆動する場合がある。その結果、データラインの電圧(例えば、スキャン電圧905)が、時刻 $t_1$ において、ゲートライン $g2_A - g2_D$ のそれぞれに接続されたそれぞれのピクセル要素に同時に印加され得る。

20

【0138】

時刻 $t_2$ において、第3グループ選択ライン $G\_SEL3$ が論理ハイ状態に駆動される。 $G\_SEL3$ の活性化は、第3ゲートドライバグループ1426を、ゲートライン $g3_A - g3_D$ の第3グループをゲートパルス $G\_PLS1 - G\_PLS4$ に응答して駆動可能にし得る。図16の例では、GL制御器1430はゲートパルス $G\_PLS2 - G\_PLS4$ を抑制し、ゲートパルス $G\_PLS1$ のみが第3ゲートドライバグループ1426に供給されることを可能にする。これに応じて、第3ゲートドライバグループ1426は、ゲートパルス $G\_PLS1$ に응答して、ゲートライン $g3_A - g3_D$ を同時に駆動する場合がある。その結果、データラインの電圧(例えば、スキャン電圧905)が、時刻 $t_2$ において、ゲートライン $g3_A - g3_D$ のそれぞれに接続されたそれぞれのピクセル要素に同時に印加され得る。

30

【0139】

時刻 $t_3$ において、第4グループ選択ライン $G\_SEL4$ が論理ハイ状態に駆動される。 $G\_SEL4$ の活性化は、第4ゲートドライバグループ1428を、ゲートライン $g4_A - g4_D$ の第4グループをゲートパルス $G\_PLS5 - G\_PLS8$ に응答して駆動可能にし得る。図16の例では、GL制御器1430はゲートパルス $G\_PLS6 - G\_PLS8$ を抑制し、ゲートパルス $G\_PLS5$ のみが第4ゲートドライバグループ1428に供給されることを可能にする。これに応じて、第4ゲートドライバグループ1428は、ゲートパルス $G\_PLS5$ に응答して、ゲートライン $g4_A - g4_D$ を同時に駆動する場合がある。その結果、データラインの電圧(例えば、スキャン電圧905)が、時刻 $t_3$ において、ゲートライン $g4_A - g4_D$ のそれぞれに接続されたそれぞれのピクセル要素に同時に印加され得る。

40

【0140】

ピクセルアレーの再スキャンは、(例えば、他のスタートパルス $S\_PLS$ に응答して)時刻 $t_4$ においてトリガーされる。図16の例では、FFOV画像の中心視領域は、ゲートライン $g4_A - g4_D$ と一致する場合がある。表示デバイスは、中心視画像を描写し

50

ているときに（例えば、時刻  $t_4$  から  $t_9$ ）、中心視領域のみを再スキャンし得るため、  
 GL制御器 1430 は、ゲートパルス  $G\_PLS1 - G\_PLS4$  が第1ゲートドライバ  
 グループ 1422 及び第3ゲートドライバグループ 1426 に供給されないようにするこ  
 とがある。GL制御器 1430 は更に、ゲートパルス  $G\_PLS5 - G\_PLS8$  が第4  
 ゲートドライバグループ 1428 に供給されないようにすることがある。しかしながら、  
 GL制御器 1430 はゲートパルス  $G\_PLS1 - G\_PLS4$  のそれぞれを、（例えば、  
 ゲートライン  $g2A - g2D$  の活性化を制御するところの）第2ゲートドライバグルー  
 プ 1424 に供給可能にする場合がある。

#### 【0141】

そのため、時刻  $t_5$  において、第2ゲート選択ライン  $G\_SEL2$  の活性化は、ゲート  
 パルス  $G\_PLS5$  と組み合わせて、第2ゲートドライバグループ 1424 にゲートライ  
 ン  $2A$  を活性化させる。時刻  $t_6$  において、第2ゲート選択ライン  $G\_SEL2$  の活性化  
 は、ゲートパルス  $G\_PLS6$  と組み合わせて、第2ゲートドライバグループ 1424 に  
 ゲートライン  $2B$  を活性化させる。時刻  $t_7$  において、第2ゲート選択ライン  $G\_SEL2$   
 の活性化は、ゲートパルス  $G\_PLS7$  と組み合わせて、第2ゲートドライバグループ 1  
 424 にゲートライン  $2C$  を活性化させる。時刻  $t_8$  において、第2ゲート選択ライン  $G\_$   
 $SEL2$  の活性化は、ゲートパルス  $G\_PLS8$  と組み合わせて、第2ゲートドライバグ  
 ループ 1424 にゲートライン  $2D$  を活性化させる。

#### 【0142】

なお、ピクセル要素の複数の行がゲートパルス  $G\_PLS1$  及び  $G\_PLS5$  のそれぞ  
 れにตอบสนองしてデータで駆動されるため、個々のピクセル要素の初期スキャンの行を通り過  
 ぎてスキャンを進めるために必要な時間の量は、効果的に低減される。このことは、初期  
 スキャン（例えば、時刻  $t_0$  から  $t_4$ ）が、相対的に高速度で実行されることを可能にす  
 る。さらに、グループ選択ライン  $G\_SEL1$ 、 $G\_SEL3$ 、及び、 $G\_SEL4$  が負  
 荷を駆動しないため、再スキャン（時刻  $t_4$  から  $t_9$ ）は初期スキャンのすぐ後に完了さ  
 れ得る。例えば、第1グループ選択ライン  $G\_SEL1$  が負荷を駆動しないため、第2S  
 Rステージ 1414 は、第1グループ選択ライン  $G\_SEL1$  が活性化されたほとんど直  
 後に、第2グループ選択ライン  $G\_SEL2$  を活性化する場合がある。その結果、ゲート  
 ライン  $g2A - g2D$  と接続されたピクセル要素は、ゲートライン  $g4A - g4D$  と接続さ  
 れたピクセル要素が（例えば、時刻  $t_3$  において）スキャンされたほとんど直後に、（例  
 えば、時刻  $t_5$  において）再スキャンされ得る。

#### 【0143】

図17は、いくつかの実施形態に係る、表示デバイス 1700 の一部を表すブロック図  
 である。表示デバイス 1700 は、図9の表示デバイス 900 の例示的な実施形態である  
 場合がある。表示デバイス 1700 は、シフトレジスタステージ 1710 と、ゲートドライ  
 バグループ 1720 と、複数のピクセル要素 1701 と、を備える。例えば、ピクセル  
 要素 1701 は図9のピクセルアレー 910 の少なくとも一部を備える。シフトレジスタ  
 ステージ 1710 とゲートドライバグループ 1720 は、図14の、ゲートドライバ 91  
 4、及び/又は、階層的なゲートドライバ回路 1400 の少なくとも一部を備える場合が  
 ある。図17の例では、シンプルにするために、一つのシフトレジスタステージ 1710  
 と一つのゲートドライバグループ 1720 のみが表されている。しかし、実際の実装では  
 、表示デバイス 1700 は図17で示されたものよりも少ない、あるいはより多いシフト  
 レジスタステージ、及び/又は、ゲートドライバグループを有しても良い。

#### 【0144】

ピクセル要素 1701 は、表示ピクセル（例えば、液晶キャパシタ）、フォトダイオード  
 （例えば、画像感知のための）、センサ電極（例えば、容量性感知のための）、又は、  
 それらの組合せを備える場合がある。図17の例では、ピクセル要素 1701 は行及び列  
 に配列されている。ピクセル要素 1701 の各行は、それぞれのゲートライン（GL）と  
 接続されている。ピクセル要素 1701 の各列は、それぞれのデータライン（DL）と接  
 続されている。より詳細には、各ピクセル要素 1701 は、ゲートライン  $GL(A) - G$

10

20

30

40

50

L ( D ) のうち一つ、及び、データライン DL ( 1 ) - DL ( N ) のうち一つと、アクセストランジスタ 1 7 0 2 を介して接続されている。図 1 7 の例では、アクセストランジスタ 1 7 0 2 は、対応するゲートラインと接続されたゲート端子と、対応するデータラインと接続されたドレイン端子と、を有する NMOS トランジスタである。ピクセル要素 1 7 0 1 は、アクセストランジスタ 1 7 0 2 を介してソース端子と接続されている。

【 0 1 4 5 】

いくつかの実施形態では、シフトレジスタステージ 1 7 1 0 及びゲートドライバグループ 1 7 2 0 は、ゲートライン GL ( A ) - GL ( D ) の駆動を階層的な手法で制御する場合がある。例えば、シフトレジスタステージ 1 7 1 0 は、入力信号 ( IN ) 及び対応するゲートクロック信号 ( G \_ CLK ) に少なくとも部分的に基づいて、グループ選択ライン ( G \_ SEL ) を駆動する場合がある。図 1 4 に関連して上記で説明したように、入力信号 IN は、( 例えば、シフトレジスタステージ 1 7 1 0 がカスケードの第 1 ステージに対応する場合に ) スタートパルス、又は、カスケードにおける前のシフトレジスタステージの出力と対応する場合がある。シフトレジスタステージ 1 7 1 0 は、入力信号 IN が論理ハイ状態に駆動されており、ゲートクロック信号 G \_ CLK もまた論理ハイ状態に遷移するときに、グループ選択ライン G \_ SEL を駆動する場合がある。グループ選択ライン G \_ SEL の活性化は、ゲートドライバグループ 1 7 2 0 が個々のゲートライン GL ( A ) - GL ( D ) を駆動可能にする。

【 0 1 4 6 】

いくつかの実施形態では、ゲートドライバグループ 1 7 2 0 は複数のゲートドライバ要素 1 7 2 0 A - 1 7 2 0 D を備える場合がある。ゲートドライバ要素 1 7 2 0 A - 1 7 2 0 D のそれぞれは、グループ選択ライン G \_ SEL が活性化されたときに、ゲートライン GL ( A ) - GL ( D ) のそれぞれ一つを駆動するように構成されている場合がある。いくつかの態様では、ゲートドライバ要素 1 7 2 0 A - 1 7 2 0 D は、ゲートライン GL ( A ) - GL ( D ) を複数のゲートパルス ( G \_ PLS ( A ) - G \_ PLS ( D ) ) に基づいて駆動する場合がある。例えば、第 1 ゲートドライバグループ 1 7 2 0 A は、G \_ SEL と G \_ PLS ( A ) が同時に論理ハイ状態にアサートされている期間に、第 1 ゲートライン GL ( A ) に相対的に高いゲート電圧 ( 例えば、 V<sub>GH</sub> ) を印加する場合がある。第 1 ゲートライン GL ( A ) の活性化は、ピクセル要素 1 7 0 1 の第 1 の行についてアクセストランジスタ 1 7 0 2 をオンにし、そのため、ピクセル要素 1 7 0 1 の ( 例えば、GL ( A ) と接続された ) 第 1 の行に、データライン DL ( 1 ) - DL ( N ) を介してピクセルデータが印加されることを可能にする。

【 0 1 4 7 】

第 2 ゲートドライバグループ 1 7 2 0 B は、G \_ SEL と G \_ PLS ( B ) が同時に論理ハイ状態にアサートされている期間に、第 2 ゲートライン GL ( B ) に相対的に高いゲート電圧 ( 例えば、 V<sub>GH</sub> ) を印加する場合がある。第 2 ゲートライン GL ( B ) の活性化は、ピクセル要素 1 7 0 1 の第 2 の行についてアクセストランジスタ 1 7 0 2 をオンにし、そのため、ピクセル要素 1 7 0 1 の ( 例えば、GL ( B ) と接続された ) 第 2 の行に、データライン DL ( 1 ) - DL ( N ) を介してピクセルデータが印加されることを可能にする。 ( 例えば、図 1 5 A のタイミング図と関連して説明されたように ) いくつかの態様では、第 1 ゲートパルス G \_ PLS ( A ) は、第 2 ゲートパルス G \_ PLS ( B ) が論理ハイ状態にアサートされる前に、論理ロー状態にディアサートされる場合がある。そのため、第 1 ゲートドライバグループ 1 7 2 0 A は、第 2 ゲートライン GL ( B ) が活性化される前に、 ( 例えば、ゲート電圧を V<sub>GL</sub> にすることで ) 第 1 ゲートライン GL ( A ) を非活性化する場合がある。

【 0 1 4 8 】

第 3 ゲートドライバグループ 1 7 2 0 C は、G \_ SEL と G \_ PLS ( C ) が同時に論理ハイ状態にアサートされている期間に、第 3 ゲートライン GL ( C ) に相対的に高いゲート電圧 ( 例えば、 V<sub>GH</sub> ) を印加する場合がある。第 3 ゲートライン GL ( C ) の活性化は、ピクセル要素 1 7 0 1 の第 3 の行についてアクセストランジスタ 1 7 0 2 をオン

10

20

30

40

50

にし、そのため、ピクセル要素 1701 の（例えば、GL(C) と接続された）第 3 の行に、データライン DL(1) - DL(N) を介してピクセルデータが印加されることを可能にする。いくつかの態様では、第 2 ゲートパルス G<sub>PLS</sub>(B) は、第 3 ゲートパルス G<sub>PLS</sub>(C) が論理ハイ状態にアサートされる前に、論理ロー状態にディアサートされる場合がある。そのため、第 2 ゲートドライバグループ 1720B は、第 3 ゲートライン GL(C) が活性化される前に、（例えば、ゲート電圧を V<sub>GL</sub> にすることで）第 2 ゲートライン GL(B) を非活性化する場合がある。

【0149】

第 4 ゲートドライバグループ 1720D は、G<sub>SEL</sub> と G<sub>PLS</sub>(D) が同時に論理ハイ状態にアサートされている期間に、第 4 ゲートライン GL(D) に相対的に高いゲート電圧（例えば、V<sub>GH</sub>）を印加する場合がある。第 4 ゲートライン GL(D) の活性化は、ピクセル要素 1701 の第 4 の行についてアクセストランジスタ 1702 をオンにし、そのため、ピクセル要素 1701 の（例えば、GL(D) と接続された）第 4 の行に、データライン DL(1) - DL(N) を介してピクセルデータが印加されることを可能にする。いくつかの態様では、第 3 ゲートパルス G<sub>PLS</sub>(C) は、第 4 ゲートパルス G<sub>PLS</sub>(D) が論理ハイ状態にアサートされる前に、論理ロー状態にディアサートされる場合がある。そのため、第 3 ゲートドライバグループ 1720C は、第 4 ゲートライン GL(D) が活性化される前に、（例えば、ゲート電圧を V<sub>GL</sub> にすることで）第 3 ゲートライン GL(C) を非活性化する場合がある。

【0150】

なお、ピクセル要素 1701 の各行を（例えば、G<sub>CLK</sub> がアサートされる期間の半分以上で）素早く連続して駆動するために、ゲートドライバ要素 1720A - 1720D は、ゲートライン GL(A) - GL(D) に印加されるべきゲートパルス G<sub>PLS</sub>(A) - G<sub>PLS</sub>(D) を全電圧範囲で変化可能とすべきである。しかしながら、グループ選択ライン G<sub>SEL</sub> の電圧は、対応するゲートライン GL(A) - GL(D) を駆動する際に、ゲートドライバ要素 1720A - 1720D のそれぞれに電力供給する場合がある。そのため、グループ選択ライン G<sub>SEL</sub> の電圧は、ゲートライン GL(A) - GL(D) を駆動するために用いられ得る“ターンオン”電圧の量を制限する場合がある。いくつかの実施形態では、ゲートドライバ要素 1720A - 1720D のそれぞれは、グループ選択ライン G<sub>SEL</sub> の電圧を、ゲートライン GL(A) - GL(D) に印加されるべきゲートパルス G<sub>PLS</sub>(A) - G<sub>PLS</sub>(D) の全電圧範囲で変化可能にするように“昇圧”するように構成されている場合がある。いくつかの態様では、1 以上のゲートドライバ要素 1720A - 1720D は、相補型 MOS (CMOS) インバータを備える場合がある。他の態様では、1 以上のゲートドライバ要素 1720A - 1720D は、昇圧 NMOS ドライバ又は、昇圧 PMOS ドライバを備える場合がある。

【0151】

図 18 は、いくつかの実施形態に係る、例示的なスキャン - 再スキャン更新動作 1800 を表す例示的なフローチャートである。例示的な動作 1800 は、例えば、図 1、3、5、及び、9 の表示デバイス 120、300、500、900 を含む、本開示の任意の表示デバイスによって実行され得る。例えば図 3 を参照して、例示的な動作 1800 は、単一のフレーム更新期間の間に、ピクセルアレーを複数回スキャンするために、表示デバイス 300 によって実行される場合がある。

【0152】

表示デバイスは、第 1 時刻において、ピクセルアレーに表示されるべき画像に対応する表示データのフレームを受信する場合がある（1810）。例えば、表示データは、アレー 310 の 1 以上のピクセル要素についてのピクセル値（例えば、色、及び / 又は、強度に対応する）を含む場合がある。各ピクセル値は、ターゲット電圧レベルに対応する場合がある。ターゲット電圧は、特定のピクセル要素に印加されたときに、ピクセル要素の色及び / 又は強度を所望のピクセル値に安定させる電圧である場合がある。

【0153】

10

20

30

40

50

表示デバイスは、第 1 時刻より前のピクセル調節期間の間に、ピクセルアレーの各行をスキャンして、第 1 電圧をピクセルアレーのそれぞれのピクセル要素に印加する（1820）。例えば、表示更新制御器 340 は、ピクセル値に少なくとも部分的に基づいて、アレーの 1 以上のピクセル要素に印加されるべきピクセル電圧を決定する場合がある。いくつかの実施形態では、第 1 電圧は、ピクセルアレーの 1 以上の行に含まれるそれぞれのピクセル要素に印加されるべきオーバードライブ電圧を含む場合がある（図 5 - 8 に関して上記で説明したように）。他のいくつかの実施形態では、第 1 電圧は、ピクセルアレーの各行に含まれるそれぞれのピクセル要素に印加されるべき F F O V 電圧を含む場合がある（図 9 - 13 に関して上記で説明したように）。

#### 【0154】

表示デバイスは、更に、ピクセル調節期間の間に、ピクセルアレーのうち一部の行を再スキャンして、一部の行に含まれるそれぞれのピクセル要素に第 2 電圧を印加する（1830）。例えば、後続のピクセルアレーの再スキャンの間、表示更新制御器 340 は、ピクセルアレーの 1 以上の行に含まれるそれぞれのピクセル要素に印加されるべき調節されたピクセル電圧を決定する場合がある。いくつかの実施形態では、第 2 電圧は、ピクセルアレーのオーバードライブされたそれぞれのピクセル要素に印加されるべきターゲット電圧を含む場合がある（図 5 - 8 に関して上記で説明したように）。他のいくつかの実施形態では、第 2 電圧は、ピクセルアレーの 1 以上の行に含まれるそれぞれのピクセル要素に印加されるべき中心視電圧を含む場合がある（図 9 - 13 に関して上記で説明したように）。

#### 【0155】

表示デバイスは、その後、1 以上の光源を活性化して、第 1 時刻においてピクセルアレーを照らす場合がある（1840）。例えば、ピクセルアレーの各ピクセル要素は、第 1 電圧を印加されると、それぞれのピクセル値へ遷移を開始する場合がある。第 2 電圧は、ピクセルアレーのそれぞれのピクセル要素の状態、及び/又は、転移の速度を改変する場合がある。しかしながら、ピクセル要素は表示期間の間にのみ照らされるため、表示期間の前又は後に現れたピクセル値の如何なる変化も、ユーザによって視認され得ない。

#### 【0156】

図 19 は、いくつかの実施形態に係る、例示的なオーバードライブ補正動作 1900 を表す例示的なフローチャートである。例えば図 5 を参照して、例示的な動作 1900 は、ピクセルアレー 510 の 1 以上のオーバードライブされたピクセル要素についてのピクセル値を補正するために、表示デバイス 500 によって実行される場合がある。

#### 【0157】

表示デバイスは、ピクセルアレーの各ピクセル要素についてターゲット電圧を決定する場合がある（1910）。例えば、オーバードライブ回路部 530 は、ピクセルアレーのピクセル要素のそれぞれに印加されるべきピクセル電圧を、アレーの各ピクセル要素それぞれについての現在のピクセル値及びターゲットピクセル値に少なくとも部分的に基づいて決定する場合がある。より詳細には、アレーの各ピクセル要素について、オーバードライブ回路部 530 は現在のピクセル値（例えば、直前のフレーム更新からのピクセル値）をターゲットピクセル値（例えば、次のフレーム更新についてのピクセル値）と比較して、フレーム更新期間内にピクセル値の所望の変化を達成するためにピクセル要素に印加されるべき電圧の量を決定する場合がある。特定のピクセル要素についてのターゲット電圧は、ピクセル要素をそのターゲットピクセル値に安定させる。

#### 【0158】

表示デバイスは、更に、ピクセルアレーのうち一部の行に含まれるそれぞれのピクセル要素についてオーバードライブ電圧を決定する場合がある（1920）。上記で説明したように、オーバードライブ回路部 530 は、アレーの各ピクセル要素についての現在のピクセル電圧及びターゲットピクセル電圧に少なくとも部分的に基づいて、ピクセルアレーの各ピクセル要素に印加されるべきピクセル電圧を決定する場合がある。しかしながら、もしピクセル値の変化が閾値量を超える場合、ターゲット電圧は、所与のフレーム更新期

10

20

30

40

50

間内にピクセル要素を所望のピクセル値に駆動するためには不十分である場合がある。そのため、オーバードライブ回路部 530 は、アレーの各ピクセル要素に印加されるべきオーバードライブ電圧を決定する場合がある。上記で説明したように、オーバードライブ電圧は、ピクセル要素についてのターゲット電圧を超える（例えば、ターゲット電圧より高い、又は、低い）場合があり、そのため、ピクセル要素をターゲットピクセル値により高速に遷移（例えば、回転）させる。

#### 【0159】

表示デバイスは、一部の行に含まれるそれぞれのピクセル要素にオーバードライブ電圧を印加し、残る行に含まれるそれぞれのピクセル要素にターゲット電圧を印加することで、ピクセルアレーをスキャンする場合がある（1930）。例えば、スキャン/再スキャン回路部 540 は、ピクセルアレーの各行に含まれるそれぞれのピクセル要素についてのターゲット電圧及び/又はオーバードライブ電圧に基づいて、スキャン電圧を生成する場合がある。より詳細には、それぞれのスキャン電圧は、アレーの初期スキャンの間に、ピクセルアレーの各ピクセル要素に印加される場合がある。そのため、スキャン電圧は、次の表示期間の開始時までにはそれらのピクセル要素のターゲットピクセル値に安定させることができない、任意のピクセル要素についてのオーバードライブ電圧を含む場合がある。いくつかの実施形態では、表示デバイスは、初期スキャンの間に、ピクセルアレーのピクセル要素のうち少なくともいくつかをそれらのターゲット電圧に駆動し、一方で、ピクセル要素のより少ない一部のみをそれらのオーバードライブ電圧に駆動する場合がある。

#### 【0160】

表示デバイスは、更に、一部の行に含まれるそれぞれのピクセル要素にターゲット電圧を印加することで、一部の行を再スキャンする場合がある（1940）。例えば、スキャン/再スキャン回路部 540 は、任意のオーバードライブされたピクセル要素について、ターゲット電圧に基づいて再スキャン電圧を生成する場合がある。再スキャン電圧は、各オーバードライブされたピクセル要素を（例えば、初期スキャンから）そのターゲット電圧に駆動するために用いられる場合がある。これに応じて、再スキャン電圧 506 は、1以上のピクセル要素についてのターゲット電圧のみを含む場合がある。いくつかの実施形態では、表示デバイスは、再スキャンの間に、ピクセル要素のより少ない一部のみをそれらのターゲット電圧に駆動する場合がある。他のいくつかの実施形態では、表示デバイスは、初期スキャンと再スキャンの間に生じ得る任意の不希望なエッジを隠すために、ディザリングの技術を用いる場合がある。

#### 【0161】

図 20 は、いくつかの実施形態に係る、例示的な中心視描写動作 2000 を表す例示的なフローチャートである。図 9 を参照して、例示的な動作 2000 は、FFOV 画像を中心視画像と合成してピクセルアレー 910 上で描写するために、表示デバイス 900 によって実行される場合がある。

#### 【0162】

表示デバイスは、ピクセルアレーの各ピクセル要素について FFOV 電圧を決定する場合がある（2010）。例えば、中心視描写回路部 930 は、受信した表示データのフレームからの FFOV ピクセル値及び中心視ピクセル値に少なくとも部分的に基づいて、ピクセルアレーの各ピクセル要素に印加されるべきピクセル電圧を決定する場合がある。FFOV ピクセル値は、ピクセルアレーのピクセル要素のうち（全てで無い場合は）大半にわたって表示されるべきフルフレーム画像に対応し得る。FFOV 画像は、ユーザの視線の周辺に広がり得るため、FFOV ピクセル値は相対的に低い解像度を有する。そのため、いくつかの実施形態では、中心視描写回路部 930 は、各 FFOV ピクセル値を、（例えば、ピクセルアレーのそれぞれのピクセル要素に印加されるべき）複数の FFOV 電圧と関連付ける場合がある。

#### 【0163】

表示デバイスは、更に、ピクセルアレーのうち一部の行に含まれるそれぞれのピクセル要素について中心視電圧を決定する場合がある（2020）。上記で説明したように、中

10

20

30

40

50

中心視描写回路部 930 は、受信した表示データのフレームからの FFOV ピクセル値及び中心視ピクセル値に少なくとも部分的に基づいて、ピクセルアレーの各ピクセル要素に印加されるべきピクセル電圧を決定する場合がある。中心視ピクセル値は、ユーザの視線の中心視領域のみに広がる中心視画像に対応し得る。中心視領域はユーザが最大の視力を有すると判断される領域に対応するため、中心視ピクセル値は相対的に高い解像度を有する場合がある。そのため、いくつかの実施形態では、中心視描写回路部 930 は、各中心視ピクセル値を、（例えば、ピクセルアレーの一部に含まれるそれぞれのピクセル要素に印加されるべき）それぞれの中心視電圧と関連付ける場合がある。

#### 【0164】

表示デバイスは、ピクセルアレーの各行に含まれるそれぞれのピクセル要素に FFOV 電圧を印加することで、ピクセルアレーをスキャンする場合がある（2030）。例えば、表示デバイスは、初期スキャン動作の間に、FFOV 画像をピクセルアレー上に描写する場合がある（例えば、図 12A に関して上記で説明したように）。より詳細には、表示デバイスは、（例えば、ライン  $l_0$  から  $l_M$  まで）ピクセルアレーの各行をスキャンすることで、FFOV 画像を描写する場合がある。いくつかの実施形態では、スキャン/再スキャン回路部 940 は、FFOV 電圧に基づいてスキャン電圧を生成する場合がある。例えば、スキャン電圧は、アレーの初期スキャンの間に、ピクセルアレーの各ピクセル要素に印加される場合がある。そのため、各スキャン電圧 905 は、それぞれの FFOV 電圧に対応し得る。

#### 【0165】

表示デバイスは、更に、一部の行に含まれるそれぞれのピクセル要素に中心視電圧を印加することで、該一部の行を再スキャンする場合がある（2040）。例えば、表示デバイスは、後続の再スキャン動作の間に、中心視画像を FFOV 画像に重ねあわせる画像としてピクセルアレー上に描写する場合がある（例えば、図 12B に関して上記で説明したように）。より詳細には、表示デバイスは、ピクセルアレーのうち FFOV 画像の中心視領域に対応する一部の行のみを（例えば、ライン  $l_{f1}$  から  $l_{f2}$  まで）再スキャンすることで、中心視画像を描写する場合がある。いくつかの実施形態では、スキャン/再スキャン回路部 940 は中心視電圧に基づいて、再スキャン電圧を生成する場合がある。例えば、再スキャン電圧 906 は、ピクセルアレー上に表示される FFOV 画像の中心視領域内の各ピクセル要素に、それぞれの中心視電圧を印加するために用いられる場合がある。これに応じて、再スキャン電圧は、再スキャンされるピクセル要素のうち少なくともいくつかについての中心視電圧を含む場合がある。

#### 【0166】

スキャン/再スキャン回路部 940 は、再スキャン動作の間に、ピクセルアレーのうち再スキャンされる行に含まれる FFOV 画像の中心視領域の外側にある任意の（図 12B の列  $c_0$  から  $c_{f1}$  まで、及び、 $c_{f2}$  から  $c_N$  までに含まれるピクセル要素のような）ピクセル要素に、FFOV 電圧を再印加する場合がある。そのため、いくつかの実施形態では、再スキャン電圧は、再スキャンされるピクセル要素のうち少なくともいくつかについての FFOV 電圧をまた含む場合がある。その上更に、いくつかの実施形態では、表示デバイスは、初期スキャンと再スキャンの間に生じ得る任意の不所望なエッジを隠すために、ディザリングの技術を用いる場合がある。

#### 【0167】

当業者は、様々な異なる任意のテクノロジー及び技術を用いて、情報及び信号が表し得ることを理解するであろう。例えば、上述の説明を通して参照され得るデータ、命令、コマンド、情報、信号、ビット、記号、及び、チップは、電圧、電流、電磁波、磁界又は粒子、光場又は粒子、あるいは、これらの組合せによって表し得る。

#### 【0168】

さらに、当業者は、本開示の態様に関連して説明された様々な例示的な論理ブロック、モジュール、回路、及び、アルゴリズムのステップが、電氣的なハードウェア、コンピュータソフトウェア、及び両者の組合せとして実装し得ることを理解しよう。このハードウ

10

20

30

40

50

ウェアとソフトウェアの交換可能性を明確に図示するために、説明のための様々なコンポーネント、ブロック、モジュール、回路、及び、ステップが、一般に、その機能の観点で上述のように説明されてきた。このような機能がハードウェア又はソフトウェアの何れで実装されるかは、独特の用途とシステム全体に要求されるデザイン上の制約に依存する。当業者は説明された機能を独特の用途毎に様々な方法で実装し得るが、そのような実装上の決定が、本開示の範囲からの逸脱を生じさせると解釈されてはならない。

【 0 1 6 9 】

本開示の態様に関連して説明された方法、手順、又はアルゴリズムは、ハードウェアにより、プロセッサによって実行されるソフトウェアモジュールにより、あるいは、両者の組合せにより、直接的に具体化され得る。ソフトウェアモジュールは、RAMメモリ、フラッシュメモリ、ROMメモリ、EPROMメモリ、EEPROMメモリ、レジスタ、ハードディスク、リムーバブルディスク、CD-ROM、または当技術分野で既知の他の形式の記憶媒体に常駐することができる。例示的な記憶媒体は、プロセッサが記憶媒体から情報を読み取り、記憶媒体に情報を書き込むことができるように、プロセッサに接続される。あるいは、記憶媒体はプロセッサに統合されてもよい。

【 0 1 7 0 】

前述の明細書では、その具体的な例を参照して実施形態が説明されてきた。しかしながら、添付の特許請求の範囲に提示されているように、本開示のより広い範囲を逸脱することなく、それらに対して様々な変形や変更が成し得ることは明らかであろう。したがって、明細書及び図面は、限定的な意味ではなく説明としての意味で解釈される。

10

20

30

40

50

【図面】

【図 1】

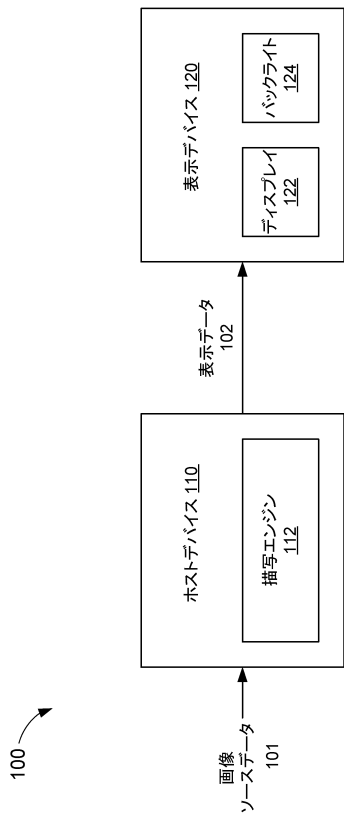


FIG. 1

【図 2】

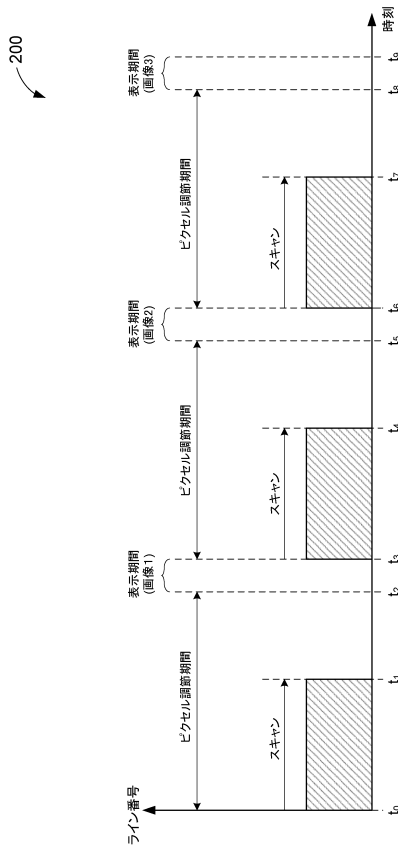


FIG. 2

【図 3】

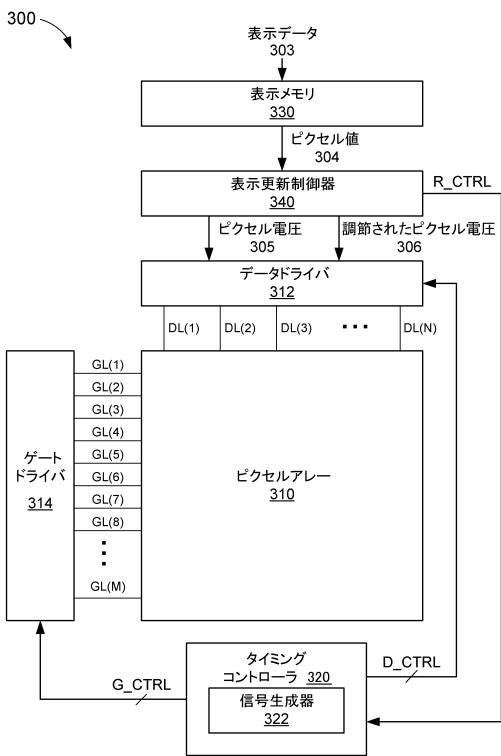


FIG. 3

【図 4】

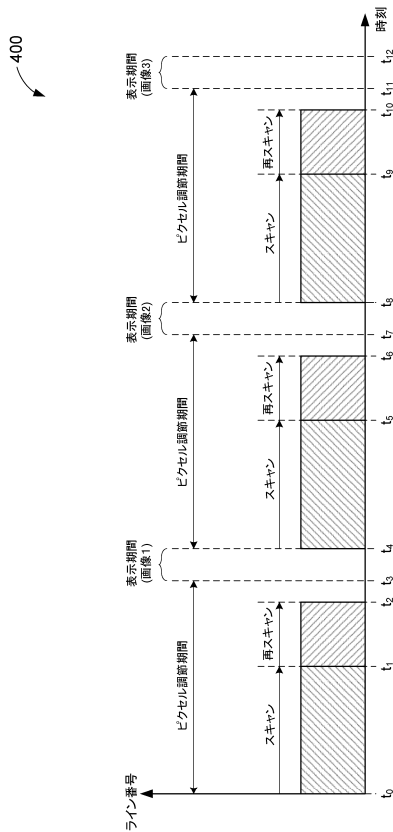


FIG. 4

10

20

30

40

50

【図 5】

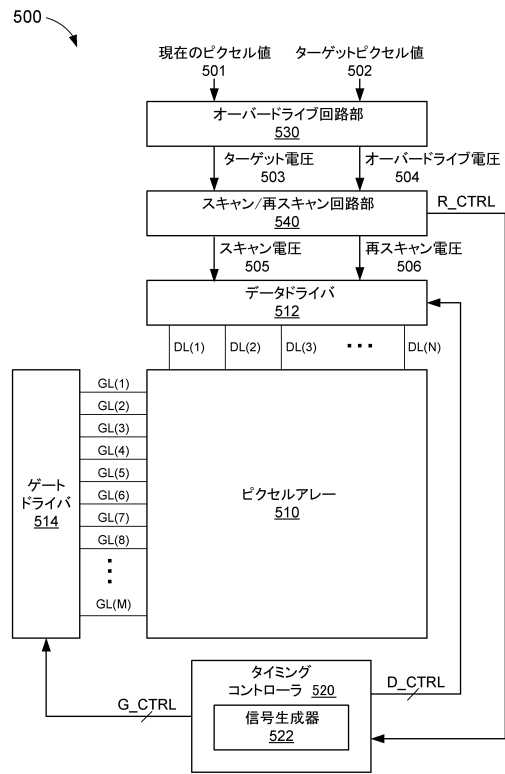


FIG. 5

【図 6】

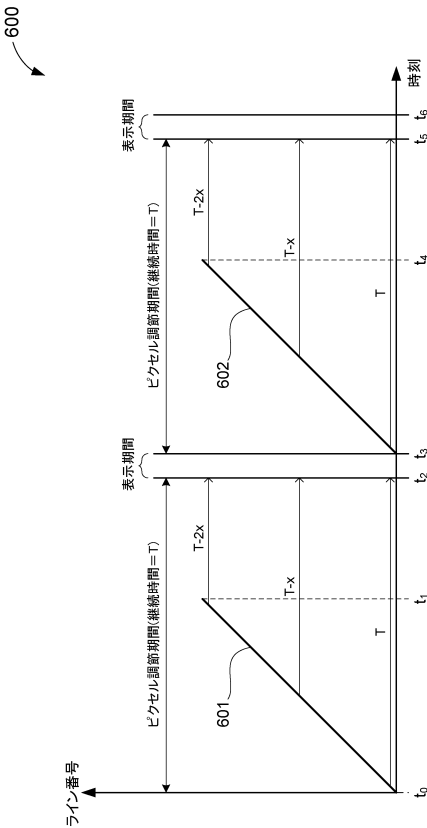


FIG. 6

【図 7 A】

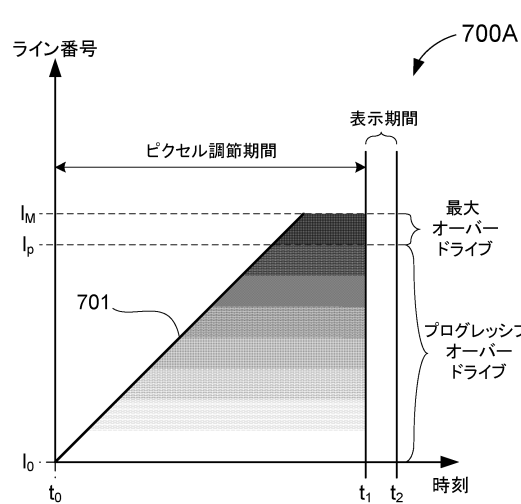


FIG. 7A

【図 7 B】

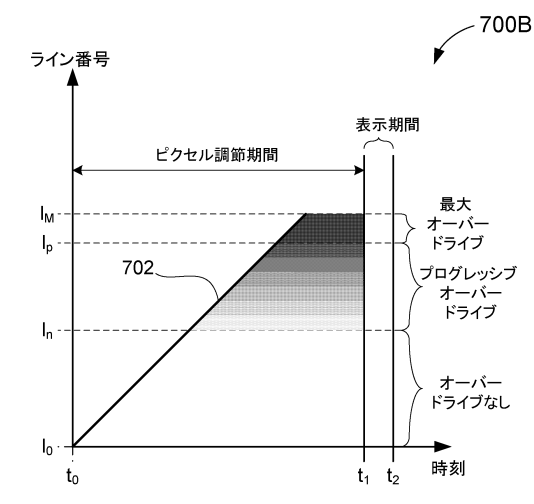


FIG. 7B

10

20

30

40

50

【図 8】

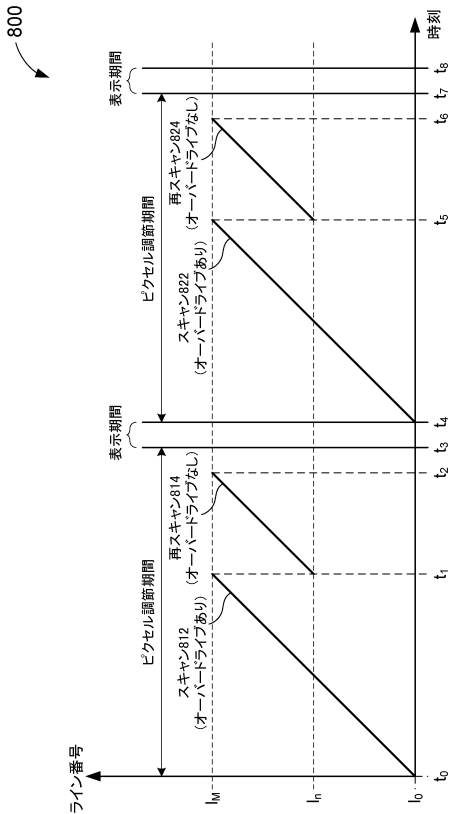


FIG. 8

【図 9】

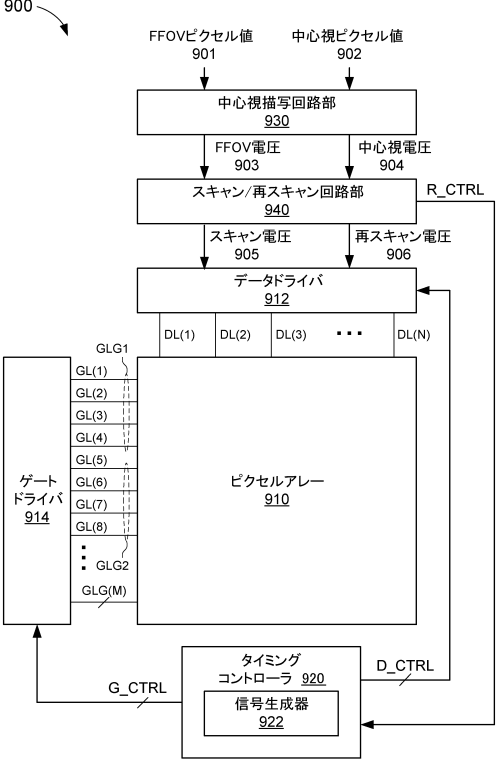


FIG. 9

【図 10】

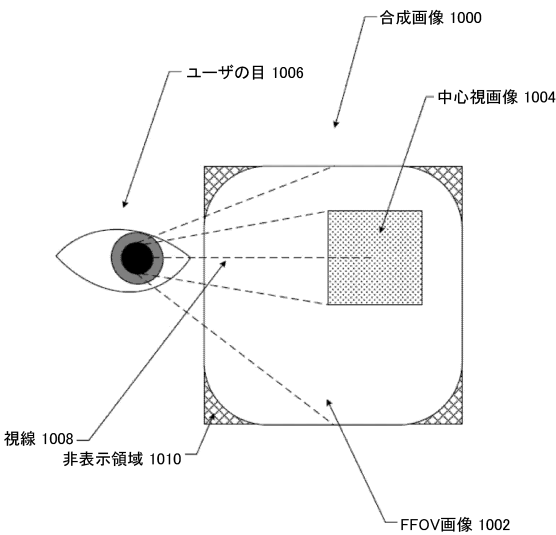


FIG. 10

【図 11】

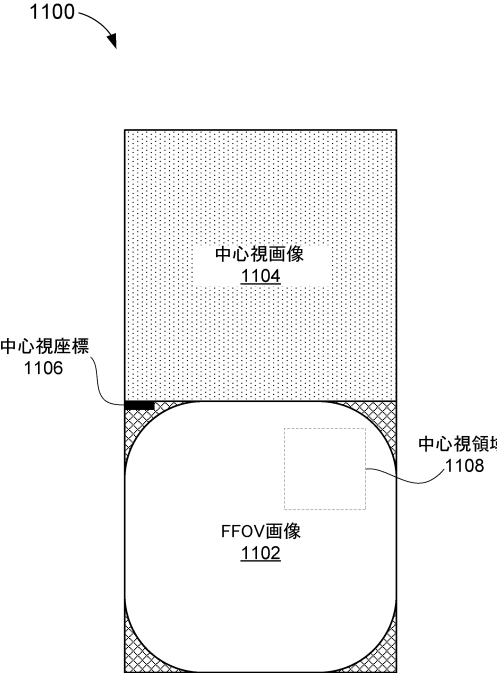


FIG. 11

10

20

30

40

50

【図 1 2 A】

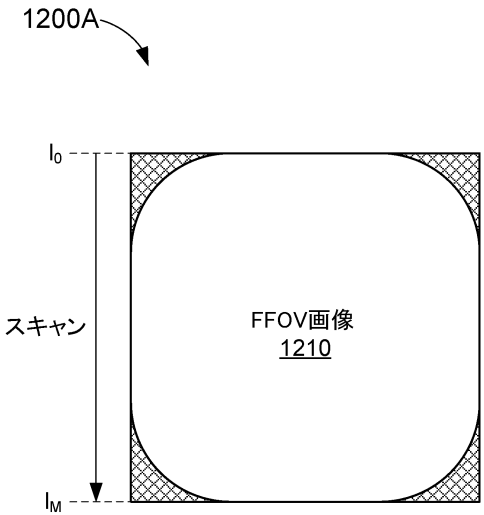


FIG. 12A

【図 1 2 B】

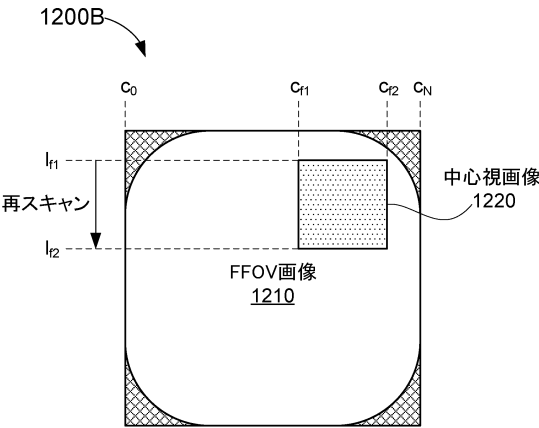


FIG. 12B

【図 1 3】

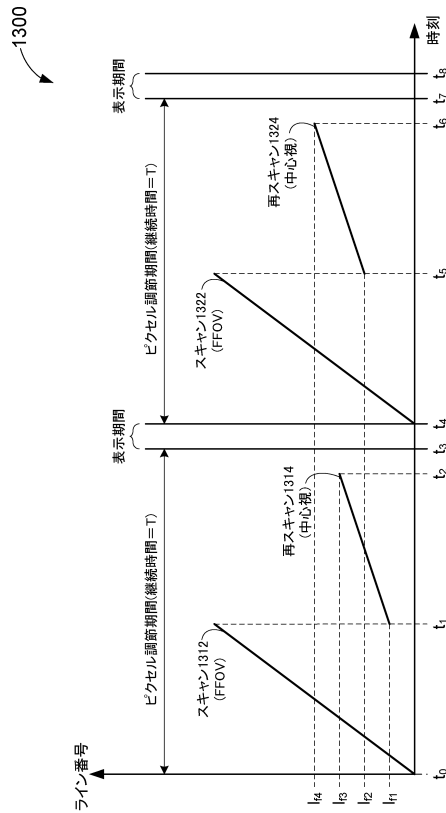


FIG. 13

【図 1 4】

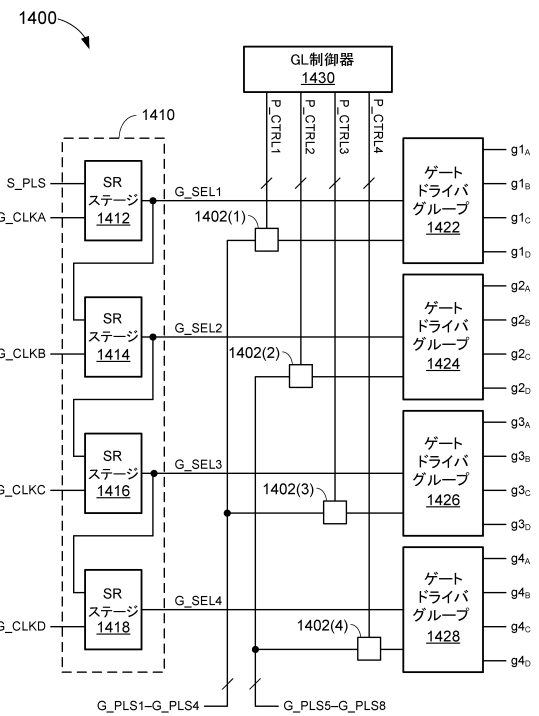


FIG. 14

【図 15 A】

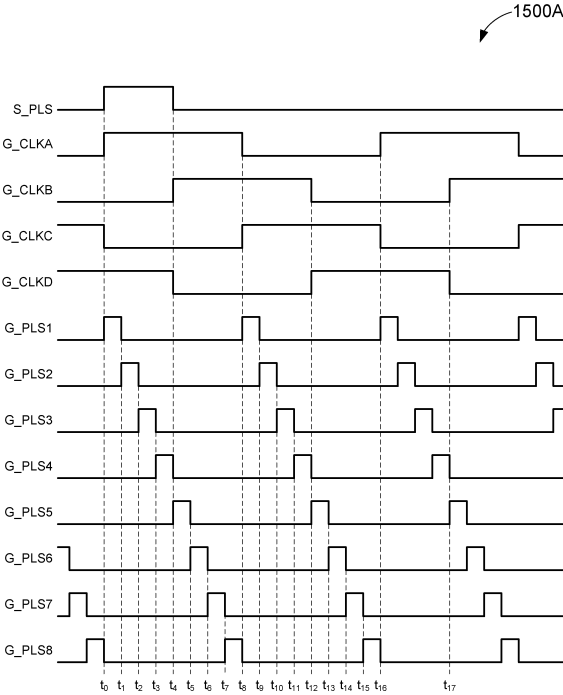


FIG. 15A

【図 15 B】

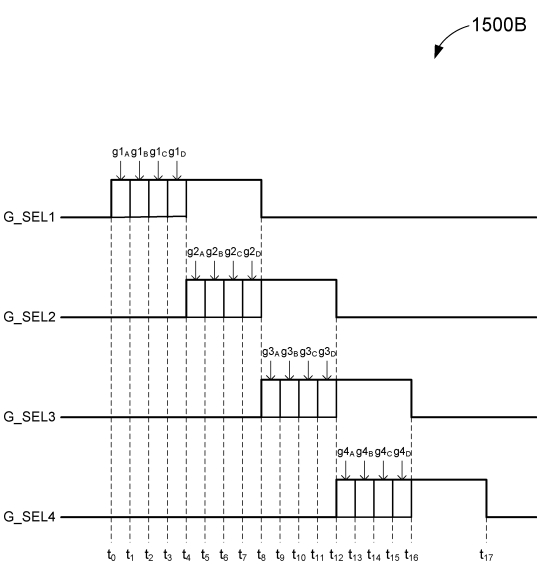


FIG. 15B

【図 16】

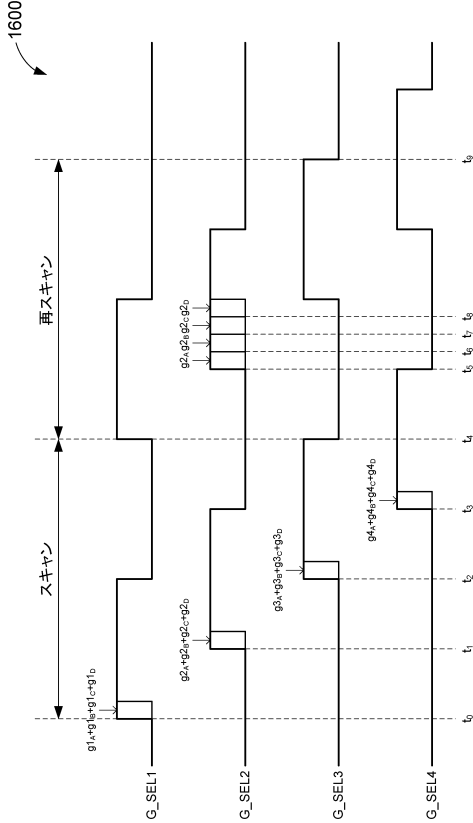


FIG. 16

【図 17】

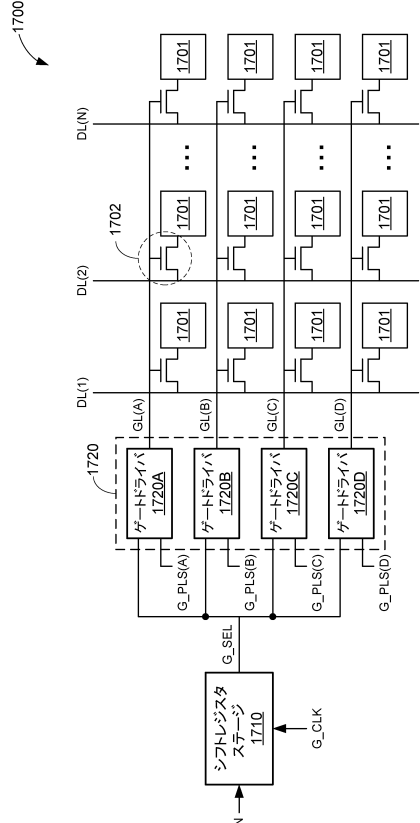


FIG. 17

10

20

30

40

50

【図 18】

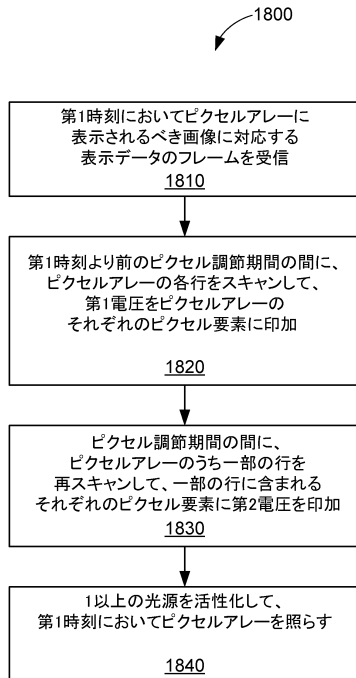


FIG. 18

【図 19】

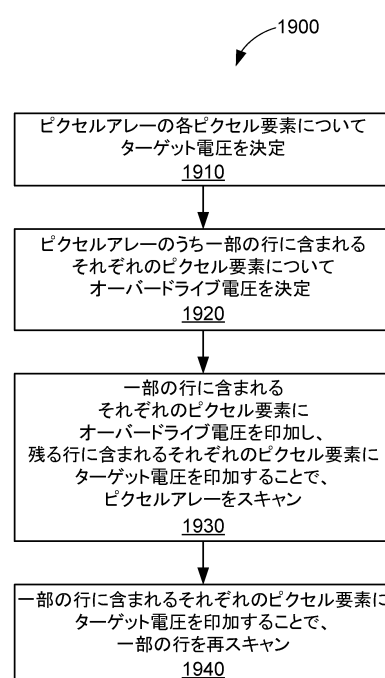


FIG. 19

【図 20】

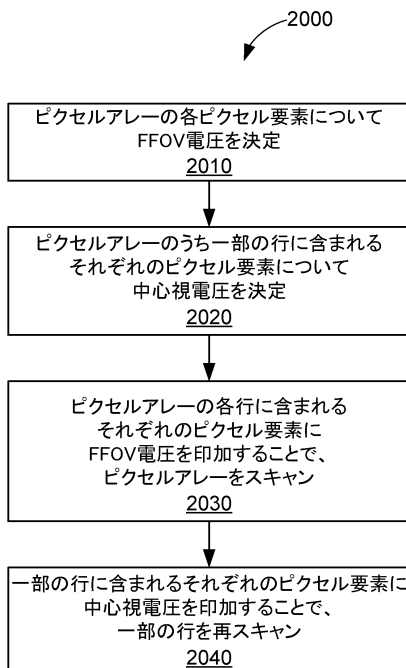


FIG. 20

10

20

30

40

50

フロントページの続き

(51)国際特許分類	F I		
	G 0 9 G	3/20	6 2 3 U
	G 0 9 G	3/20	6 2 1 E
	G 0 9 G	3/34	J
	G 0 2 F	1/13	5 0 5
	G 0 2 F	1/133	5 5 0
(56)参考文献	特開 2 0 0 6 - 2 4 3 1 8 5 ( J P , A )		
	国際公開第 2 0 1 0 / 0 9 5 3 8 7 ( W O , A 1 )		
	特開平 0 2 - 2 4 6 4 8 2 ( J P , A )		
	特表 2 0 0 9 - 5 1 6 2 1 0 ( J P , A )		
	韓国公開特許第 1 0 - 2 0 1 8 - 0 0 3 6 4 2 9 ( K R , A )		
(58)調査した分野	(Int.Cl. , D B 名)		
	G 0 9 G	3 / 0 0	- 3 / 3 8
	G 0 2 F	1 / 1 3	
	G 0 2 F	1 / 1 3 3	