

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4484065号  
(P4484065)

(45) 発行日 平成22年6月16日(2010.6.16)

(24) 登録日 平成22年4月2日(2010.4.2)

(51) Int.Cl.	F I
<b>G09G 3/30 (2006.01)</b>	G09G 3/30 J
<b>G09G 3/20 (2006.01)</b>	G09G 3/20 611J
<b>HO1L 51/50 (2006.01)</b>	G09G 3/20 612K
	G09G 3/20 621F
	G09G 3/20 622D
請求項の数 43 (全 35 頁) 最終頁に続く	

(21) 出願番号	特願2005-73654 (P2005-73654)	(73) 特許権者	308040351
(22) 出願日	平成17年3月15日(2005.3.15)		三星モバイルディスプレイ株式会社
(65) 公開番号	特開2006-11368 (P2006-11368A)		大韓民国京畿道龍仁市器興区農書洞山24
(43) 公開日	平成18年1月12日(2006.1.12)	(74) 代理人	110000981
審査請求日	平成17年3月22日(2005.3.22)		アイ・ピー・ディー国際特許業務法人
(31) 優先権主張番号	2004-048152	(74) 代理人	100095957
(32) 優先日	平成16年6月25日(2004.6.25)		弁理士 亀谷 美明
(33) 優先権主張国	韓国 (KR)	(74) 代理人	100096389
(31) 優先権主張番号	2004-048153		弁理士 金本 哲男
(32) 優先日	平成16年6月25日(2004.6.25)	(74) 代理人	100101557
(33) 優先権主張国	韓国 (KR)		弁理士 萩原 康司
(31) 優先権主張番号	2004-048154	(72) 発明者	申 東蒼
(32) 優先日	平成16年6月25日(2004.6.25)		大韓民国京畿道水原市靈通区シン洞575
(33) 優先権主張国	韓国 (KR)	審査官	福村 拓
最終頁に続く			

(54) 【発明の名称】 発光表示装置、発光表示装置の駆動装置及び発光表示装置の駆動方法

(57) 【特許請求の範囲】

【請求項1】

選択信号を伝達する複数の走査線、プリチャージ電流及びデータ電流を伝達する複数のデータ線、及び前記走査線と前記データ線にそれぞれ接続されている複数の画素を含む発光表示装置を駆動する装置において、

第1整数個の第1パルスを有する第1信号を第1期間だけシフトしながら順次出力する第1駆動部と、

第2パルスを有する第2信号を第2期間だけシフトしながら順次出力する第2駆動部と、

前記第1信号と前記第2信号から、前記第1整数個の第1パルスの少なくとも1つにそれぞれ対応する第2整数個の第3パルス及び前記第2パルスに対応する第4パルスを有する前記選択信号を順次出力する第3駆動部とを含み、

前記第4パルスは前記第3パルスより広い幅を有し、

前記複数の走査線の中の第1走査線に、前記第4パルスの前記選択信号が印加される期間は、

前記第1走査線とは異なる少なくとも一つの第2走査線に前記第3パルスの前記選択信号が印加される第4期間と、前記第2走査線に前記第3パルスとは異なるレベルを有する前記選択信号が印加される第5期間とを含み、

前記第5期間の間、前記データ線には前記第1走査線に接続された前記画素に対応する前記データ電流が印加され、

前記第 4 期間の間、前記データ線には前記データ電流より大きい前記プリチャージ電流が印加されることを特徴とする、発光表示装置の駆動装置。

【請求項 2】

前記第 2 期間は前記第 1 期間と同一であることを特徴とする、請求項 1 に記載の発光表示装置の駆動装置。

【請求項 3】

前記第 2 信号の前記第 2 パルスの開始時点は、前記第 1 信号の前記第 1 パルスの開始時点に対して前記第 1 期間の前記第 1 整数倍だけ移動したことを特徴とする、請求項 1 または 2 のいずれかに記載の発光表示装置の駆動装置。

【請求項 4】

前記第 1 期間は前記第 1 パルスの周期と同一であることを特徴とする、請求項 1 ~ 3 のいずれかに記載の発光表示装置の駆動装置。

【請求項 5】

前記第 2 整数は前記第 1 整数と同一であることを特徴とする、請求項 1 ~ 4 のいずれかに記載の発光表示装置の駆動装置。

【請求項 6】

前記第 2 整数は前記第 1 整数より 1 小さいことを特徴とする、請求項 1 ~ 4 のいずれかに記載の発光表示装置の駆動装置。

【請求項 7】

前記第 2 信号の第 2 パルスの開始時点が前記第 1 信号の最後の前記第 1 パルスの開始時点と重なることを特徴とする、請求項 6 に記載の発光表示装置の駆動装置。

【請求項 8】

前記第 1 駆動部は、  
前記第 1 整数個の前記第 1 パルスを有する第 3 信号を第 3 期間だけシフトしながら順次出力する第 4 駆動部と、  
前記第 4 駆動部から順次出力される第 3 信号の中の一つに対して前記第 3 期間の第 3 整数倍である前記第 1 期間だけ順次シフトされた第 3 信号を前記第 1 信号として選択する第 5 駆動部とを含むことを特徴とする、請求項 1 に記載の発光表示装置の駆動装置。

【請求項 9】

前記第 3 期間は前記第 1 パルスの幅と同一であることを特徴とする、請求項 8 に記載の発光表示装置の駆動装置。

【請求項 10】

前記第 4 駆動部は、シフトレジスタを含み、前記シフトレジスタで使用されるクロックの周期が前記第 1 パルスの幅の 2 倍に相当することを特徴とする、請求項 8 に記載の発光表示装置の駆動装置。

【請求項 11】

前記第 1 駆動部は、シフトレジスタを含み、前記シフトレジスタで使用されるクロックの周期が前記第 1 パルスの幅と同一であることを特徴とする、請求項 8 に記載の発光表示装置の駆動装置。

【請求項 12】

前記第 4 駆動部は、前記第 3 信号を順次出力するシフトレジスタを含み、  
前記第 5 駆動部は、前記シフトレジスタから順次出力される複数の第 3 信号の中から、前記第 3 整数間隔で前記第 1 信号を選択することを特徴とする、請求項 8 に記載の発光表示装置の駆動装置。

【請求項 13】

前記第 1 駆動部は、  
第 3 整数個の第 5 パルスを有する第 3 信号を前記第 1 期間だけシフトしながら順次出力する第 4 駆動部と、  
前記少なくとも一つの第 5 パルスが第 3 期間だけ移動した第 6 パルスを有する第 4 信号を前記第 1 期間だけシフトしながら順次出力する第 5 駆動部と、

10

20

30

40

50

前記第 1 信号と前記第 2 信号のレベルが異なる期間で、前記第 1 パルスを有する第 1 信号を出力する第 6 駆動部とを含むことを特徴とする、請求項 1 に記載の発光表示装置の駆動装置。

【請求項 1 4】

前記第 3 期間は前記第 1 パルスの幅と同一であることを特徴とする、請求項 1 3 に記載の発光表示装置の駆動装置。

【請求項 1 5】

前記第 5 パルスが複数個の場合、隣接した 2 つの前記第 5 パルス間の幅が前記第 5 パルスの幅と同一であることを特徴とする、請求項 1 4 に記載の発光表示装置の駆動装置。

【請求項 1 6】

前記第 3 期間は前記第 5 パルスの幅より短いことを特徴とする、請求項 1 5 に記載の発光表示装置の駆動装置。

【請求項 1 7】

前記第 3 整数は前記第 1 整数の 2 倍に相当することを特徴とする、請求項 1 3 に記載の発光表示装置の駆動装置。

【請求項 1 8】

前記第 2 駆動部、第 4 駆動部及び第 5 駆動部は、それぞれシフトレジスタを含み、前記第 2 駆動部で使用されるクロックの周期が、前記第 4 駆動部及び前記第 5 駆動部で使用されるクロックの周期の 2 倍に相当することを特徴とする、請求項 1 3 に記載の発光表示装置の駆動装置。

【請求項 1 9】

前記第 2 駆動部、第 4 駆動部及び第 5 駆動部は、それぞれシフトレジスタを含み、前記第 2 駆動部で使用されるクロックの周期が、前記第 4 駆動部及び前記第 5 駆動部で使用されるクロックの周期と同一であることを特徴とする、請求項 1 3 に記載の発光表示装置の駆動装置。

【請求項 2 0】

前記第 1 駆動部は、  
第 5 パルスを有する第 3 信号を前記第 1 期間だけシフトしながら順次出力する第 4 駆動部と、  
第 6 パルスが一定の周期で繰り返される第 4 信号と前記第 3 信号を受信し、前記第 5 パルスと前記第 6 パルスが重なり合う期間の間、前記第 1 パルスを有する前記第 1 信号を出力する第 5 駆動部とを含むことを特徴とする、請求項 1 に記載の発光表示装置の駆動装置。

【請求項 2 1】

前記第 6 パルスの幅は前記第 1 パルスの幅と同一であることを特徴とする、請求項 2 0 に記載の発光表示装置の駆動装置。

【請求項 2 2】

前記第 5 パルスの幅は前記第 1 整数個以上の前記第 6 パルスを含む長さであることを特徴とする、請求項 2 0 に記載の発光表示装置の駆動装置。

【請求項 2 3】

前記第 6 パルスの周期は前記第 1 期間と同一であることを特徴とする、請求項 2 0 に記載の発光表示装置の駆動装置。

【請求項 2 4】

前記第 4 駆動部は、シフトレジスタを含み、前記第 4 駆動部で使用されるクロックの周期が前記第 6 パルスの周期の 2 倍に相当することを特徴とする、請求項 2 0 に記載の発光表示装置の駆動装置。

【請求項 2 5】

前記第 4 駆動部は、シフトレジスタを含み、前記第 4 駆動部で使用されるクロックの周期が前記第 6 パルスの周期と同一であることを特徴とする、請求項 2 0 に記載の発光表示装置の駆動装置。

10

20

30

40

50

## 【請求項 26】

プリチャージ電流及びデータ電流を伝達する複数のデータ線、前記データ線と交差する方向に伸びている複数の走査線、及び前記データ線と前記走査線にそれぞれ接続される複数の画素を含む表示領域と、

前記複数の走査線に少なくとも一つの第1レベルの第1パルスと、前記第1パルスより広い幅を有する前記第1レベルの第2パルスを有する選択信号を順次印加する走査駆動部とを含み、

前記複数の走査線の中の第1走査線に、前記第2パルスの前記選択信号が印加される期間は、

前記第1走査線とは異なる少なくとも一つの第2走査線に、前記第1パルスの前記選択信号が印加される第4期間と、前記第2走査線に前記第1レベルとは異なるレベルを有する前記選択信号が印加される第5期間とを含み、

前記第5期間の間、前記データ線には前記第1走査線に接続された前記画素に対応する前記データ電流が印加され、

前記第4期間の間、前記データ線には前記データ電流より大きい前記プリチャージ電流が印加され、

前記走査駆動部は、

所定個数の第3パルスを有する第1信号を第1期間だけシフトしながら順次出力する第1駆動部と、

前記順次出力される第1信号の中の一つに対して、前記第1期間の整数倍である第2期間の間隔でシフトされた第1信号を第2信号として出力する第2駆動部と、

前記第2信号の前記所定個数の前記第3パルスの少なくとも一つにตอบสนองして前記選択信号の前記第1パルスを生成する第3駆動部と、を含むことを特徴とする、発光表示装置。

## 【請求項 27】

前記第2期間は前記第3パルスの周期と同一であることを特徴とする請求項 26 に記載の発光表示装置。

## 【請求項 28】

プリチャージ電流及びデータ電流を伝達する複数のデータ線、前記データ線と交差する方向に伸びている複数の走査線、及び前記データ線と前記走査線にそれぞれ接続される複数の画素を含む表示領域と、

前記複数の走査線に少なくとも一つの第1レベルの第1パルスと、前記第1パルスより広い幅を有する前記第1レベルの第2パルスを有する選択信号を順次印加する走査駆動部とを含み、

前記複数の走査線の中の第1走査線に、前記第2パルスの前記選択信号が印加される期間は、

前記第1走査線とは異なる少なくとも一つの第2走査線に、前記第1パルスの前記選択信号が印加される第4期間と、前記第2走査線に前記第1レベルとは異なるレベルを有する前記選択信号が印加される第5期間とを含み、

前記第5期間の間、前記データ線には前記第1走査線に接続された前記画素に対応する前記データ電流が印加され、

前記第4期間の間、前記データ線には前記データ電流より大きい前記プリチャージ電流が印加され、

前記走査駆動部は、

所定個数の第3パルスを有する第1信号を第1期間だけシフトしながら順次出力する第1駆動部と、

前記所定個数の第3パルスが第2期間だけ移動した第4パルスを有する第2信号を前記第1期間だけシフトしながら順次出力する第2駆動部と、

前記第1信号と前記第2信号のレベルが異なる期間で、第5パルスを有する第3信号を出力する第3駆動部と、

前記第3信号の前記第5パルスの少なくとも一つにตอบสนองして前記選択信号の前記第1パル

10

20

30

40

50

スを生成する第4駆動部と、を含むことを特徴とする、発光表示装置。

【請求項29】

前記第1信号で前記第3パルスが複数の場合、

隣接した2つの前記第3パルス間の期間が前記第3パルスの幅と同一であることを特徴とする、請求項28に記載の発光表示装置。

【請求項30】

前記第2期間は前記第1期間より短いことを特徴とする、請求項29に記載の発光表示装置。

【請求項31】

プリチャージ電流及びデータ電流を伝達する複数のデータ線、前記データ線と交差する方向に伸びている複数の走査線、及び前記データ線と前記走査線にそれぞれ接続される複数の画素を含む表示領域と、

前記複数の走査線に少なくとも1つの第1レベルの第1パルスと、前記第1パルスより広い幅を有する前記第1レベルの第2パルスを有する選択信号を順次印加する走査駆動部とを含み、

前記複数の走査線の中の第1走査線に、前記第2パルスの前記選択信号が印加される期間は、

前記第1走査線とは異なる少なくとも一つの第2走査線に、前記第1パルスの前記選択信号が印加される第4期間と、前記第2走査線に前記第1レベルとは異なるレベルを有する前記選択信号が印加される第5期間とを含み、

前記第5期間の間、前記データ線には前記第1走査線に接続された前記画素に対応する前記データ電流が印加され、

前記第4期間の間、前記データ線には前記データ電流より大きい前記プリチャージ電流が印加され、

前記走査駆動部は、

前記第3パルスが一定の周期で繰り返される第1信号を受信し、所定個数の第3パルスを有する第2信号を第1期間だけシフトしながら順次出力する第1駆動部と、

前記第2信号の前記所定個数の第3パルスの少なくとも一つにตอบสนองして前記選択信号の前記第1パルスを生成する第2駆動部とを含むことを特徴とする、発光表示装置。

【請求項32】

前記一定の周期は前記第1期間と同一であることを特徴とする、請求項31に記載の発光表示装置。

【請求項33】

前記第1駆動部は、前記所定個数の第3パルスを含む期間を幅として有する第4パルスを有する第2信号を生成し、前記第2信号の前記第4パルスとして前記第3パルスを選択することを特徴とする、請求項31に記載の発光表示装置。

【請求項34】

前記走査駆動部は、前記第2信号の前記第4パルスに対応する第5パルスを有する第3信号を生成し、

前記第5パルスにตอบสนองして、前記画素は発光を中断することを特徴とする、請求項33に記載の発光表示装置。

【請求項35】

選択信号を伝達する複数の走査線、プリチャージ電流及びデータ電流を伝達する複数のデータ線、及び前記走査線と前記データ線にそれぞれ接続されている複数の画素を含む発光表示装置を駆動する方法において、

少なくとも一つの第1レベルの第1パルスを有する第1信号を前記第1間隔だけシフトしながら順次出力する段階と、

前記順次出力される第1信号のうち、前記第1間隔の整数倍である第2間隔だけ順次シフトされた第1信号を第2信号として選択する段階と、

前記第2信号の前記第1パルスに対応する第3パルスを有する第3信号を出力する段階

10

20

30

40

50

と、

前記第 3 信号の前記少なくとも一つの第 3 パルスにตอบสนองして少なくとも一つの第 4 パルスを生成し、前記少なくとも一つの第 4 パルスを有する前記選択信号を出力する段階とを含み、

前記選択信号は、前記少なくとも一つの第 4 パルス以後に、前記第 4 パルスより幅の長い第 5 パルスをさらに有し、

前記複数の走査線の中の第 1 走査線に、前記第 5 パルスの前記選択信号が印加される期間は、

前記第 1 走査線とは異なる少なくとも一つの第 2 走査線に、前記第 4 パルスの前記選択信号が印加される第 4 期間と、前記第 2 走査線に前記第 4 パルスとは異なるレベルを有する前記選択信号が印加される第 5 期間とを含み、

前記第 5 期間の間、前記データ線には前記第 1 走査線に接続された前記画素に対応する前記データ電流が印加され、

前記第 4 期間の間、前記データ線には前記データ電流より大きい前記プリチャージ電流が印加されることを特徴とする、発光表示装置の駆動方法。

【請求項 36】

前記第 1 パルスの周期は前記第 2 間隔と同一であることを特徴とする、請求項 35 に記載の発光表示装置の駆動方法。

【請求項 37】

前記第 1 パルスの幅は前記第 1 間隔と同一であることを特徴とする、請求項 35 に記載の発光表示装置の駆動方法。

【請求項 38】

選択信号を伝達する複数の走査線、プリチャージ電流及びデータ電流を伝達する複数のデータ線、及び前記走査線と前記データ線にそれぞれ接続されている複数の画素を含む発光表示装置を駆動する方法において、

第 1 レベルの第 1 パルスを少なくとも一つ有する第 1 信号を出力する段階と、

前記第 1 レベルの第 2 パルスを少なくとも一つ有し、前記第 2 パルスの開始時点が前記第 1 パルスの開始時点に対して所定の期間だけ移動した第 2 信号を出力する段階と、

前記第 1 信号と前記第 2 信号のレベルが異なる少なくとも一つの期間で、第 3 レベルの第 3 パルスをそれぞれ有する第 3 信号を出力する段階と、

前記第 3 信号の前記少なくとも一つの第 3 パルスにそれぞれตอบสนองして少なくとも一つの第 4 パルスを生成し、前記少なくとも一つの第 4 パルスを有する前記選択信号を出力する段階とを含み、

前記選択信号は、前記第 4 パルス以後に、前記第 4 パルスより幅の長い第 5 パルスをさらに有し、

前記複数の走査線の中の第 1 走査線に、前記第 5 パルスの前記選択信号が印加される期間は、

前記第 1 走査線とは異なる少なくとも一つの第 2 走査線に、前記第 4 パルスの前記選択信号が印加される第 4 期間と、前記第 2 走査線に前記第 4 パルスとは異なるレベルを有する前記選択信号が印加される第 5 期間とを含み、

前記第 5 期間の間、前記データ線には前記第 1 走査線に接続された前記画素に対応する前記データ電流が印加され、

前記第 4 期間の間、前記データ線には前記データ電流より大きい前記プリチャージ電流が印加されることを特徴とする、発光表示装置の駆動方法。

【請求項 39】

前記選択信号は、前記第 4 パルス以後に、前記第 4 パルスより幅の長い第 5 パルスをさらに有し、前記第 5 パルスの開始時点と前記第 5 パルスに隣接した第 4 パルスの開始時点間の間隔は、隣接した 2 つの前記第 4 パルスの開始時点間の間隔と同一であることを特徴とする、請求項 38 に記載の発光表示装置の駆動方法。

【請求項 40】

10

20

30

40

50

前記第 1 パルスと前記第 2 パルスの幅が同一であり、前記所定の期間が前記第 1 パルスの幅より短いことを特徴とする、請求項 3 8 に記載の発光表示装置の駆動方法。

【請求項 4 1】

前記第 1 信号において前記第 1 パルスが少なくとも 2 つ存在する場合、隣接した 2 つの前記第 1 パルスの間で第 4 レベルの期間が前記第 1 パルスの幅と同一であり、前記第 2 信号において前記第 2 パルスが少なくとも 2 つ存在する場合、隣接した 2 つの前記第 2 パルスの間で前記第 4 レベルの期間が前記第 2 パルスの幅と同一であることを特徴とする、請求項 3 8 に記載の発光表示装置の駆動方法。

【請求項 4 2】

選択信号を伝達する複数の走査線、プリチャージ電流及びデータ電流を伝達する複数のデータ線、及び前記走査線と前記データ線にそれぞれ接続されている複数の画素を含む発光表示装置を駆動する方法において、

第 1 レベルの第 1 パルスが一定の周期で繰り返される第 1 信号を出力する段階と、  
少なくとも一つの第 1 パルスを含む幅を有する第 2 レベルの第 2 パルスを有する第 2 信号を出力する段階と、

前記第 2 信号の前記第 2 パルスとして少なくとも一つの第 1 パルスを選択し、前記選択された第 1 パルスに対応する第 3 パルスを有する第 3 信号を出力する段階と、

前記第 3 信号の前記少なくとも一つの第 3 パルスに反応して少なくとも一つの第 4 パルスを生成し、前記少なくとも一つの第 4 パルスを有する前記選択信号を出力する段階とを含み、

前記選択信号は、前記第 4 パルス以後に、前記第 4 パルスより幅の長い第 5 パルスをさらに有し、

前記複数の走査線の中の第 1 走査線に、前記第 5 パルスの前記選択信号が印加される期間は、

前記第 1 走査線とは異なる少なくとも一つの第 2 走査線に、前記第 4 パルスの前記選択信号が印加される第 4 期間と、前記第 2 走査線に前記第 4 パルスとは異なるレベルを有する前記選択信号が印加される第 5 期間とを含み、

前記第 5 期間の間、前記データ線には前記第 1 走査線に接続された前記画素に対応する前記データ電流が印加され、

前記第 4 期間の間、前記データ線には前記データ電流より大きい前記プリチャージ電流が印加されることを特徴とする、発光表示装置の駆動方法。

【請求項 4 3】

前記第 5 パルスの開始時点と前記第 5 パルスに隣接した第 4 パルスの開始時点間の間隔は前記一定の周期と同一であることを特徴とする、請求項 4 2 に記載の発光表示装置の駆動方法

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、発光表示装置、発光表示装置の駆動装置及び発光表示装置の駆動方法に係り、特に有機物質の発光を用いた発光表示装置、発光表示装置の駆動装置及び発光表示装置の駆動方法に関するものである。

【背景技術】

【0002】

一般に、有機発光表示装置は、蛍光性有機化合物を電氣的に励起させて発光させる表示装置であって、複数の有機発光セルを電圧駆動或いは電流駆動して画像を表現することができるようになっている。このような有機発光セルは、アノード、有機薄膜、カソードレーヤの構造をもっている。

【0003】

このような有機発光セルを駆動する方式は、パッシブマトリックス方式と、薄膜トランジスタを用いたアクティブマトリックス方式に大別される。パッシブマトリックス方式は

10

20

30

40

50

、陽極と陰極を直交するように配置し、ラインを選択して駆動するが、これに対し、アクティブマトリクス方式は、薄膜トランジスタを各画素電極に接続し、薄膜トランジスタのゲートに接続されたキャパシタの容量によって維持された電圧に応じて駆動する方式である。このようなアクティブマトリクス方式は、キャパシタに電圧を設定するために印加される信号の形態によって、電圧書き込み方式と電流書き込み方式に分けられる。

#### 【0004】

従来の電圧書き込み方式の画素回路では、製造工程の不均一性により生ずる薄膜トランジスタのしきい値電圧及びキャリアの移動度の偏差により高諧調を得ることが難しいという問題点がある。例えば、3Vで画素の薄膜トランジスタを駆動する場合、8ビット(256)諧調を表現するためには、12mV(=3V/256)以下の間隔で薄膜トランジスタのゲートに電圧を印加しなければならないが、もし製造工程の不均一による薄膜トランジスタのしきい値電圧のばらつきが100mVの場合には高諧調を表現することが難しくなる。

10

#### 【0005】

これに反し、電流書き込み方式の画素回路は、画素回路に電流を供給する電流源がパネル全体をわたって均一であれば、各画素内の駆動トランジスタが不均一な電圧・電流特性を有しても、均一なディスプレイ特性を得ることができる。

#### 【発明の開示】

#### 【発明が解決しようとする課題】

#### 【0006】

しかしながら、電流書き込み方式の画素回路では、データ線に存在する寄生キャパシタンスのため、データ書き込み時間が長くなるという問題点があった。具体的に、以前の画素ラインのデータによるデータ線の電圧状態から、現在の画素ラインにデータを書き込む時間(データ書き込み時間)が影響される。特にデータ線が目標電圧(現在データに該当する電圧)と差の大きい電圧で充電されている場合、データ書き込み時間がさらに長くなる。このような現象は、諧調レベルが低いほど(ブラックレベル近く)さらに大きく現れる。図1は従来の発光表示装置における諧調別データ書き込み時間の変化を示すグラフである。図1において、時間 $t_1 \sim t_7$ はデータ書き込み時間を示し、グラフの右側にある凡例は以前の画素ラインに接続された画素回路に書き込んだデータの諧調レベルを示す。

20

30

#### 【0007】

例えば、以前の画素ラインに接続された画素回路に書き込んだデータの諧調レベルが「8」の場合、現在の画素ラインに接続された画素回路に書き込むデータの諧調レベルが8(曲線が横軸と接する点)であれば、データ線の電圧状態は目標電圧とは差がないので、データ書き込みに必要な時間がほぼ「0」になる。

#### 【0008】

ところが、現在書き込もうとするデータの諧調レベルが8から遠くなるほど、データ線の電圧状態は目標電圧との差が大きくなるので、データの書き込みに必要な時間が増加する。一方、データの書き込みに必要な時間はデータ線を駆動するデータ電流の大きさに反比例する。したがって、諧調レベルが低くなると、データ線を駆動するデータ電流も小さくなるので、データ書き込み時間が急激に増加する。すなわち、図1から分かるように、諧調レベルが低レベル(ブラックレベル近く)であるほど、低い電流でデータ線の電圧を大きい電圧範囲に変化させるため、データ書き込み時間が増加する。

40

#### 【0009】

そこで、本発明は、このような問題点に鑑みてなされたもので、その目的とするところは、電流書き込み方式により、データ書き込み時間を減少させることが可能な、新規かつ改良された発光表示装置、発行表示装置の駆動装置及び発光表示装置の駆動方法を提供することにある。

#### 【課題を解決するための手段】

#### 【0010】

50

上記課題を解決するために、本発明のある観点によれば、選択信号を伝達する複数の走査線を含む発光表示装置を駆動する装置が提供される。発光表示装置の第1駆動部は、第1整数個の第1パルスを含む第1信号を第1期間だけシフトしながら順次出力し、第2駆動部は、第2パルスを含む第2信号を第2期間だけシフトしながら順次出力する。第3駆動部は、第1信号と第2信号から、第1整数個の第1パルスの少なくとも1つにそれぞれ対応する第2整数個の第3パルス、及び第2パルスに対応する第4パルスを有する選択信号を順次出力する。そして、第4パルスは第3パルスより広い幅を有し、複数の走査線の中の第1走査線に、第4パルスの選択信号が印加される期間は、第1走査線とは異なる少なくとも一つの第2走査線に第3パルスの選択信号が印加される第4期間と、第2走査線に前記第3パルスとは異なるレベルを有する選択信号が印加される第5期間とを含み、第5期間の間、データ線には第1走査線に接続された画素に対応するデータ電流が印加され、第4期間の間、データ線にはデータ電流より大きいプリチャージ電流が印加される。

10

【0011】

本発明によれば、第1駆動部の第4駆動部は、第1整数個の第1パルスを有する第3信号を第3期間だけシフトしながら順次出力する。第1駆動部の第5駆動部は、第4駆動部から順次出力される第3信号の一つに対して第3期間の第3整数倍である第1期間だけ順次シフトされた第3信号を第1信号として選択する。

【0012】

本発明によれば、第1駆動部の第4駆動部は、第3整数個の第5パルスを有する第3信号を第1期間だけシフトしながら順次出力し、第5駆動部は、少なくとも一つの第5パルスが第3期間だけ移動した第6パルスを有する第4信号を第1期間だけシフトしながら順次出力する。第1駆動部の第6駆動部は、第1信号と第2信号のレベルが異なる期間で、第1パルスを有する第1信号を出力する。

20

【0013】

本発明によれば、第1駆動部の第4駆動部は、第5パルスを有する第3信号を第1期間だけシフトしながら順次出力する。第1駆動部の第5駆動部は、第6パルスが一定の周期で繰り返される第4信号と前記第3信号を受信して、第5パルスと第6パルスとが重なり合う期間の間、第1パルスを有する第1信号を出力する。

【0014】

上記課題を解決するために、本発明の別の観点によれば、表示領域と走査駆動部を含む発光表示装置が提供される。表示領域は、データ信号を伝達する複数のデータ線、データ線と交差する方向に伸びている複数の走査線、及びデータ線と走査線にそれぞれ接続される複数の画素を含む。走査駆動部は、複数の走査線に、少なくとも一つの第1レベルの第1パルスと第1パルスより狭い幅を有する第1レベルの第2パルスを有する選択信号を順次印加する。

30

【0015】

上記課題を解決するために、本発明の別の観点によれば、選択信号を伝達する複数の走査線を含む発光表示装置を駆動する方法が提供される。

【0016】

本発明によれば、少なくとも一つの第1レベルの第1パルスを有する第1信号が第1間隔だけシフトしながら順次出力される。順次出力される第1信号のうち、第1間隔の整数倍である第2間隔だけ順次シフトされた第1信号が第2信号として選択される。第2信号の第1パルスに対応する第3パルスを有する第3信号が出力される。そして、第3信号の少なくとも一つの第3パルスに反応して少なくとも一つの第4パルスが生成され、少なくとも一つの第4パルスを有する選択信号が出力される。

40

【0017】

本発明によれば、第1レベルの第1パルスを少なくとも一つ有する第1信号が出力される。第1レベルの第2パルスを少なくとも一つ有し、第2パルスの開始時点が第1パルスの開始時点に対して所定の期間だけ移動した第2信号が出力される。第1信号と第2信号

50

のレベルが異なる少なくとも一つの期間で、第3レベルの第3パルスをそれぞれ有する第3信号が出力される。そして、第3信号の前記少なくとも一つの第3パルスにそれぞれ応答して少なくとも一つの第4パルスが生成され、少なくとも一つの第4パルスを有する前記選択信号が出力される。

【0018】

本発明によれば、第1レベルの第1パルスが一定の周期で繰り返される第1信号が出力される。少なくとも一つの第1パルスを含む幅を有する第2レベルの第2パルスを有する第2信号が出力される。第2信号の第2パルスとして少なくとも一つの第1パルスが選択され、選択された第1パルスに対応する第3パルスを有する第3信号が出力される。そして、第3信号の少なくとも一つの第3パルスに反応して少なくとも一つの第4パルスが生成され、少なくとも一つの第4パルスを有する選択信号が出力される。

10

【発明の効果】

【0019】

以上説明したように本発明によれば、データ線の充電にかかる時間を減少させることができるので、データ書き込みが速く行われるとともに諧調表現が正確になる。

【発明を実施するための最良の形態】

【0020】

以下に添付図面を参照しながら、本発明の好適な実施形態を詳細に説明する。なお、本明細書および図面において、実質的に同一の機能構成を有する構成要素については、同一の符号を付することにより重複説明を省略する。

20

【0021】

図面において、本発明を明確に説明するために、説明と関係のない部分は省略した。ある部分が他の部分に接続されているとすると、これは直接に接続されている場合のみならず、その間に他の素子を挟んで間接に接続されている場合も含む。

【0022】

次に、本発明の実施形態に係る発光表示装置およびその駆動方法を添付図面に基づいて詳細に説明する。本発明の実施形態では、発光表示装置として有機発光表示装置を例として説明するが、本発明はこれに限定されない。

【0023】

まず、図2を参照して、本発明の第1実施形態に係る発光表示装置について詳細に説明する。図2は本発明の第1実施形態に係る発光表示装置の概略平面図である。

30

【0024】

図2に示すように、本発明の第1実施形態に係る発光表示装置は、表示パネル100、データ駆動部200、走査駆動部300及び発光制御駆動部400を含む。

【0025】

表示パネル100は、縦方向に伸びている複数のデータ線 $Y_1 \sim Y_n$ 、横方向に伸びている複数の選択信号線 $X_1 \sim X_m$ 及び複数の発光走査線 $Z_1 \sim Z_m$ 、複数の画素回路110を含む。選択走査線 $X_1 \sim X_m$ は画素を選択するための選択信号を伝達し、発光走査線 $Z_1 \sim Z_m$ は有機発光素子の発光期間を制御するための発光信号を伝達する。画素回路110は、データ線 $Y_1 \sim Y_n$ と選択走査線 $X_1 \sim X_m$ によって定義される画素領域に形成されている。

40

【0026】

データ駆動部200は、データ線 $Y_1 \sim Y_n$ にデータ電流 $I_{DATA}$ を印加し、かつ、データ電流 $I_{DATA}$ を印加する前に、データ線 $Y_1 \sim Y_n$ をプリチャージするために、データ電流 $I_{DATA}$ よりN倍大きいプリチャージ電流 $N I_{DATA}$ をデータ線 $Y_1 \sim Y_n$ に印加する。このために、データ駆動部200は、データ電流 $I_{DATA}$ の生成のための電流源とプリチャージ電流 $N I_{DATA}$ の生成のための電流源とを含む。プリチャージ電流 $N I_{DATA}$ は電流ミラー回路などを介してデータ電流 $I_{DATA}$ から生成できる。このような電流生成過程は、当業者には自明な技術なので、その詳細な説明を省略する。一方、このようなデータ駆動部200は、外部の制御部(図示せず)から印加される制御

50

信号に基づいてプリチャージ電流  $N I_{DATA}$  とデータ電流  $I_{DATA}$  を選択的にデータ線  $Y_1 \sim Y_n$  に供給する。

【0027】

走査駆動部300は、画素回路110を選択するための選択信号を選択走査線  $X_1 \sim X_m$  に順次印加し、発光制御駆動部400は、画素回路110の発光を制御するための発光信号を発光走査線  $Z_1 \sim Z_m$  に順次印加する。

【0028】

走査駆動部300、発光制御駆動部400及び/またはデータ駆動部200は、表示パネル100に電氣的に接続でき、または表示パネル100に接着されて電氣的に接続されているテープキャリアパッケージTCP (tape carrier package) などにチップなどの形態で装着できる。あるいは、表示パネル100に接着されて電氣的に接続されている可撓性プリント回路FPC (flexible printed circuit) またはフィルムなどにチップなどの形態で装着できる。これとは異なり、走査駆動部300、発光制御駆動部400及び/またはデータ駆動部200は、表示パネルのガラス基板上に直接装着されてもよく、またはガラス基板上に走査線、データ線及び薄膜トランジスタと同一の層に形成されている駆動回路で代替されてもよい。

【0029】

本発明の第1実施形態では、データ線  $Y_j$  と選択走査線  $X_i$  に接続された画素回路にデータ電流  $I_{DATA}$  を印加する前に、データ電流  $I_{DATA}$  のN倍に相当するプリチャージ電流  $N I_{DATA}$  をデータ線  $Y_j$  に印加する。プリチャージ電流  $N I_{DATA}$  がデータ線  $Y_j$  に印加されるときは、選択走査線  $X_i$  に接続された画素回路及びこの画素回路に縦方向に隣り合う  $(N - 1)$  個の画素回路の選択走査線  $X_{i+1} \sim X_{i+N-1}$  に低レベルの選択信号を同時に印加する。次に、選択走査線  $X_i$  に印加される選択信号のみが低レベルに維持され、データ線  $Y_j$  にデータ電流  $I_{DATA}$  が印加される。このようにすると、データ電流  $I_{DATA}$  より大きいプリチャージ電流  $N I_{DATA}$  によって、データ線  $Y_j$  が所望の電圧まで速くプリチャージされた後、データ線  $Y_j$  にデータ電流  $I_{DATA}$  が印加されるので、データ電流  $I_{DATA}$  に該当する電圧が画素回路に速く伝達及び充電できる。

【0030】

次に、図3、図4、図5A及び図5Bを参照して、本発明の第1実施形態に係る発光表示装置の動作について詳細に説明する。説明の便宜上、Nを5、すなわちプリチャージ電流をデータ電流の5倍と仮定する。

【0031】

まず、図3を参照しながら本発明の第1実施形態に係る発光表示装置の画素回路110について詳細に説明する。

【0032】

図3を本発明の第1実施形態に係る画素回路の回路図である。図3ではj番目のデータ線  $Y_j$ 、i番目の選択走査線  $X_i$  及び発光走査線  $Z_i$  に接続された画素回路を示す。

【0033】

図3に示すように、本発明の第1実施形態に係る画素回路110は、有機発光素子OLED、4つのトランジスタT1～T4及びキャパシタCを含む。図3ではトランジスタT1～T4をPMOSTランジスタで示したが、これに限定されない。このようなトランジスタは、表示パネル100のガラス基板上に形成されるゲート電極、ドレイン電極及びソース電極をそれぞれ制御電極及び2つの主電極として有する薄膜トランジスタで形成できる。

【0034】

具体的に、トランジスタT1は、その3つの端子が選択走査線  $X_i$ 、データ線  $Y_j$  及びトランジスタT3のゲートにそれぞれ接続され、選択走査線  $X_i$  からの選択信号に応答し

10

20

30

40

50

てデータ線  $Y_j$  からのデータ電流  $I_{DATA}$  をトランジスタ  $T_3$  のゲートに伝達する。トランジスタ  $T_3$  は、ソースが電源電圧  $V_{DD}$  に接続されており、ゲートとソースとの間に、電圧を蓄えるキャパシタ  $C$  が接続されている。トランジスタ  $T_2$  はトランジスタ  $T_3$  のドレインとデータ線  $Y_j$  との間に接続され、トランジスタ  $T_1$ 、 $T_2$  は選択走査線  $X_i$  からの選択信号に応答してトランジスタ  $T_3$  をダイオード接続する。このようなトランジスタ  $T_2$  はトランジスタ  $T_3$  のゲートとドレインとの間に直接接続されることもできる。

【0035】

この際、データ線  $Y_j$  にデータ電流  $I_{DATA}$  が印加され、選択走査線  $X_i$  からの選択信号（図4の  $select[1]$ ）が低レベルになってトランジスタ  $T_1$ 、 $T_2$  がターンオンされると、トランジスタ  $T_3$  はダイオード接続状態になる。すると、キャパシタ  $C$  に電流が流れて電圧が充電され、トランジスタ  $T_3$  のゲート電位が低下してソースからドレインへ電流が流れる。時間経過に伴ってキャパシタ  $C$  の充電電圧が高くなってトランジスタ  $T_3$  のドレイン電流がデータ電流  $I_{DATA}$  と同一になると、キャパシタ  $C$  の充電電流が停止して充電電圧が安定になる。したがって、データ線  $Y_j$  からのデータ電流  $I_{DATA}$  に対応する電圧がキャパシタ  $C$  に蓄えられる。

【0036】

次に、選択走査線  $X_i$  からの選択信号（図4の  $select[1]$ ）が高レベルになり、発光走査線  $Z_i$  からの発光信号（図4の  $emit[1]$ ）が低レベルになる。すると、トランジスタ  $T_1$ 、 $T_2$  がターンオフされ、トランジスタ  $T_3$  と有機発光素子  $OLED$  との間に接続されたトランジスタ  $T_4$  がターンオンされて、トランジスタ  $T_3$  からの電流を有機発光素子  $OLED$  へ伝達する。有機発光素子  $OLED$  は、カソードが電源電圧  $V_{DD}$  より低い電圧  $V_{SS}$  に接続されており、トランジスタ  $T_4$  を経て供給される電流に対応して発光する。このような有機発光素子  $OLED$  に伝達される電流  $I_{OLED}$  はトランジスタ  $T_3$  のキャパシタ  $C$  に充電された電圧に応じて数式1のようになる。

【0037】

【数1】

$$I_{OLED} = \frac{\beta}{2} (V_{GS} - V_{TH})^2 = I_{DATA}$$

・・・(数式1)

式中、 $V_{GS}$  はトランジスタ  $T_3$  のゲートとソース間の電圧、 $V_{TH}$  はトランジスタ  $T_3$  のしきい値電圧、 $\beta$  は定数値をそれぞれ示す。

【0038】

次に、図4、図5A及び図5Bを参照して本発明の第1実施形態に係る発光表示装置の動作について詳細に説明する。

【0039】

図4は本発明の第1実施形態に係る発光表示装置の駆動タイミング図である。図5Aはプリチャージ段階で電流が供給される状態を示す図、図5Bはデータ書き込み段階で電流が供給される状態を示す図である。図5A及び図5Bでは、説明の便宜上、1番目～5番目の選択走査線  $X_1 \sim X_5$  及び発光走査線  $Z_1 \sim Z_5$  に接続された5つの画素回路のみを示す。図4、図5Aおよび図5Bでは、選択走査線  $X_i$  に印加される選択信号を  $select[1]$  で表示し、発光走査線  $Z_i$  に印加される発光信号を  $emit[1]$  で表示し、選択走査線及び発光走査線に該当する図面符号  $X_i$ 、 $Z_i$  の図示を省略した。

【0040】

図4に示すように、1番目の選択走査線  $X_1$  に接続された画素回路にデータを書き込むとする場合、1番目～5番目の選択走査線  $X_1 \sim X_5$  に低レベルの選択信号  $select[1] \sim select[5]$  が供給されると同時に、データ駆動部200は、データ線

10

20

30

40

50

$Y_j$  にプリチャージ電流  $5 I_{DATA}$  を印加してプリチャージ期間  $T_p$  にプリチャージ動作を行う。

【0041】

低レベルの選択信号  $select[1] \sim select[5]$  に応答して、選択走査線  $X_1 \sim X_5$  に接続された画素回路 110 のトランジスタ  $T1, T2$  がターンオンされ、トランジスタ  $T3$  がダイオード接続状態になる。これにより、図 5 A に示すように、プリチャージ電流  $5 I_{DATA}$  がデータ線  $Y_j$  に沿って流れる。この際、5 つの画素回路のトランジスタ  $T3$  のチャンネル幅  $W$  とチャンネル長さ  $L$  の比 ( $W/L$ 、以下「トランジスタの大きさ」という) が同一であれば、データ線  $Y_j$  からのプリチャージ電流  $5 I_{DATA}$  は  $1/5$  ずつ各画素回路に伝達される。すなわち、5 つの画素回路にはそれぞれデータ電流  $I_{DATA}$  が伝達される。すると、数式 1 に対応する電圧  $V_{GS}$  がキャパシタ  $C$  に充電される。すなわち、トランジスタ  $T3$  のゲート-ソース電圧  $V_{GS}$  の中のゲート電圧  $V_G$  に該当するプリチャージ電圧がデータ線  $Y_j$  にかかる。このようなプリチャージ電圧は、プリチャージ期間  $T_p$  の長さが短ければ、データ電流  $I_{DATA}$  によって実際データ線  $Y_j$  にかかるべき電圧にならないこともある。ところが、プリチャージ電流  $5 I_{DATA}$  の大きさがデータ電流  $I_{DATA}$  に比べて大きいと、プリチャージ期間  $T_p$  が短くても、データ電流  $I_{DATA}$  に該当する電圧に近い電圧がデータ線  $Y_j$  にかかる可能性もある。

10

【0042】

次に、図 4 に示すように、1 番目の選択走査線  $X_1$  に印加される選択信号  $select[1]$  のみが低レベルに維持され、残りの選択信号  $select[2] \sim select[5]$  は高レベルに変わる。これと同時に、データ駆動部 200 は、データ電流  $I_{DATA}$ 、すなわちプリチャージ電流  $5 I_{DATA}$  の  $1/5$  倍に相当する電流をデータ線  $Y_j$  に印加する。すると、図 5 B に示すように、1 番目の選択走査線  $X_1$  に接続された画素回路のトランジスタ  $T1, T2$  のみがターンオンされ、トランジスタ  $T3$  へデータ電流  $I_{DATA}$  が伝達される。したがって、1 番目の選択走査線  $X_1$  に接続された画素回路のキャパシタ  $C$  にデータ電流  $I_{DATA}$  に対応する電圧が充電され、データ書き込み動作が行われる。この際、データ線  $Y_j$  には直前のプリチャージ動作に応じてプリチャージ電圧 (データ電流  $I_{DATA}$  に該当する電圧に近い電圧) がかかっているため、データ電流  $I_{DATA}$  に該当する電圧がキャパシタ  $C$  に速く充電できる。

20

【0043】

その後、データ書き込みが完了すると、選択信号  $select[1]$  も高レベルになってトランジスタ  $T1, T2$  がターンオフされ、発光走査線  $Z_1$  から印加される低レベルの発光信号  $emit[1]$  によってトランジスタ  $T4$  がターンオンされる。すると、トランジスタ  $T4$  を介してトランジスタ  $T3$  からの電流  $I_{OLED}$  が有機発光素子  $OLED$  に供給され、この電流  $I_{OLED}$  に対応して有機発光素子  $OLED$  が発光する。

30

【0044】

このように 1 番目の選択走査線  $X_1$  に接続された画素回路の発光動作が行われると同時に、選択走査線  $X_2 \sim X_6$  に低レベルの選択信号  $select[2] \sim select[6]$  が印加され、選択走査線  $X_2$  に接続された画素回路に対応するデータ電流  $I_{DATA}$  の 5 倍に相当するプリチャージ電流  $5 I_{DATA}$  がデータ線  $Y_j$  に印加され、2 番目の選択走査線  $X_2$  に接続された画素回路に対してプリチャージ動作が行われる。プリチャージ動作以後、選択信号  $select[3] \sim select[6]$  が高レベルになり、選択走査線  $X_2$  に接続された画素回路に対応するデータ電流  $I_{DATA}$  がデータ線  $Y_j$  に印加され、2 番目の選択走査線  $X_2$  に接続された画素回路に対してデータ書き込み動作が行われる。

40

【0045】

このような方式で、本発明の第 1 実施形態では、 $i$  番目の選択走査線  $X_i$  に接続された画素回路にデータを書き込む前に、 $i$  番目  $\sim (i + N - 1)$  番目の選択走査線  $X_i \sim X_{i+N-1}$  に選択信号を印加しながら、データ電流  $I_{DATA}$  の  $N$  倍に相当するプリチャージ電流  $N I_{DATA}$  を印加する。すると、縦方向に隣接した画素回路のトランジスタ  $T3$

50

の大きさが同一であれば、プリチャージ電流  $N I_{DATA}$  の  $1/N$  に相当する電流が  $i$  番目  $\sim (i + N - 1)$  番目の選択走査線 ( $X_i \sim X_{i + N - 1}$ ) に接続された  $N$  個の画素回路へ伝達されてプリチャージ動作が行われる。次に、 $i$  番目の選択走査線  $X_i$  の選択信号は低レベルにした状態で  $(i + 1)$  番目  $\sim (i + N - 1)$  番目の選択走査線  $X_{i + 1} \sim X_{i + N - 1}$  の選択信号を高レベルにしなが、データ電流  $I_{DATA}$  をデータ線  $Y_j$  に印加してデータ書き込み動作を行う。

【0046】

上述したように、本発明の第1実施形態では、データを書き込む前に、データ線をデータ電流より大きいプリチャージ電流でプリチャージすることにより、与えられた時間内にデータを書き込むことができる。

10

【0047】

以下、図4の選択信号  $select[i]$  において、プリチャージ期間の間のみ低レベルを有するパルスを「プリチャージパルス」といい、プリチャージ期間及びデータ書き込み期間の間低レベルを有するパルスを「選択パルス」という。すると、図4に示すように、選択走査線  $X_i$  に印加される選択信号  $select[i]$  は1周期当たり一つの選択パルスと少なくとも一つのプリチャージパルスを有する。選択信号  $select[i]$  において、隣接した2つのプリチャージパルスの開始時点の間隔と、選択パルスとこの選択パルスに隣接したプリチャージパルスとの開始時点の間隔は同一である。また、データが書き込まれる画素以外に、プリチャージに用いられる画素の個数だけ選択信号  $select[i]$  がプリチャージパルスを有する。プリチャージ期間  $T_p$  はプリチャージパルスの幅と同一である。

20

【0048】

次に、このような駆動波形を生成する駆動部について図6～図25を参照して詳細に説明する。

【0049】

本発明の実施形態では、プリチャージパルスを生成するシフトレジスタの出力信号と選択パルスを生成するシフトレジスタの出力信号とを結合して選択信号を生成する。特に、プリチャージパルスを生成するシフトレジスタについて詳細に説明する。

【0050】

また、本発明の実施形態では、選択走査線  $X_1 \sim X_m$  が  $m$  個であり、特に言及しない限り、選択信号  $select[i]$  が4つのプリチャージパルスを有する。すなわち、データ書き込みのための画素回路のプリチャージの際に、隣り合う4つの画素回路が使用される。

30

【0051】

図6は本発明の第2実施形態に係る走査駆動部300を示す図、図7は本発明の第2実施形態に係る走査駆動部の信号タイミング図である。

【0052】

図6に示すように、本発明の第2実施形態に係る走査駆動部300は、2つのシフトレジスタ310、320と  $m$  個のNORゲート  $NOR_{11} \sim NOR_{1m}$  を含む。本実施形態のシフトレジスタ310は本発明の第1駆動部として、本実施形態のシフトレジスタ320は本発明の第2駆動部として、本実施形態のNORゲート  $NOR_{11} \sim NOR_{1m}$  は本発明の第3駆動部として機能する。また、本発明の第1信号は信号  $scan11[i]$  として、本発明の第2信号は信号  $scan12[i]$  として説明する。

40

【0053】

図6及び図7に示すように、シフトレジスタ310は、クロック  $VCLK11$  と開始信号  $VSP11$  を受信し、出力信号  $out11[1] \sim out11[4m - 3]$  を半クロック  $VCLK11$  だけシフトしながら順次出力する。出力信号  $out11[i]$  は、1周期の間に高レベルパルスを4回有する。ここで、高レベルパルスの幅は半クロック  $VCLK11$  と同一であり、高レベルパルスの周期はクロック  $VCLK11$  の周期の2倍である。この際、高レベルパルスの幅によってプリチャージ期間  $T_p$  が決定される。そして、出力

50

信号  $out11[1] \sim out11[4m-3]$  のうち  $(4i-3)$  番目の出力信号  $out11[4i-3]$  が  $i$  番目の NOR ゲート  $NOR_{1i}$  の入力信号  $scan11[i]$  になる (ここで,  $i$  は  $1 \sim m$  の整数)。

【0054】

シフトレジスタ 320 は, クロック  $VCLK12$  と開始信号  $VSP12$  を受信し, 1 周期の間に高レベルパルス を 1 回有する出力信号  $scan12[1] \sim scan12[m]$  を半クロック  $VCLK12$  だけシフトしながら順次出力する。出力信号  $scan12[i]$  の高レベルパルスの幅は半クロック  $VCLK12$  に相当し, クロック  $VCLK12$  の周期はクロック  $VCLK11$  の周期の 4 倍である。出力信号  $scan12[i]$  の高レベルパルスの開始時点は出力信号  $scan11[i]$  の最後高レベルパルスの開始時点から半クロック  $VCLK12$  だけ離れている。

10

【0055】

NOR ゲート  $NOR_{1i}$  は, シフトレジスタ 310 の出力信号  $scan11[i]$  とシフトレジスタ 320 の出力信号  $scan12[i]$  を NOR 演算して選択信号  $select[i]$  を出力する。NOR ゲート  $NOR_{1i}$  の出力信号  $select[i]$  は, NOR 演算によって, 2 つの出力信号  $scan11[i]$ ,  $scan12[i]$  のいずれか一つでも高レベルであれば, 低レベルを有する。したがって, 出力信号  $select[i]$  は, 図 7 に示すように, 1 周期の間に低レベルパルス (プリチャージパルス) を 4 回有し, 以後低レベルパルス (選択パルス) を 1 回有する。したがって, 図 4 及び図 7 に示すように, NOR ゲート  $NOR_{1i}$  の出力信号として選択走査線  $X_i$  に印加される選択信号  $select[i]$  を生成することができる。

20

【0056】

次に, 図 6 及び図 7 で説明した出力信号  $out11[i]$ ,  $scan11[i]$ ,  $scan12[i]$  を生成することが可能なシフトレジスタ 310, 320 について図 8A ~ 図 13B を参照して説明する。

【0057】

図 8A は図 6 のシフトレジスタ 310 の概略回路図, 図 8B は図 8A のシフトレジスタに使用されるフリップフロップの概略図である。図 9 は図 8A のシフトレジスタに使用されるフリップフロップの出力信号及び NOR ゲートの出力信号のタイミング図である。図 8A および図 8B において, クロック  $VCLK11$  の反転信号は  $VCLK11b$  で表示する。また, 図 7 及び図 9 の信号タイミング図において,  $VCLK11b$  の図示は省略した。

30

【0058】

図 8A を参照すると, シフトレジスタ 310 は,  $(4m-2)$  個のフリップフロップ  $FF_{11} \sim FF_{1(4m-2)}$  と  $(4m-3)$  個の NOR ゲート  $NOR_{21} \sim NOR_{2(4m-3)}$  を含む。各 NOR ゲート  $NOR_{2k}$  の出力信号がシフトレジスタ 310 の出力信号  $out11[k]$  になる (ここで,  $k$  は  $1 \sim (4m-3)$  の整数)。

【0059】

図 8A において, 1 番目のフリップフロップ  $FF_{11}$  の入力信号は, 図 7 及び図 9 の開始信号  $VSP11$  であり,  $k$  番目のフリップフロップ  $FF_{1k}$  の出力信号  $SR_k$  が  $(k+1)$  番目のフリップフロップ  $FF_{1(k+1)}$  の入力信号になる。 $k$  番目の NOR ゲート  $NOR_{2k}$  は  $k$  番目のフリップフロップ  $FF_{1k}$  の出力信号  $SR_k$  と  $(k+1)$  番目のフリップフロップ  $FF_{1(k+1)}$  の出力信号  $SR_{k+1}$  を NOR 演算して出力信号  $out11[k]$  を出力する。

40

【0060】

フリップフロップ  $FF_{1k}$  は, クロック  $clk$  が高レベルであれば, 入力信号  $in$  をそのまま出力し, クロック  $clk$  が低レベルであれば, 高レベル時の入力信号  $in$  をラッチして出力する。また, 隣接した 2 つのフリップフロップ  $FF_{1k}$ ,  $FF_{1(k+1)}$  でクロック  $clk$  が反転されて使用されるので, フリップフロップ  $FF_{1(k+1)}$  の出力信号  $SR_{k+1}$  はフリップフロップ  $FF_{1k}$  の出力信号  $SR_k$  に対して半クロック  $VCLK$

50

11だけシフトされて出力される。すなわち、2つのフリップフロップ $FF_{1k}$ 、 $FF_{1(k+1)}$ にはクロック $VCLK_{11}$ 、 $VCLK_{11b}$ が反対に入力される。

【0061】

具体的に、図8Aにおいて、縦方向に奇数番目に位置するフリップフロップ $FF_{1k}$ は、クロック $VCLK_{11}$ 、 $VCLK_{11b}$ をそれぞれ内部クロック $clk$ 、 $clkb$ として受信し、偶数番目に位置するフリップフロップ $FF_{1k}$ は、クロック $VCLK_{11b}$ 、 $VCLK_{11}$ をそれぞれ内部クロック $clk$ 、 $clkb$ として受信する。フリップフロップ $FF_{11}$ の入力信号 $in$ である開始信号 $VSP_{11}$ は、1周期の間に低レベルパルスを4回有する。この低レベルパルスは、2つのクロック $VCLK_{11}$ 間隔でクロック $VCLK_{11}$ の高レベルに対応する。すると、フリップフロップ $FF_{11} \sim FF_{1(4m-2)}$ は、1周期の間に低レベルパルスを4回有する出力信号 $SR_{11} \sim SR_{4m-2}$ を半クロック $VCLK_{11}$ だけシフトしながら順次出力することができる。

10

【0062】

$k$ 番目のNORゲート $NOR_{2k}$ は、フリップフロップ $FF_{1k}$ 、 $FF_{1(k+1)}$ の出力信号 $SR_k$ 、 $SR_{k+1}$ をNOR演算するので、出力信号 $SR_k$ 、 $SR_{k+1}$ が共通に低レベルの場合に高レベルパルスを出力する。出力信号 $SR_{k+1}$ は出力信号 $SR_k$ に対して半クロック $VCLK_{11}$ だけ移動した信号なので、図9に示すように、NORゲート $NOR_{2k}$ の出力信号 $out_{11}[k]$ は半クロック $VCLK_{11}$ の間高レベルパルスを有する。そして、NORゲート $NOR_{2(k+1)}$ の出力信号 $out_{11}[k+1]$ はNORゲート $NOR_{2k}$ の出力信号 $out_{11}[k]$ に対して半クロック $VCLK_{11}$ だけ移動した信号になる。このようなNORゲート $NOR_{21} \sim NOR_{2(4m-3)}$ の出力信号 $out_{11}[1] \sim out_{11}[4m-3]$ のうち $(4i-3)$ 番目の出力信号 $out_{11}[4i-3]$ がシフトレジスタ310の最後出力信号 $scan_{11}[i]$ として選択される( $i$ は1~ $m$ の整数)。

20

【0063】

次に、図8Bを参照して、図8Aのシフトレジスタ310に使用されるフリップフロップ $FF_{1k}$ の一例について説明する。

【0064】

図8Bを参照すると、フリップフロップ $FF_{1k}$ は、入力端に位置する3相インバータ311a、ラッチを形成するインバータ311b、及び3相インバータ311cを含む。クロック $clk$ が高レベルになると、3相インバータ311aは入力信号 $in$ を反転して出力し、インバータ311bは3相インバータ311aの出力信号を反転して出力する。クロック $clk$ が低レベルになると、3相インバータ311aの出力は遮断され、インバータ311bの出力は3相インバータ311cに入力され、3相インバータ311cの出力はインバータ311bに入力されるラッチが形成される。インバータ311bの出力信号がフリップフロップ $FF_{1k}$ の出力信号 $out$ になる。このように、フリップフロップ $FF_{1k}$ は、クロック $clk$ が高レベルであれば、入力信号 $in$ をそのまま出力し、クロック $clk$ が低レベルであれば、高レベル時の入力信号 $in$ をラッチして出力することができる。

30

【0065】

次に、図10を参照して、図6のシフトレジスタ320の構造及び動作について説明する。図10は図6のシフトレジスタ320の概略回路図である。図10において、クロック $VCLK_{12}$ の反転信号は $VCLK_{12b}$ で表示した。また、図7の信号タイミング図において、 $VCLK_{12b}$ の図示は省略した。

40

【0066】

図7に示すように、シフトレジスタ320は、シフトレジスタ310と同様に、半クロック $VCLK_{12}$ の幅を有する高レベルパルスを半クロック $VCLK_{12}$ だけシフトしながら出力するので、シフトレジスタ310と同一の機能を有するシフトレジスタが使用できる。したがって、下記では2つのシフトレジスタ310、320の差異点を中心に説明する。図7に示すように、クロック $VCLK_{12}$ の周期はクロック $VCLK_{11}$ の周期の

50

4倍である。

【0067】

図10に示したように、シフトレジスタ320は、フリップフロップとNORゲートの個数及び使用される開始信号とクロック以外は、シフトレジスタ310と同様の構造を有する。

【0068】

具体的に、シフトレジスタ320は、 $(m+1)$ 個のフリップフロップ $FF_{2_1} \sim FF_{2_{(m+1)}}$ と $m$ 個のNORゲート $NOR_{3_1} \sim NOR_{3_m}$ を含む。各NORゲート $NOR_{3_i}$ の出力信号がシフトレジスタ320の出力信号 $scan12[i]$ になる(ここで、 $i$ は $1 \sim m$ の整数)。1番目のフリップフロップ $FF_{2_1}$ の入力信号は図7の開始信号VSP12であり、 $i$ 番目のフリップフロップ $FF_{2_i}$ の出力信号は $(i+1)$ 番目のフリップフロップ $FF_{2_{(i+1)}}$ の入力信号になる。 $i$ 番目のNORゲート $NOR_{3_i}$ は $i$ 番目のフリップフロップ $FF_{2_i}$ の出力信号と $(i+1)$ 番目のフリップフロップ $FF_{2_{(i+1)}}$ の出力信号をNOR演算して出力信号 $scan12[i]$ を出力する。

【0069】

図10において、縦方向に奇数番目に位置するフリップフロップ $FF_{2_i}$ は、クロックVCLK12、VCLK12bをそれぞれ内部クロック $clk$ 、 $clkb$ として受信し、偶数番目に位置するフリップフロップ $FF_{2_i}$ は、反転されたクロックVCLK12b、VCLK12をそれぞれ内部クロック $clk$ 、 $clkb$ として受信する。開始信号VSP12は、クロックVCLK12が高レベルのとき、低レベルパルスで1回有すればよい。また、出力信号 $scan12[i]$ の高レベルパルスの開始時点がシフトレジスタ310の出力信号 $scan11[i]$ の最後高レベルパルスの開始時点から半クロックVCLK12だけ離れるよう、開始信号VSP12のタイミングが設定される。このようにすると、シフトレジスタ320は、半クロックVCLK12の間に高レベルパルスを有する出力信号 $scan12[1] \sim scan12[m]$ を半クロックVCLK12だけシフトしながら出力することができる。

【0070】

走査駆動部300の $i$ 番目のNORゲート $NOR_{1_i}$ は、シフトレジスタ310の $i$ 番目の最後出力信号 $scan11[i]$ とシフトレジスタ320の $i$ 番目の出力信号 $scan12[i]$ をNOR演算して出力するので、選択信号 $select[i]$ は4つのプリチャージパルスと選択パルスを有することができる。

【0071】

このように、図6～図10では、選択パルスの幅がプリチャージパルスの幅の4倍であると説明したが、図6～図10の走査駆動部300から、別の幅のプリチャージパルスを有する選択信号を生成することもできる。

【0072】

上述したように、プリチャージパルスの幅は、フリップフロップ $FF_{1_k}$ の出力によって決定されるので、クロックVCLK11の周波数を低めるために、フリップフロップ $FF_{1_k}$ の出力信号 $SR_k$ の低レベルパルスが最小幅を有すると仮定する。すなわち、フリップフロップ $FF_{1_k}$ の出力信号 $SR_k$ の低レベルパルスの幅が1クロックVCLK11と同一であると仮定する。

【0073】

このような仮定の下で、フリップフロップ $FF_{1_k}$ の出力信号 $SR_k$ の低レベルパルスの周期は、常時幅の $n$ 倍になる(ここで、 $n$ は2以上の整数)。すると、NORゲート $NOR_{2_k}$ の出力信号 $out11[k]$ において、高レベルパルスの周期は幅の $2n$ 倍(すなわち、4以上の偶数倍)になるので、出力信号 $scan11[i]$ において、プリチャージパルスの幅は常時周期の $1/2n$ 倍になる。クロックVCLK12の周期をクロックVCLK11の周期に対して $2n$ 倍にすると、選択パルスの幅をプリチャージパルスの幅に対して $2n$ 倍にできると同時に、プリチャージパルスの周期間隔で選択パルスをシフトすることができる。

10

20

30

40

50

## 【0074】

シフトレジスタ310の出力信号out11[k]は、半クロックVCLK11だけシフトされて出力されるので、総[2nxm - (2n - 1)]個の出力信号out11[k]が必要である。この中でも、[2nxi - (2n - 1)]番目の出力信号out11[2nxi - (2n - 1)]がシフトレジスタ310の最後出力信号scan11[i]として選択される。

## 【0075】

次に、選択パルスの幅をプリチャージパルスの幅に対して奇数倍または3倍以下にすることが可能な実施形態について、図11及び図12を参照して詳細に説明する。

## 【0076】

図11は本発明の第3実施形態に係るシフトレジスタ310'の概略回路図、図12は本発明の第3実施形態に係る走査駆動部の信号タイミング図である。図11において、クロックVCLK11'の反転信号はVCLK11b'で表示した。また、図12の信号タイミング図において、VCLK11b'の図示は省略した。本発明の第3実施形態では、説明の便宜上、プリチャージパルスの周期を幅の3倍にした。シフトレジスタ320とNORゲートNOR<sub>11</sub> ~ NOR<sub>1m</sub>の構造と動作は第2実施形態と同様なので、その説明を省略する。

## 【0077】

図11に示すように、第3実施形態に係るシフトレジスタ310'は(3m - 2)個のフリップフロップFF<sub>31</sub> ~ FF<sub>3(3m - 2)}</sub>を含み、フリップフロップFF<sub>31</sub> ~ FF<sub>3(3m - 2)}</sub>の出力信号がそれぞれシフトレジスタ310'の出力信号out11[1]' ~ out11[3m - 2] 'になる。

## 【0078】

フリップフロップFF<sub>3k</sub>はクロックVCLK11'、VCLK11b'をそれぞれ内部クロックclk、clkbとして受信する。フリップフロップFF<sub>3k</sub>は、クロックclkが低レベルであれば、入力信号を受信すると同時に直前クロックclkタイミングでラッチされた入力信号を出力し、クロックclkが高レベルであれば、低レベルのときに入力された信号をラッチして出力する。したがって、フリップフロップFF<sub>3k</sub>は、クロックclkが低レベルのときに入力された信号を半クロックclkだけ遅延させた後、1クロックclkの間出力する。

## 【0079】

図12に示すように、フリップフロップFF<sub>31</sub>の出力信号out11[1]'は、1周期の間に、高レベルパルスを4回有する。この高レベルのパルスは、幅がクロックVCLK11'の周期と同一であり、周期が幅の3倍である。フリップフロップFF<sub>31</sub>の入力信号inである開始信号VSP11'は、1周期の間に高レベルパルスを3回有する。この高レベルパルスは、3クロックVCLK11'の間隔でクロックVCLK11'の低レベルに対応する。すると、フリップフロップFF<sub>3k</sub>は1周期の間に高レベルパルスを4回有する出力信号out11[k]'を1クロックVCLK11'だけシフトしながら順次出力することができる。フリップフロップFF<sub>3k</sub>の出力信号out11[k]'のうち(3i - 2)番目の出力信号out11[3i - 2]'が最後出力信号scan11[i]'として選択される(iは1 ~ mの整数)。

## 【0080】

このように、シフトレジスタ310'の出力信号scan11[i]'において高レベルパルスの幅を1クロックVCLK11'として設定すると、高レベルパルスの周期を高レベルパルスの幅に対して2以上の整数倍(図12では3倍)にすることができる。出力信号scan11[i]'において、高レベルパルスはプリチャージパルスに対応するので、プリチャージパルスの幅Tpは常時周期の1/n倍(図11では1/3倍)になる(ここで、nは2以上の整数)。シフトレジスタ320のクロックVCLK12の周期をシフトレジスタ310'のクロックVCLK11'の2n倍(図11では6倍)にすると、選択パルスの幅をプリチャージパルスの幅に対してn倍(図11では3倍)にすることが

10

20

30

40

50

できると同時に、プリチャージパルスの周期間隔で選択パルスをシフトすることができる。

【0081】

シフトレジスタ310'の出力信号out11[k]'において、高レベルパルスの周期が幅に対してn倍の場合には、シフトレジスタ310'で総[n×m-(n-1)]個の出力信号out11[k]'が必要である。この中でも、[n×i-(n-1)]番目の出力信号out11[n×i-(n-1)]'がシフトレジスタ310'の最後出力信号scan11[i]になる。

【0082】

このように、プリチャージパルスの周期を幅に対して奇数倍または3倍以下にする場合には、第3実施形態に係るシフトレジスタ310'を使用することができる。勿論、第3実施形態のシフトレジスタ310'を、プリチャージパルスの周期が幅に対して4倍以上の偶数倍になる場合にも使用することができるが、第2実施形態で説明したシフトレジスタ310'に比べて構造が複雑になり、クロックVCLK11'の周波数も増加する。

10

【0083】

次に、図13A及び図13Bを参照して、図11のシフトレジスタに使用されるフリップフロップの一例について説明する。

【0084】

図13A及び図13Bはそれぞれ図11のシフトレジスタに使用されるフリップフロップの概略図である。図13A及び図13Bに示したフリップフロップFF<sub>3k</sub>はマスタ/スレーブ型ラッチで形成されている。フリップフロップFF<sub>3k</sub>の内部クロックclk, clk bにそれぞれクロックVCLK11', VCLK11 b'が入力される。

20

【0085】

図13Aを参照すると、マスタラッチ313において、入力端に位置するPMOSトランジスタ313 aはクロックclkの低レベルにตอบสนองして入力信号inをインバータ313 bに伝達し、インバータ313 bはPMOSトランジスタ313 aの出力信号を反転してマスタラッチ313の出力信号として出力する。また、インバータ313 cはインバータ313 bの出力を反転して出力し、PMOSトランジスタ313 dはクロックclk bの低レベル、すなわちクロックclk bの高レベルにตอบสนองしてインバータ313 cの出力信号をインバータ313 bへ伝達する。すなわち、マスタラッチ313はクロックclkが低レベルの時の入力信号inを反転して1クロックclkの間出力する。

30

【0086】

次に、スレーブラッチ314において、入力端に位置するPMOSトランジスタ314 aは、反転されたクロックclk bの低レベルにตอบสนองしてマスタラッチ313の出力信号をインバータ314 bへ伝達し、インバータ314 bは、PMOSトランジスタ314 aの出力信号を反転してスレーブラッチ314の出力信号として出力する。インバータ314 cはインバータ314 bの出力を反転して出力し、PMOSトランジスタ314 dはクロックclkの低レベルにตอบสนองしてインバータ314 cの出力信号をインバータ314 bに伝達する。すなわち、スレーブラッチ314は、クロックclkが高レベルのときのマスタラッチ313の出力信号を反転して1クロックVCLK1の間出力する。

40

【0087】

したがって、図13AのフリップフロップFF<sub>3k</sub>は、クロックVCLK11'が低レベルのときの入力信号inを半クロックVCLK11'だけ遅延させた後、1クロックVCLK11'の間出力することができる。

【0088】

図13Aとは異なり、図13Bに示したように、フリップフロップFF<sub>3k</sub>のマスタラッチ315及びスレーブラッチ316をそれぞれ図8Bのフリップフロップと同一の構造で形成することができる。この際、マスタラッチ315は図8Bのフリップフロップに対してクロックclk, clk bを逆に使用し、スレーブラッチ316は図8Bのフリップフロップとクロックclk, clk bを同一に使用する。

50

## 【0089】

すると、マスタラッチ315は、クロックclkが低レベルのときの入力信号inを1クロックclkの間出力し、スレーブラッチ316は、クロックclkが高レベルのときのマスタラッチ315の出力信号を1クロックclkの間出力する。したがって、図13Bのフリップフロップ $FF_{3k}$ は、クロックVCLK11'が低レベルのときの入力信号inを半クロックVCLK11'だけ遅延させた後、1クロックVCLK11'の間出力することができる。

## 【0090】

以上説明したように、本発明の第2及び第3実施形態に係る走査駆動部300は、プリチャージパルスに対応する高レベルパルスを有する第1出力信号を高レベルパルスの幅に対応する間隔だけシフトしながら順次出力する。走査駆動部300は、このような第1出力信号のうち一定の間隔（高レベルパルスの周期に対応する間隔）でシフトされて出力される信号を選択してプリチャージパルスとして使用する。

10

## 【0091】

図14は本発明の第4実施形態に係る走査駆動部300'を示す図、図15は本発明の第4実施形態に係る走査駆動部の信号タイミング図である。

## 【0092】

図14に示すように、本発明の第4実施形態に係る走査駆動部300'は、3つのシフトレジスタ330、340、350、複数のXORゲート $XOR_{11} \sim XOR_{1m}$ 及び複数のNORゲート $NOR_{41} \sim NOR_{4m}$ を含む。本実施形態のシフトレジスタ330、340は本発明の第1駆動部として、本実施形態のシフトレジスタ350は本発明の第2駆動部として、本実施形態のNORゲート $NOR_{41} \sim NOR_{4m}$ は本発明の第3駆動部として機能する。また、本発明の第1信号は信号scan21[i]として、本発明の第2信号は信号scan22[i]として説明する。

20

## 【0093】

図14及び図15に示すように、シフトレジスタ330は、クロックVCLK21と開始信号VSP21を受信し、出力信号out21[1]～out21[m]を1クロックVCLK21だけシフトしながら順次出力する。出力信号out21[i]は1周期の間高レベルパルスを2回有する。ここで、高レベルパルスは、幅がクロックVCLK21の周期 $T_{c1}$ と同一であり、周期がクロックVCLK21の周期 $T_{c1}$ の2倍と同一である（ここで、iは1～mの整数）。

30

## 【0094】

シフトレジスタ330は、クロックVCLK22と開始信号VSP22を受信し、出力信号out22[1]～out22[m]を1クロックVCLK22だけシフトしながら順次出力する。クロックVCLK22は、クロックVCLK21と同一の周期 $T_{c1}$ を有し、クロックVCLK21に対してプリチャージ期間 $T_p$ だけシフトされている。出力信号out22[i]も1周期の間高レベルパルスを2回有する。この高レベルパルスは、幅がクロックVCLK22の周期と同一であり、周期がクロックVCLK22の周期の2倍と同一である（ここで、iは1～mの整数）。シフトレジスタ340の出力信号out22[i]はシフトレジスタ330の出力信号out21[i]に対してプリチャージ期間 $T_p$ だけシフトされた信号である。

40

## 【0095】

各XORゲート $XOR_{1i}$ は、シフトレジスタ330の出力信号out21[i]とシフトレジスタ340の出力信号out22[i]をXOR演算して出力信号scan21[i]を出力する。出力信号scan21[i]は、XOR演算によって、2つの出力信号out21[i]、out22[i]の一方のみが高レベルの場合に高レベルになる。出力信号out22[i]が出力信号out21[i]に対してプリチャージ期間 $T_p$ だけ移動しているので、プリチャージ期間 $T_p$ が1クロックVCLK21より短ければ、出力信号scan21[i]は1周期の間高レベルパルスを4回有する。このようなXORゲート $XOR_{1(i+1)}$ の出力信号scan21[i+1]は、直前出力信号scan

50

21 [ i ] に対して1クロックVCLK21だけ移動した信号になり、4つの高レベルパルスのうち3つが出力信号scan21 [ i ] の高レベルパルスと一致する。

【0096】

シフトレジスタ350は、図6のシフトレジスタ320と同様にクロックVCLK23と開始信号VSP23を受信し、高レベルのパルスを有する出力信号scan22 [ 1 ] ~ scan22 [ m ] を半クロックVCLK23だけシフトしながら順次出力する。出力信号scan22 [ i ] の高レベルパルスの幅はクロックVCLK23の半周期に該当し、クロックVCLK23の周期はクロックVCLK21の周期の2倍である。出力信号scan22 [ i ] の高レベルパルスの開始時点は、出力信号scan21 [ i ] の最後高レベルパルスの開始時点から1クロックVCLK21だけ離れている。

10

【0097】

NORゲートNOR<sub>4i</sub>は、図6のNORゲートNOR<sub>1i</sub>と同様に、2つの出力信号scan21 [ i ] , scan22 [ i ] をNOR演算して選択信号select [ i ] を出力する。ここで、プリチャージパルスの幅及び周期は、それぞれ出力信号scan21 [ i ] の高レベルパルスの幅及び周期と同一であり、選択パルスの幅は、出力信号scan22 [ i ] の高レベルパルスの幅と同一である。したがって、図4及び図15に示すように、NORゲートNOR<sub>4i</sub>の出力信号として、選択走査線X<sub>i</sub>に印加される選択信号select [ i ] を生成することができる。

【0098】

次に、図14及び図15で説明した出力信号out21 [ i ] , out22 [ i ] , scan22 [ i ] を生成することが可能なシフトレジスタ330, 340, 350について、図16を参照して詳細に説明する。

20

【0099】

図16は図14のシフトレジスタ330の概略回路図である。図16において、クロックVCLK21の反転信号をVCLK21bで表示した。シフトレジスタ330, 340は、出力信号の形態が同一なので、同一構造のシフトレジスタを使用することができるので、下記ではシフトレジスタ330を中心に説明する。

【0100】

図16を参照すると、図14のシフトレジスタ330は、m個のフリップフロップFF<sub>41</sub> ~ FF<sub>4m</sub>を含み、各フリップフロップFF<sub>4i</sub>の出力信号がシフトレジスタ330の出力信号out21 [ i ] になる(ここで、iは1~mの整数)。

30

【0101】

図16において、1番目のフリップフロップFF<sub>41</sub>の入力信号は、図15の開始信号VSP21であり、i番目のフリップフロップFF<sub>4i</sub>の出力信号out21 [ i ] が(i+1)番目のフリップフロップFF<sub>4(i+1)}</sub>の入力信号inになる。フリップフロップFF<sub>4i</sub>はクロックVCLK21, VCLK21bをそれぞれ内部クロックclk, clk bとして受信する。フリップフロップFF<sub>4i</sub>は、図11, 図13A及び図13Bで説明したフリップフロップと同様に、クロックclkが低レベルのときに入力された信号を半クロックclkだけ遅延させた後、1クロックclkの間出力する。

40

【0102】

図15に示すように、フリップフロップFF<sub>4i</sub>の出力信号out21 [ i ] は、1周期の間高レベルパルスを2回有する。この高レベルパルスは、幅がクロックVCLK21の周期と同一であり、周期がクロックVCLK21の周期の2倍である。フリップフロップFF<sub>41</sub>の入力信号inである開始信号VSP21は、1周期の間に高レベルパルスを2回有する、この高レベルパルスは2つのクロックVCLK21間隔でクロックVCLK21の低レベルに対応する。すると、フリップフロップFF<sub>41</sub> ~ FF<sub>4m</sub>は、高レベルパルスを2回有する出力信号out21 [ 1 ] ~ out21 [ m ] を1クロックVCLK21だけシフトしながら順次出力することができる。

【0103】

また、シフトレジスタ340は、シフトレジスタ330と同一の構造を有する状態で、

50

クロック  $VCLK22$  と開始信号  $VSP22$  がそれぞれクロック  $VCLK21$  と開始信号  $VSP21$  に対してプリチャージ期間  $T_p$  だけシフトされて入力される。すると、図 15 に示すような出力信号  $out21[i]$  に対してプリチャージ期間  $T_p$  だけ移動した出力信号  $out22[i]$  がシフトレジスタ 340 から順次出力される。

【0104】

図 7 及び図 14 に示すように、シフトレジスタ 350 の出力信号  $scan22[i]$  は、図 10 のシフトレジスタ 320 の出力信号  $scan12[i]$  と同一である。したがって、図 10 のシフトレジスタ 320 に図 14 のクロック  $VCLK23$  と開始信号  $VSP23$  を入力すると、シフトレジスタ 350 の出力信号  $scan22[i]$  を生成することができる。

10

【0105】

また、4 つ以外の個数のプリチャージパルスを生成する場合にも、第 4 実施形態の走査駆動部 300' を適用することができる。

【0106】

たとえば、プリチャージパルスが  $2n$  個の場合には、シフトレジスタ 330、340 の出力信号  $out21[i]$ 、 $out22[i]$  において高レベルパルスを  $n$  個生成し、高レベルパルスの周期を幅の 2 倍にすればよい。特に、2 つのプリチャージパルスを生成する場合には、図 10 のシフトレジスタで走査駆動部 300' を実現することができる。次に、図 17 及び図 18 を参照して、このような実施形態について詳細に説明する。

【0107】

20

図 17 は本発明の第 5 実施形態に係るシフトレジスタ 330' の概略回路図である。図 18 は本発明の第 5 実施形態に係る走査駆動部の信号タイミング図である。図 17 及び図 18 では、シフトレジスタ 330' の出力信号、クロック及び開始信号をそれぞれ  $out21[i]'$ 、 $VCLK21'$  及び  $VSP21'$  で示し、シフトレジスタ 340' の出力信号、クロック及び開始信号をそれぞれ  $out22[i]'$ 、 $VCLK22'$  及び  $VSP22'$  で示した（ここで、 $i$  は  $1 \sim m$  の整数）。

【0108】

図 17 に示すように、シフトレジスタ 330' は、フリップフロップ  $FF_{51} \sim FF_{5(m+1)}$  と  $m$  個の NOR ゲート  $NOR_{51} \sim NOR_{5m}$  を含む。フリップフロップ  $FF_{51} \sim FF_{5(m+1)}$  と NOR ゲート  $NOR_{51} \sim NOR_{5m}$  との接続関係は、図 10 と同様なので、その説明を省略する。また、シフトレジスタ 340' は、シフトレジスタ 330' と同様の構造を有し、クロックと開始信号として  $VCLK22'$  と  $VSP22'$  がそれぞれ入力される。

30

【0109】

シフトレジスタ 330'、340' に入力されるクロック  $VCLK21'$ 、 $VCLK22'$  は、シフトレジスタ 350 のクロック  $VCLK23$  と同一の周期を有する。シフトレジスタ 330'、340' の開始信号  $VSP21'$ 、 $VSP22'$  はクロック  $VCLK21'$ 、 $VCLK22'$  が高レベルの間に低レベルパルスを 1 回有すればよい。

【0110】

すると、図 18 に示すように、幅が半クロック  $VCLK23$  に該当する高レベルパルスを有する出力信号  $out21[i]'$ 、 $out22[i]'$  が半クロック  $VCLK23$  だけシフトされながら出力できる。このような走査駆動部の構造及び動作は、上述の説明から容易に分かるので、その詳細な説明を省略する。

40

【0111】

このように走査駆動部のシフトレジスタ 330'、340'、350 としていずれも図 10 のシフトレジスタを使用すれば、走査駆動部の構造が簡単になる。また、クロック  $VCLK21'$ 、 $VCLK22'$  の周期も図 15 のクロック周期より長くなるので、周波数を減らすこともできる。

【0112】

以上説明したように、本発明の第 4 及び第 5 実施形態に係る走査駆動部 300' は、

50

リチャージパルスの個数の半分（またはプリチャージパルスの半分より1大きい数）だけの高レベルパルスを有する第1出力信号を順次出力する。ここで、高レベルパルスの周期は、幅の2倍である。走査駆動部300'は、第1出力信号からプリチャージ期間だけシフトされた第2出力信号を順次出力し、第1出力信号と第2出力信号がお互い異なるレベルを有する期間で、プリチャージパルスに対応するパルスを生成する。

【0113】

図19は本発明の第6実施形態に係る走査駆動部300''を示す図、図20は本発明の第6実施形態に係る走査駆動部の信号タイミング図である。

【0114】

図19に示すように、本発明の第6実施形態に係る走査駆動部300''は2つのシフトレジスタ360、370と複数のNORゲート $NOR_{6_1} \sim NOR_{6_m}$ 、 $NOR_{7_1} \sim NOR_{7_m}$ を含む。本実施形態のシフトレジスタ360は本発明の第1駆動部として、本実施形態のシフトレジスタ370は本発明の第2駆動部として、本実施形態のNORゲート $NOR_{7_1} \sim NOR_{7_m}$ は本発明の第3駆動部として機能する。また、本発明の第1信号は信号 $scan31[i]$ として、本発明の第2信号は信号 $scan32[i]$ として説明する。

10

【0115】

図18及び図19に示したように、シフトレジスタ360は、クロック $VCLK31$ と開始信号 $VSP31$ を受信し、出力信号 $out31[1] \sim out31[m]$ を半クロック $VCLK31$ だけシフトしながら順次出力する。出力信号 $out31[i]$ は、1周期の間に低レベルパルスを1回有し、この低レベルパルスの幅はクロック $VCLK31$ の周期の2倍である（ここで、 $i$ は1～ $m$ の整数）。

20

【0116】

NORゲート $NOR_{6_i}$ は、プリチャージ制御信号 $PC$ とシフトレジスタ360の出力信号 $out31[i]$ をNOR演算して出力信号 $scan31[i]$ を出力する。図19に示すように、プリチャージ制御信号 $PC$ は、一定の周期で低レベルパルスを有する。低レベルパルスの幅 $Tp$ はプリチャージ期間と同一であり、プリチャージ制御信号 $PC$ の周期は半クロック $VCLK31$ に該当する。こうすると、出力信号 $out31[i]$ の低レベルパルスの幅がプリチャージ制御信号 $PC$ の周期の4倍になり、出力信号 $out31[i]$ にプリチャージ制御信号 $PC$ の低レベルパルスが4つ対応する。

30

【0117】

また、NORゲート $NOR_{6_i}$ は、プリチャージ制御信号 $PC$ と出力信号 $out31[i]$ が全て低レベルであれば高レベルパルスを出力するので、NORゲート $NOR_{6_i}$ の出力信号 $scan31[i]$ は、1周期の間に高レベルパルスを4回有する。ここで、高レベルパルスの幅及び周期はそれぞれプリチャージ制御信号 $PC$ の幅及び周期と同一であり、高レベルパルスによってプリチャージパルスが生成される。また、出力信号 $out31[i+1]$ が出力信号 $out31[i]$ に対して半クロック $VCLK31$ だけ移動しているので、NORゲート $NOR_{6_{(i+1)}}$ の出力信号 $scan31[i+1]$ は、出力信号 $scan31[i]$ に対して半クロック $VCLK31$ だけ移動した信号である。すなわち、出力信号 $scan31[i+1]$ の4つの高レベルパルスのうち3つが出力信号 $scan31[i]$ の高レベルパルスと一致する。

40

【0118】

シフトレジスタ370は、クロック $VCLK32$ と開始信号 $VSP32$ を受信し、1周期の間に高レベルパルスを1回有する出力信号 $scan32[1] \sim scan32[m]$ を半クロック $VCLK31$ だけシフトしながら順次出力する。出力信号 $scan32[i]$ の高レベルパルスの幅は半クロック $VCLK32$ に該当し、クロック $VCLK32$ の周期はクロック $VCLK31$ の周期と同一である。出力信号 $scan32[i]$ の高レベルパルスの開始時点は、出力信号 $scan31[i]$ の最後高レベルパルスの開始時点から半クロック $VCLK32$ だけ離れている。

【0119】

50

NORゲート $NOR_{7i}$ は、シフトレジスタ360の出力信号 $scan32[i]$ とNORゲート $NOR_{6i}$ の出力信号 $scan31[i]$ をNOR演算して選択信号 $select[i]$ を出力する。ここで、プリチャージパルスの幅及び周期は、それぞれ出力信号 $scan31[i]$ の高レベルパルスの幅及び周期と同一であり、選択パルスの幅は、出力信号 $scan32[i]$ の高レベルパルスの幅と同一である。

#### 【0120】

次に、図19及び図20で説明した出力信号 $out31[i]$ 、 $scan32[i]$ を生成することが可能なシフトレジスタ360、370について、図21～図25を参照して詳細に説明する。

#### 【0121】

図21は図19のシフトレジスタ360の概略回路図である。図21において、クロック $VCLK31$ の反転信号は $VCLK31b$ で表示した。また、図20の信号タイミング図において、 $VCLK31b$ の図示は省略した。

#### 【0122】

図21を参照すると、シフトレジスタ360は、 $m$ 個のフリップフロップ $FF_{61} \sim FF_{6m}$ を含み、各フリップフロップ $FF_{6i}$ の出力信号がシフトレジスタ360の出力信号 $out31[i]$ になる（ここで、 $i$ は1～ $m$ の整数）。図20において、1番目のフリップフロップ $FF_{6i}$ の入力信号は図19の開始信号 $VSP31$ であり、 $i$ 番目のフリップフロップ $FF_{6i}$ の出力信号 $out31[i]$ は $(i+1)$ 番目のフリップフロップ $FF_{6(i+1)}$ の入力信号になる。

#### 【0123】

フリップフロップ $FF_{6i}$ は、図8A及び図8Bのフリップフロップと同様に、クロック $clk$ が高レベルであれば入力信号 $in$ をそのまま出力し、クロック $clk$ が低レベルであれば高レベル時の入力信号 $in$ をラッチして出力する。また、図8Aのシフトレジスタと同様に、隣接した2つのフリップフロップ $FF_{6i}$ 、 $FF_{6(i+1)}$ でクロック $clk$ が反転されて使用される。

#### 【0124】

具体的に、図21において、縦方向に奇数番目に位置するフリップフロップ $FF_{6i}$ は、クロック $VCLK1$ 、 $VCLK31b$ をそれぞれ内部クロック $clk$ 、 $clkb$ として受信し、偶数番目に位置するフリップフロップ $FF_{6i}$ は、クロック $VCLK31b$ 、 $VCLK31$ をそれぞれ内部クロック $clk$ 、 $clkb$ として受信する。フリップフロップ $FF_{61}$ の入力信号 $in$ である開始信号 $VSP31$ は、2クロック $VCLK31$ の間、クロック $VCLK31$ が高レベルのときに低レベルを有すればよい。すると、フリップフロップ $FF_{61} \sim FF_{6m}$ は2クロック $VCLK31$ の間に低レベルパルスを有する出力信号 $out31[1] \sim out31[m]$ を半クロック $VCLK31$ だけシフトしながら順次出力することができる。

#### 【0125】

図7及び図20に示すように、シフトレジスタ370の出力信号 $scan32[i]$ は、図10のシフトレジスタ320の出力信号 $scan12[i]$ と同一である。したがって、図10のシフトレジスタ320に図19のクロック $VCLK32$ と開始信号 $VSP32$ を入力すると、シフトレジスタ370の出力信号 $scan32[i]$ を生成することができる。

#### 【0126】

このように、図19～図21で説明した走査駆動部300"から、図4に示した選択信号 $select[i]$ を生成することができる。図19～図21では選択信号が4つのプリチャージパルスを有すると説明したが、図19～図21の走査駆動部300"から、異なる個数のプリチャージパルスを有する選択信号を生成することもできる。

#### 【0127】

例えば、プリチャージパルスが $2n$ 個の場合には、シフトレジスタ360の出力信号 $out31[i]$ において高レベルパルスの幅をプリチャージ制御信号 $PC$ の周期の $2n$ 倍

10

20

30

40

50

にすればよい。すると、NORゲート $NOR_{5_i}$ の出力信号 $scan31[i]$ は $2n$ 個の高レベルパルスを有する。

【0128】

偶数個のプリチャージパルス以外に奇数個のプリチャージパルスを生成する場合にも、図19の走査駆動部300"を適用することができる。次に、図22を参照して、奇数個のプリチャージパルスを生成する場合について説明する。図22は本発明の第7実施形態に係る走査駆動部300"の信号タイミング図である。

【0129】

図22の信号タイミングは、開始信号 $VSP32'$ 、クロック $VCLK32'$ 、出力信号 $scan32[i]$ のタイミング以外は、図20の信号タイミングと同様である。

10

【0130】

具体的に、NORゲート $NOR_{6_i}$ の出力信号 $scan31[i]$ の最後高レベルパルスとシフトレジスタ370の出力信号 $scan32[i]'$ の高レベルパルスとの開始時点が同一となるようにする。すると、NORゲート $NOR_{6_i}$ の出力信号 $scan31[i]$ の最後高レベルパルスとシフトレジスタ370の出力信号 $scan32[i]'$ の高レベルパルスとのNOR演算が行われるので、プリチャージパルスを奇数個生成することができる。

【0131】

以上、図21で説明した方法は、上述した第2～第5実施形態にも適用することができる。すなわち、第2～図5実施形態でも出力信号 $scan11[i]$ 、 $scan11[i]'$ 、 $scan21[i]$ の最後高レベルパルスの開始時点と出力信号 $scan12[i]$ 、 $scan12[i]'$ 、 $scan22[i]$ の高レベルパルスの開始時点とを一致させると、選択信号 $select[i]$ においてプリチャージパルスの個数を高レベルパルスの個数より1つ少なくすることができる。

20

【0132】

図19～図22では半クロックシフト機能を有するシフトレジスタ360を例として説明したが、これとは異なり、1クロックシフト機能を有するシフトレジスタ360'を使用することもできる。次に、このような実施形態について図23及び図24を参照して詳細に説明する。

【0133】

図23は本発明の第8実施形態に係る走査駆動部のシフトレジスタ360'の概略回路図、図24は本発明の第8実施形態に係る走査駆動部の信号タイミング図である。

30

【0134】

図23を参照すると、シフトレジスタ360'は、 $m$ 個のフリップフロップ $FF_{7_1} \sim FF_{7_m}$ を含み、フリップフロップ $FF_{7_i}$ の出力信号がシフトレジスタ360'の出力信号 $out31[i]'$ になる(ここで、 $i$ は1～ $m$ の整数)。

【0135】

フリップフロップ $FF_{7_i}$ は、クロック $VCLK31'$ 、 $VCLK31b'$ をそれぞれ内部クロック $clk$ 、 $clkb$ として受信し、図11、図13A及び図13Bで説明したフリップフロップと同様に、クロック $clk$ が低レベルのときに入力された信号を半クロック $clk$ だけ遅延させた後、1クロック $clk$ の間出力する。したがって、図24に示すように、フリップフロップ $FF_{7_1} \sim FF_{7_m}$ は出力信号 $out31[1]'$ ～ $out31[m]'$ を1クロック $VCLK31'$ だけシフトしながら順次出力することができる。

40

【0136】

フリップフロップ $FF_{7_i}$ が出力信号を1クロック $VCLK31'$ だけシフトするので、図19とは異なり、クロック $VCLK31'$ の周期は、クロック $VCLK32$ の周期の1/2倍であり、プリチャージ制御信号 $PC$ の周期と同一である。また、出力信号 $out31[i]'$ は、幅がプリチャージ制御信号 $PC$ の周期の4倍である低レベルパルスを持たなければならないので、出力信号 $out31[i]'$ の低レベルパルスの幅は、クロッ

50

クVCLK31'の周期の4倍と同一である。また、フリップフロップFF<sub>71</sub>の入力信号inである開始信号VSP31'は、4クロックVCLK31'の間クロックVCLK31'が低レベルのときに高レベルを有する。すると、フリップフロップFF<sub>71</sub>~FF<sub>7m</sub>は、4クロックVCLK31'の間低レベルパルスを有する出力信号out31[1]'~out31[m]'を1クロックVCLK31'だけシフトしながら順次出力することができる。したがって、図24のように、高レベルパルスを4つ有する出力信号scan31[i]'が出力できる。

#### 【0137】

図23及び図24で説明した走査駆動部でも、シフトレジスタ370'の出力信号scan32[i]'の高レベルパルスとNORゲートNOR<sub>6i</sub>の出力信号scan31[i]'の最後高レベルパルスとを一致させると、奇数個のプリチャージパルスを生成することができる。また、この走査駆動部では、NORゲートNOR<sub>6i</sub>の出力信号scan31[i]'の高レベルパルスの個数を奇数個にすることもできる。すなわち、シフトレジスタ360'の出力信号out31[i]'の低レベルパルスの幅をプリチャージ制御信号PCの周期の奇数倍、すなわちクロックVCLK31'の奇数倍にすればよい。

#### 【0138】

図23及び図24で説明した走査駆動部300"を用いれば、図4の発光信号emit[i]を生成することもできる。次に、このような実施形態について図25を参照して説明する。

#### 【0139】

図25は本発明の第9実施形態に係る走査駆動部の信号タイミング図である。

#### 【0140】

図25に示すように、シフトレジスタ370は、出力信号scna32[i]'の高レベルパルスの開始時点がNORゲートNOR<sub>6i</sub>の出力信号scan31[i]'の最後高レベルパルスの開始時点と一致するように、出力信号scan31[i]'を出力する。このようにすると、NORゲートNOR<sub>6i</sub>の出力信号scan31[i]'が高レベルパルスである期間と、シフトレジスタ370の出力信号scan32[i]'が高レベルパルスである期間とが、シフトレジスタ360'の出力信号out31[i]'が低レベルパルスである期間に含まれる。すなわち、選択信号select[i]'が選択パルスとプリチャージパルスを有する間、シフトレジスタ360'の出力信号out31[i]'は低レベルなので、シフトレジスタ360'の出力信号out31[i]'の反転信号を発光信号emit[i]として使用することができる。

#### 【0141】

以上説明したように、本発明の第6~第8実施形態に係る走査駆動部300"は、プリチャージパルスに対応する幅の第1パルスが一定の周期だけ繰り返されるプリチャージ制御信号を用いる。このようなプリチャージ制御信号において第1パルスがプリチャージパルスの個数だけ選択されてプリチャージパルスが生成される。ここで、走査駆動部300"は、プリチャージパルスの個数に対応する個数の第1パルスを含む幅を有する第2パルスを用いて第1パルスを選択する。

#### 【0142】

本発明の第1~第8実施形態では、走査駆動部から出力される選択信号を直接選択走査線に印加すると説明したが、走査駆動部と表示領域との間に形成されるバッファを介して入力してもよい。また、場合によっては、選択信号と発光信号のレベルを変更するために、走査駆動部と表示領域との間にレベルシフトを形成してもよい。

#### 【0143】

以上、添付図面を参照しながら本発明の好適な実施形態について説明したが、本発明はかかる例に限定されないことは言うまでもない。当業者であれば、特許請求の範囲に記載された範疇内において、各種の変更例または修正例に想到し得ることは明らかであり、それらについても当然に本発明の技術的範囲に属するものと了解される。

#### 【産業上の利用可能性】

10

20

30

40

50

## 【 0 1 4 4 】

本発明は、発光表示装置と、その駆動装置及び駆動方法に適用可能であり、特に有機物質の発光を用いた表示装置に適用可能である。

## 【図面の簡単な説明】

## 【 0 1 4 5 】

【図 1】従来の発光表示装置における諧調別データ書き込み時間の変化を示すグラフである。

【図 2】本発明の第 1 実施形態に係る発光表示装置の概略平面図である。

【図 3】本発明の第 1 実施形態に係る発光表示装置の画素の回路図である。

【図 4】本発明の第 1 実施形態に係る発光表示装置の駆動タイミング図である。

10

【図 5 A】プリチャージ段階で電流が供給される状態を示す図である。

【図 5 B】データ書き込み段階で電流が供給される状態を示す図である。

【図 6】本発明の第 2 実施形態に係る発光表示装置の走査駆動部を示す図である。

【図 7】本発明の第 3 実施形態に係る走査駆動部の信号タイミング図である。

【図 8 A】図 6 の走査駆動部における 1 番目のシフトレジスタの概略回路図である。

【図 8 B】図 8 A のシフトレジスタに使用されるフリップフロップの概略図である。

【図 9】図 8 A のシフトレジスタに使用されるフリップフロップの出力信号及び NOR ゲートの出力信号のタイミング図である。

【図 10】図 6 の走査駆動部における 2 番目のシフトレジスタの概略回路図である。

【図 11】本発明の第 3 実施形態に係る走査駆動部における 1 番目のシフトレジスタの概略回路図である。

20

【図 12】本発明の第 3 実施形態に係る走査駆動部の信号タイミング図である。

【図 13 A】図 11 のシフトレジスタに使用されるフリップフロップの概略図である。

【図 13 B】図 11 のシフトレジスタに使用されるフリップフロップの概略図である。

【図 14】本発明の第 4 実施形態に係る走査駆動部を示す図である。

【図 15】本発明の第 4 実施形態に係る走査駆動部の信号タイミング図である。

【図 16】図 14 の走査駆動部における 1 番目のシフトレジスタの概略回路図である。

【図 17】本発明の第 5 実施形態に係る走査駆動部における 1 番目のシフトレジスタの概略回路図である。

【図 18】本発明の第 5 実施形態に係る走査駆動部の信号タイミング図である。

30

【図 19】本発明の第 6 実施形態に係る走査駆動部を示す図である。

【図 20】本発明の第 6 実施形態に係る走査駆動部の信号タイミング図である。

【図 21】図 19 の走査駆動部における 1 番目のシフトレジスタの概略回路図である。

【図 22】本発明の第 7 実施形態に係る走査駆動部の信号タイミング図である。

【図 23】本発明の第 8 実施形態に係る走査駆動部における 1 番目のシフトレジスタの概略回路図である。

【図 24】本発明の第 8 実施形態に係る走査駆動部の信号タイミング図である。

【図 25】本発明の第 9 実施形態に係る走査駆動部の信号タイミング図である。

## 【符号の説明】

## 【 0 1 4 6 】

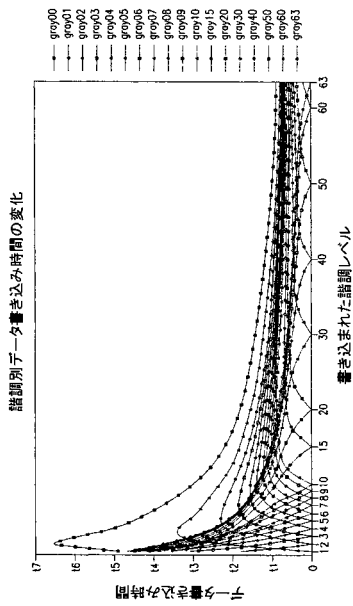
40

- 1 0 0 表示パネル
- 1 1 0 画素回路
- 2 0 0 データ駆動部
- 3 0 0 , 3 0 0 ' , 3 0 0 " 走査駆動部
- 3 1 0 , 3 2 0 シフトレジスタ
- 3 1 0 ' シフトレジスタ
- 3 1 1 a , 3 1 1 b , 3 1 1 c インバータ
- 3 1 3 , 3 1 5 マスタラッチ
- 3 1 3 a , 3 1 3 d PMOS トランジスタ
- 3 1 3 b , 3 1 3 c インバータ

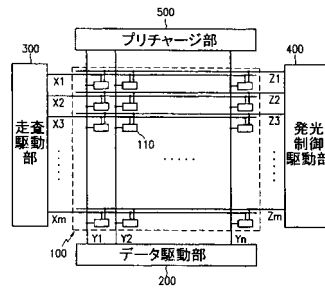
50

- 3 1 4 , 3 1 6      スレーブラッチ
- 3 3 0 , 3 4 0 , 3 5 0 , 3 6 0 , 3 7 0      シフトレジスタ
- 3 3 0 ' , 3 4 0 ' , 3 6 0 '      シフトレジスタ
- 4 0 0      発光制御駆動部

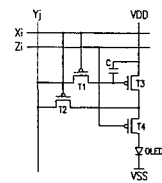
【 図 1 】



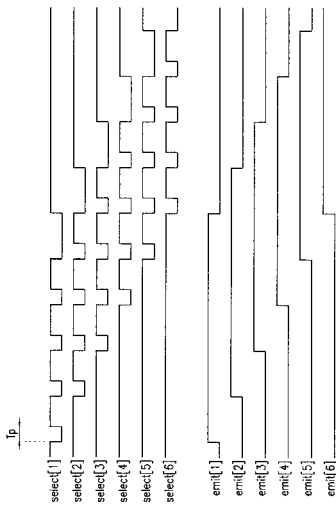
【 図 2 】



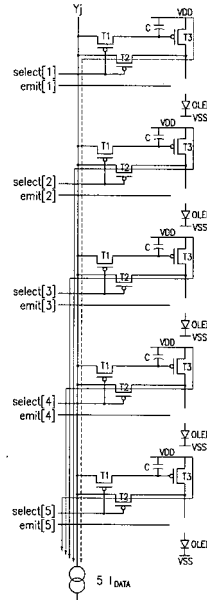
【 図 3 】



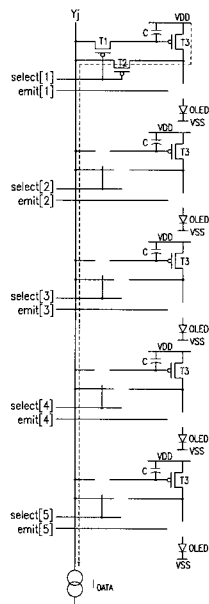
【 図 4 】



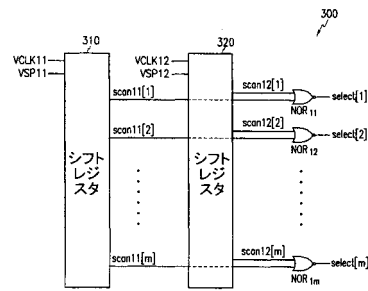
【 図 5 A 】



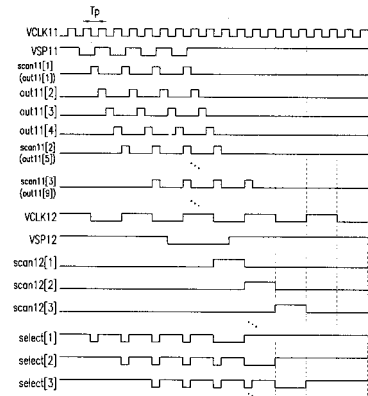
【 図 5 B 】



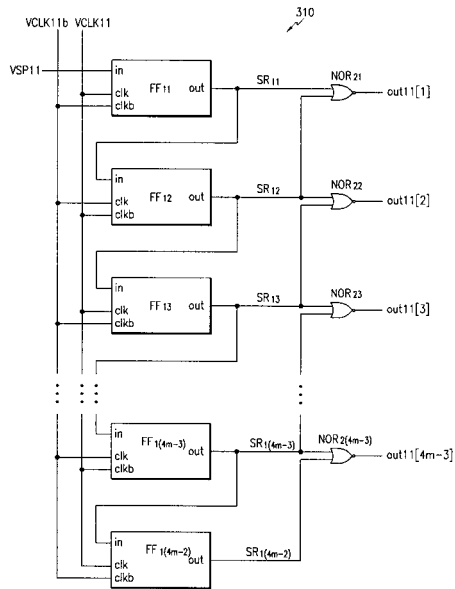
【 図 6 】



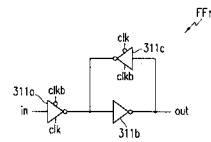
【 図 7 】



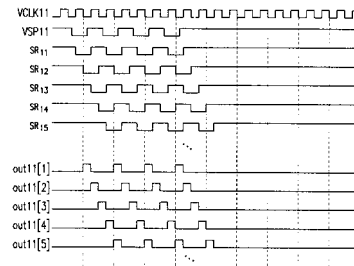
【図 8 A】



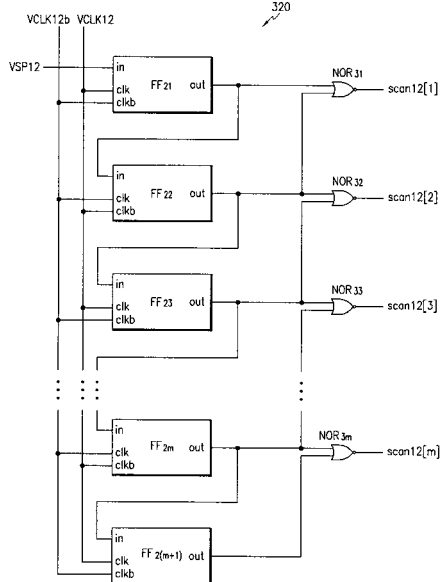
【図 8 B】



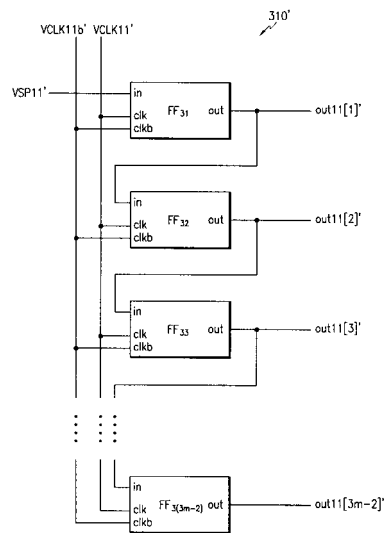
【図 9】



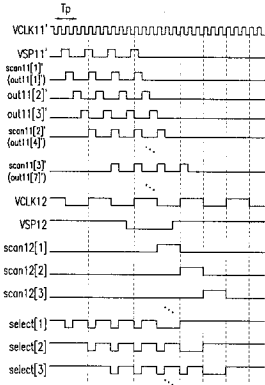
【図 10】



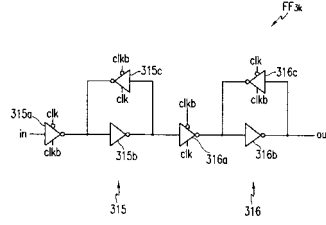
【図 11】



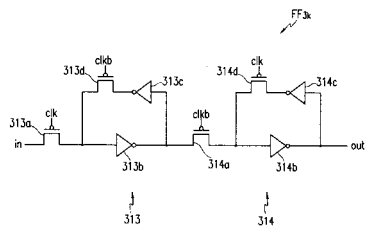
【 図 1 2 】



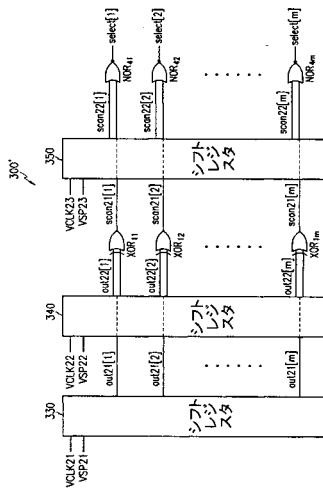
【 図 1 3 B 】



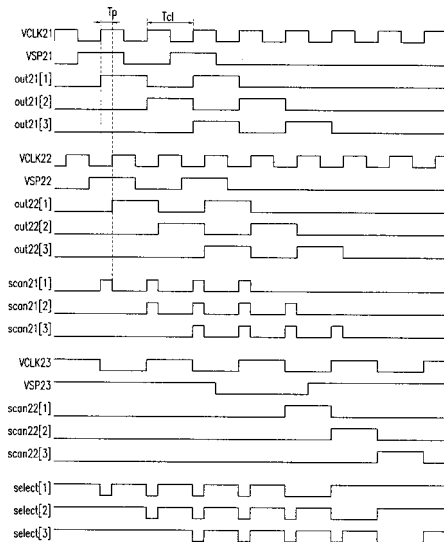
【 図 1 3 A 】



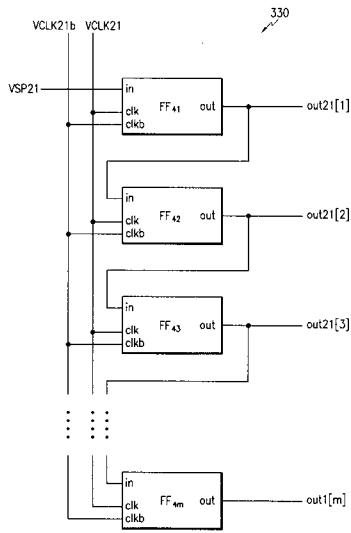
【 図 1 4 】



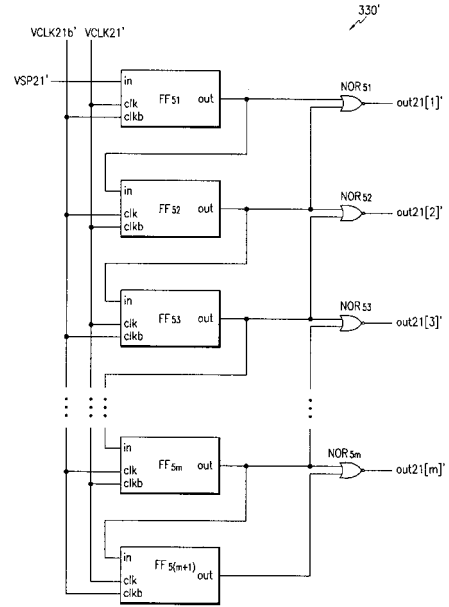
【 図 1 5 】



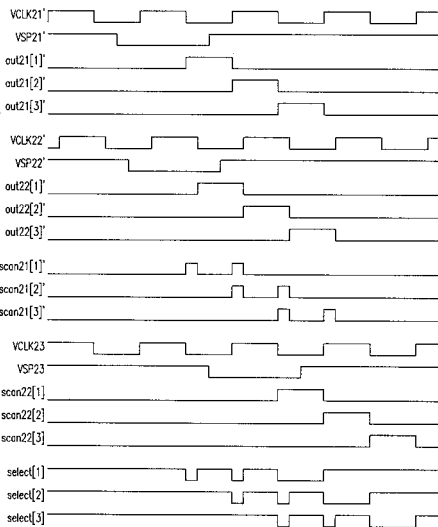
【図16】



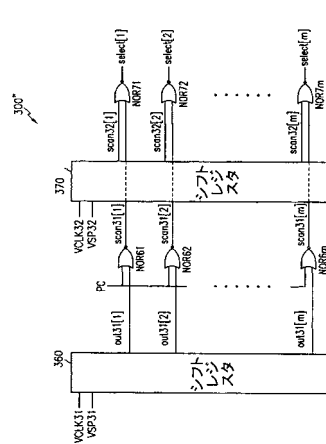
【図17】



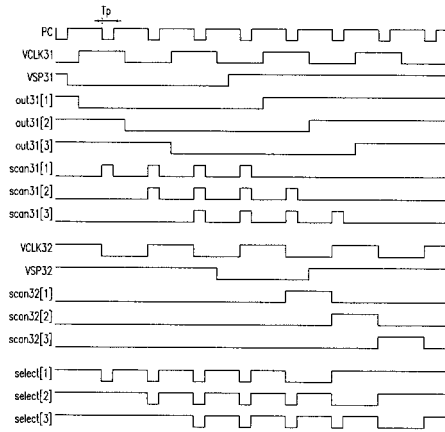
【図18】



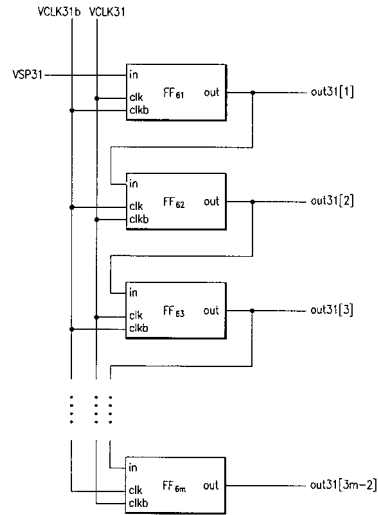
【図19】



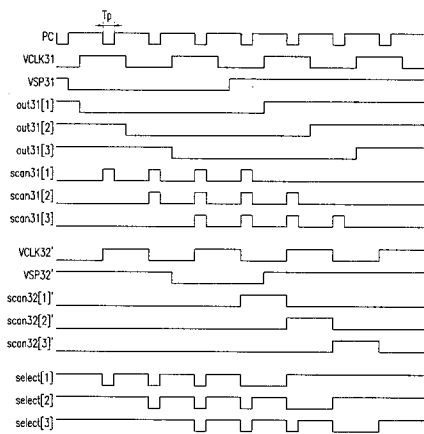
【 図 2 0 】



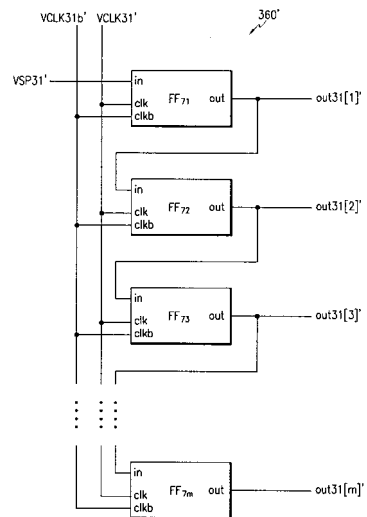
【 図 2 1 】



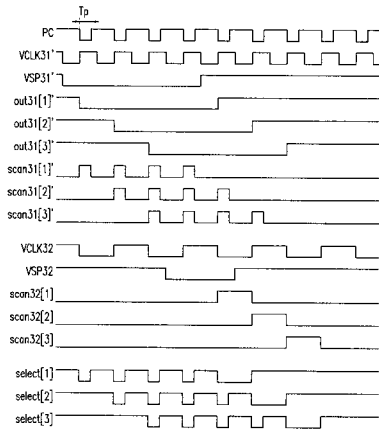
【 図 2 2 】



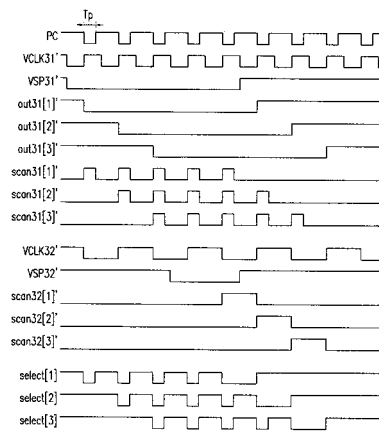
【 図 2 3 】



【 24 】



【 25 】



---

フロントページの続き

(51)Int.Cl.

F I

G 0 9 G	3/20	6 2 2 E
G 0 9 G	3/20	6 2 2 G
G 0 9 G	3/20	6 2 3 D
G 0 9 G	3/20	6 2 3 Y
G 0 9 G	3/20	6 2 4 B
G 0 9 G	3/20	6 4 1 D
H 0 5 B	33/14	A

(56)参考文献 国際公開第03/023750(WO,A1)  
国際公開第03/023752(WO,A1)  
国際公開第03/027998(WO,A1)  
特開2004-361935(JP,A)  
特開2005-164823(JP,A)  
特開2001-060076(JP,A)

(58)調査した分野(Int.Cl.,DB名)

G 0 9 G	3 / 3 0
G 0 9 G	3 / 2 0