

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2020 年 7 月 9 日 (09.07.2020)



(10) 国际公布号
WO 2020/140195 A1

(51) 国际专利分类号:
G09G 3/3266 (2016.01) **G11C 19/28** (2006.01)

(21) 国际申请号: PCT/CN2019/070064

(22) 国际申请日: 2019 年 1 月 2 日 (02.01.2019)

(25) 申请语言: 中文

(26) 公布语言: 中文

(71) 申请人: 京东方科技集团股份有限公司
(**BOE TECHNOLOGY GROUP CO., LTD.**) [CN/CN];
中国北京市朝阳区酒仙桥路 10 号,
Beijing 100015 (CN)。 合肥鑫晟光电科技有
限公司 (**HEFEI XINSHENG OPTOELECTRONICS**
TECHNOLOGY CO., LTD.) [CN/CN]; 中国安徽省
合肥市新站区工业园内, Anhui 230012 (CN)。

(72) 发明人: 冯雪欢 (**FENG, Xuehuan**); 中国北京市北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。 李永谦 (**LI, Yongqian**); 中国北京市北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。

(74) 代理人: 北京市中咨律师事务所 (**ZHONGZI LAW OFFICE**); 中国北京市西城区平安里西大街 26 号新时代大厦 7 层, Beijing 100034 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,

(54) **Title:** SHIFT REGISTER AND DRIVING METHOD THEREFOR, GATE DRIVING CIRCUIT, AND DISPLAY DEVICE

(54) 发明名称: 移位寄存器及其驱动方法、栅极驱动电路和显示装置

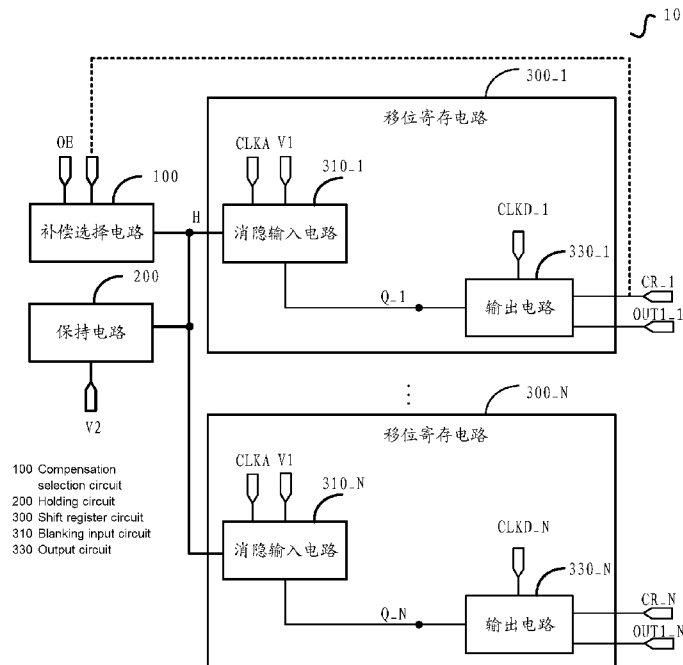


图 1

(57) **Abstract:** A shift register and a driving method therefor, a gate driving circuit, and a display device. The shift register (10) can comprise a compensation selection circuit (100), a holding circuit (200) and N shift register circuits (300). The holding circuit can hold a blanking input signal. Each of the shift register circuits can comprise a blanking input circuit (310) and an output circuit (330). The blanking input circuit can provide a blanking pull-down signal to a first node (Q) according to the blanking input signal and a blanking control signal (CLKA). The output circuit can output a shift signal from a shift signal output end (CR) according to the voltage of the

PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, ZA, ZM, ZW。

- (84) 指定国(除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM,
AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG,
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,
IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

- 包括国际检索报告(条约第21条(3))。

first node, and output a first driving signal from a first driving signal output end (OUT). The compensation selection circuit can provide the blanking input signal to the holding circuit and the N shift register circuits according to a compensation selection control signal (OE) and the shift signal outputted by one of the N shift register circuits.

(57) 摘要: 一种移位寄存器及其驱动方法、栅极驱动电路和显示装置。移位寄存器(10)可包括补偿选择电路(100)、保持电路(200)和N个移位寄存电路(300)。保持电路可保持消隐输入信号。每个移位寄存电路可包括消隐输入电路(310)和输出电路(330)。消隐输入电路可根据消隐输入信号和消隐控制信号(CLKA)将消隐下拉信号提供到第一节点(Q)。输出电路可根据第一节点的电压,从移位信号输出端(CR)输出移位信号,从第一驱动信号输出端(OUT)输出第一驱动信号。补偿选择电路可根据补偿选择控制信号(OE)和N个移位寄存电路中的一个移位寄存电路输出的移位信号,向保持电路和N个移位寄存电路提供消隐输入信号。

移位寄存器及其驱动方法、栅极驱动电路和显示装置

技术领域

本公开涉及显示技术领域，具体地，涉及移位寄存器及其驱动方法、栅极驱动电路、阵列基板以及显示装置。

背景技术

阵列基板行驱动（Gate Driver on Array，简称 GOA）技术将栅极驱动电路制作在阵列基板上，实现对像素电路逐行扫描的功能。栅极驱动电路可包括多个级联的移位寄存器。从移位寄存器的输出端输出扫描信号以驱动像素电路并同时输出级联信号以驱动下一级移位寄存器。

在显示领域特别是有机发光二极管（Organic Light-Emitting Diode，简称 OLED）显示装置中，栅极驱动电路目前都集成在栅极驱动芯片中。在芯片设计中，芯片的面积是影响芯片成本的主要因素。通常，栅极驱动电路包括感测电路、扫描电路、以及连接感测电路和扫描电路的输出的连接电路（例如，或门电路）。这样的栅极驱动电路结构非常复杂，难以满足高分辨率和窄边框的要求。

发明内容

本公开的实施例提供了移位寄存器及其驱动方法、栅极驱动电路、阵列基板以及显示装置。

根据本公开的第一方面，提供了一种移位寄存器。移位寄存器可包括补偿选择电路、保持电路和 N 个移位寄存电路。保持电路被配置为保持消隐输入信号。N 个移位寄存电路中的每一个包括消隐输入电路，其被配置为根据消隐输入信号和消隐控制信号将消隐下拉信号提供到第一节点；输出电路，其被配置为根据第一节点的电压，从移位信号输出端输出移位信号，以及从第一驱动信号输出端输出第一驱动信号。补偿选择电路被配置为根据补偿选择控制信号和 N 个移位寄存电路中的一个移位寄存电路输出

的移位信号，经由第一控制节点向保持电路和 N 个移位寄存电路提供消隐输入信号。N 为大于 1 的自然数。

在本公开的实施例中，保持电路包括第一电容。第一电容的第一端耦接第一控制节点，另一端耦接第二电压端以接收第二电压。

在本公开的实施例中，补偿选择电路包括第一晶体管。第一晶体管的控制极和补偿选择控制信号端耦接以接收补偿选择控制信号，第一晶体管的第一极和 N 个移位寄存电路中的一个移位寄存电路的移位信号输出端耦接，第一晶体管的第二极和第一控制节点耦接。

在本公开的实施例中，消隐输入电路包括第二晶体管和第三晶体管。第二晶体管的控制极和第一控制节点耦接，第二晶体管的第一极和第一电压端耦接以接收第一电压作为消隐下拉信号，第二晶体管的第二极和第三晶体管的第一极耦接。第三晶体管的控制极和第一时钟信号端耦接以接收第一时钟信号作为消隐控制信号，第三晶体管的第二极和第一节点耦接。

在本公开的实施例中，输出电路包括：第十九晶体管、第二十二晶体管和第二电容。第十九晶体管的控制极和第一节点耦接，第十九晶体管的第一极和第四时钟信号端耦接以接收第四时钟信号，第十九晶体管的第二极和移位信号输出端耦接。第二十二晶体管的控制极和第一节点耦接，第二十二晶体管的第一极和第四时钟信号端耦接以接收第四时钟信号，第二十二晶体管的第二极和第一驱动信号输出端耦接。第二电容被耦接在第一节点和移位信号输出端之间。

在本公开的实施例中，每个移位寄存电路还包括显示输入电路。显示输入电路被配置为根据显示输入信号将显示下拉信号提供到第一节点。

在本公开的实施例中，显示输入电路包括第四晶体管。第四晶体管的控制极和显示输入信号端耦接以接收显示输入信号，第四晶体管的第一极和第一电压端耦接以接收第一电压作为显示下拉信号，第四晶体管的第二极和第一节点耦接。

在本公开的实施例中，每个移位寄存电路还包括第一控制电路、上拉电路和第二控制电路。第一控制电路被配置为根据第一节点的电压控制上

拉节点的电压。上拉电路被配置为根据上拉节点的电压，将来自第二电压端的第二电压提供到第一节点、移位信号输出端和第一驱动信号输出端。第二控制电路被配置为根据消隐控制信号和第一控制节点的电压控制上拉节点的电压，以及根据显示输入信号控制上拉节点的电压。

在本公开的实施例中，上拉节点可包括第一上拉节点。第一控制电路可包括第七晶体管和第八晶体管。第七晶体管的控制极和第一极和第三电压端耦接，第七晶体管的第二极和第一上拉节点耦接。第八晶体管的控制极和第一节点耦接，第八晶体管的第二极和第一上拉节点耦接，第八晶体管的第二极和第二电压端耦接。上拉电路可包括第九晶体管、第二十晶体管和第二十三晶体管。第九晶体管的控制极和第一上拉节点耦接，第九晶体管的第二极和第一节点耦接，第九晶体管的第二极和第二电压端耦接。第二十晶体管的控制极和第一上拉节点耦接，第二十晶体管的第二极和移位信号输出端耦接，第二十晶体管的第二极和第二电压端耦接。第二十三晶体管的控制极和第一上拉节点耦接，第二十三晶体管的第二极和第一驱动信号输出端耦接，第二十三晶体管的第二极和第二电压端耦接。第二控制电路可包括第十三晶体管、第十四晶体管和第十五晶体管。第十三晶体管的控制极和第一时钟信号端耦接以接收第一时钟信号作为消隐控制信号，第十三晶体管的第二极和第一上拉节点耦接。第十四晶体管的控制极和第一控制节点耦接，第十四晶体管的第二极和第十三晶体管的第二极耦接，第十四晶体管的第二极和第二电压端耦接。第十五晶体管的控制极和显示输入信号端耦接以接收显示输入信号，第十五晶体管的第二极和第一上拉节点耦接，第十五晶体管的第二极和第二电压端耦接。

在本公开的实施例中，上拉节点还可包括第二上拉节点。第一控制电路还包括第十晶体管和第十一晶体管。第十晶体管的控制极和第一极和第四电压端耦接，第十晶体管的第二极和第二上拉节点耦接。第十一晶体管的控制极和第一节点耦接，第十一晶体管的第二极和第二上拉节点耦接，第十一晶体管的第二极和第二电压端耦接。上拉电路还可包括第十二晶体管、第二十一晶体管和第二十四晶体管。第十二晶体管的控制极和第二上

拉节点耦接，第十二晶体管的第一极和第一节点耦接，第十二晶体管的第二极和第二电压端耦接。第二十一晶体管的控制极和第二上拉节点耦接，第二十一晶体管的第一极和移位信号输出端耦接，第二十一晶体管的第二极和第二电压端耦接。第二十四晶体管的控制极和第二上拉节点耦接，第二十四晶体管的第一极和第一驱动信号输出端耦接，第二十四晶体管的第二极和第二电压端耦接。第二控制电路还可包括第十六晶体管、第十七晶体管和第十八晶体管。第十六晶体管的控制极和第一时钟信号端耦接以接收第一时钟信号作为消隐控制信号，第十六晶体管的第一极和第二上拉节点耦接。第十七晶体管的控制极和第一控制节点耦接，第十七晶体管的第一极和第十六晶体管的第二极耦接，第十七晶体管的第二极和第二电压端耦接。第十八晶体管的控制极和显示输入信号端耦接以接收显示输入信号，第十八晶体管的第一极和第二上拉节点耦接，第十八晶体管的第二极和第二电压端耦接。

在本公开的实施例中，每个移位寄存电路还包括复位电路。复位电路被配置为根据来自消隐复位信号端的消隐复位信号对第一节点进行复位，以及根据来自显示复位信号端的显示复位信号对第一节点进行复位。

在本公开的实施例中，复位电路可包括第五晶体管和第六晶体管。第五晶体管的控制极和消隐复位信号端耦接，第五晶体管的第一极和第一节点耦接，第五晶体管的第二极和第二电压端耦接。第六晶体管的控制极和显示复位信号端耦接，第六晶体管的第一极和第一节点耦接，第六晶体管的第二极和第二电压端耦接。

在本公开的实施例中，输出电路还可包括第二十五晶体管和第三电容。第二十五晶体管的控制极和第一节点耦接，第二十五晶体管的第一极和第五时钟信号端耦接以接收第五时钟信号，第二十五晶体管的第二极和第二驱动信号输出端耦接。第三电容被耦接在第一节点和第二驱动信号输出端之间。

在本公开的实施例中，上拉电路还可包括第二十六晶体管和第二十七晶体管。第二十六晶体管的控制极和第一上拉节点耦接，第二十六晶体管

的第一极和第二驱动信号输出端耦接，第二十六晶体管的第二极和第二电压端耦接。第二十七晶体管的控制极和第二上拉节点耦接，第二十七晶体管的第一极和第二驱动信号输出端耦接，第二十七晶体管的第二极和第二电压端耦接。

在本公开的实施例中，移位寄存器包括一个补偿选择电路和一个保持电路。

根据本公开的第二方面，提供了一种栅极驱动电路。栅极驱动电路可包括 M 个如权利要求 1 至 13 中任一项的移位寄存器和第一子时钟信号线。第一子时钟信号线向各个移位寄存器提供补偿选择控制信号。

在本公开的实施例中，栅极驱动电路还可包括第二子时钟信号线和消隐复位信号线。第 i 个移位寄存电路输出的移位信号被提供给第 $i+2$ 个移位寄存电路，作为显示输入信号。第二子时钟信号线向各个移位寄存电路提供第一时钟信号。消隐复位信号线向各个移位寄存电路提供消隐复位信号。第 $i+3$ 个移位寄存电路输出的移位信号提供给第 i 个移位寄存电路，作为显示复位信号。

在本公开的实施例中，栅极驱动电路还可包括第三子时钟信号线、第四子时钟信号线、第五子时钟信号线和第六子时钟信号线。第三子时钟信号线向第 $4i-3$ 个移位寄存电路提供第四时钟信号。第四子时钟信号线向第 $4i-2$ 个移位寄存电路提供第四时钟信号。第五子时钟信号线向第 $4i-1$ 个移位寄存电路提供第四时钟信号。第六子时钟信号线向第 $4i$ 个移位寄存电路提供第四时钟信号。

在本公开的实施例中，栅极驱动电路还可包括第七子时钟信号线、第八子时钟信号线、第九子时钟信号线和第十子时钟信号线。第七子时钟信号线向第 $4i-3$ 个移位寄存电路提供第五时钟信号。第八子时钟信号线向第 $4i-2$ 个移位寄存电路提供第五时钟信号。第九子时钟信号线向第 $4i-1$ 个移位寄存电路提供第五时钟信号。第十子时钟信号线向第 $4i$ 个移位寄存电路提供第五时钟信号。

根据本公开的第三方面，提供了一种阵列基板。阵列基板包括根据本

公开的第二方面提供的栅极驱动电路。

根据本公开的第四方面，提供了一种显示装置。显示装置包括根据本公开的第三方面提供的阵列基板。

根据本公开的第五方面，提供了一种用于驱动本公开的第一方面提供的移位寄存器的方法。在方法中，根据补偿选择控制信号和 N 个移位信号中的一个移位信号，提供消隐输入信号；保持消隐输入信号。根据消隐输入信号和消隐控制信号将消隐下拉信号提供到第一节点；以及根据第一节点的电压，从 N 个移位信号输出端输出 N 个移位信号，以及从 N 个第一驱动信号输出端输出 N 个第一驱动信号。

附图说明

为了更清楚地说明本公开的技术方案，下面将对实施例的附图进行简单说明。应当知道，以下描述的附图仅仅涉及本公开的一些实施例，而非对本公开的限制。在附图中：

图 1 示出了根据本公开的实施例的移位寄存器的示意性框图；

图 2 示出了根据本公开的实施例的移位寄存器的示意性框图；

图 3 示出了根据本公开的实施例的移位寄存器的示例性电路图；

图 4 (1)、(2)、(3)、(4) 和 (5) 分别示出了根据本公开的实施例的消隐输入电路的示例性电路图；

图 5 (1)、(2) 和 (3) 分别示出了根据本公开的实施例的显示输入电路的示例性电路图；

图 6 (1) 和 (2) 分别示出了根据本公开的实施例的第二控制电路的示例性电路图；

图 7 示出了根据本公开的另一实施例的移位寄存器的示例性电路图；

图 8 示出了根据本公开的实施例的栅极驱动电路的示意图；

图 9 示出了根据本公开的实施例的栅极驱动电路的工作过程中各信号的时序图；以及

图 10 示出了根据本公开的实施例的用于驱动移位寄存器的方法的示

意性流程图。

具体实施方式

为了使本公开的实施例的技术方案和优点更加清楚，下面将结合附图，对本公开的实施例的技术方案进行清楚、完整的描述。显然，所描述的实施例仅仅是本公开的一部分实施例，而并非全部的实施例。基于所描述的实施例，本领域的普通技术人员在无需创造性劳动的前提下所获得的所有其它实施例，也都属于本公开的范围。

除非另外定义，本公开使用的技术术语或者科学术语应当为本公开所属领域内具有一般技能的人士所理解的通常意义。本公开中使用的“第一”、“第二”以及类似的词语并不表示任何顺序、数量或者重要性，而只是用来区分不同的组成部分。同样，“一个”、“一”或者“该”等类似词语也不表示数量限制，而是表示存在至少一个。“包括”或者“包含”等类似的词语意指出现该词前面的元件或者物件涵盖出现在该词后面列举的元件或者物件及其等同，而不排除其他元件或者物件。“连接”或者“耦接”等类似的词语并非限定于物理的或者机械的连接，而是可以包括电性的连接，并且可以是直接连接也可以通过中间介质间接连接。“上”、“下”、“左”、“右”等仅用于表示相对位置关系，当被描述对象的绝对位置改变后，则该相对位置关系也可能相应地改变。

在对 OLED 显示面板中的子像素进行补偿时，除了在子像素中设置像素补偿电路进行内部补偿外，还可以通过设置感测晶体管进行外部补偿。在进行外部补偿时，栅极驱动电路需要向显示面板中的子像素分别提供用于扫描晶体管和感测晶体管的驱动信号。如前所述，栅极驱动电路中的感测电路可提供用于感测晶体管的驱动信号，扫描电路可提供用于扫描晶体管的驱动信号以使子像素进行显示。例如，在一帧的显示阶段（Display）提供用于扫描晶体管的驱动信号以使子像素进行显示。在一帧的消隐阶段（Blank）提供用于感测晶体管的驱动信号，以对子像素进行外部补偿。在

消隐阶段，显示面板不进行显示。在本公开的实施例中，“一帧”、“每帧”或“某一帧”包括依次进行的显示阶段和消隐阶段。

在一种外部补偿方法中，栅极驱动电路输出的感测驱动信号是逐行顺序扫描的，例如，在第一帧的消隐阶段输出用于显示面板中第一行的子像素的驱动信号，在第二帧的消隐阶段输出用于显示面板中第二行的子像素的驱动信号，依次类推，以每帧输出对应一行子像素的驱动信号的频率逐行顺序输出，即完成对显示面板的逐行顺序补偿。

但是，在采用上述逐行顺序补偿的方法时，可能会产生显示不良问题：一是在进行多帧的扫描显示过程中有一条逐行移动的扫描线；二是因为进行外部补偿的时间点的差异会造成显示面板不同区域的亮度差异比较大，例如，在对显示面板的第 100 行的子像素进行外部补偿时，显示面板的第 10、11、12 行的子像素虽然已经进行过外部补偿了，但此时第 10、11、12 行的子像素的发光亮度可能已经发生变化，例如发光亮度降低，从而会造成显示面板不同区域的亮度不均匀，在大尺寸的显示面板中这种问题会更加明显。

针对上述问题，本公开的实施例提供的移位寄存器单元可以实现随机补偿一行或多行子像素，从而可以避免由于逐行顺序补偿造成的扫描线以及显示亮度不均匀等显示不良问题，并且简化电路结构。

本公开的实施例提供了移位寄存器及其驱动方法、栅极驱动电路、阵列基板以及显示装置。下面结合附图对本公开的实施例及其示例进行详细说明。

图 1 示出了根据本公开的实施例的移位寄存器的示意性框图。如图 1 所示，移位寄存器 10 可包括补偿选择电路 100、保持电路 200 和 N 个移位寄存电路(300_1...300_N, 以下可统一称为 300)。N 为大于 1 的自然数。

在本公开的实施例中，保持电路 200 可保持消隐输入信号。例如，保持电路 200 可被耦接在第一控制节点 H 和第二电压端 V2 之间。保持电路 200 可经由第一控制节点 H 接收消隐输入信号，并保持消隐输入信号。在实施例中，第二电压端可提供直流高电平信号，即第二电压 V2 是高电平。

各个移位寄存电路 300 可包括消隐输入电路 (310_1...310_N, 以下可统一称为 310) 和输出电路 (330_1...330_N, 以下可统一称为 330)。

消隐输入电路 310 可根据消隐输入信号和消隐控制信号将消隐下拉信号提供到第一节点 (也可被称为下拉节点) ($Q_1...Q_N$, 以下可统一称为 Q), 以控制第一节点 Q 的电压。例如, 消隐输入电路 310 可与第一控制节点 H 耦接以接收消隐输入信号, 与第一时钟信号端耦接以接收第一时钟信号 CLK_A 作为消隐控制信号, 与第一电压端耦接以接收第一电压 V1 作为消隐下拉信号。在实施例中, 第一电压端可提供直流低电平信号, 即第一电压 V1 是低电平。

输出电路 330 可根据第一节点 Q 的电压, 从移位信号输出端 ($CR_1...CR_N$, 以下可统一称为 CR) 输出移位信号, 从第一驱动信号输出端 ($OUT1_1...OUT1_N$, 以下可统一称为 $OUT1$) 输出第一驱动信号。例如, 输出电路 330 可与第四时钟信号端耦接以接收第四时钟信号 CLK_D。输出电路 330 可根据第一节点 Q 的电压, 将第四时钟信号 CLK_D 提供至移位信号输出端 CR 和第一驱动信号输出端 $OUT1$ 。

在实施例中, 在一帧的显示阶段, 移位信号例如可以用于控制上下级移位寄存电路的移位, 第一驱动信号可以用于驱动显示面板中的扫描晶体管, 从而驱动显示面板进行显示。在一帧的消隐阶段, 第一驱动信号可以用于驱动显示面板中的某一行子像素中的感测晶体管感测该行子像素的驱动电流, 从而基于所感测的驱动电流进行补偿。

补偿选择电路 100 可根据来自补偿选择控制信号端的补偿选择控制信号 OE 和 N 个移位寄存电路 300 中的一个移位寄存电路输出的移位信号 CR , 经由第一控制节点 H 向保持电路 200 和 N 个移位寄存电路 300 提供消隐输入信号。

在实施例中, 在一帧的显示阶段, 补偿选择控制信号 OE 的时序可以被设置为与向补偿选择电路 100 提供的移位信号 CR 的时序相同。例如, 如图 1 所示, 将 N 个移位寄存电路 300 中的第一个移位寄存电路 300_1 输出的移位信号 CR_1 提供给补偿选择电路 100, 并且将补偿选择控制信号

OE 在显示阶段的时序设置为与移位信号 CR_1 相同。

在实施例中，一个补偿选择电路 100 和一个保持电路 200 可以将消隐下拉信号提供给 N 个移位寄存电路的 N 个第一节点 Q，以便从 N 个驱动信号输出端输出 N 个驱动信号。相对于一个补偿选择电路 100 和一个保持电路 200 只能向一个第一节点 Q 提供消隐下拉信号的情况，本公开的实施例能够节省栅极驱动电路中的补偿选择电路 100 和保持电路 200 的数量。

图 2 示出了根据本公开的另一实施例的移位寄存器的示意性框图。如图 2 所示，移位寄存器 20 可包括补偿选择电路 100、保持电路 200 和 N 个移位寄存电路 300。移位寄存器 20 中移位寄存电路 300 的数量为两个或两个以上，但是为了便于描述，图 2 中仅示意性地示出一个移位寄存电路 300_1，其它移位寄存电路（300_2.....300_N）的电路结构可参考移位寄存电路 300_1 的描述。

如图 2 所示，移位寄存电路 300_1 可包括消隐输入电路 310、显示输入电路 320、输出电路 330、第一控制电路 340、上拉电路 350、第二控制电路 360、以及复位电路 370。其中，补偿选择电路 100、保持电路 200 和消隐输入电路 310 的电路结构与图 1 中的补偿选择电路 100、保持电路 200、消隐输入电路 310_1 的电路结构相同，已在上文中描述，在此不再赘述。

在实施例中，显示输入电路 320 可根据显示输入信号将显示下拉信号提供到第一节点 Q，以控制第一节点 Q 的电压。例如，显示输入电路 320 可与显示输入信号端（STU_1.....STU_N，以下可统一称为 STU）耦接以接收显示输入信号，与第一电压端耦接以接收第一电压 V1 作为显示下拉信号。

在实施例中，输出电路 330 出第一驱动信号输出端外，还可包括第二驱动信号输出端。输出电路 330 可根据第一节点 Q 的电压，从第二驱动信号输出端 OUT2 输出第二驱动信号。例如，输出电路 330 可以和第五时钟信号端耦接以接收第五时钟信号 CLKE。在实施例中，输出电路 330 还可根据第一节点 Q 的电压，将第五时钟信号 CLKE 提供至第二驱动信号输出端 OUT2。此外，输出电路 510 的其它结构和功能与图 1 中输出电路 330_1

相同，在此不再赘述。本领域技术人员可理解的是驱动信号输出端的数量不限于 2 个，也可以是 2 个以上。输出电路可根据第一节点 Q 的电压和相应的时钟信号而输出相应的驱动信号。

第一控制电路 340 可根据第一节点 Q 的电压控制上拉节点 QB 的电压。例如，第一控制电路 340 可与第二电压端耦接以接收第二电压 V2，与第三电压端耦接以接收第三电压 V3。在实施例中，第二电压端可提供直流高电平信号，即第二电压 V2 是高电平。第一控制电路 600 可在第一节点 Q 的电压的控制下，根据第二电压 V2 和第三电压 V3 控制上拉节点 QB 的电压。

进一步地，第一控制电路 340 还可与第四电压端耦接以接收第四电压 V4。第三电压端和第四电压端可交替提供直流低电平信号，例如第三电压 V3 和第四电压 V4 中的一者是低电平，另一者是高电平。在实施例中，第一控制电路 340 可在第一节点 Q 的电压的控制下，根据第二电压 V2 和第三电压 V3（或者第四电压 V4）控制上拉节点 QB 的电压。

上拉电路 350 可根据上拉节点 QB 的电压，将来自第二电压端的第二电压 V2 提供到第一节点 Q、移位信号输出端 CR、第一驱动信号输出端 OUT1 和第二驱动信号输出端 OUT2。例如，上拉电路 350 可与第二电压端耦接以接收第二电压 V2。由此，上拉电路 350 可通过对第一节点 Q、移位信号输出端 CR 和相应的驱动信号输出端进行上拉来降低各端的噪声。

第二控制电路 360 可根据消隐控制信号和第一控制节点 H 的电压，控制上拉节点 QB 的电压。例如，第二控制电路 360 可与第一时钟信号端耦接以接收第一时钟信号 CLKA 作为消隐控制信号，与第二电压端耦接以接收第二电压。在实施例中，第二控制电路 360 可在第一时钟信号 CLKA 和第一控制节点 H 的电压的控制下，将第二电压提供到上拉节点 QB。此外，第二控制电路 360 还可根据显示输入信号 STU，控制上拉节点 QB 的电压。例如，第二控制电路 360 可与显示输入信号端耦接以接收显示输入信号 STU2。在实施例中，第二控制电路 360 可在显示输入信号 STU 的控制下，将第二电压提供到上拉节点 QB。由此，第二控制电路 360 可对上拉节点 QB 进行上拉

此外,复位电路 370 可根据来自消隐复位信号端的消隐复位信号 TRST 对第一节点 Q 进行复位,以及根据来自显示复位信号端的显示复位信号 STD 对第一节点 Q 进行复位。例如,复位电路 370 可与消隐复位信号端耦接以接收消隐复位信号 TRST,与显示复位信号端耦接以接收显示复位信号 STD,以及与第二电压端耦接以接收第二电压 V2。在实施例中,复位电路 370 可根据消隐复位信号 TRST 将第二电压 V2 提供到第一节点 Q,以及根据显示复位信号 STD 将第二电压 V2 提供到第一节点 Q。

本领域技术人员可以理解,尽管图 2 中的移位寄存器 20 示出了第一控制电路 340、上拉电路 350、第二控制电路 360 和复位电路 370,然而上述示例并不能限制本公开的保护范围。在实际应用中,技术人员可以根据情况选择使用或不使用上述各电路中的一个或多个,基于前述各电路的各种组合变型均不脱离本公开的原理,对此不再赘述。

以下通过示例性电路结构来对本公开提供的移位寄存器进行描述。图 3 示出了根据本公开的实施例的移位寄存器的示例性电路图。移位寄存器例如是图 2 中所示的移位寄存器 20。为了便于描述,图 3 中仅示出一个移位寄存电路 300_1 的电路结构,其它移位寄存电路(300_2.....300_N)的电路结构可参考移位寄存电路 300_1 的描述。如图 3 所示,移位寄存器可包括第一晶体管 M1 至第二十七晶体管 M27、以及第一电容 C1 至第三电容 C3。

需要说明的是,本公开的实施例中采用的晶体管均可以为薄膜晶体管或场效应晶体管或其它特性相同的开关器件。本公开的实施例中均以薄膜晶体管为例进行说明。这里采用的晶体管的源极、漏极在结构上可以是对称的,所以其源极、漏极在结构上可以是没有区别的。在本公开的实施例中,为了区分晶体管除栅极之外的两极,直接描述了其中一极为第一极,另一极为第二极。晶体管的栅极可被称为控制极。此外,按照晶体管的特性区分可以将晶体管分为 N 型和 P 型晶体管。当晶体管为 P 型晶体管时,导通电压为低电平电压(例如,0V、-5V、-10V 或其它合适的电压),关断电压为高电平电压(例如,5V、10V 或其它合适的电压)。当晶体管为 N

型晶体管时,导通电压为高电平电压(例如,5V、10V或其它合适的电压),关断电压为低电平电压(例如,0V、-5V、-10V或其它合适的电压)。

另外,需要说明的是,本公开的实施例中提供的移位寄存器中采用的晶体管均是以P型晶体管为例进行说明的。本公开的实施例包括但不限于此,例如移位寄存器中的至少部分晶体管也可以采用N型晶体管。

在本公开的实施例中,上拉节点QB可包括第一上拉节点QB_A和第二上拉节点QB_B中的至少一个。图3示出了上拉节点QB包括第一上拉节点QB_A和第二上拉节点QB_B两者的情况。可以理解的是,上拉节点QB也可仅包括第一上拉节点QB_A和第二上拉节点QB_B中的一个,相关联的电路仅需进行相应地调整。

如图3所示,补偿选择电路100包括第一晶体管M1。第一晶体管M1的控制极和补偿选择控制信号端耦接以接收补偿选择控制信号OE,第一晶体管M1的第一极和N个移位寄存电路中的一个移位寄存电路300_1的移位信号输出端CR_1耦接,第一晶体管M1的第二极和第一控制节点H耦接。在实施例中,当补偿选择控制信号OE为低电平时,第一晶体管M1导通,从而可以将移位信号CR_1提供到第一控制节点H,以向保持电路200和N个移位寄存电路300提供消隐输入信号。

保持电路200包括第一电容C1。第一电容的第一端耦接第一控制节点H,另一端耦接第二电压端以接收第二电压V2。

消隐输入电路310包括第二晶体管M2和第三晶体管M3。第二晶体管M2的控制极和第一控制节点H耦接,第二晶体管M2的第一极和第一电压端耦接以接收第一电压V1作为消隐下拉信号,第二晶体管M2的第二极和第三晶体管的第一极耦接。第三晶体管M3的控制极和第一时钟信号端耦接以接收第一时钟信号CLKA作为消隐控制信号,第三晶体管M3的第一极和第二晶体管M2的第二极耦接,第三晶体管M3的第二极和第一节点Q耦接。在实施例中,当第一控制节点H的电压和第一时钟信号CLKA均为低电平时,第二晶体管M2和第三晶体管M3导通,将第一电压V1提供至第一节点Q,以将第一节点Q拉低。

显示输入电路 320 包括第四晶体管 M4。第四晶体管 M4 的控制极和显示输入信号端耦接以接收显示输入信号 STU，第四晶体管 M4 的第一极和第一电压端耦接以接收第一电压 V1 作为显示下拉信号，第四晶体管 M4 的第二极和第一节点 Q 耦接。在实施例中，当显示输入信号 STU 为低电平时，第四晶体管 M4 导通，将第一电压 V1 提供到第一节点 Q，使得第一节点 Q 的电压为低电平。

输出电路 330 包括第十九晶体管 M19、第二十二晶体管 M22、第二十五晶体管 M25、第二电容 C2 和第三电容 C3。第十九晶体管 M19 的控制极和第一节点 Q 耦接，第十九晶体管 M19 的第一极和第四时钟信号端耦接以接收第四时钟信号 CLKD，第十九晶体管 M19 的第二极和移位信号输出端 CR 耦接。第二十二晶体管 M22 的控制极和第一节点 Q 耦接，第二十二晶体管 M22 的第一极和第四时钟信号端耦接以接收第四时钟信号 CLKD，第二十二晶体管 M22 的第二极和第一驱动信号输出端耦接 OUT1。第二十五晶体管 M25 的控制极和第一节点 Q 耦接，第二十五晶体管 M25 的第一极和第五时钟信号端耦接以接收第五时钟信号 CLKE，第二十五晶体管 M25 的第二极和第二驱动信号输出端 OUT2 耦接。第二电容 C2 的第一端和第一节点 Q 耦接，第二电容 C2 的第二端和移位信号输出端 CR 耦接。第三电容 C3 的第一端和第一节点 Q 耦接，第三电容 C3 的第二端和第二驱动信号输出端 OUT2 耦接。

在实施例中，当第一节点 Q 为低电平时，第十九晶体管 M19、第二十二晶体管 M22、第二十五晶体管 M25 导通，将第四时钟信号 CLKD 提供到移位信号输出端 CR 和第一驱动信号输出端耦接 OUT1，以及将第五时钟信号 CLKE 提供到第二驱动信号输出端 OUT2。

第一控制电路 340 包括第七晶体管 M7、第八晶体管 M8、第十晶体管 M10 和第十一晶体管 M11。第七晶体管 M7 的控制极和第一极和第三电压端耦接以接收第三电压 V3，第七晶体管 M7 的第二极和第一上拉节点 QB_A 耦接。第八晶体管 M8 的控制极和第一节点 Q 耦接，第八晶体管 M8 的第一极和第一上拉节点 QB_A 耦接，第八晶体管 M8 的第二极和第二电

压端耦接以接收第二电压 V2。第十晶体管 M10 的控制极和第一极与第四电压端耦接以接收第四电压 V4，第十晶体管 M10 的第二极和第二上拉节点 QB_B 耦接。第十一晶体管 M11 的控制极和第一节点 Q 耦接，第十一晶体管 M11 的第一极和第二上拉节点 QB_B 耦接，第十一晶体管 M11 的第二极和第二电压端 V2 耦接以接收第二电压 V2。

可理解地是，当上拉节点 QB 仅包括第一上拉节点 QB_A（或者第二上拉节点 QB_B），第一控制电路 600 可包括第七晶体管 M7 和第八晶体管 M8（或者第十晶体管 M10 和第十一晶体管 M11）。具体电路结构类似，在此不再赘述。

在实施例 1 中，第三电压端 V3 和第四电压端 V4 可以被配置为交替提供低电平。也就是说，第三电压端 V3 提供高电平时，第四电压端 V4 提供低电平，第十晶体管 M10 导通。第三电压端 V3 提供低电平时，第四电压端 V4 提供高电平，第七晶体管 M7 导通。因此，第七晶体管 M7 和第十晶体管 M10 中只有一个晶体管处于导通状态。这样可以避免晶体管长期导通引起的性能漂移。

当第七晶体管 M7 导通时第三电压可以对第一上拉节点 QB_A 进行充电，当第十晶体管 M10 导通时第四电压可以对第二上拉节点 QB_B 进行充电，从而将第一上拉节点 QB_A 或第二上拉节点 QB_B 的电压控制为低电平。当第一节点 Q 的电压为低电平时，第八晶体管 M8 和第十一晶体管 M11 导通。例如，在晶体管的设计上，可以将第七晶体管 M7 与第八晶体管 M8 配置为（例如对二者的尺寸比、阈值电压等配置）在 M7 和 M8 均导通时，第一上拉节点 QB_A 的电压可以经由第二电压 V2 被上拉至高电平，该高电平可以使得第二十晶体管 M20、第二十三晶体管 M23 以及第二十六晶体管 M26 保持关断。另一方面，可以将第十晶体管 M10 与第十一晶体管 M11 配置为（例如对二者的尺寸比、阈值电压等配置）在 M10 和 M11 均导通时，第二上拉节点 QB_B 的电压可以经由第二电压 V2 被上拉至高电平，该高电平可以使得第二十一晶体管 M21、第二十四晶体管 M24 以及第二十七晶体管 M27 保持关断。

如图 3 所示, 上拉电路 350 包括第九晶体管 M9、第二十晶体管 M20、第二十三晶体管 M23、第十二晶体管 M12、第二十一晶体管 M21、第二十四晶体管 M24、第二十六晶体管 M26 和第二十七晶体管 M27。

第九晶体管 M9 的控制极和第一上拉节点 QB_A 耦接, 第九晶体管 M9 的第一极和第一节点 Q 耦接, 第九晶体管 M9 的第二极和第二电压端 V2 耦接以接收第二电压 V2。第二十晶体管 M20 的控制极和第一上拉节点 QB_A 耦接, 第二十晶体管 M20 的第一极和移位信号输出端 CR 耦接, 第二十晶体管 M20 的第二极和第二电压端 V2 耦接。第二十三晶体管 M23 的控制极和第一上拉节点 QB_A 耦接, 第二十三晶体管 M23 的第一极和第一驱动信号输出端 OUT1 耦接, 第二十三晶体管 M23 的第二极和第二电压端 V2 耦接以接收第二电压 V2。第二十六晶体管 M26 的控制极和第一上拉节点 QB_A 耦接, 第二十六晶体管 M26 的第一极和第二驱动信号输出端 OUT2 耦接, 第二十六晶体管 M26 的第二极和第二电压端 V2 耦接以接收第二电压 V2。在实施例中, 当第一上拉节点 QB_A 的电压是低电平时, 第九晶体管 M9、第二十晶体管 M20、第二十三晶体管 M23、第二十六晶体管 M26 导通, 以对第一节点 Q、移位信号输出端 CR、第一驱动信号输出端 OUT1 和第二驱动信号输出端 OUT2 进行上拉。

第十二晶体管 M12 的控制极和第二上拉节点 QB_B 耦接, 第十二晶体管 M12 的第一极和第一节点 Q 耦接, 第十二晶体管 M12 的第二极和第二电压端 V2 耦接。第二十一晶体管 M21 的控制极和第二上拉节点 QB_B 耦接, 第二十一晶体管 M21 的第一极和移位信号输出端 CR 耦接, 第二十一晶体管 M21 的第二极和第二电压端 V2 耦接。第二十四晶体管 M24 的控制极和第二上拉节点 QB_B 耦接, 第二十四晶体管 M24 的第一极和第一驱动信号输出端 OUT1 耦接, 第二十四晶体管 M24 的第二极和第二电压端 V2 耦接。第二十七晶体管 M27 的控制极和第二上拉节点 QB_B 耦接, 第二十七晶体管 M27 的第一极和第二驱动信号输出端 OUT2 耦接, 第二十七晶体管 M27 的第二极和第二电压端 V2 耦接。在实施例中, 当第二上拉节点 QB_B 的电压是低电平时, 第十二晶体管 M12、第二十一晶体管 M21、第二十四晶体

管 M24 和第二十七晶体管 M27 导通,以对第一节点 Q、移位信号输出端 CR、第一驱动信号输出端 OUT1 和第二驱动信号输出端 OUT2 进行上拉。

可以理解的是,当上拉节点 QB 仅包括第一上拉节点 QB_A (或者第二上拉节点 QB_B) 时,上拉电路 700 可包括第九晶体管 M9、第二十晶体管 M20、第二十三晶体管 M23、第二十六晶体管 (或者,第十二晶体管 M12、第二十一晶体管 M21、第二十四晶体管 M24 和第二十七晶体管 M27)。具体电路结构相同,在此不再赘述。

如图 3 所示,第二控制电路 360 可包括第十三晶体管 M13、第十四晶体管 M14、第十五晶体管 M15、第十六晶体管 M16、第十七晶体管 M17 和第十八晶体管 M18。

第十三晶体管 M13 的控制极和第一时钟信号端耦接以接收第一时钟信号 CLKA 作为消隐控制信号,第十三晶体管 M13 的第一极和第一上拉节点 QB_A 耦接。第十四晶体管 M14 的控制极和第一控制节点 H 耦接,第十四晶体管 M14 的第一极和第十三晶体管 M13 的第二极耦接,第十四晶体管 M14 的第二极和第二电压端 V2 耦接。第十五晶体管 M15 的控制极和显示输入信号端耦接以接收显示输入信号 STU2,第十五晶体管 M15 的第一极和第一上拉节点 QB_A 耦接,第十五晶体管 M15 的第二极和第二电压端耦接以接收第二电压 V2。在实施例中,当第一时钟信号 CLKA 和第一控制节点 H 的电压均为低电平时,将第二电压提供到第一上拉节点 QB_A。此外,当显示输入信号 STU2 为低电平时,将第二电压提供到第一上拉节点 QB_A。

第十六晶体管 M16 的控制极和第一时钟信号端耦接以接收第一时钟信号 CLKA 作为消隐控制信号,第十六晶体管 M16 的第一极和第二上拉节点 QB_B 耦接。第十七晶体管 M17 的控制极和第一控制节点 H 耦接,第十七晶体管 M17 的第一极和第十六晶体管 M16 的第二极耦接,第十七晶体管 M17 的第二极和第二电压端耦接以接收第二电压 V2。第十八晶体管 M18 的控制极和显示输入信号端耦接以接收显示输入信号 STU2,第十八晶体管 M18 的第一极和第二上拉节点 QB_B 耦接,第十八晶体管 M18 的

第二极和第二电压端耦接以接收第二电压 V2。在实施例中，当第一时钟信号 CLKA 和第一控制节点 H 的电压均为低电平时，将第二电压提供到第二上拉节点 QB_B。此外，当显示输入信号 STU2 为低电平时，将第二电压提供到第二上拉节点 QB_B。

可以理解的是，当上拉节点 QB 仅包括第一上拉节点 QB_A（或者第二上拉节点 QB_B）时，上拉电路 700 可包括第十三晶体管 M13、第十四晶体管 M14、第十五晶体管 M15（或者，第十六晶体管 M16、第十七晶体管 M17 和第十八晶体管 M18）。具体电路结构相同，在此不再赘述。

此外，如图 3 所示，复位电路 370 可包括第五晶体管 M5 和第六晶体管 M6。第五晶体管 M5 的控制极和消隐复位信号端耦接以接收消隐复位信号 TRST，第五晶体管 M5 的第一极和第一节点 Q 耦接，第五晶体管 M5 的第二极和第二电压端耦接以接收第二电压 V2。在实施例中，在消隐复位信号 TRST 为低电平时，第五晶体管 M5 导通，将第二电压 V2 提供到第一节点 Q。第六晶体管 M6 的控制极和显示复位信号端耦接以接收显示复位信号 STD，第六晶体管 M6 的第一极和第一节点 Q 耦接，第六晶体管 M6 的第二极和第二电压端 V2 耦接。在实施例中，在显示复位信号 STD 为低电平时，第六晶体管 M6 导通，将第二电压 V2 提供到第一节点 Q。

可以理解的是，本公开的实施例中移位寄存器中的各电路并不限于以上电路结构，以下结合附图示意性地描述可选择的电路变形，该变形也是非限制性的。

图 4（1）-（5）分别示出了根据本公开的多个实施例的消隐输入电路 310 的示例性电路图。

如图 4（1）和（2）所示，消隐输入电路 310 与图 3 中消隐输入电路 310 的区别在于第二晶体管的第一极耦接不同的时钟信号端以接收相应的时钟信号作为消隐下拉信号。例如第三时钟信号端 CLKC 或第一时钟信号端 CLKA。也就是说，消隐下拉信号可以不必一直保持低电平，其只需要在消隐控制信号 CLKA 为低电平期间也为低电平即可。

如图 4（3）所示，消隐输入电路 310 与图 4（1）中的消隐输入电路

310 的区别在于,还包括消隐输入晶体管 M3_a。消隐输入晶体管 M3_a 的控制极耦接第二晶体管的第二极和第三晶体管的第一极,消隐输入晶体管 M3_a 的第一极耦接第一电压端 V1,消隐输入晶体管 M3_a 的第二极耦接第一节点 Q。

如图 4(4)所述,消隐输入电路 310 与图 4(3)中的消隐输入电路 310 的区别在于,将第三晶体管替换为晶体管 M3_b 和晶体管 M3_c。晶体管 M3_b 的控制极耦接第一上拉节点 QB_A,晶体管 M3_c 的控制极耦接第二上拉节点 QB_B,晶体管 M3_b 和晶体管 M3_c 的第一极均耦接第二晶体管的第二极,晶体管 M3_b 和晶体管 M3_c 的第二极均耦接第二电压端。

如图 4(5)所述,消隐输入电路 310 与图 4(3)中的消隐输入电路 310 的区别在于,将第三晶体管替换为晶体管 M3_b、晶体管 M3_c 和晶体管 M3_d。晶体管 M3_b 的控制极耦接第一控制节点 H,晶体管 M3_b 的第一极耦接晶体管 M3_d 的第二极,晶体管 M3_b 的第二极耦接第二电压端。晶体管 M3_c 的控制极耦接晶体管 M3_b 的第一极,晶体管 M3_c 的第一极耦接第二晶体管 M2 的第二极,晶体管 M3_c 的第二极耦接第二电压端 V2。晶体管 M3_d 的控制极和第一极耦接第三时钟信号端 CLKC。

图 5(1)、(2)和(3)分别示出了根据本公开的多个实施例的显示输入电路 320 的示例性电路图。

如图 5(1)所示,显示输入电路 320 可包括第四晶体管 M4 和第四防漏晶体管 M4_b。第四晶体管 M4 的控制极和第一极以及第四防漏晶体管 M4_b 的控制极与显示输入信号端耦接以接收显示输入信号 STU,并将其作为显示下拉信号,第四晶体管 M4 的第二极和第四防漏晶体管 M4_b 的第一极耦接,第四防漏晶体管 M4_b 的第二极和第一节点 Q 耦接。

如图 5(2)所示,显示输入电路 320 可包括第四晶体管 M4 和第四防漏晶体管 M4_b。第四晶体管 M4 的控制极和显示输入信号端耦接以接收显示输入信号 STU,第一极和第一电压端耦接以接收第一电压 V1 作为显示下拉信号。第四防漏晶体管 M4_b 的控制极和第一极与第四晶体管 M4 的第二极耦接,第二极和第一节点 Q 耦接。

如图 5 (3) 所示, 显示输入电路 320 可包括第四晶体管 M4。第四晶体管的控制极和第一极与显示输入信号端耦接以接收显示输入信号 STU2, 并将其作为显示下拉信号, 第二极和第一节点 Q 耦接。

图 6 (1) 和 (2) 分别示出了根据本公开的多个实施例的第二控制电路 360 的示例性电路图。

如图 6 (1) 所示, 第二控制电路 360 包括第十三晶体管 M13、第十五晶体管 M15、第十六晶体管 M16 和第十八晶体管 M18。第十三晶体管 M13 的控制极和第一时钟信号端 CLKA 耦接以接收第一时钟信号作为消隐控制信号, 第十三晶体管 M13 的第一极和第一上拉节点 QB_A 耦接, 第十三晶体管 M13 的第二极和第二电压端 V2 耦接。第十五晶体管 M15 的控制极和显示输入信号端 STU 耦接, 第十五晶体管 M15 的第一极和第一上拉节点 QB_A 耦接, 第十五晶体管 M15 的第二极和第二电压端 V2 耦接。第十六晶体管 M16 的控制极和第一时钟信号端 CLKA 耦接以接收第一时钟信号作为消隐控制信号, 第十六晶体管 M16 的第一极和第二上拉节点 QB_B 耦接, 第十六晶体管 M16 的第二极和第二电压端 V2 耦接。第十八晶体管 M18 的控制极和显示输入信号端耦接, 第十八晶体管 M18 的第一极和第二上拉节点 QB_B 耦接, 第十八晶体管 M18 的第二极和第二电压端 V2 耦接。相对于图 3 中移位寄存器 20 的第二控制电路 800, 第二控制电路 360 不包含第十四晶体管 M14 和第十七晶体管 M17。

如图 6 (2) 所示, 第二控制电路 360 包括第十五晶体管 M15 和第十八晶体管 M18。第十五晶体管 M15 的控制极和显示输入信号端 STU2 耦接, 第十五晶体管 M15 的第一极和第一上拉节点 QB_A 耦接, 第十五晶体管 M15 的第二极和第二电压端 V2 耦接。第十八晶体管 M18 的控制极和显示输入信号端耦接, 第十八晶体管 M18 的第一极和第二上拉节点 QB_B 耦接, 第十八晶体管 M18 的第二极和第二电压端 V2 耦接。相对于图 3 中移位寄存器 20 的第二控制电路 360, 第二控制电路 820 不包含第十三晶体管 M13、第十四晶体管 M14、第十六晶体管 M16 和第十七晶体管 M17。

图 7 示出了根据本公开的另一实施例的移位寄存器的示例性电路图。

如图 7 所示, 移位寄存器与图 3 中的移位寄存器的区别在于, 第二控制电路 360 包含第十三晶体管 M13、第十五晶体管 M15、第十六晶体管 M16 和第十八晶体管 M18 (参见图 6(1) 中第二控制电路 360 的描述)。此外, 移位寄存器还增加了第一防漏电晶体管 M1_b、第三防漏电晶体管 M3_b、第五防漏电晶体管 M5_b、第六防漏电晶体管 M6_b、第九防漏电晶体管 M9_b、第十二防漏电晶体管 M12_b、第二十八晶体管 M28 以及第二十九晶体管 M29。下面以第一防漏电晶体管 M1_b 为例对防漏电的工作原理进行说明。

第一防漏电晶体管 M1_b 的控制极和第二时钟信号端 CLKB 耦接, 第一防漏电晶体管 M1_b 的第一极和第二十八晶体管 M28 的第二极耦接, 第一防漏电晶体管 M1_b 的第二极和第一控制节点 H 耦接。第二十八晶体管 M28 的控制极和第一控制节点 H 耦接, 第二十八晶体管 M28 的第一极和第二电压端 V2 耦接以接收低电平的第二电压。当第一控制节点 H 处于低电平时, 第二十八晶体管 M28 在第一控制节点 H 的电平的控制下导通, 从而可以将第二电压端 V2 输入的低电平信号输入到第一防漏电晶体管 M1_b 的第一极, 从而使得第一防漏电晶体管 M1_b 的第一极和第二极都处于低电平状态, 防止第一控制节点 H 处的电荷通过第一防漏电晶体管 M1_b 漏电。此时, 由于第一防漏电晶体管 M1_b 的控制极和第一晶体管 M1 的控制极耦接, 所以第一晶体管 M1 和第一防漏电晶体管 M1_b 的结合可以实现与前述第一晶体管 M1 相同的效果, 同时具有防漏电的效果。

类似地, 第三防漏电晶体管 M3_b、第五防漏电晶体管 M5_b、第六防漏电晶体管 M6_b、第九防漏电晶体管 M9_b、第十二防漏电晶体管 M12_b 可以分别结合第二十九晶体管 M29 实现防漏电结构, 从而可以防止第一节点 Q 处的电荷发生漏电。防止第一节点 Q 发生漏电的工作原理和上述防止第一控制节点 H 发生漏电的工作原理相同, 这里不再赘述。

本公开的实施例还提供了由移位寄存器构成的栅极驱动电路。如图 8 所示, 栅极驱动电路 30 可包括 M 个移位寄存器, M 为大于 1 的整数。任意一个或多个移位寄存器可以采用本公开的实施例提供的移位寄存器 10

或移位寄存器 20 的结构或其变型。可以理解的是，栅极驱动电路 30 中具有 $M \times N$ 个移位寄存电路。图 8 中仅示意性的示出了前两个移位寄存器(A1、A2)，其中每个移位寄存器例如分别包括 2 个移位寄存电路 ($N=2$)。如图 8 所示，第一移位寄存器 A1 包括补偿选择电路 100、保持电路 200 (未示出)、移位寄存电路 300_1 (以下称为第一移位寄存电路 SC1) 和 300_2 (以下称为第二移位寄存电路 SC2)。第二移位寄存器 A2 包括补偿选择电路 100、保持电路 200 (未示出)、移位寄存电路 300_1 (以下称为第三移位寄存电路 SC3) 和 300_2 (以下称为第四移位寄存电路 SC4)。此外，第三移位寄存器 (包括第五移位寄存电路 SC5、第六移位寄存电路 SC6) 至第 M 移位寄存器的结构和连接关系类似，在此省略其的图示说明。

如图 8 所示，第一移位寄存电路 SC1 的显示输入信号端 STU 和第二移位寄存电路 SC2 的显示输入信号端 STU 均接收输入信号 STU。此外，第 i 个移位寄存电路输出的移位信号 CR 提供给第 i+2 个移位寄存电路，作为显示输入信号 STU。例如，第一移位寄存电路 SC1 的移位信号 CR 作为第三移位寄存电路 SC3 的显示输入信号 STU。第二移位寄存电路 SC2 的移位信号 CR 作为第四移位寄存电路 SC4 的显示输入信号 STU。

栅极驱动电路 30 还包括第一子时钟信号线 CLK_1 和第二子时钟信号线 CLK_2。第一子时钟信号线 CLK_1 向各个补偿选择电路 100 提供补偿选择控制信号 OE。第二子时钟信号线 CLK_2 向各个移位寄存电路提供第一时钟信号 CLKA。

各个移位寄存器中的补偿选择电路 100 接收该移位寄存器中的第一个移位寄存电路输出的移位信号 CR，从而根据补偿选择控制信号 OE 和该移位信号 CR 向第一控制节点 H 提供消隐输入信号。例如，第一移位寄存器 A1 中的补偿选择电路 100 耦接第一移位寄存电路 SC1 的移位信号输出端。第二移位寄存器 A2 中的补偿选择电路 100 耦接第三移位寄存电路 SC3 的移位信号输出端。第三移位寄存器 A3 中的补偿选择电路 100 耦接第五移位寄存电路 SC5 的移位信号输出端 (未示出)。

此外，第 i+3 个移位寄存电路输出的移位信号 CR 提供给第 i 个移位寄

存电路，作为显示复位信号 STD。例如，第四移位寄存电路 SC4 的移位信号 CR 作为第一移位寄存电路 SC1 的显示复位信号 STD。

栅极驱动电路 30 还包括消隐复位信号线 TRST，其向各个移位寄存电路提供消隐复位信号 TRST。

如图 8 所示，栅极驱动电路 30 还可包括第三子时钟信号线 CLKD_1、第四子时钟信号线 CLKD_2、第五子时钟信号线 CLKD_3 和第六子时钟信号线 CLKD_4。在实施例中，第三子时钟信号线 CLKD_1 向第 $4i-3$ 个移位寄存电路提供第四时钟信号。第四子时钟信号线 CLKD_2 向第 $4i-2$ 个移位寄存电路提供第四时钟信号。第五子时钟信号线 CLKD_3 向第 $4i-1$ 个移位寄存电路提供第四时钟信号。第六子时钟信号线 CLKD_4 向第 $4i$ 个移位寄存电路提供第四时钟信号。如图 8 所示，第三子时钟信号线 CLKD_1 向第一移位寄存电路 SC1 和第五移位寄存电路 SC5（未示出）提供第四时钟信号。第四子时钟信号线 CLKD_2 向第二移位寄存电路 SC2 和第六移位寄存电路 SC6（未示出）提供第四时钟信号。第五子时钟信号线 CLKD_3 向第三移位寄存电路 SC3 和第七移位寄存电路 SC7（未示出）提供第四时钟信号。第六子时钟信号线 CLKD_4 向第四移位寄存电路 SC4 和第八移位寄存电路 SC8（未示出）提供第四时钟信号。

此外，栅极驱动电路 30 还可包括第七子时钟信号线 CLKE_1、第八子时钟信号线 CLKE_2、第九子时钟信号线 CLKE_3 和第十子时钟信号线 CLKE_4。在实施例中，第七子时钟信号线 CLKE_1 向第 $4i-3$ 个移位寄存电路提供第五时钟信号。第八子时钟信号线 CLKE_2 向第 $4i-2$ 个移位寄存电路提供第五时钟信号。第九子时钟信号线 CLKE_3 向第 $4i-1$ 个移位寄存电路提供第五时钟信号。第十子时钟信号线 CLKE_4 向第 $4i$ 个移位寄存电路提供第五时钟信号。如图 8 所示，第七子时钟信号线 CLKE_1 向第一移位寄存电路 SC1 和第五移位寄存电路 SC5（未示出）提供第五时钟信号。第八子时钟信号线 CLKE_2 向第二移位寄存电路 SC2 和第六移位寄存电路 SC6（未示出）提供第五时钟信号。第九子时钟信号线 CLKE_3 向第三移位寄存电路 SC3 和第七移位寄存电路 SC7（未示出）提供第五时钟信号。

第十子时钟信号线 CLKE_4 向第四移位寄存电路 SC4 和第八移位寄存电路 SC8 (未示出) 提供第五时钟信号。

需要说明的是, 图 8 中所示的级联关系仅是一种示例, 根据本公开的描述, 还可以根据实际情况采用其它级联方式。

下面结合图 9 中的信号时序图, 对图 8 中所示的栅极驱动电路 30 的工作过程进行说明。在实施例中, 栅极驱动电路 30 中的移位寄存器 (A1、A2 等) 例如具有图 3 所示的移位寄存器的电路结构。

图 9 示出了图 8 所示的栅极驱动电路 30 在用于随机补偿显示面板中的第五行子像素时的信号时序图。信号 STU 表示输入信号 STU。TRST 表示提供给消隐复位信号线 TRST 的信号。信号 OE 和 CLKA 分别表示提供给第一子时钟信号线 CLK_1 和第二子时钟线的信号 CLK_2 的信号。信号 CLKD_1、CLKD_2、CLKD_3 和 CLKD_4 分别表示提供给第三子时钟信号线 CLKD_1、第四子时钟信号线 CLKD_2、第五子时钟信号线 CLKD_3 和第六子时钟信号线 CLKD_4 的信号。信号 CLKE_1、CLKE_2、CLKE_3 和 CLKE_4 分别表示提供给第七子时钟信号线 CLKE_1、第八子时钟信号线 CLKE_2、第九子时钟信号线 CLKE_3 和第十子时钟信号线 CLKE_4 的信号。

H<5>表示栅极驱动电路 30 中第三移位寄存器 A3 中的第一控制节点 H 的电压, 其为第五移位寄存电路 SC5 和第六移位寄存电路 SC6 (未示出) 提供消隐输入信号。Q<5>和 Q<6>分别表示第五移位寄存电路 SC5 和第六移位寄存电路 SC6 中的第一节点 Q 的电压。

OUT1<1>、OUT1<3>、OUT1<5>和 OUT1<8>分别表示栅极驱动电路 30 中的第一移位寄存电路 SC1、第三移位寄存电路 SC3、第五移位寄存电路 SC5 以及第八移位寄存电路 SC8 中相应的第一驱动信号输出端 OUT1。OUT2<5>表示栅极驱动电路 30 中的第五移位寄存电路 SC5 的第二驱动信号输出端 OUT2。需要说明的是, 每一级移位寄存器中的移位信号输出端 CR 和驱动信号输出端 OUT1 的电压相同。

此外, 如上文所描述的, 图 3 中示出的晶体管均为 P 型, 第一电压 V1

为低电平，第二电压 V2 为高电平。第三电压 V3 和第四电压 V4 交替提供低电平。

可以理解的是，图 9 所示的信号时序图中的信号电平只是示意性的，不代表真实电平值。

如图 9 所示，一帧 1F 包括显示阶段和消隐阶段。在一帧 1F 开始前，消隐复位信号线 TRST 和第一子时钟信号线 CLK_1 均提供低电平信号，以向各个移位寄存器提供低电平的消隐复位信号 TRST 和补偿选择控制信号 OE，使得各级移位寄存器中的第一晶体管 M1 和各个移位寄存电路中的第五晶体管 M5 导通。由此，将消隐输入信号 STU（高电平的输入信号 STU）提供到第一控制节点 H，以控制第一控制节点 H 的电压为高电平。将第二电压 V2（高电平）提供到第一节点 Q，以控制第一节点 Q 的电压为高电平。由此，对各级的第一控制节点 H 和第一节点 Q 进行复位，以实现全局复位。

然后，一帧 1F 开始，第三电压 V3 为高电平，第四电压 V4 为低电平。第七晶体管 M7 关断，第十晶体管 M10 导通。消隐复位信号线 TRST 提供的信号变为高电平，第五晶体管 M5 关断。

以下针对随机扫描栅极驱动电路 30 中的第五移位寄存电路 SC5（第三移位寄存器 A3 中）的工作过程来进行详细描述。第三移位寄存器 A3 中的补偿选择电路 100 接收补偿选择控制信号 OE 和第五移位寄存电路 SC5 输出的移位信号 CR<5>。第五移位寄存电路 SC5 接收第三移位寄存电路 SC3 输出的移位信号 CR<3>，作为显示输入信号 STU。第五移位寄存电路 SC5 接收第八移位寄存电路 SC8 输出的移位信号 CR<8>，作为显示复位信号 STD。

在一帧 1F 的显示阶段 Display 中，对第一移位寄存电路 SC1 的工作过程描述如下。

在第 1 时段中，第一移位寄存电路 SC1 的显示输入信号端接收低电平的输入信号 STU，第四晶体管 M4 导通，使得第一移位寄存电路 SC1 中的第一节点 Q<1>经由第一电压 V1 被下拉至低电平，并由第二电容 C2 保持。

第十九晶体管 M19、第二十二晶体管 M22 和第二十五晶体管 M25 在第一节点 Q<1>的电压的控制下导通。由于第四时钟信号端 CLKD (与第三子时钟信号线 CLKD_1 耦接) 和第五时钟信号 CLKE (与第七子时钟信号线 CLKE_1 耦接) 均为高电平, 因此第一移位寄存电路输出高电平的移位信号 CR<1>、第一驱动信号 OUT1<1>以及第二驱动信号 OUT2<1>。

在第 2 时段, 第四时钟信号端 CLKD 输入低电平信号, 第一节点 Q<1>的电位由于自举效应而进一步被拉低, 所以第十九晶体管 M19、第二十二晶体管 M22 和第二十五晶体管 M25 保持导通, 从而移位信号输出端 CR<1>和第一驱动信号输出端 OUT1<1>均输出低电平信号。例如, 从移位信号输出端 CR<1>输出的低电平信号可以用于上下级移位寄存器单元的扫描移位, 而从第一驱动信号输出端 OUT1<1>和第二驱动信号输出端 OUT2<1>输出的低电平信号可以用于驱动显示面板中的子像素单元进行显示。

在第 3 时段中, 第四时钟信号端 CLKD 输入高电平信号, 由于此时第一节点 Q<1>保持低电平, 所以第十九晶体管 M19、第二十二晶体管 M22 和第二十五晶体管 M25 保持导通, 从而移位信号 CR<1>、第一驱动信号 OUT1<1>以及第二驱动信号 OUT2<1>均为高电平。由于第二电容 C2 的自举作用, 所以第一节点 Q<1>的电位也会升高。

在第 4 时段中, 由于第一移位寄存电路的显示复位信号端 STD 和第四移位寄存电路的移位信号输出端 CR<4>连接, 此时第四移位寄存电路的移位信号输出端 CR<4>输出低电平, 所以第一移位寄存电路的显示复位信号端 STD 输入低电平, 第六晶体管 M6 导通, 第一节点 Q<1>被上拉至高电平, 完成对第一节点 Q<1>的复位。由于第一节点 Q<1>为高电平, 第十一晶体管 M11 关断, 同时第四电压端 V4 输入的低电平可以使第二上拉节点 QBB 的电压变为低电平, 所以第十二晶体管 M12 导通, 以进一步控制第一节点 Q<1>的电压为高电平。同时第二十一晶体管 M21、第二十四晶体管 M24、第二十七晶体管 M27 也导通, 从而可以对移位信号输出端 CR<1>、第一驱动信号输出端 OUT1<1>第二驱动信号输入端 OUT2<1>进一步上拉。

第一移位寄存电路驱动显示面板中第一行的子像素完成显示后, 依次

类推，第二、第三等移位寄存电路逐行驱动显示面板中的子像素完成一帧的显示驱动。至此，一帧 1F 的显示阶段结束。

同时在第一帧 1F 的显示阶段 Display 中还对上拉控制节点 H 进行充电，例如，当第一帧 1F 中需要对第五行子像素进行补偿时，则在第一帧 1F 的显示阶段 Display 中还进行如下操作。以下对第五移位寄存电路 SC5 及相关移位寄存电路的工作过程描述如下。

在第 3 时段中，第三移位寄存电路 SC3 输出低电平的移位信号 CR <3>，使得第五移位寄存电路 SC5 的显示输入信号 STU 为低电平。第四晶体管 M4 导通，将第一电压 V1 提供到第一节点 Q<5>，第一节点 Q<5>的电压变为低电平。由此，第八晶体管 M8 和第十一晶体管 M11 导通。通过高电平的第二电压 V2 将第一上拉节点 QB_A 和第二上拉节点 QB_B 拉高。此外，由于显示输入信号 STU 为低电平，第十五晶体管 M15 和第十八晶体管 M18 导通，将高电平的第二电压 V2 分别提供到第一上拉节点 QB_A 和第二上拉节点 QB_B，从而可以对第一上拉节点 QB_A 和第二上拉节点 QB_B 进行辅助上拉。此时，第二十晶体管 M20、第二十一晶体管 M21、第二十三晶体管 M23、第二十四晶体管 M24、第二十六晶体管 M26 和第二十七晶体管均关断。

此外，第一节点 Q<5>为低电平，使得第十九晶体管 M19、第二十二晶体管 M22 和第二十五晶体管 M25 导通，将第四时钟信号 CLKD（与第三子时钟信号线 CLKD_1 耦接）提供到移位信号输出端 CR、第一驱动信号输出端 OUT1<5>，以及将第五时钟信号 CLKE（与第七子时钟信号线 CLKE_1 耦接）提供到第二驱动信号输出端 OUT2<5>，从而分别输出高电平信号。

在第 4 时段中，显示输入信号 STU 为高电平，第四晶体管关断。第一节点 Q<5>在第二电容器 C2 的保持作用下被保持为低电平。通过第三子时钟信号线 CLKD_1 向第四时钟信号端 CLKD 提供低电平信号，通过第七子时钟信号线 CLKE_1 向第五时钟信号端 CLKE 提供低电平信号。第一节点 Q<5>的电压由于自举作用而进一步被拉低。第十九晶体管 M19、第二十二

晶体管 M22 和第二十五晶体管 M25 保持导通,从而移位信号输出端 CR<5>、第一驱动信号输出端 OUT1<5>和第二驱动信号输出端 OUT2<5>均输出低电平信号。此外,第一上拉节点 QB_A 和第二上拉节点 QB_B 保持高电平,第二十晶体管 M20、第二十一晶体管 M21、第二十三晶体管 M23、第二十四晶体管 M24、第二十六晶体管 M26 和第二十七晶体管保持关断。

此外,在第三移位寄存器 A3 中,第五移位寄存电路 SC5 的移位信号 CR(OUT1<5>)被提供给补偿选择电路 100(即第一晶体管 M1 的第一极),补偿选择控制信号 OE 在显示阶段的时序被设置为与移位信号 CR(OUT1<5>)的时序相同。由此,在第 4 时段,补偿选择控制信号 OE 被提供为低电平信号。此时,所有移位寄存器中的第一晶体管 M1 均导通。由于第三移位寄存器 A3 中的第一晶体管 M1 的第一极接收低电平的移位信号 CR(OUT1<5>),因此第三移位寄存器 A3 的第一控制节点 H<5>变为低电平。在此情况下,第三移位寄存器 A3 经由第一控制节点 H<5>向保持电路 200 和第五移位寄存电路 SC5 和第六移位寄存电路 SC6 提供低电平的消隐输入信号。此后,由第一电容 C1 保持消隐输入信号,使得第一控制节点 H<5>的电压保持为低电平。

在第 5 时段中,第十九晶体管 M19、第二十二晶体管 M22 和第二十五晶体管 M25 保持导通。通过第三子时钟信号线 CLKD_1 向第四时钟信号端 CLKD 提供高电平信号,通过第七子时钟信号线 CLKE_1 向第五时钟信号端 CLKE 提供高电平信号,使得移位信号输出端 CR<5>、第一驱动信号输出端 OUT1<5>和第二驱动信号输出端 OUT2<5>均输出高电平信号。由于第二电容 C2 和第三电容 C3 两端电压的等式跳变,第一节点 Q<5>的电压会上升一个幅度,但仍为低电平。此时,由于显示复位信号 STD(即,OUT1<8>)为高电平,所以不会对第一节点 Q<5>进行上拉,使得上拉节点 Q 可以保持在一个较低的电平。

在第 6 时段中,第八移位寄存电路 SC8 输出低电平的移位信号 CR<8>,使得第五移位寄存电路的显示复位信号 STD 为低电平信号,第六晶体管 M6 导通,从而将第一节点 Q<5>的电压复位为高电平。此外,由于第一节

点 Q<5>的电压为高电平，第十一晶体管 M11 关断，第二上拉节点 QB_B 的电压通过第十晶体管 M10 而被拉低至低电平。由此，第十二晶体管 M12 导通，以对第一节点 Q<5>放噪。此外，第二十一晶体管 M21、第二十四晶体管 M24 和第二十七晶体管 M27 导通，以将第二电压 V2 提供至移位信号输出端 CR<5>、第一驱动信号输出端 OUT1<5>和第二驱动信号输出端 OUT2<5>，从而分别输出高电平信号。

在上述一帧 1F 的显示阶段，由于第一时钟信号 CLKA 一直保持为低电平，所以第三晶体管 M3 保持关断。第三晶体管 M3 可以隔离第一控制节点 H 对第一节点 Q 的影响。

在显示阶段，与第五移位寄存电路 SC5 的上述工作过程类似，第六移位寄存电路 SC6 也经由第一控制节点 H 接收第三移位寄存器 A3 的补偿选择电路 100 提供的消隐输入信号。第六移位寄存电路 SC6 根据第四子时钟信号线 CLKD_2 提供的第四时钟信号 CLKD 和第八子时钟信号线 CLKE_2 提供的第五时钟信号 CLKE 输出移位信号和驱动信号。

然后，一帧 1F 的消隐阶段 Blank 开始。在第 7 时段中，第一控制节点 H<5>保持低电平，第二晶体管 M2 导通。第一时钟信号 CLKA 为低电平信号，第三晶体管 M3 导通。由此，将第一电压端的第一电压 V1 提供到第一节点 Q<5>，使得第一节点 Q<5>的电压变为低电平。在此时段，第四时钟信号 CLKD 和第五时钟信号端 CLKE 均为高电平信号，使得移位信号输出端 CR<5>、第一驱动信号输出端 OUT1<5>和第二驱动信号输出端 OUT2<5>均输出高电平信号。

在第 8 时段中，第一控制节点 H<5>的电压保持为低电平，第二晶体管 M2 保持导通。第一时钟信号 CLKA 变为高电平信号，第三晶体管 M3 关断。此时，输出电路可根据相应的时钟信号来输出相应的驱动信号，以驱动感测晶体管工作。如图 9 所示，第三子时钟信号线 CLKD_1 提供的第四时钟信号 CLKD 为低电平信号，使得第一节点 Q<5>进行二次电位下降，移位信号 CR<5>和第一驱动信号 OUT1<5>均为低电平。此时，低电平的第一驱动信号 OUT1<5>可驱动显示面板中第五行子像素中的感测晶体管

感测该行子像素的驱动电流,从而基于所感测的驱动电流进行补偿。此外,第二驱动信号输出端 OUT2<5>在第七子时钟信号线 CLKE_1 提供的第五时钟信号 CLKE 的控制下输出第二驱动信号。

此外,由于第四子时钟信号线 CLKD_2 向第六移位寄存电路 SC6 提供高电平的第四时钟信号 CLKD,第八子时钟信号线 CLKE_2 向第六移位寄存电路 SC6 提供高电平的第五时钟信号 CLKE,因此第六移位寄存电路 SC6 输出高电平的第一驱动信号 OUT1<6>和第二驱动信号 OUT2<6>。由此,虽然第三寄存器 A3 中的第一上拉节点 H<5>仍为低电平,但是不会对第六行子像素进行补偿。

可以理解的是,对于第三移位寄存器 A3,第五移位寄存电路 SC5 和第六移位寄存电路 SC6 均接收补偿选择模块 100 提供的消隐输入信号(对应于 H<5>的电压)。当需要在某一帧的消隐阶段对第五行和第六行子像素同时进行补偿时,也可改变相应的子时钟信号线提供的时钟信号,使得第六移位寄存电路 SC6 也可在相应的时钟信号的控制下在消隐阶段输出相应的驱动信号,以驱动感测晶体管工作,从而实现对第六行子像素的补偿。基于此,栅极驱动电路 30 可以同时多行子像素进行补偿。

在第 9 时段中,第四时钟信号 CLKD 和第五时钟信号 CLKE 均变为高电平,移位信号输出端 CR<5>、第一驱动信号输出端 OUT1<5>和第二驱动信号输出端 OUT2<5>均输出高电平信号。由于第二电容 C2 和第三电容 C3 两端电压的等式跳变,第一节点 Q<5>的电压上升一个幅度,但仍为低电平。

在第 10 时段中,消隐复位信号线 TRST 向消隐复位信号端 TRST 提供低电平信号,第五晶体管 M5 导通,以将第一节点 Q<5>复位为高电平。补偿选择控制信号 OE 也为低电平,第一晶体管 M1 导通,使用高电平的移位信号 CR<5>对第一控制节点 H<5>的电压进行复位。

在一帧 1F 的驱动时序结束。后续在其它帧等更多阶段中对栅极驱动电路的驱动可以参考上述描述,这里不再赘述。

需要说明是,在上述对随机补偿的工作原理进行描述时,是以第一帧

的消隐阶段输出对应于显示面板的第五行子像素的驱动信号为例进行说明的，然而本公开对此不作限定。例如，当需要在某一帧的消隐阶段对显示面板的第 i 行子像素进行补偿时，在该帧的显示阶段，使得补偿选择控制信号 OE 的时序和包括第 i 个移位寄存电路的移位寄存器的补偿选择电路所接收的移位信号 CR 的时序相同，从而控制该移位寄存器的第一控制节点的电压并保持该电压，然后在消隐阶段，通过第 i 个移位寄存电路的相应的控制第 i 个移位寄存电路输出驱动信号以驱动感测晶体管工作，从而进行对第 i 行子像素的补偿。这里需要说明的是，两个信号时序相同指的是位于低电平的时间同步，而不要求两个信号的幅值相同。

另一方面，本公开的实施例还提供了阵列基板。阵列基板可包括根据本公开实施例的栅极驱动电路。此外，本公开的实施例还提供了包括上述阵列基板的显示装置。在实施例中，显示装置可以为液晶面板、液晶电视、显示器、OLED 面板、OLED 电视、电子纸显示装置、手机、平板电脑、笔记本电脑、数码相框、导航仪等任何具有显示功能的产品或部件。

此外，本公开的实施例还提供了用于驱动移位寄存器的方法。

图 10 示出了根据本公开的实施例的用于驱动移位寄存器的方法的示意性流程图。移位寄存器可以是基于本公开实施例的任何可适用的移位寄存器。

在步骤 1010，补偿选择电路可根据补偿选择控制信号和从 N 个移位信号输出端输出的 N 个移位信号中的一个移位信号，向保持电路和移位寄存电路提供消隐输入信号。在实施例中，在需要对某一行子像素进行补偿时，可在步骤 1010 中控制补偿选择控制信号的时序与包括对应的移位寄存电路的移位寄存器的补偿选择电路所接收的移位信号的时序相同，从而控制该移位寄存器的第一控制节点的电压。然后，补偿选择电路根据补偿选择控制信号，将所接收的移位信号作为消隐输入信号提供给保持电路和移位寄存电路。

在步骤 1020，保持电路可保持该消隐输入信号。

此外，在实施例中，在显示阶段，显示输入电路可根据显示输入信号

将显示下拉信号提供到第一节点。根据第一节点的电压，从 N 个移位信号输出端输出 N 个移位信号，以及从 N 个第一驱动信号输出端输出 N 个第一驱动信号。该第一驱动信号可用于驱动子像素进行显示。

在步骤 1030，消隐输入电路可根据消隐输入信号和消隐控制信号将消隐下拉信号提供到第一节点。

在步骤 1040，根据第一节点的电压，从 N 个移位信号输出端输出 N 个移位信号，以及从 N 个第一驱动信号输出端输出 N 个第一驱动信号。由此，该第一驱动信号可用于对子像素进行补偿。

本领域技术人员可以理解，以上各步骤虽然按顺序描述，但并不构成对方法顺序的限定，本公开实施例也可以以任何其它合适顺序实施。

以上对本公开的若干实施方式进行了详细描述，但本公开的保护范围并不限于此。显然，对于本领域的普通技术人员来说，在不脱离本公开的精神和范围的情况下，可以对本公开的实施例进行各种修改、替换或变形。本公开的保护范围由所附权利要求限定。

权利要求

1、一种移位寄存器，包括补偿选择电路、保持电路和 N 个移位寄存电路；

其中，所述保持电路被配置为保持消隐输入信号；

所述 N 个移位寄存电路的每一个包括：

消隐输入电路，其被配置为根据所述消隐输入信号和消隐控制信号将消隐下拉信号提供到第一节点；

输出电路，其被配置为根据所述第一节点的电压，从移位信号输出端输出移位信号，以及从第一驱动信号输出端输出第一驱动信号；

所述补偿选择电路被配置为根据补偿选择控制信号和所述 N 个移位寄存电路中的一个移位寄存电路输出的所述移位信号，经由第一控制节点向所述保持电路和所述 N 个移位寄存电路提供所述消隐输入信号；

其中，N 为大于 1 的自然数。

2、根据权利要求 1 所述的移位寄存器，其中，所述保持电路包括第一电容；

所述第一电容的第一端耦接所述第一控制节点，另一端耦接第二电压端以接收第二电压。

3、根据权利要求 1 所述的移位寄存器，其中，所述补偿选择电路包括第一晶体管；

其中，所述第一晶体管的控制极和补偿选择控制信号端耦接以接收所述补偿选择控制信号，所述第一晶体管的第一极和所述 N 个移位寄存电路中的一个移位寄存电路的所述移位信号输出端耦接，所述第一晶体管的第二极和所述第一控制节点耦接。

4、根据权利要求 1 所述的移位寄存器，其中，所述消隐输入电路包括第二晶体管和第三晶体管，

其中，所述第二晶体管的控制极和所述第一控制节点耦接，所述第二晶体管的第一极和所述第一电压端耦接以接收第一电压作为所述消隐下拉

信号, 所述第二晶体管的第二极和所述第三晶体管的第一极耦接;

所述第三晶体管的控制极和第一时钟信号端耦接以接收第一时钟信号作为所述消隐控制信号, 所述第三晶体管的第二极和所述第一节点耦接。

5、根据权利要求1所述的移位寄存器, 其中, 所述输出电路包括: 第十九晶体管、第二十二晶体管和第二电容;

其中, 所述第十九晶体管的控制极和所述第一节点耦接, 所述第十九晶体管的第一极和第四时钟信号端耦接以接收第四时钟信号, 所述第十九晶体管的第二极和所述移位信号输出端耦接;

所述第二十二晶体管的控制极和所述第一节点耦接, 所述第二十二晶体管的第一极和所述第四时钟信号端耦接以接收第四时钟信号, 所述第二十二晶体管的第二极和所述第一驱动信号输出端耦接;

所述第二电容被耦接在所述第一节点和所述移位信号输出端之间。

6、根据权利要求1所述的移位寄存器, 其中, 每个所述移位寄存电路还包括显示输入电路;

其中, 所述显示输入电路被配置为根据显示输入信号将显示下拉信号提供到所述第一节点。

7、根据权利要求6所述的移位寄存器, 其中, 所述显示输入电路包括第四晶体管;

其中, 所述第四晶体管的控制极和显示输入信号端耦接以接收所述显示输入信号, 所述第四晶体管的第一极和第一电压端耦接以接收第一电压作为所述显示下拉信号, 所述第四晶体管的第二极和所述第一节点耦接。

8、根据权利要求1至7中任一项所述的移位寄存器, 其中, 每个所述移位寄存电路还包括第一控制电路、上拉电路和第二控制电路;

其中, 所述第一控制电路被配置为根据所述第一节点的电压控制上拉节点的电压;

所述上拉电路被配置为根据所述上拉节点的电压, 将来自第二电压端的第二电压提供到所述第一节点、所述移位信号输出端和所述第一驱动信号输出端;

所述第二控制电路被配置为根据所述消隐控制信号和所述第一控制节点的电压控制所述上拉节点的电压，以及根据所述显示输入信号控制所述上拉节点的电压。

9、根据权利要求8所述的移位寄存器，其中，所述上拉节点包括第一上拉节点；

其中，所述第一控制电路包括：

第七晶体管，所述第七晶体管的控制极和第一极和第三电压端耦接，所述第七晶体管的第二极和所述第一上拉节点耦接；以及

第八晶体管，所述第八晶体管的控制极和所述第一节点耦接，所述第八晶体管的第一极和所述第一上拉节点耦接，所述第八晶体管的第二极和所述第二电压端耦接；

其中，所述上拉电路包括：

第九晶体管，所述第九晶体管的控制极和所述第一上拉节点耦接，所述第九晶体管的第一极和所述第一节点耦接，所述第九晶体管的第二极和所述第二电压端耦接；

第二十晶体管，所述第二十晶体管的控制极和所述第一上拉节点耦接，所述第二十晶体管的第一极和所述移位信号输出端耦接，所述第二十晶体管的第二极和所述第二电压端耦接；以及

第二十三晶体管，所述第二十三晶体管的控制极和所述第一上拉节点耦接，所述第二十三晶体管的第一极和所述第一驱动信号输出端耦接，所述第二十三晶体管的第二极和所述第二电压端耦接；

其中，所述第二控制电路包括：

第十三晶体管，所述第十三晶体管的控制极和第一时钟信号端耦接以接收第一时钟信号作为所述消隐控制信号，所述第十三晶体管的第一极和所述第一上拉节点耦接；

第十四晶体管，所述第十四晶体管的控制极和所述第一控制节点耦接，所述第十四晶体管的第一极和所述第十三晶体管的第二极耦接，所述第十四晶体管的第二极和所述第二电压端耦接；以及

第十五晶体管，所述第十五晶体管的控制极和显示输入信号端耦接以接收所述显示输入信号，所述第十五晶体管的第一极和所述第一上拉节点耦接，所述第十五晶体管的第二极和所述第二电压端耦接。

10、根据权利要求9所述的移位寄存器，其中，所述上拉节点还包括第二上拉节点；

其中，所述第一控制电路还包括：

第十晶体管，所述第十晶体管的控制极和第一极和第四电压端耦接，所述第十晶体管的第二极和所述第二上拉节点耦接；以及

第十一晶体管，所述第十一晶体管的控制极和所述第一节点耦接，所述第十一晶体管的第一极和所述第二上拉节点耦接，所述第十一晶体管的第二极和所述第二电压端耦接；

其中，所述上拉电路还包括：

第十二晶体管，所述第十二晶体管的控制极和所述第二上拉节点耦接，所述第十二晶体管的第一极和所述第一节点耦接，所述第十二晶体管的第二极和所述第二电压端耦接；

第二十一晶体管，所述第二十一晶体管的控制极和所述第二上拉节点耦接，所述第二十一晶体管的第一极和所述移位信号输出端耦接，所述第二十一晶体管的第二极和所述第二电压端耦接；以及

第二十四晶体管，所述第二十四晶体管的控制极和所述第二上拉节点耦接，所述第二十四晶体管的第一极和所述第一驱动信号输出端耦接，所述第二十四晶体管的第二极和所述第二电压端耦接；

其中，所述第二控制电路还包括：

第十六晶体管，所述第十六晶体管的控制极和第一时钟信号端耦接以接收第一时钟信号作为所述消隐控制信号，所述第十六晶体管的第一极和所述第二上拉节点耦接；

第十七晶体管，所述第十七晶体管的控制极和所述第一控制节点耦接，所述第十七晶体管的第一极和所述第十六晶体管的第二极耦接，所述第十七晶体管的第二极和所述第二电压端耦接；以及

第十八晶体管，所述第十八晶体管的控制极和显示输入信号端耦接以接收所述显示输入信号，所述第十八晶体管的第一极和所述第二上拉节点耦接，所述第十八晶体管的第二极和所述第二电压端耦接。

11、根据权利要求 8 所述的移位寄存器，其中，每个所述移位寄存电路还包括复位电路；

其中，所述复位电路被配置为根据来自消隐复位信号端的消隐复位信号对所述第一节点进行复位，以及根据来自显示复位信号端的显示复位信号对所述第一节点进行复位。

12、根据权利要求 11 所述的移位寄存器，其中，所述复位电路包括第五晶体管和第六晶体管；

所述第五晶体管的控制极和所述消隐复位信号端耦接，所述第五晶体管的第一极和所述第一节点耦接，所述第五晶体管的第二极和所述第二电压端耦接；

所述第六晶体管的控制极和所述显示复位信号端耦接，所述第六晶体管的第一极和所述第一节点耦接，所述第六晶体管的第二极和所述第二电压端耦接。

13、根据权利要求 10 所述的移位寄存器，其中，所述输出电路还包括第二十五晶体管和第三电容；

所述第二十五晶体管的控制极和所述第一节点耦接，所述第二十五晶体管的第一极和第五时钟信号端耦接以接收第五时钟信号，所述第二十五晶体管的第二极和第二驱动信号输出端耦接；

所述第三电容被耦接在所述第一节点和所述第二驱动信号输出端之间。

14、根据权利要求 13 所述的移位寄存器，其中，所述上拉电路还包括第二十六晶体管和第二十七晶体管；

其中，所述第二十六晶体管的控制极和所述第一上拉节点耦接，所述第二十六晶体管的第一极和所述第二驱动信号输出端耦接，所述第二十六晶体管的第二极和所述第二电压端耦接；

所述第二十七晶体管的控制极和所述第二上拉节点耦接，所述第二十

七晶体管的第一极和所述第二驱动信号输出端耦接，所述第二十七晶体管的第二极和所述第二电压端耦接。

15、根据权利要求 1 所述的移位寄存器，其中，所述移位寄存器包括一个补偿选择电路和一个保持电路。

16、一种栅极驱动电路，包括 M 个如权利要求 1 至 15 中任一项所述的移位寄存器和第一子时钟信号线；

其中，所述第一子时钟信号线向各个移位寄存器提供补偿选择控制信号。

17、根据权利要求 16 所述的栅极驱动电路，还包括第二子时钟信号线和消隐复位信号线；

其中，第 i 个移位寄存电路输出的移位信号被提供给第 i+2 个移位寄存电路，作为显示输入信号；

所述第二子时钟信号线向各个移位寄存电路提供第一时钟信号；

所述消隐复位信号线向各个移位寄存电路提供消隐复位信号；

第 i+3 个移位寄存电路输出的移位信号提供给第 i 个移位寄存电路，作为显示复位信号。

18、根据权利要求 16 或 17 所述的栅极驱动电路，还包括第三子时钟信号线、第四子时钟信号线、第五子时钟信号线和第六子时钟信号线；

其中，所述第三子时钟信号线向第 4i-3 个移位寄存电路提供第四时钟信号；

所述第四子时钟信号线向第 4i-2 个移位寄存电路提供第四时钟信号；

所述第五子时钟信号线向第 4i-1 个移位寄存电路提供第四时钟信号；

所述第六子时钟信号线向第 4i 个移位寄存电路提供第四时钟信号。

19、根据权利要求 16 或 17 所述的栅极驱动电路，还包括第七子时钟信号线、第八子时钟信号线、第九子时钟信号线和第十子时钟信号线；

其中，所述第七子时钟信号线向第 4i-3 个移位寄存电路提供第五时钟信号；

所述第八子时钟信号线向第 4i-2 个移位寄存电路提供第五时钟信号；

所述第九子时钟信号线向第 $4i-1$ 个移位寄存电路提供第五时钟信号；
所述第十子时钟信号线向第 $4i$ 个移位寄存电路提供第五时钟信号。

20、一种阵列基板，包括如权利要求 16 至 19 中任一项所述的栅极驱动电路。

21、一种显示装置，包括如权利要求 20 所述的阵列基板。

22、一种用于驱动如权利要求 1 至 15 中任一项所述的移位寄存器的方法，包括：

根据补偿选择控制信号和 N 个移位信号中的一个移位信号，提供消隐输入信号；

保持所述消隐输入信号；

根据所述消隐输入信号和消隐控制信号将消隐下拉信号提供到第一节点；以及

根据所述第一节点的电压，从 N 个移位信号输出端输出 N 个移位信号，以及从 N 个第一驱动信号输出端输出 N 个第一驱动信号。

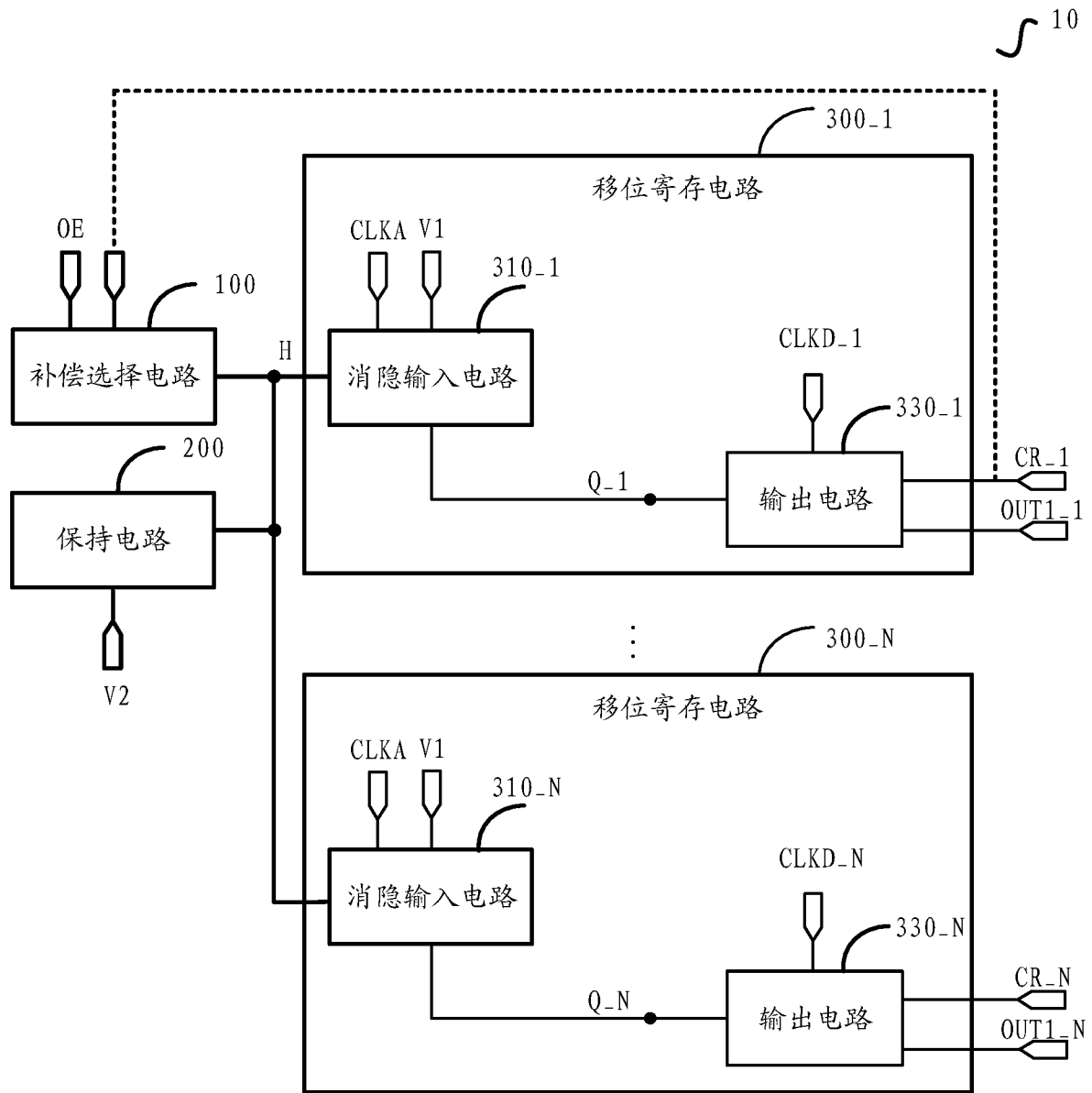


图 1

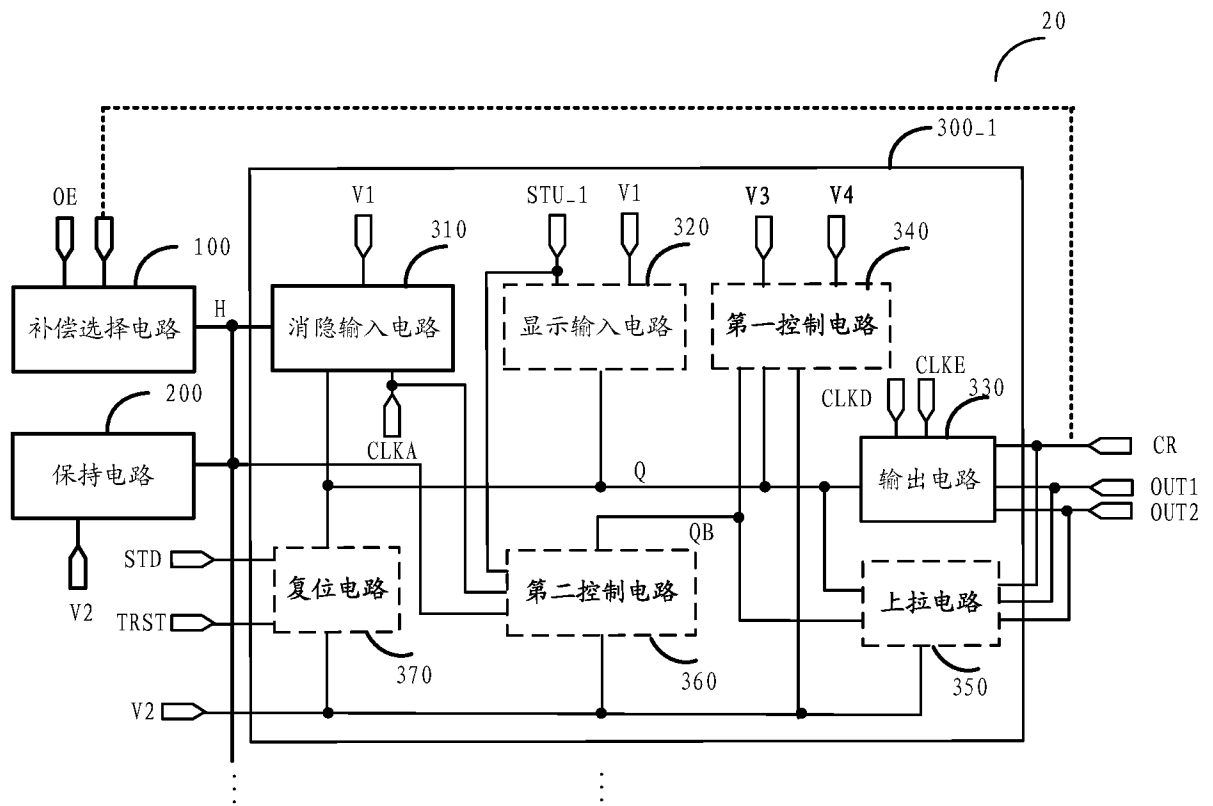


图 2

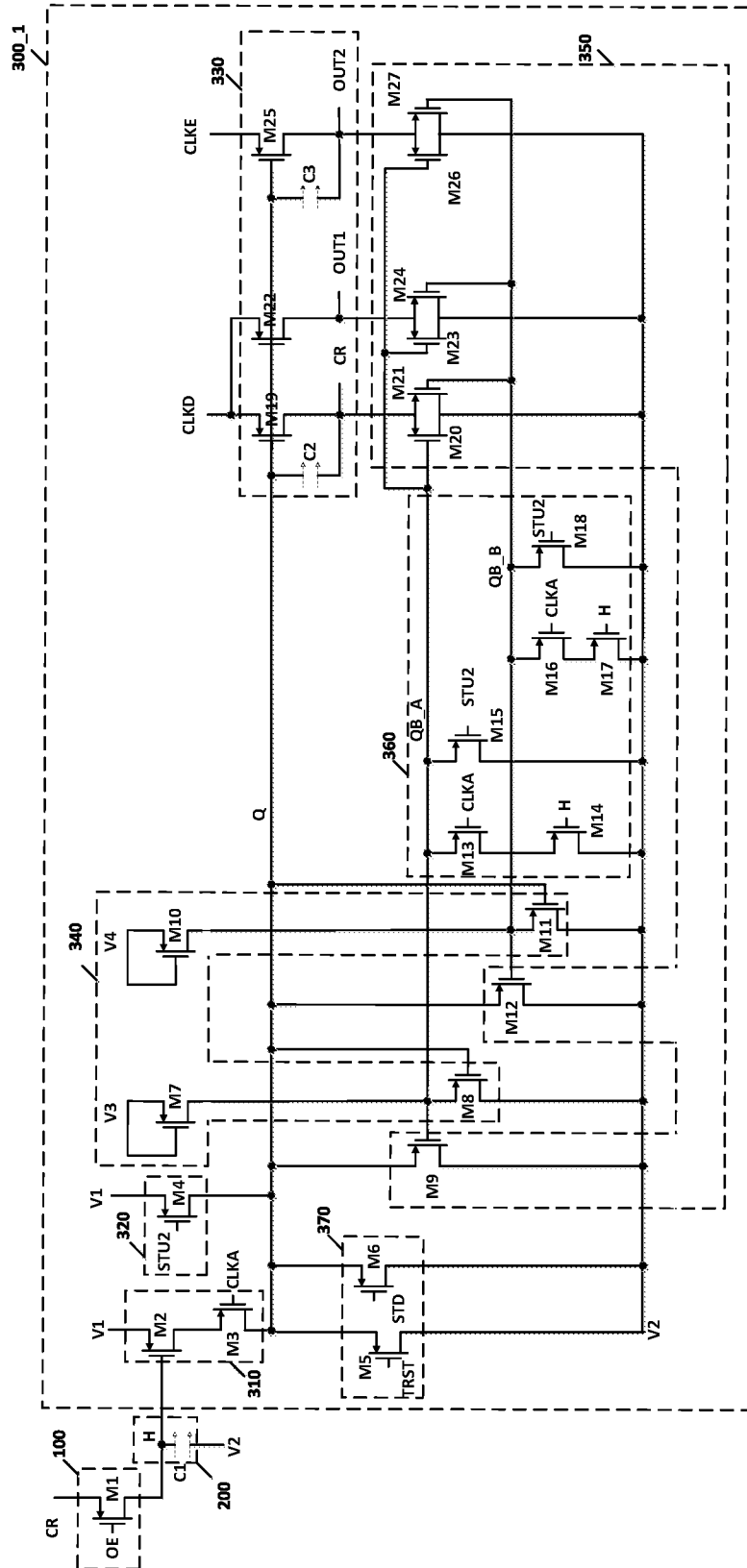


图 3

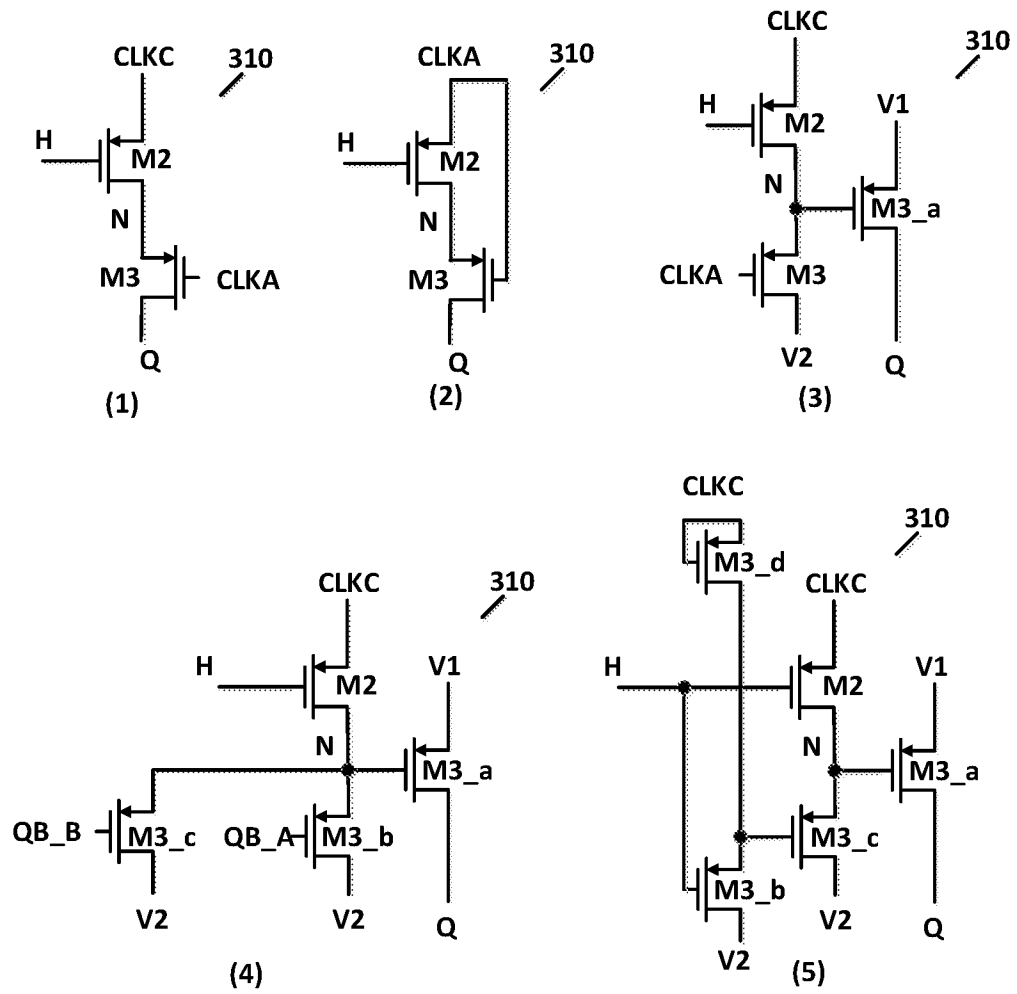


图 4

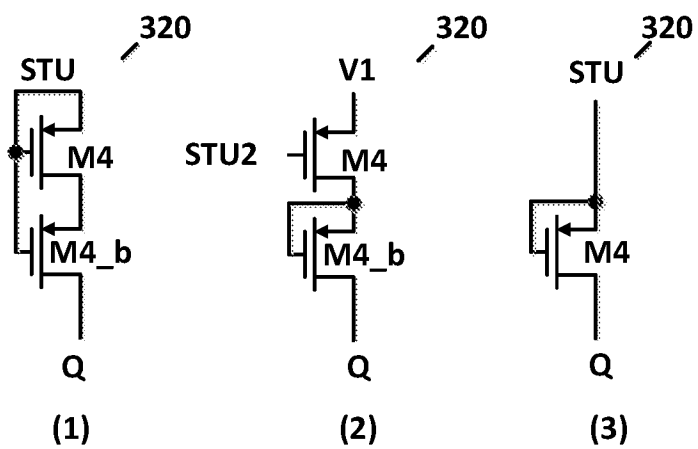


图 5

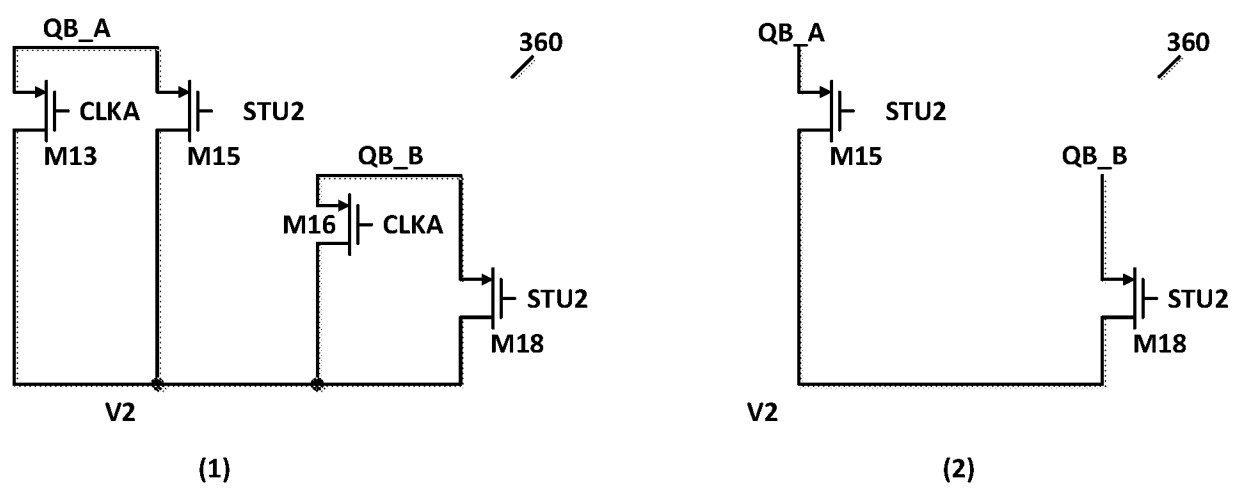


图 6

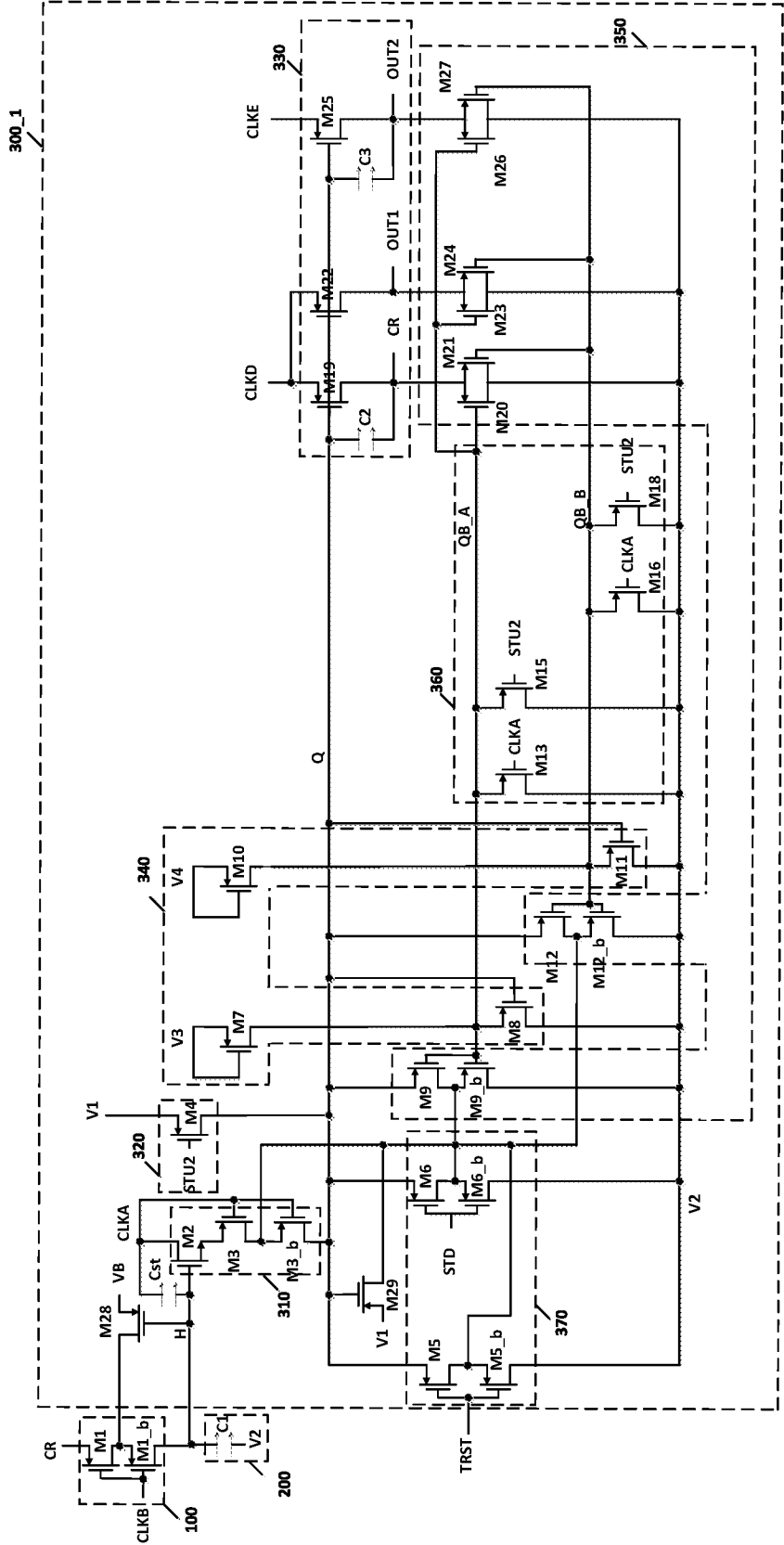


图 7

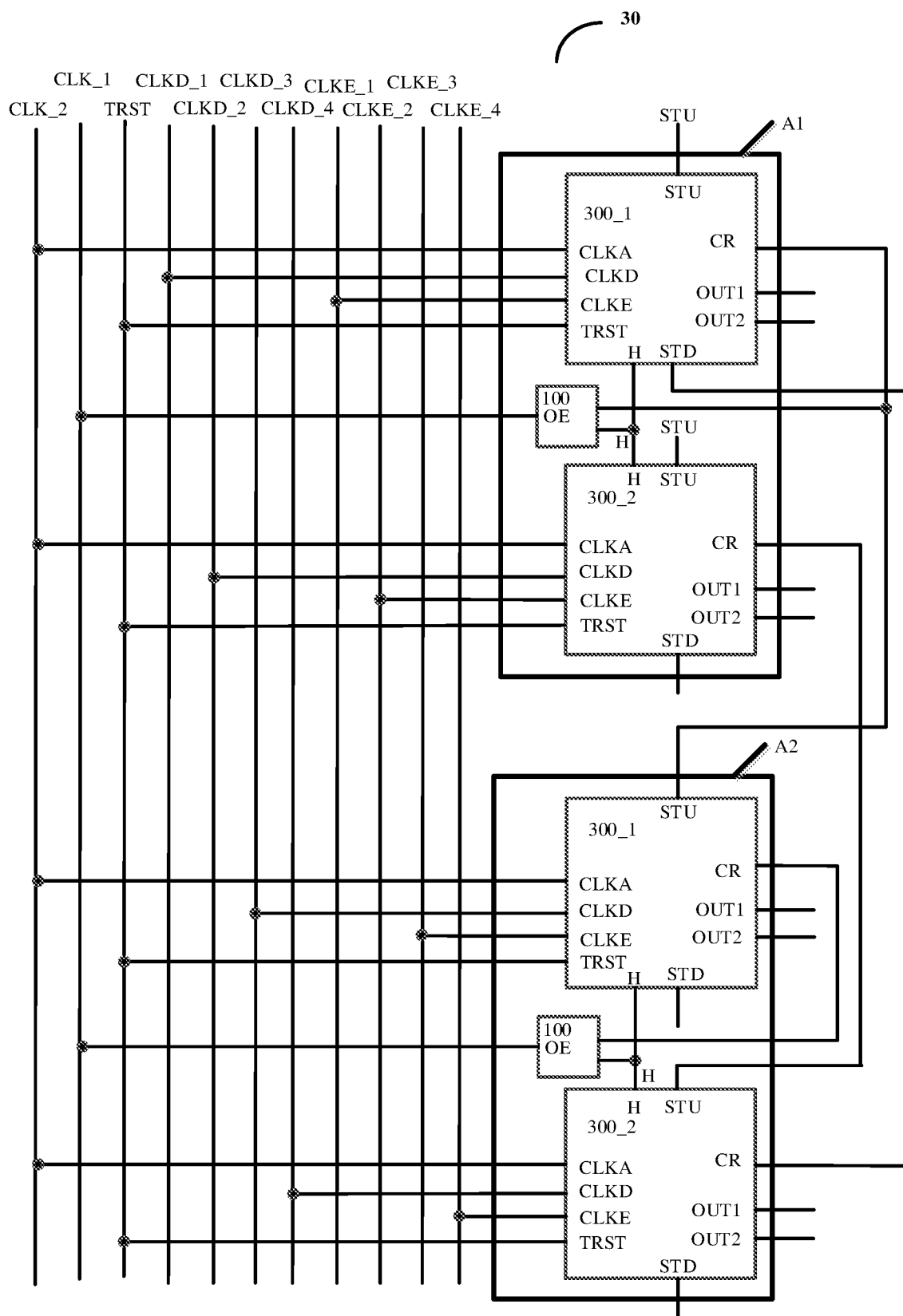


图 8

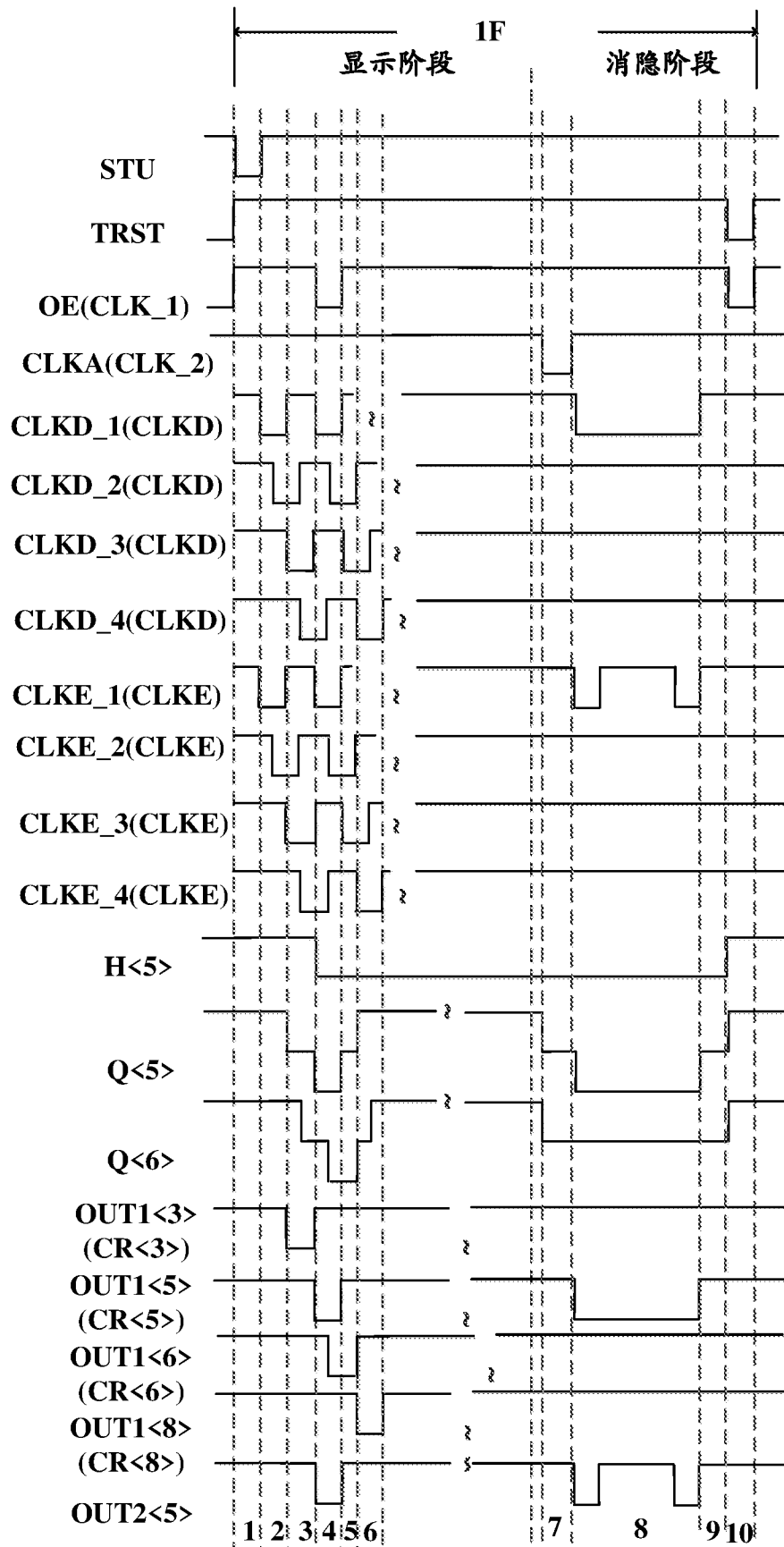


图 9

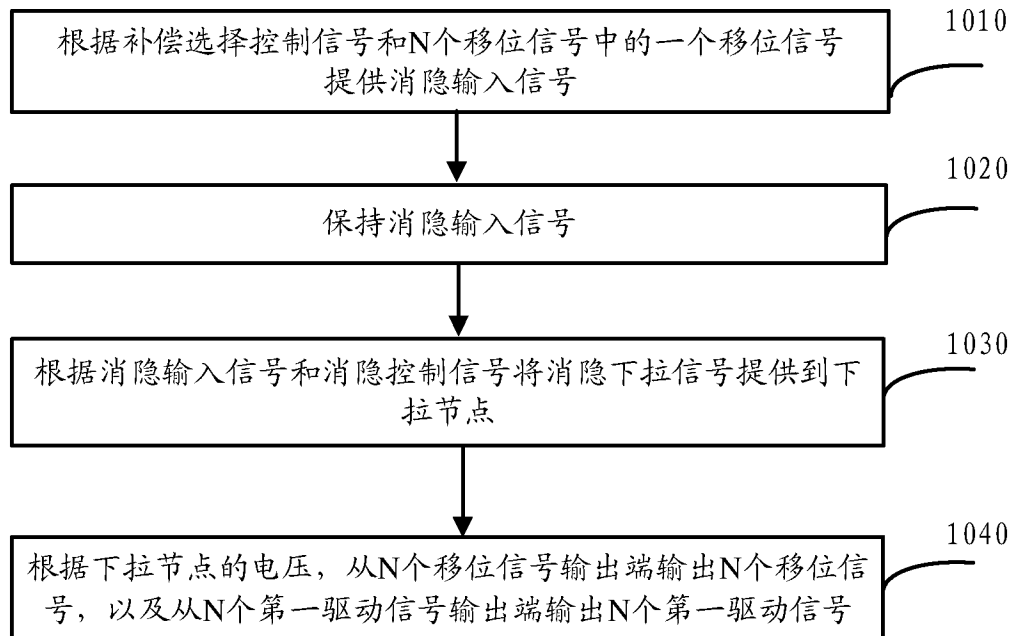


图 10

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2019/070064

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/3266(2016.01)i; G11C 19/28(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G; G11C

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

EPODOC, WPI, CNPAT, IEEE, CNKI: 移位寄存器, 补偿, 消隐, 输入, 下拉, 移位信号, 触发信号, 上拉控制节点, shift register, blank???, input, signal

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 108806611 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 13 November 2018 (2018-11-13) description, paragraphs [0048]-[0064] and [0074]-[0079], and figures 1-4	1-22
A	CN 108648716 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 12 October 2018 (2018-10-12) entire document	1-22
A	CN 108877683 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 23 November 2018 (2018-11-23) entire document	1-22
A	US 2012162170 A1 (HITACHI DISPLAYS, LTD.) 28 June 2012 (2012-06-28) entire document	1-22



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

14 September 2019

Date of mailing of the international search report

27 September 2019

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing
100088
China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2019/070064

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	108806611	A	13 November 2018	None			
CN	108648716	A	12 October 2018	None			
CN	108877683	A	23 November 2018	None			
US	2012162170	A1	28 June 2012	US	2016217871	A1	28 July 2016
				JP	2012142048	A	26 July 2012

国际检索报告

国际申请号

PCT/CN2019/070064

A. 主题的分类 G09G 3/3266(2016.01)i; G11C 19/28(2006.01)i 按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类		
B. 检索领域 检索的最低限度文献(标明分类系统和分类号) G09G; G11C 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用)) EP0DOC, WPI, CNPAT, IEEE, CNKI: 移位寄存器, 补偿, 消隐, 输入, 下拉, 移位信号, 触发信号, 上拉控制节点, shift register, blank???, input, signal		
C. 相关文件		
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	CN 108806611 A (京东方科技集团股份有限公司 等) 2018年 11月 13日 (2018 - 11 - 13) 说明书第[0048]-[0064]、[0074]-[0079]段, 附图1-4	1-22
A	CN 108648716 A (京东方科技集团股份有限公司 等) 2018年 10月 12日 (2018 - 10 - 12) 全文	1-22
A	CN 108877683 A (京东方科技集团股份有限公司 等) 2018年 11月 23日 (2018 - 11 - 23) 全文	1-22
A	US 2012162170 A1 (HITACHI DISPLAYS, LTD.) 2012年 6月 28日 (2012 - 06 - 28) 全文	1-22
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。		
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件		
国际检索实际完成的日期 2019年 9月 14日		国际检索报告邮寄日期 2019年 9月 27日
ISA/CN的名称和邮寄地址 中国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451		授权官员 李铎 电话号码 86-(10)-53961393

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2019/070064

检索报告引用的专利文件			公布日 (年/月/日)	同族专利	公布日 (年/月/日)
CN	108806611	A	2018年 11月 13日	无	
CN	108648716	A	2018年 10月 12日	无	
CN	108877683	A	2018年 11月 23日	无	
US	2012162170	A1	2012年 6月 28日	US 2016217871 A1	2016年 7月 28日
				JP 2012142048 A	2012年 7月 26日