



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU 197 066

K AUTORSKÉMU OSVĚDČENÍ

(11) (B1)

(61)

(23) Výstavní priorita
(22) Přihlášeno 13 05 78
(21) PV 3086-78

(51) Int. Cl.³ G 06 K 7/00
G 06 K 5/04

(40) Zveřejněno 31 07 79
(45) Vydáno 30 11 82

(75)

Autor vynálezu ŠMILAUER Bohdan Ing., PRAHA

(54) Obvod pro vyhodnocení fázově modulovaného záznamu

1

Vynález se týká obvodu pro vyhodnocení fázově modulovaného záznamu, který je čten například z magnetického media, jako je magnetická páska a po vyhodnocení v předloženém obvodu podle vynálezu se ukládají vyhodnocená data do vytovňovací paměti, odkud jsou podle potřeby odebírána k dalšímu zpracování.

Dosud užívaná zapojení pro vyhodnocení fázově modulovaného záznamu mohou vykazovat chybnou funkci při hraničních polohách fázových a významových reverzací ve čteném signálu a vyhodnocená data mohou mít neustálený charakter, což může vést k sekundárním chybám ve vyhodnocovacích obvodech. Dosud používaná zapojení neumožňují zevnějšku měnit velikost okna pro odfiltrování pomocných fázových reverzací a tak změnit podmínky pro vyhodnocení záznamu s hraničními polohami reverzací.

Dále dosud používaná zapojení obvodů pro vyhodnocení fázově modulovaného záznamu předpokládají buď pevný kmitočet čtených dat, což jim znemožňuje vyrovnat odchylku nebo kolísání rychlosti magnetického media a může mít za následek vyšší chybovost při vyhodnocování čteného signálu, nebo používají složité oscilátory proměnné frekvence, které sledují kmitočet čtených dat a které využívají ke své činnosti generátoru pilového napětí a komparátorů napětí.

Uvedené nedostatky odstraňuje obvod pro vyhodnocení fázově modulovaného záznamu podle

vynálezu, jehož podstata spočívá v tom, že vodič se čtenými daty "data" je zapojen na vstup detektoru dat a na první vstup prvního součinnového hradla prvního členu AND-OR a na jehož druhý vstup je zapojen kladný výstup detektoru dat a tento výstup je dále veden do vnějšího řadiče jako vodič se signálem "data detekována", a záporný výstup detektoru dat je zapojen na první vstup druhého součinnového hradla prvního členu AND-OR a na druhý vstup druhého součinnového hradla prvního členu AND-OR je zapojen vodič se signálem "referenční frekvence", který je veden z vnějšího řadiče a dále výstup prvního členu AND-OR je zapojen na vstup derivátoru, dále je zapojen na první vstup prvního součinnového hradla druhého členu AND-OR a dále je zapojen na negativní vstup součinnového členu, a dále výstup derivátoru je zapojen na druhý vstup prvního součinnového hradla druhého členu AND-OR a dále je zapojen na první vstup druhého součinnového hradla tohoto druhého členu AND-OR, přičemž na druhý vstup druhého součinnového hradla tohoto druhého členu AND-OR je zapojen vodič se signálem "slabá vazba", který je veden z vnějšího řadiče, a který je dále zapojen na druhý vstup oscilátoru s fázovým závěsem a dále na záporný vstup logického členu NOT-OR, přičemž jeho kladný vstup je zapojen na první výstup oscilátoru s fázovým závěsem a výstup tohoto logického členu NOT-OR je zapojen na datový vstup monostabilního synchronizátoru s potlačení metastabilních stavů, přičemž jeho hodinový vstup je zapojen z výstupu druhého členu AND-OR, a dále výstup monostabilního synchronizátoru s potlačením metastabilních stavů je zapojen na první kladný vstup logického členu NOT-AND, jehož druhý kladný vstup je zapojen na vstupní vodič "slabá vazba", který přichází z vnějšího řadiče, a záporný vstup logického členu NOT-AND je zapojen, jak již je výše uvedeno na výstup prvního členu AND-OR a dále výstup logického členu NOT-AND je veden do vnějšího řadiče jako výstupní vodič "jednotková data" a jednak je zapojen na nastavovací svorku R-S klopného obvodu a na jehož nulovací svorku je zapojen znegovaný vstupní vodič "slabá vazba" a výstup tohoto R-S klopného obvodu je zapojen na první vstup metastabilního klopného obvodu AND-MS, na jehož druhý vstup je zapojen výstup monostabilního synchronizátoru s potlačením metastabilních stavů a výstup monostabilního klopného obvodu AND-MS je veden jako výstupní vodič "posuv registru" do vnějšího řadiče, dále na první vstup oscilátoru s fázovým závěsem je zapojen výstup monostabilního synchronizátoru s potlačením metastabilních stavů a dále na druhý vstup oscilátoru s fázovým závěsem je zapojen vstupní vodič "slabá vazba", který je veden z vnějšího řadiče a dále na první sběrniceový vstup oscilátoru s fázovým závěsem je zapojena sběrnice pro velikost okna na filtraci fázové reverzace, která vede z vnějšího řadiče a na druhý sběrniceový vstup oscilátoru s fázovým závěsem je zapojena sběrnice pro odměření fázové chyby, která vede z vnějšího řadiče a druhý vstup oscilátoru s fázovým závěsem vede jako vodič "chyba fáze" do vnějšího řadiče.

Dále jsou podle vynálezu datové vstupy prvního a druhého D-klopného obvodu oscilátoru s fázovým závěsem zapojeny na zdroj logické jedničky a první vstup oscilátoru s fázovým závěsem je zapojen na hodinový vstup prvního D-klopného obvodu, jehož výstup je zapojen na první vstup prvního součinnového hradla NAND, jehož výstup je zapojen na nulovací vstup prvního D-klopného obvodu a na nulovací vstup druhého D-klopného obvodu, přičemž

na druhý vstup prvního součinnového hradla NAND je zapojen výstup druhého D-klopného obvodu, který je dále zapojen na první vstup prvního součinnového hradla AND a dále na první vstup druhého součinnového hradla AND, přičemž na druhý vstup druhého součinnového hradla NAND je zapojena vodič z druhého vstupu oscilátoru s fázovým závěsem a tento vodič je také dále zapojen na druhý vstup prvního součinnového hradla AND a vodič s negací signálu na druhém vstupu oscilátoru s fázovým závěsem je zapojen na druhý vstup druhého součinnového hradla AND, přičemž výstupy druhého a třetího součinnového hradla NAND jsou přes první a třetí odpor zapojeny na katody první a třetí diody, jejichž anody jsou zapojeny na bázi prvního tranzistoru a podobně výstupy prvního a druhého součinnového hradla AND jsou přes druhý a čtvrtý odpor zapojeny na anody druhé a čtvrté diody, jejich katody jsou také zapojeny na bázi prvního tranzistoru a na tuto bázi je také připojen jedním pólem první kondenzátor, jehož druhý pól je uzemněn a dále kolektor prvního tranzistoru je také uzemněn a emitor tohoto tranzistoru je zapojen přes pátý odpor a přes k němu paralelně připojený druhý kondenzátor na první pól šestého odporu, jenž svým druhým pólem je zapojen na zdroj napětí +5V a první pól tohoto šestého odporu je zapojen dále na bázi druhého tranzistoru a na bázi třetího tranzistoru a emitor druhého tranzistoru je přes sedmý odpor zapojen na zdroj napětí +5V a na tento zdroj napětí +5V je také zapojen emitor třetího tranzistoru přes osmý odpor a dále kolektor druhého tranzistoru je spojen s výstupem prvního hradla s otevřeným kolektorem NAND-OC a dále je zapojen na jeden pól třetího kondenzátoru jehož druhý pól je uzemněn, a dále je zapojen na první vstup čtvrtého součinnového hradla NAND, jehož druhý vstup je spojen s výstupem sedmého součinnového hradla NAND a dále s druhým vstupem pátého součinnového hradla NAND, jehož první vstup je zapojen na výstup čtvrtého součinnového hradla NAND a výstup pátého součinnového hradla NAND je zapojen na vstup prvního hradla s otevřeným kolektorem NAND-OC a dále na první vstup sedmého součinnového hradla NAND a dále na první vstup šestého součinnového hradla NAND, přičemž na druhý vstup tohoto šestého součinnového hradla NAND je zapojen kolektor třetího tranzistoru, jenž je dále zapojen na jeden pól čtvrtého kondenzátoru, jehož druhý pól je uzemněn a dále je kolektor třetího tranzistoru spojen s výstupem druhého hradla s otevřeným kolektorem NAND-OC, přičemž na vstup tohoto druhého hradla s otevřeným kolektorem NAND-OC je zapojen výstup sedmého součinnového hradla NAND, a druhý vstup tohoto sedmého součinnového hradla NAND je spojen s výstupem šestého součinnového hradla NAND a výstup sedmého součinnového hradla NAND je zapojen na vstup čítače a na hodinový vstup třetího D-klopného obvodu a na hodinový vstup čtvrtého D-klopného obvodu, dále výstupní sběrnice čítače je zapojena na druhé s bérnicové vstupy prvního a druhého komparátoru a negativní výstup čítače, což je negace nejvyššího řádu výstupní sběrnice z čítače, je zapojen na hodinový vstup druhého D-klopného obvodu, a dále na první sběrnivocý vstup prvního komparátoru je zapojena sběrnice po zadání velikosti okna, která je vedena z vnějšího řadiče a na první sběrnivocý vstup druhého komparátoru je zapojena sběrnice pro zadání velikosti fázové chyby, které je vedena z vnějšího řadiče a výstup prvního komparátoru je zapojen na datový vstup třetího D-klopného obvodu, jehož kladný výstup je prvním výstupem oscilátoru s fázovým závěsem a negativní výstup třetího D-klopného obvodu je zapojen na nastavovací vstup svého D-klopného obvodu a na nulovací vstup tohoto třetího D-klopného obvodu je zapojen

vodič s negací signálu na prvním vstupu oscilátoru s fázovým závěsem a dále na třetí vstup druhého komparátoru je zapojen výstup druhého D-klopného obvodu, a výstup tohoto druhého komparátoru je zapojen na datový vstup čtvrtého D-klopného obvodu, jehož výstup je druhým výstupem oscilátoru s fázovým závěsem a který je veden do vnějšího řadiče a negativní výstup čtvrtého D-klopného obvodu je zapojen na nastavovací vstup svého D-klopného obvodu a jeho nulovací vstup je zapojen na druhý vstup oscilátoru s fázovým závěsem.

Toto zapojení podle vynálezu přináší tu výhodu, že monostabilní synchronizátor s potlačením metastabilních stavů, který vydává na svém výstupu pulsy, které jsou co do amplitudy i co do šířky vždy stejné a nezávislé na hradničních podmínkách polohy reverzací čteného záznamu a který v případě vzniku metastabilního stavu vlivem hraničních podmínek na vstupu tohoto synchronizátoru zablokuje svůj výstup až do odeznění metastabilního stavu. Doba zablokování výstupu tohoto synchronizátoru je minimální vzhledem k tomu, že se synchronizátor sněží co nejrychleji tento monostabilní stav opustit. Tím, že monostabilní synchronizátor s potlačením metastabilních stavů vydává na svém výstupu kvalitní pulsy, které nekolísají ani na amplitudě ani na šířce, vylučuje se možnost vzniku sekundárních chyb nesprávným působením nekvalitních pulsů vznikajících v dříve používaných zapojeních při hraničních polohách reverzací ve fázově modulovaném záznamu.

Dále zapojení pro vyhodnocení fázově modulovaného záznamu přináší tu výhodu, že obsahuje jednoduchý oscilátor s fázovým závěsem, který kmitá na frekvenci několikanásobně vyšší (například 32 x) než je perioda dat ze čteného záznamu a který jednoduchým způsobem zevnějšku umožňuje změnit velikost okna pro odfiltrování fázové reverzace a velikost okna pro odměření fázové chyby ve čteném signálu. Tento oscilátor s fázovým závěsem podle vynálezu přináší výhodu v tom, že nepracuje s pilovým napětím a s komparátory napětí a že ke své činnosti nepotřebuje žádné jiné zdroje napětí než +5V, které používají prvky TTL a neobsahuje žádné nastavovací prvky. Velikost okna pro odfiltrování fázové reverzace a pro odměření fázové chyby se zadává zevnějšku po vstupních sběrnicích do bloku oscilátoru s fázovým závěsem; je-li například kmitočet oscilátoru 32 x větší než perioda dat, číslu 32 odpovídá 100 %, a okno pro odfiltrování fázové reverzace například 70% se zdá číslem 23 na vstupní sběrnici pro odměření okna na filtraci fázové reverzace.

Obvod pro vytváření okna pro odfiltrování fázové reverzace má dále tu výhodu, že začíná odpočítávat dobu okna od ideální polohy významové reverzace, to je od okamžiku, kdy měla přijít a nikoliv od skutečné polohy významové reverzace, kdy přišla, kdy je různými drifty na vlastním mediu nebo ve čtecí hlavě nebo ve čtecím kanálu posunuta a tak by byly ztíženy podmínky pro správné vyhodnocení čteného signálu, což by vedlo k větší chybovosti.

Jedno z možných provedení vynálezu je znázorněno na připojených výkresech, kde na obr. 1a představuje schematické zapojení celého obvodu pro vyhodnocení fázově modulovaného záznamu podle vynálezu a obr. 2a představuje jedno z možných provedení oscilátoru s fázovým závěsem, který je součástí obvodu podle obr. 1a. Obr. 1b představuje časové průběhy některých signálů z obr. 1a. Obr. 2b a 2c představuje časové průběhy některých signálů

z obr. 2a, a to skoky na nižší a vyšší frekvenci čtených dat v začátku bloku.

Tento obvod podle obr. 1a se skládá s detektorem 0 dat, z prvního logického členu AND-OR 1, z derivátoru 2, z druhého logického členu AND-OR 3, z logického členu NOT-OR 4, z monostabilního synchronizátoru 5 s potlačením metastabilních stavů, ze součinnového členu NOT-AND 6, z R-S klopného obvodu 7, z monostabilního klopného obvodu AND-MS 8 a z oscilátoru 9 s fázovým závěsem.

Tyto obvody jsou zapojeny tak, že vodič 000 se čtecími daty "data" je zapojen na vstup 00 detektoru 0 dat a na první vstup 10 prvního součinnového hradla prvního členu AND-OR 1 a na jehož druhý vstup 11 je zapojen kladný výstup 01 detektoru 0 dat a tento výstup 01 je dále veden do vnějšího řadiče jako vodič 010 se signálem "data detekována", a záporný výstup 02 detektoru 0 dat je zapojen na první vstup 12 druhého součinnového hradla prvního členu AND-OR 1 a na druhý vstup 13 druhého součinnového hradla prvního členu AND-OR 1 je zapojen vodič 130 se signálem "referenční frekvence", který je veden z vnějšího řadiče a dále výstup 14 prvního členu AND-OR 1 je zapojen na vstup 20 derivátoru 2, dále je zapojen na první vstup 30 prvního součinnového hradla druhého členu AND-OR 3 a dále je zapojen na negativní vstup 62 součinnového členu 6, a dále výstup 21 derivátoru 2 je zapojen na druhý vstup 31 prvního součinnového hradla druhého členu AND-OR 3 a dále je zapojen na první vstup 32 druhého součinnového hradla tohoto druhého členu AND-OR 3, přičemž na druhý vstup 33 druhého součinnového hradla tohoto druhého členu AND-OR 3 je zapojen vodič 330 se signálem "slabá vazba", který je veden z vnějšího řadiče, a který je dále zapojen na druhý vstup 91 oscilátoru 9 s fázovým závěsem a dále na záporný vstup 40 logického členu NOT-OR 4, přičemž jeho kladný vstup 41 je zapojen na první výstup 94 oscilátoru 9 s fázovým závěsem a výstup 42 tohoto logického členu NOT-OR 4 je zapojen na datový vstup 50 monostabilního synchronizátoru 5 s potlačením metastabilních stavů, přičemž jeho hodinový vstup 51 je zapojen z výstupu 34 druhého členu AND-OR 3, a dále výstup 52 monostabilního synchronizátoru 5 s potlačením metastabilních stavů je zapojen na první kladný vstup 60 logického členu NOT-AND 6, jehož druhý kladný vstup 61 je zapojen na vstupní vodič 330 "slabá vazba", který přichází z vnějšího řadiče, a záporný vstup 62 logického členu NOT-AND 6 je zapojen, jak již je výše uvedeno na výstup 14 prvního členu AND-OR 1 a dále výstup 63 logického členu NOT-AND 6 je veden do vnějšího řadiče jako výstupní vodič 630 "jednotková data" a jednak je zapojen na nastavovací svorku 70 R-S klopného obvodu 7 a na jehož nulovací svorku 71 je zapojen znegovaný vstupní vodič 330 "slabá vazba" a výstup 72 tohoto R-S klopného obvodu 7 je zapojen na první vstup 80 monostabilního klopného obvodu AND-MS 8, na jehož druhý vstup 81 je zapojen výstup 52 monostabilního synchronizátoru 5 s potlačením metastabilních stavů a výstup 82 monostabilního klopného obvodu AND-MS 8 je veden jako výstupní vodič 820 "posuv registru" do vnějšího řadiče, dále na první vstup 90 oscilátoru 9 s fázovým závěsem je zapojen výstup 52 monostabilního synchronizátoru 5 s potlačením metastabilních stavů a dále na druhý vstup 91 oscilátoru 9 s fázovým závěsem je zapojen vstupní vodič 330 "slabá vazba", který je veden z vnějšího řadiče a dále na první sběrníkový vstup 92 oscilátoru 9 s fázovým závěsem je zapojena sběrnice 960 pro velikost

okna na filtraci fázové reverzace, která vede z vnějšího řadiče a na druhý sběrnice 93 oscilátoru s fázovým závěsem 2 je zapojena sběrnice 970 pro odměření fázové chyby, která vede z vnějšího řadiče a druhý vstup 95 oscilátoru 2 s fázovým závěsem vede jako vodič 950 "chyba fáze" do vnějšího řadiče.

Průběhy napětí na vstupních vodičích 000 "data", 130 "referenční frekvence", 330 "slabá vazba" a na vstupech nebo výstupech 11, 12, 14, 21, 34, 94, 50, 52, 63, 72, 82, 94 jsou znázorněny na obr. 1b.

Zapojení podle obr. 1a pracuje následujícím způsobem:

Na vstupním vodiči 130 jde neustále periodický signál "referenční frekvence", jehož perioda je rovna nominální hodnotě periody čtených dat a pokud nejsou přítomna čtená data "data" na vstupním vodiči 000 je prostřednictvím členu AND-OR 1 tato "referenční frekvence" přiváděna k dalšímu zpracování namísto čtených dat. Objeví-li se signál "data" na vodiči 130, pak detektor dat 0 po několika bitintervalech signálu "data" na vodiči 000 na svém kladném výstupu 01 nastaví log. jednotku a na svém záporném výstupu 02 nastaví log. nulu, tím namísto "referenční frekvence" je k dalšímu zpracování prostřednictvím členu AND-OR 1 přiváděn signál "data". Tento signál 14 je derivován v derivátoru 2, který z každé reverzace napětí na svém vstupu 20 generuje kladný impuls na svém výstupu 21. Pokud signál "slabá vazba" na vstupním vodiči 330 je nulový, člen AND-OR 3 propouští na svůj výstup 34 jen ty impulsy, které vznikly z náběžné hrany na vstupu 20 derivátoru 2. Blok dat ve fázové modulaci začíná preamblem 40ti nulových bitů, což znamená, že náběžná hrana vstupního signálu "data" udává počátek bitintervalu.

Vnější řadič umístí na vstupní vodič 330 se signálem "slabá vazba" log. jednotku zhruba 16 bitintervalů po naběhnutí log. jednotky na výstupu 01 detektoru dat 0. Pokud ještě je na vodiči 330 umístěna log. nula, na datový vstup 50 monostabilního synchronizátoru 2 s potlačením metastabilních stavů je přiváděna log. jednotka a na jeho hodinový vstup 51 jsou přiváděny pulsy, které vznikají od náběžných hran na vstupním signálu "data". Monostabilní synchronizátor 2 s potlačením metastabilních stavů pracuje obdobně jako D-klopný obvod, který pamatuje stav na datovém vstupu 50 v době náběžné hrany na svém hodinovém vstupu 51, ale s tím rozdílem, že ze stavu log. jednotky na svém výstupu 52 přechází po uplynutí určité doby zpět do nulového stavu na svém výstupu 52. Dále tento monostabilní synchronizátor 2 s potlačením metastabilních stavů je vyznačen tím, že není třeba dodržovat určitý předstih signálu na datovém vstupu 50 oproti náběžné hraně signálu na hodinovém vstupu 51, neboť metastabilní stavy, které by vznikly při nedodržení předstihu u normálního D-klopného obvodu, jsou tu potlačeny tak, že výstupní puls na výstupu 52 se může objevit jen až po doznění tohoto případného metastabilního stavu, který je ale krátký, neboť synchronizátor 2 s potlačením metastabilních stavů se pomocí zvláštních vnitřních obvodů snaží tento stav co nejrychleji opustit.

V první polovině preamble bloku, pokud je ještě signál "slabá vazba" nulový, vystupují z výstupu 52 monostabilního synchronizátoru 2 s potlačením metastabilních stavů krátké

jednotkové pulsy v době náběžné hrany vstupního signálu čtených dat "data". Tyto náběžné hrany, protože se jedná o nulové bity, udávají počátky bitintervalů, a tedy pulsy na výstupu 52 v preambuli jsou v době počátků bitintervalů. Protože je signál "slabá vazba" na vodiči 130 zpočátku nulový, je zpětná vazba fázového závěsu v oscilátoru 2 s fázovým závěsem natolik silná, že během několika bitintervalů čtených dat v preambuli bloku se vnitřní frekvence oscilátoru 2 s fázovým závěsem dostane zcela do fáze se čtenými daty a sleduje jejich frekvenci.

Z prvního výstupu 94 oscilátoru 2 s fázovým závěsem vystupuje po sfázování periodický signál, který nabíhá například v 70 % bitintervalu a je nulován dalšími impulsy na vstupu 90 oscilátoru 2 s fázovým závěsem. Odpočtení například těchto 70 % se provádí od počátku periody vnitřního kmitočtu oscilátoru 2 s fázovým závěsem, který je ve fázovém závěsu se vstupem 90.

Zhruba 16 bitintervalů po náběhu signálu "data detekována" na vodiči 010, t. jest zhruba v polovině preambuly, nastaví vnější řadič signál "slabá vazba" do log. jedničky. Tím se docílí toho, že na hodinový vstup 51 monostabilního synchronizátoru 5 s potlačením metastabilních stavů jsou přiváděny pulsy při každé reverzaci vstupního členého signálu "data" a na datový vstup 52 je přiváděn signál z výstupu 94 oscilátoru 2 s fázovým závěsem, který nabíhá do log. jedničky například v 70 % bitintervalu. Tím se docílí toho, že na výstupu 52 monostabilního synchronizátoru 5 s potlačením metastabilních stavů vznikají pulsy pouze v době počátků bitintervalů, v době tak zvané významové reverzace, bez ohledu na to, zda reverzace signálu "data" byla kladná nebo záporná, a pomocné tak zvané fázové reverzace uprostřed bitintervalu ve čtených datech jsou odfiltrovány.

Jednotkové bity ve fázově modulovaném záznamu jsou vyznačeny zápornou významovou reverzací a čtením signálu a nulové bity kladnou významovou reverzací. Z výstupu 63 logického členu NOT-AND 6 budou vystupovat pulsy pouze tehdy, bude-li významová reverzace záporná, protože po takové reverzaci je vstupní signál čtených dat "data" nulový a tento signál "data" je přiváděn na negativní vstup 62 logického členu NOT-AND 6.

První jednotkový bit ve čtených datech "data" na vodiči 000 udává konec preambuly a vede k nastavení R-S klopného obvodu 7 do log. jedničky a tím se na výstupu 82 monostabilního obvodu AND-MS 8 začátkem každého dalšího bitintervalu vytváří puls, jehož spádovou hranu využívá vnější řadič k posuvu registru, který zapamatovává jednotkové bity, byl-li na výstupu 63 signálu "jednotková data" kladný puls a nulové bity, nebyl-li na výstupu 63 kladný puls.

Oscilátor 2 s fázovým závěsem podle obr. 2a se skládá z prvního, druhého, třetího a čtvrtého D-klopného obvodu 900, 901, 935, 936, dále z prvního, druhého, třetího, čtvrtého, pátého, šestého a sedmého součinnového hradla NAND 902, 903, 905, 925, 926, 929, 930, dále z prvního a druhého součinnového hradla AND 904, 906, dále z prvního a druhého hradla s otevřeným kolektorem NAND-OC 927, 931, dále z prvního, druhého, třetího, čtvrtého, pátého, šestého, sedmého a osmého odporu 907, 908, 909, 917, 919, 920, 922, dále z první, druhé,

třetí, čtvrté diody 911, 912, 913, 914, dále z prvního, druhého, třetího a čtvrtého kondenzátoru 915, 918, 924, 928, dále z prvního, druhého a třetího tranzistoru 916, 921, 923, dále z čítače 932 a z prvního a druhého komparátoru 933, 934.

Tyto obvody jsou navzájem propojeny tak, že datové vstupy 9000 a 9010 prvního a druhého D-klopného obvodu 900, 901 jsou zapojeny na zdroj logické jedničky a první vstup 90 oscilátoru 9 s fázovým závěsem je zapojen na hodinový vstup 9001 prvního D-klopného obvodu 900, jehož výstup 9003 je zapojen na první vstup 9020 prvního součinnového hradla NAND 902, jehož výstup 9022 je zapojen na nulovací vstup 9002 prvního D-klopného obvodu 900 a na nulovací vstup 9012 druhého D-klopného obvodu 901, přičemž na druhý vstup 9021 prvního součinnového hradla NAND 902 je zapojen výstup 9013 druhého D-klopného obvodu 901, který je dále zapojen na první vstup 9040 prvního součinnového hradla AND 904 a dále na první vstup 9060 druhého součinnového hradla AND 906, přičemž na druhý vstup 9031 druhého součinnového hradla NAND 903 je zapojen vodič s druhého vstupu 91 oscilátoru 9 s fázovým závěsem a tento vodič je také dále zapojen na druhý vstup 9041 prvního součinnového hradla AND 904 a vodič s negací signálu na druhém vstupu 91 oscilátoru 9 s fázovým závěsem je zapojen na druhý vstup 9061 druhého součinnového hradla AND 906, přičemž výstupy 9032, 9052, druhého a třetího součinnového hradla NAND 903, 904, jsou přes první a třetí odpor 907, 909 zapojeny na katody 9110, 9130 první a třetí diody 911, 913, jejichž anody 9111, 9131 jsou zapojeny na bázi 9160 prvního tranzistoru 916 a podobně výstupy 9042, 9062 prvního a druhého součinnového hradla AND 904, 906 jsou přes druhý a čtvrtý odpor 908, 910 zapojeny na anody 9120, 9140 druhé a čtvrté diody 912, 915, jejichž katody 9121, 9141 jsou také zapojeny na bázi 9160 prvního tranzistoru 916 a na tuto bázi je také připojen jedním pólem první kondenzátor 915, jehož druhý pól je uzemněn a dále kolektor 9161 prvního tranzistoru 916 je také uzemněn a emitor 9162 tohoto tranzistoru 916 je zapojen přes pátý odpor 917 a přes k němu paralelně připojený druhý kondenzátor 918 na první pól šestého odporu 919, jenž svým druhým pólem je zapojen na zdroj napětí +5V a první pól 9190 tohoto šestého odporu 919 je zapojen dále na bázi 9210 druhého tranzistoru 921 a na bázi 9230 třetího tranzistoru 923 a emitor 9211 druhého tranzistoru 921 a přes sedmý odpor 920 zapojen na zdroj napětí +5V a na tento zdroj napětí +5V je také zapojen emitor 9231 třetího tranzistoru 923 přes osmý odpor 922 a dále kolektor 9212 druhého tranzistoru 921 je spojen s výstupem 9271 prvního hradla s otevřeným kolektorem NAND-OC 927 a dále je zapojen na jeden pól 9240 třetího kondenzátoru 924, jehož druhý pól 9241 je uzemněn, a dále je zapojen na první vstup 9250 čtvrtého součinnového hradla NAND 925, jehož druhý vstup 9251 je spojen s výstupem 9302 sedmého součinnového hradla NAND 930 a dále s druhým vstupem 9261 pátého součinnového hradla NAND 926, jehož první vstup 9260 je zapojen na výstup 9252 čtvrtého součinnového hradla NAND 925 a výstup 9262 pátého součinnového hradla NAND 926 je zapojen na vstup 9270 prvního hradla s otevřeným kolektorem NAND-OC 927 a dále na první vstup 9300 sedmého součinnového hradla NAND 930 a dále na první vstup 9290 šestého součinnového hradla NAND 929, přičemž na druhý vstup 9291 tohoto šestého součinnového hradla NAND 929 je zapojen kolektor 9232 třetího tranzistoru 923, jenž je dále zapojen na jeden pól 9280 čtvrtého kondenzátoru 928, jehož druhý pól 9281 je uzemněn a dále je kolektor 9232 třetího tranzistoru 923

spojen s výstupem 9311 druhého hradla s otevřeným kolektorem NAND-OC 931, přičemž na vstup 9310 tohoto druhého hradla s otevřeným kolektorem NAND-OC 931 je zapojen výstup 9302 sedmého součinného hradla NAND 930, a druhý vstup 9301 tohoto sedmého součinného hradla NAND 930 je spojen s výstupem 9292 šestého součinného hradla NAND 929 a výstup 9302 sedmého součinného hradla NAND 930 je zapojen na vstup 9320 čítače 932 a na hodinový vstup 9352 třetího D-klopného obvodu 935 a na hodinový vstup 9362 čtvrtého D-klopného obvodu 936, dále výstupní sběrnice 9321 čítače 932 je zapojena na druhé sběrnicové vstupy 9331, 9341 prvního a druhého komparátoru 933, 934 a negativní výstup čítače 9322, což je negace nejvyššího řádu výstupní sběrnice 9321 z čítače 932, je zapojen na hodinový vstup 9011 druhého D-klopného obvodu 901, a dále na první sběrnicový vstup 9330 prvního komparátoru 933 je zapojena sběrnice 960 po zadání velikosti okna, která je vedena z vnějšího řadiče a na první sběrnicový vstup 9340 druhého komparátoru 934 je zapojena sběrnice 970 pro zadání velikosti fázové chyby, která je vedena z vnějšího řadiče a výstup 9332 prvního komparátoru 933 je zapojen na datový vstup 9351 třetího D-klopného obvodu 935, jehož kladný výstup 9354 je prvním výstupem 94 oscilátoru 9 s fázovým závěsem a negativní výstup 9355 třetího D-klopného obvodu 935 je zapojen na nastavovací vstup 9350 svého D-klopného obvodu 935 a na nulovací vstup 9353 tohoto třetího D-klopného obvodu 935 je zapojen vodič s negací signálu na prvním vstupu 90 oscilátoru 9 s fázovým závěsem a dále na třetí vstup 9342 druhého komparátoru 934 je zapojen výstup 9013 druhého D-klopného obvodu 901, a výstup 9343 tohoto druhého komparátoru 934 je zapojen na datový vstup 9361 čtvrtého D-klopného obvodu 936, jehož výstup je druhým výstupem 95 oscilátoru 9 s fázovým závěsem a který je veden do vnějšího řadiče a negativní výstup 9365 čtvrtého D-klopného obvodu 936 je zapojen na nastavovací vstup 9360 svého D-klopného obvodu 936 a jeho nulovací vstup 9363 je zapojen na druhý vstup 91 oscilátoru 9 s fázovým závěsem.

Zapojení podle obrázku 2a pracuje následujícím způsobem:

Kmitočty na hodinových vstupech D-klopných obvodů 900 a 901 jsou udržovány ve fázovém závěsu tak, že přebíhá-li náběžná hrana bázi 9160 tranzistoru 916, čímž se také snižuje napětí na bázích 9210 a 9230 tranzistorů 921 a 923, protože tranzistor 916 pracuje jako emitorový sledovač. Tímto snižováním napětí na bázích 9210 a 9230 se otevírají tranzistory 921 a 923 a dochází k rychlejšímu nabíjení kondenzátorů 924 a 928, čímž se zvyšuje frekvence kmitání oscilátoru složeného z hradel 925, 926, 927, 929, 930 a 931. Tato frekvence po vydělení na čítači 932 je vedena z jeho výstupu 9322 na hodinový vstup 9011 D-klopného obvodu 901 a fázová odchylka oproti vstupní frekvenci 90 se vlivem urychlování frekvence oscilátoru snižuje.

V opačném případě, přebíhá-li náběžná hrana na hodinovém vstupu 9011 náběžnou hranu na hodinovém vstupu 9001, zůstává D-klopný obvod 901 ve stavu log. jedničky po dobu fázového rozdílu obou kmitočtů, což způsobuje, že prostřednictvím hradla 904, odporu 908 a diody 912 se nabíjí kondenzátor 915 a tím se zvyšuje napětí na bázi 9160 tranzistoru 916, čímž se zvyšuje také napětí na bázích 9210 a 9230 tranzistoru 921 a 923. Tímto zvyšováním napětí se tranzistory 921 a 923 uzavírají, čímž se snižuje frekvence kmitání oscilátoru výše

popsaného. Tím se snižuje frekvence vyděleného kmitočtu na výstupu 9322 z čítače 932 a tím se zmenšuje fázový mezi signály na hodinových vstupech 9011 a 9001.

Výše popsaná funkce platí pro případ, že vnější signál "slabá vazba" nulový, je citlivost frekvence oscilátoru na fázovém rozdílu větší a dochází k rychlému vyrovnání fázových rozdílů. Po naběhnutí signálu "slabá vazba" do log. jedničky je citlivost frekvence oscilátoru na fázovém rozdílu menší a dochází k pomalému vyrovnávání fázových rozdílů. Signál "slabá vazba" je nulový v meziblokové mezeře, pokud nejsou čtena žádná data a v první polovině preamble bloku a vnitřní frekvence oscilátoru 9 s fázovým závěsem je silně vázána na referenční kmitočet na vstupu 13 a po objevení se dat se dostane rychle do fázového závěsu se čteným signálem v preamble bloku. Zhruba v polovině preamble, vnější řadič nastaví signál "slabá vazba" na bstupe 91 do log. jedničky a tím vnitřní kmitočet oscilátoru téměř nereaguje na okamžité odchylky čtených dat (drifty) v době významových reverzací, ale jen na déletravajíví fázové odchylky, které jsou způsobeny kolísáním rychlosti magnetického media.

Kód na výstupu 9321 čítače se každou periodou oscilátoru zvyšuje v aritmetické posloupnosti a při dosažení čísla, které je rovno násobku frekvence oscilátoru oproti frekvenci čtených dat, kód na výstupu 9321 čítače přečte, to jest vynuluje se a čítá se opět od nuly. Právě tento okamžik přečtení čítače je ve fázovém závěsu s významovou reverzací čtených dat.

Konec okna pro filtraci fázových reverzací je volen vnějším řadičem na sběrnici 970 pro zadání velikosti okna, která vede na vstup 92, a je volen v rozmezí 50 - 100 %, obvykle kolem 70 % bitintervalu od počátku bitintervalu. Důležité je, že nastavený poměr délky okna k celému bitintervalu je konstantní, i když absolutně délka bitintervalu kolísá. Například při zkrácení bitintervalu se úměrně zkrátí i okno, při prodloužení bitintervalu se úměrně prodlouží i okno a tím se vyloučí chyby, které by mohly vzniknout následkem kolísání rychlosti media. Další důležitá vlastnost je, že se okno pro filtraci fázové reverzace začíná odměřovat od ideální polohy významové reverzace, to jest od chvíle, kdy přeteče kód na výstupu 9321 čítače a nikoliv od skutečné polohy významové reverzace, to jest od chvíle, kdy skutečně byla čtena. Tím se vylučuje chyba odměřování okna pro filtraci fázové reverzace, která by vznikla následkem okamžitých odchylek významových reverzací od ideálních hranic bitintervalů.

Druhý komaprátor 934 porovnává kód na výstupu 9321 čítače a na výstupu 9013 klopného obvodu 901 s kódem na sběrnici 970 po zadání velikosti fázové chyby, který zadává vnější řadič. Výstup 9013 klopného obvodu 901 je roven log. jedničce po dobu zpoždění významové reverzace ve čtených datech od své ideální polohy, kterou udává čítač 932 v okamžiku přetnutí kódu na svém výstupu 9321.

V případě shody kódu na vstupu 9340 s kódem na vstupu 9341 a na vstupu 9342, přičemž vstup 9342 se bere jako nevyšší řád kódu na vstupu 9341, dojde k nastavení log. jedničky na výstupu 9364 D-klopného obvodu 936. Tento výstup 9364 je druhým výstupem 95 oscilátoru 9

s fázovým závěsem a vstupuje do vnějšího řadiče jako signál "chyba fáze".

K hlášení chyby fáze dojde jestliže významová reverzace ve čtených datech se příliš opozdí od ideální polohy předchozí významové reverzace. Například jestliže v ideální okamžik, je zpožděna od předchozího ideálního okamžiku významového reverzace o 100 % bitintervalu, přijde-li později dojde k nastavení výstupu 9013 D-klopného obvodu 901 do log. jedničky. Na vstup 92 zadá vnější řadič kód od kdy má dojít k hlášení fázové chyby, tato doba se může pohybovat v rozmezí 100 % - 200 % bitintervalu, obvykle se užívá 130 %. Pokud je signál

"slabá vazba" na vstupu 91 oscilátoru 9 s fázovým závěsem pulový, je klopný obvod 936 mu-

lován a nemůže dojít k hlášení fázové chyby. Je to proto, že v začátku bloku, kdy dochází k přepnutí "referenční frekvence" na "čtená data" může dojít k velkému časovému rozestupu významové reverzace čtených dat od předchozího přetečení kodu na výstupu čítače 932, což však neznamena chybu ve čtených datech, protože došlo k přepnutí dvou asynchronních kmitočtů a dále "čtená data" a frekvence oscilátoru 9 s fázovým závěsem nejsou ještě sfázována. Dojde-li však uvnitř bloku k indikaci fázové chyby, tato indikace trvá až do konce bloku, neboť obvykle čtená data v této stopě (pokud jde o čtení z magnetického pásu) nelze dále vyhodnocovat.

Zapojená podle vynálezu lze použít především ve výpočetní technice při čtení z magnetických pásek, z magnetických kazet nebo štiček nebo z jiných medií používajících pro záznam dat fázovou modulaci.

P R Ě D M Ě T V Y N Á L E Z U

1. Obvod pro vyhodnocení fázově modulovaného záznamu vyznačující se tím, že vodič (000) se čtenými daty "data" je zapojen na vstup (00) detektoru (0) dat a na první vstup (10) prvního součinnového hradla prvního členu AND-OR (1) a na jehož druhý vstup (11) je zapojen kladný výstup (01) detektoru (0) dat a tento výstup (01) je dále veden do vnějšího řadiče jako vodič (010) se signálem "data detekována", a záporný výstup (02) detektoru (0) dat je zapojen na první vstup (12) druhého součinnového hradla prvního členu AND-OR (1) a na druhý vstup (13) druhého součinnového hradla prvního členu AND-OR (1) je zapojen vodič (130) se signálem "frekvenční frekvence", který je veden z vnějšího řadiče a dále výstup (14) prvního členu AND-OR (1) je zapojen na vstup (20) derivátoru (2), dále je zapojen na první vstup (30) prvního součinnového hradla druhého členu AND-OR (3) a dále je zapojen na negativní vstup (62) součinnového členu (6), a dále výstup (21) derivátoru (2) je zapojen na druhý vstup (31) prvního součinnového hradla druhého členu AND-OR (3) a dále je zapojen na první vstup (32) druhého součinnového hradla tohoto druhého členu AND-OR (3), přičemž na druhý vstup (33) druhého součinnového hradla tohoto druhého členu AND-OR (3) je zapojen vodič (330) se signálem "slabá vazba", který je veden z vnějšího řadiče, a který je dále zapojen na druhý vstup (91) oscilátoru (9) s fázovým závěsem a dále na záporný vstup (40)

logického členu NOT-OR (4), přičemž jeho kladný vstup (41) je zapojen na první výstup (94) oscilátoru (9) s fázovým závěsem a výstup (42) tohoto logického členu NOT-OR (4) je zapojen na datový vstup (50) monostabilního synchronizátoru (5) s potlačením metastabilních

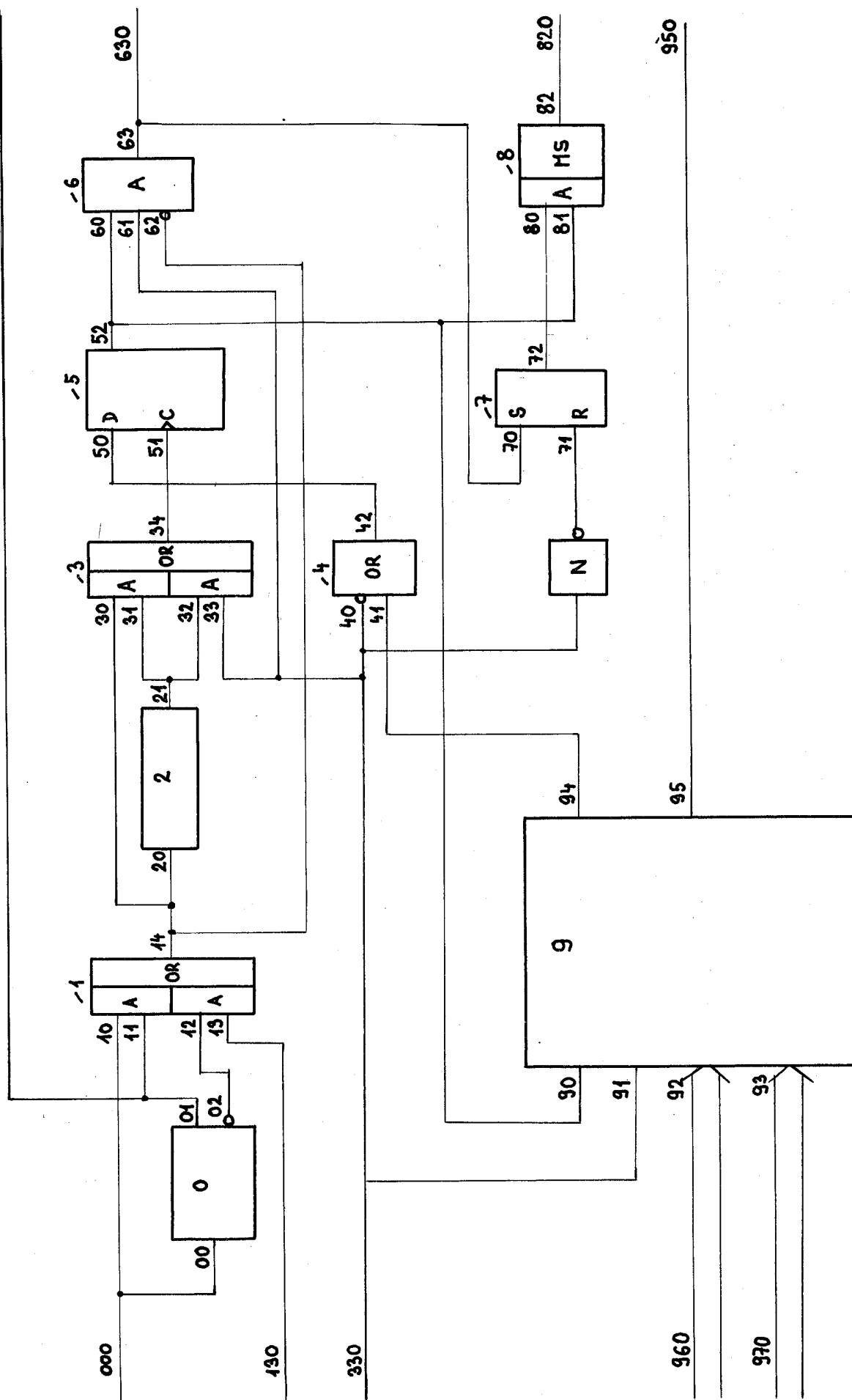
stavů, přičemž jeho hodinový vstup (51) je zapojen z výstupu (34) druhého členu AND-OR (3), a dále výstup (52) monostabilního synchronizátoru (5) s potlačením metastabilních stavů je zapojen na první kladný vstup (60) logického členu NOT-AND (6), jehož druhý kladný vstup (61) je zapojen na vstupní vodič (330) "slabá vazba", který přichází z vnějšího řadiče, a záporný vstup (62) logického členu NOT-AND (6) je zapojen, jak již je výše uvedeno na výstup (14) prvního členu AND-OR (1) a dále výstup (63) logického členu NOT-AND (6) je veden do vnějšího řadiče, jako výstupní vodič (630) "jednotková data" a jednak je zapojen na nastavovací svorku (70) R-S klopného obvodu (7) a na jehož nulovací svorku (71) je zapojen znegovaný vstupní vodič (330) "slabá vazba" a výstup (72) tohoto R-S klopného obvodu (7) je zapojen na první vstup (80) monostabilního klopného obvodu AND-MS (8), na jehož druhý vstup (81) je zapojen výstup (52) monostabilního synchronizátoru (5) s potlačením metastabilních stavů a výstup (82) monostabilního klopného obvodu AND-MS (8) je veden jako výstupní vodič (820) "posuv registru" do vnějšího řadiče, dále na první vstup (90) oscilátoru (9) s fázovým závěsem je zapojen výstup (52) monostabilního synchronizátoru (5) s potlačením metastabilních stavů a dále na druhý vstup (91) oscilátoru (9) s fázovým závěsem je zapojen vstupní vodič (330) "slabá vazba", který je veden z vnějšího řadiče a dále na první sběrnice vstup (92) oscilátoru (9) s fázovým závěsem je zapojena sběrnice (960) pro velikost okna na filtraci fázové reverzace, která vede z vnějšího řadiče a na druhý sběrnice vstup (93) oscilátoru s fázovým závěsem (9) je zapojena sběrnice (970) pro odměření fázové chyby, která vede z vnějšího řadiče a druhý výstup (95) oscilátoru (9) s fázovým závěsem vede jako vodič (950) "chyba fáze" do vnějšího řadiče.

2. Obvod pro vyhodnocení fázově modulovaného záznamu podle bodu 1 vyznačující se tím, že datové vstupy (9000, 9010) prvního a druhého D-klopného obvodu (900, 901) oscilátoru (9) s fázovým závěsem jsou zapojeny na zdroj logické jedničky a první vstup (90) oscilátoru (9) s fázovým závěsem je zapojen na hodinový vstup (9001) prvního D-klopného obvodu (900), jehož výstup (9003) je zapojen na první vstup (9020) prvního součinnového hradla NAND (902) jehož výstup (9022) je zapojen na nulovací vstup (9002) prvního D-klopného obvodu (900) a na nulovací vstup (9012) druhého D-klopného obvodu (901), přičemž na druhý vstup (9021) prvního součinnového hradla NAND (902) je zapojen výstup (9013) druhého D-klopného obvodu (901), který je dále zapojen na první vstup (9040) prvního součinnového hradla AND (904) a dále na první vstup (9060) druhého součinnového hradla AND (906), přičemž na druhý vstup (9031) druhého součinnového hradla NAND (903) je zapojen vodič z druhého vstupu (91) oscilátoru (9) s fázovým závěsem a tento vodič je také dále zapojen na druhý vstup (9041) prvního součinnového hradla AND (904) a vodič s negací signálu na druhém vstupu (91) oscilátoru (9) s fázovým závěsem je zapojen na druhý vstup (9061) druhého součinnového hradla AND (906), přičemž výstupy (9032, 9052) druhého a třetího součinnového hradla NAND (903, 904) jsou přes první a třetí odpor (907, 909) zapojeny na katody (9110, 9130) první a třetí diody (911, 913), jejichž anody (9111, 9131) jsou zapojeny na bázi (9160) prvního tranzis-

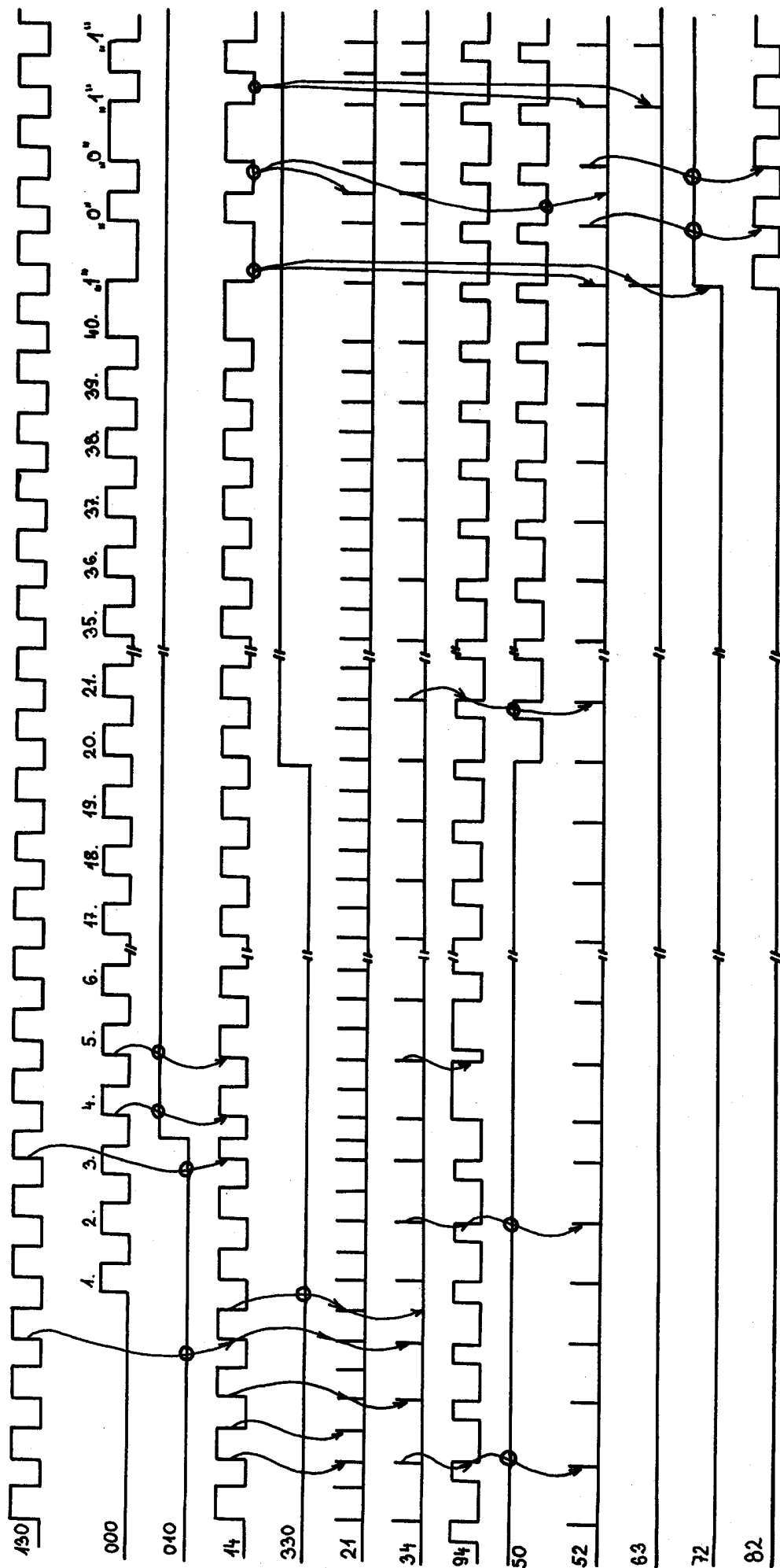
toru (916) a podobně výstupy (9042, 9062) prvního a druhého součinnového hradla AND (904, 906) jsou přes druhý a čtvrtý odpor (908, 910) zapojeny na anody (9120, 9140) druhé a čtvrté diody (912, 914), jejich katody (9121, 9141) jsou také zapojeny na bázi (9160) prvního tranzistoru (916) a na tuto bázi je také připojen jedním pólem první kondenzátor (915), jehož druhý pól je uzemněn a dále kolektor (9161) prvního tranzistoru (916) je také uzemněn a emitor (9162) tohoto tranzistoru (916) je zapojen přes pátý odpor (917) a přes k němu paralelně připojený druhý kondenzátor (918) na první pól šestého odporu (919), jenž svým druhým pólem je zapojen na zdroj napětí +5V a první pól (9190) tohoto šestého odporu (919) je zapojen dále na bázi (9210) druhého tranzistoru (921) a na bázi (9230) třetího tranzistoru (923) a emitor (9211) druhého tranzistoru (921) je přes sedmý odpor (920) zapojen na zdroj napětí +5V a na tento zdroj napětí +5V je také zapojen emitor (9231) třetího tranzistoru (923) přes osmý odpor (922) a dále kolektor (9212) druhého tranzistoru (921) je spojen s výstupem (9271) prvního hradla s otevřeným kolektorem NAND-OC (927) a dále je zapojen na jeden pól (9240) třetího kondenzátoru (924) jehož druhý pól (9241) je uzemněn, a dále je zapojen na první vstup (9250) čtvrtého součinnového hradla NAND (925), jehož druhý vstup (9251) je spojen s výstupem (9302) sedmého součinnového hradla NAND (930) a dále s druhým vstupem (9261) pátého součinnového hradla NAND (926), jehož první vstup (9260) je zapojen na výstup (9252) čtvrtého součinnového hradla NAND (925) pátého součinnového hradla NAND (926) je zapojen na vstup (9270) prvního hradla s otevřeným kolektorem NAND-OC (927) a dále na první vstup (9300) sedmého součinnového hradla NAND (930) a dále na první vstup (9290) šestého součinnového hradla NAND (929), přičemž na druhý vstup (9291) tohoto šestého součinnového hradla NAND (929) je zapojen kolektor (9232) třetího tranzistoru (923), jenž je dále zapojen na jeden pól (9280) čtvrtého kondenzátoru (928), jehož druhý pól (9281) je uzemněn a dále je kolektor (9232) třetího tranzistoru (923) spojen s výstupem (9311) druhého hradla s otevřeným kolektorem NAND-OC (931), přičemž na vstup (9310) tohoto druhého hradla s otevřeným kolektorem NAND-OC (931) je zapojen výstup (9302) sedmého součinnového hradla NAND (930), a druhý vstup (9301) tohoto sedmého součinnového hradla NAND (930) je spojen s výstupem (9292) šestého součinnového hradla NAND (929) a výstup (9302) sedmého součinnového hradla NAND (930) je zapojen na vstup (9320) čítače (932) a na hodinový vstup (9352) třetího D-klopného obvodu (935) a na hodinový vstup (9362) čtvrtého D-klopného obvodu (936), dále výstupní sběrnice (9321) čítače (932) je zapojena na druhé sběrnice vstupy (9331, 9341) prvního a druhého komparátoru (933, 934) a negativní výstup čítače (9322), což je negace nejvyššího řádu výstupní sběrnice (9321) z čítače (932), je zapojen na hodinový vstup (9011) druhého D-klopného obvodu (901), a dále na první sběrnice vstupy (9330) prvního komparátoru (933) je zapojena sběrnice (960) pro zadání velikosti okna, která je vedena z vnějšího řadiče a na první sběrnice vstupy (9340) druhého komparátoru (934) je zapojena sběrnice (970) pro zadání velikosti fázové chyby, která je vedena z vnějšího řadiče a výstup (9332) prvního komparátoru (933) je zapojen na datový vstup (9351) třetího D-klopného obvodu (935), jehož kladný výstup (9354) je prvním výstupem (94) oscilátoru (9) s fázovým závěsem a negativní výstup (9355) třetího D-klopného obvodu (935) je zapojen na nastavovací vstup (9350) svého D-klopného obvodu (935)

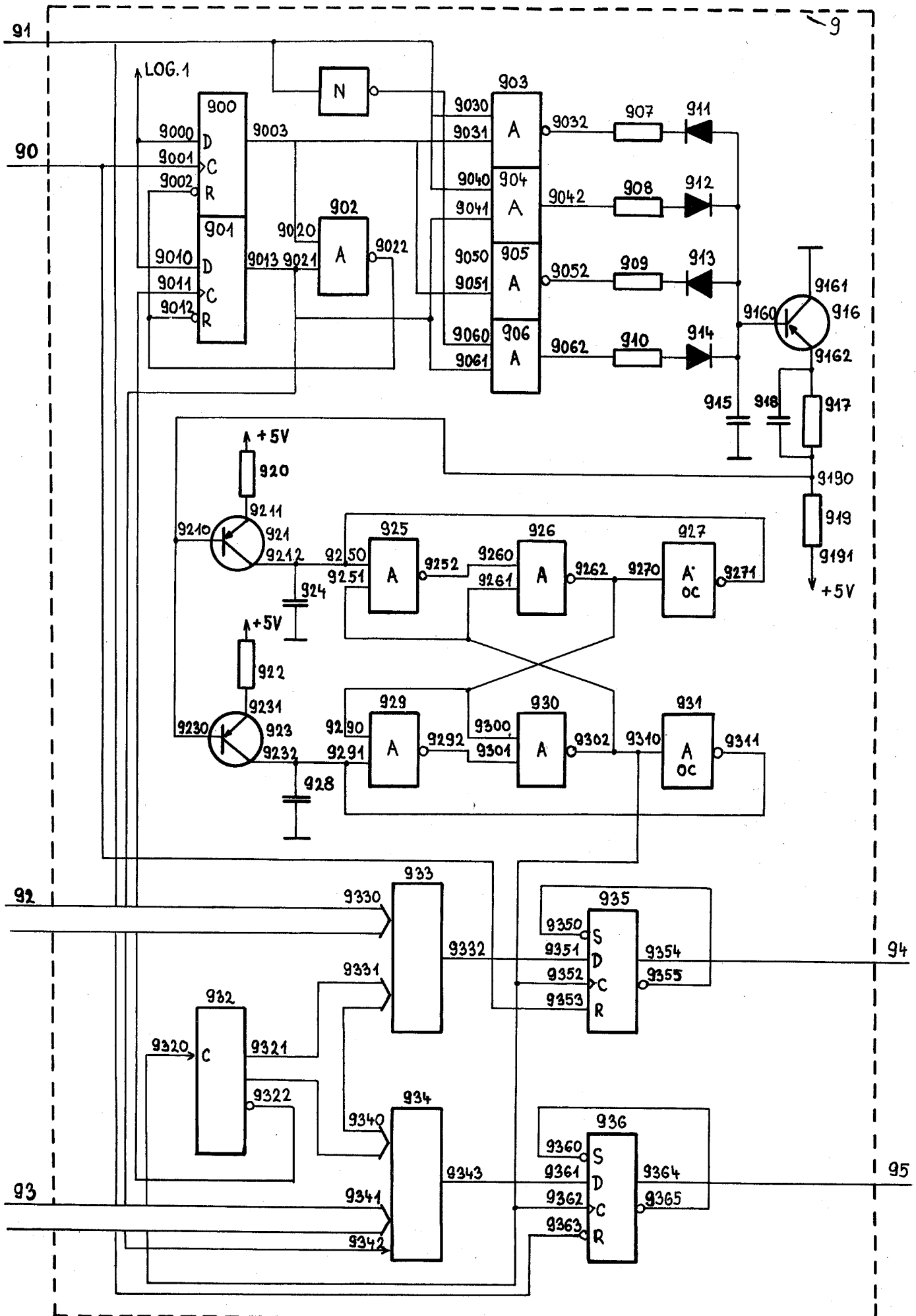
a na nulovací vstup (9353) tohoto třetího D-klopného obvodu (935) je zapojen vodič s negací signálu na prvním vstupu (90) oscilátoru (9) s fázovým závěsem a dále na třetí vstup (9342) druhého komparátoru (934) je zapojen výstup (9013) druhého D-klopného obvodu (901), a výstup (9343) tohoto druhého komparátoru (934) je zapojen na datový vstup (9361) čtvrtého D-klopného obvodu (936), jehož výstup je druhým výstupem (95) oscilátoru (9) s fázovým závěsem a který je veden do vnějšího řadiče a negativní výstup (9365) čtvrtého D-klopného obvodu (936) je zapojen na nastavovací vstup (9360) svého D-klopného obvodu (936) a je nulovací vstup (9363) je zapojen na druhý vstup (91) oscilátoru (9) s fázovým závěsem.

5 výkresů

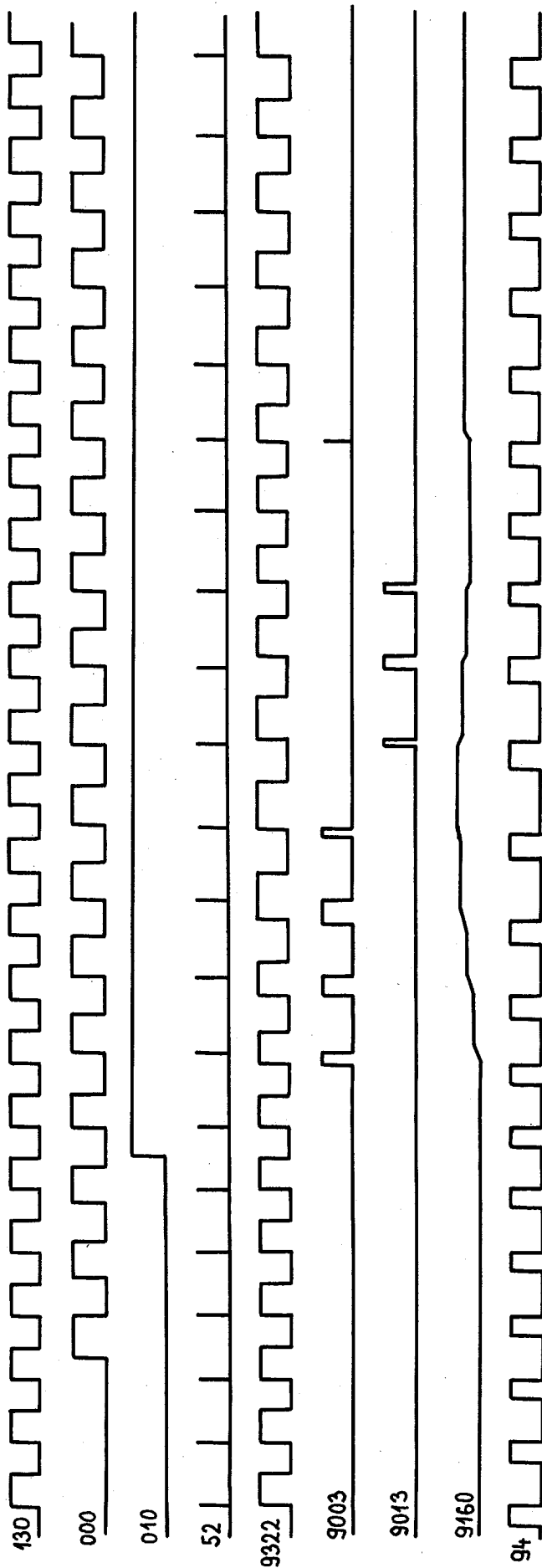


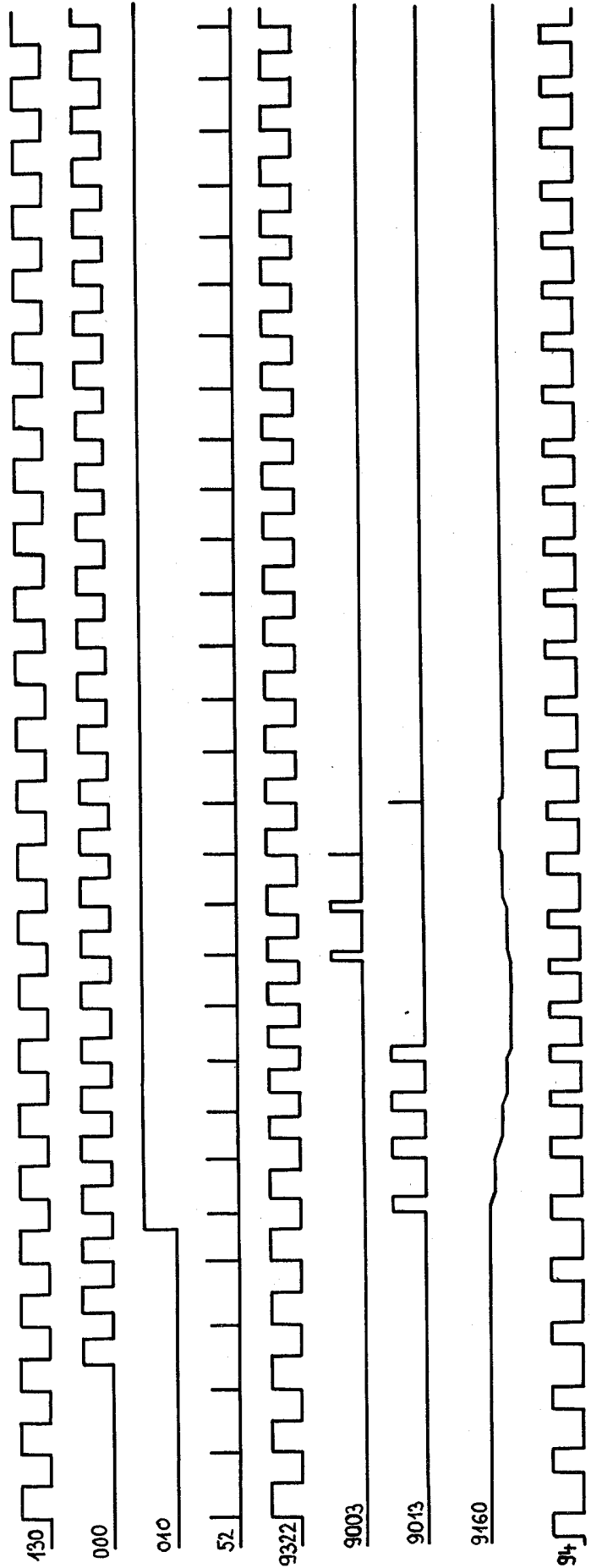
Obr. 1a





197 066





Obr. 2c