

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 3 区分

【発行日】平成22年11月11日 (2010.11.11)

【公開番号】特開2008-92581(P2008-92581A)

【公開日】平成20年4月17日 (2008.4.17)

【年通号数】公開・登録公報2008-015

【出願番号】特願2007-260665(P2007-260665)

【国際特許分類】

H 0 3 K 7/08 (2006.01)

H 0 3 K 3/017 (2006.01)

H 0 2 M 3/00 (2006.01)

【F I】

H 0 3 K 7/08 F

H 0 3 K 3/017

H 0 2 M 3/00 P

【手続補正書】

【提出日】平成22年9月28日 (2010.9.28)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

第 1 の持続時間中に第 1 の電流をコンデンサの第 1 の電圧に変換するための、また、第 2 の持続時間中に、前記第 1 の電圧を第 2 の電圧に変化させるように第 2 の電流を放電するためのコンデンサと、

前記コンデンサの出力に結合され、入力電流に応答して周期的な出力信号のパルス幅を変化させるために、前記第 2 の持続時間中に前記コンデンサの電圧を基準電圧と比較する比較器と  
を備える回路。

【請求項 2】

前記周期的な出力信号の前記パルス幅が、前記コンデンサの値から実質的に独立したものである請求項 1 に記載の回路。

【請求項 3】

前記周期的な出力信号の前記パルス幅が、前記基準電圧の値から実質的に独立したものである請求項 1 に記載の回路。

【請求項 4】

前記周期的な出力信号の前記パルス幅が、前記比較器の応答における遅延から実質的に独立したものである請求項 1 に記載の回路。

【請求項 5】

前記周期的な出力信号の前記パルス幅が、抵抗器の値から実質的に独立したものである請求項 1 に記載の回路。

【請求項 6】

コンデンサ電圧の変化が、前記第 2 の持続時間中に前記コンデンサの前記電圧が前記基準電圧に到達したとき終了する請求項 1 に記載の回路。

【請求項 7】

タイミング信号を生成するように結合された発振器をさらに備え、前記周期的な出力信

号の周期が、前記発振器から受信された前記タイミング信号の前記周期である請求項 1 に記載の回路。

【請求項 8】

前記発振器から受信された前記タイミング信号が、前記出力信号の最大オン時間を決定する請求項 7 に記載の回路。

【請求項 9】

発振器と、システム入力に応答して回路の周波数およびデューティ比を変化させるように発振器からタイミング信号を受け取るように結合された制御論理とをさらに備える請求項 1 に記載の回路。

【請求項 10】

前記制御論理が、前記コンデンサを充放電するために、前記発振器と、回路内のスイッチのスイッチングとを制御するように、前記比較器からの出力および前記システム入力を受け取るようにさらに結合される請求項 9 に記載の回路。

【請求項 11】

前記制御論理が、発振器の出力に結合された遅延回路を備え、前記遅延回路の出力が、AND ゲートに結合され、前記制御論理が、パルス幅変調信号を出力するように前記比較器の出力に結合される請求項 9 に記載の回路。

【請求項 12】

前記第 1 の電流が、電流源からの電流と、制御電流に比例する電流とを含む請求項 1 に記載の回路。

【請求項 13】

前記制御電流に比例する前記電流を生成するために、電流ミラーをさらに備える請求項 12 に記載の回路。

【請求項 14】

集積回路に含まれる請求項 1 に記載の回路。

【請求項 15】

前記集積回路が、電源を制御するように結合される請求項 14 に記載の回路。

【請求項 16】

第 1 の持続時間中に、第 1 の電流をコンデンサの第 1 の電圧に変換するステップと、  
第 2 の持続時間中に、前記コンデンサの電圧を前記第 1 の電圧から第 2 の電圧に変化させるステップと、  
周期的な出力信号のパルス幅を変調するために、前記第 2 の持続時間中に、前記コンデンサの前記電圧を基準電圧と比較するステップと  
を含む方法。

【請求項 17】

前記第 2 の持続時間中に前記コンデンサの前記電圧が前記基準電圧に到達したとき、前記コンデンサ電圧の前記電圧を前記変化させるステップを終了するステップをさらに含む請求項 16 に記載の方法。

【請求項 18】

前記周期的な出力信号の周期と前記周期的な出力信号の最大パルス幅を決定するために、発振器からタイミング信号を受け取るステップをさらに含む請求項 16 に記載の方法。

【請求項 19】

前記周期的な出力信号の前記パルス幅を変調するために前記コンデンサを充放電するように、対応する複数の電流源のそれぞれに結合された複数のスイッチのそれぞれをスイッチングするステップをさらに含む請求項 16 に記載の方法。

【請求項 20】

回路であって、

コンデンサが受信した充電電流に応答して第 1 の持続時間中に第 1 の電圧を発生させ、  
コンデンサが提供した放電電流に応答して第 2 の持続時間中に第 2 の電圧を発生させるよ  
うに配置されたコンデンサを備え、前記充電電流は、制御信号に応答して生成され、前記

回路はさらに、

前記コンデンサの出力に結合され、いつ前記コンデンサが前記第 2 の電圧に到達するかを判断する比較器と、

前記比較器の出力に応答して周期的な出力信号のパルス幅を変化させるために信号を出力するように配置された制御論理と  
を備える回路。

【請求項 2 1】

タイミング信号を生成するように結合された発振器をさらに備え、前記周期的な出力信号の周期が、前記発振器から受信された前記タイミング信号の前記周期である請求項 2 0 に記載の回路。

【請求項 2 2】

前記発振器から受信された前記タイミング信号が、前記出力信号の最大オン時間を決定する請求項 2 1 に記載の回路。

【請求項 2 3】

発振器をさらに備え、前記制御論理が、システム入力に応答して回路の周波数およびデューティ比を変化させるように発振器からタイミング信号を受け取るように結合される請求項 2 0 に記載の回路。

【請求項 2 4】

前記制御論理が、前記コンデンサを充放電するために、前記発振器と、回路内のスイッチのスイッチングとを制御するように、前記比較器からの出力および前記システム入力を受け取るようにさらに結合される請求項 2 3 に記載の回路。

【請求項 2 5】

前記制御論理が、発振器の出力に結合された遅延回路を備え、前記遅延回路の出力が、AND ゲートに結合され、前記制御論理が、パルス幅変調信号を出力するように前記比較器の出力に結合される請求項 2 3 に記載の回路。

【請求項 2 6】

前記充電電流が、電流源からの電流と、制御電流に比例する電流とを含む請求項 2 0 に記載の回路。

【請求項 2 7】

前記制御電流に比例する前記電流を生成するために、電流ミラーをさらに備える請求項 2 6 に記載の回路。