



(19)대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) Int. Cl.

<i>H04L 27/18</i> (2006.01)	(45) 공고일자	2007년02월15일
<i>H03M 13/11</i> (2006.01)	(11) 등록번호	10-0683084
<i>G06F 11/10</i> (2006.01)	(24) 등록일자	2007년02월08일
<i>H04L 1/00</i> (2006.01)		

(21) 출원번호	10-2004-0070418	(65) 공개번호	10-2005-0025075
(22) 출원일자	2004년09월03일	(43) 공개일자	2005년03월11일
심사청구일자	2004년09월03일		

(30) 우선권주장	60/500,109	2003년09월04일	미국(US)
	60/505,916	2003년09월25일	미국(US)
	60/518,199	2003년11월07일	미국(US)

(73) 특허권자                   더 디렉티브 그룹, 인크.  
미국 90245 캘리포니아주 이엘 세군도 이. 임페리얼 하이웨이 2250

(72) 발명자                   에로즈, 무스타파  
미국 20874 메릴랜드주 저먼타운 인디안 그래스 드라이브 17007

리, 린-난  
미국 20854 메릴랜드주 포토맥 플라워 게이트 테라스 10004

선, 팽-웬  
미국 20874 메릴랜드주 저먼타운 위트리지 드라이브 17904

(74) 대리인                   주성민  
백만기  
이중희

심사관 : 제갈 현

전체 청구항 수 : 총 16 항

(54) 저밀도 패리티 검사 부호화 신호의 전송을 지원하는 방법, 인코더 및 송신기

(57) 요약

단 프레임(short frame) 길이의 저밀도 패리티 검사(Low Density Parity Check; LPDC) 부호를 인코딩하기 위한 어프로치가 제공된다. 인코더(203)는 외부 BCH(Bose Chaudhuri Hocquenghem) 부호를 갖는 LPDC 부호를 생성한다. 패리티 검사 매트릭스의 일부분을 하위 삼각형(lower triangular)으로 제한시키고/제한시키거나 디코더(305)의 비트 노드와 검사 노드 간의 통신을 간략화시킬 수 있는 다른 요건들을 만족시킴으로써 LDPC 부호가 구성된다. 또한, 순환 반복 검사(CRC) 인코더(209)가 제공되어 CRC 부호에 따른 입력 신호를 인코딩한다. 이러한 어프로치는 특히 위성을 통한 디지털 비디오 방송 서비스에 적용된다.

대표도

도 1

특허청구의 범위

청구항 1.

저밀도 패리티 검사(Low Density Parity Check; LDPC) 부호화 신호의 전송을 지원하기 위한 방법에 있어서,  
정보 비트를 수신하는 단계와,

상기 정보 비트에 기초하여, 후술되는 표 1 내지 10 중 하나에 따른 LDPC 부호를 생성하여 상기 LDPC 부호화 신호로서 전송하는 단계

를 포함하며, 상기 표 1 내지 10의 각 행은 상기 정보 비트의 그룹이 누산되는 패리티 비트들의 어드레스를 추출하는데 사용되고, 상기 패리티 비트들은 각각의 행으로부터 추출된 상기 어드레스들에 누산된 상기 정보 비트들의 상기 그룹으로부터 추출되는 방법으로서,

후술되는 표 1 내지 10으로서는,

[표 1]

패리티 비트 누산기의 어드레스 (속도 1/2로부터 축소됨)	
20	712 2386 6354 4061 1062 5045 5158
21	2543 5748 4822 2348 3089 6328 5876
22	926 5701 269 3693 2438 3190 3507
23	2802 4520 3577 5324 1091 4667 4449
24	5140 2003 1263 4742 6497 1185 6202
0	4046 6934
1	2855 66
2	6694 212
3	3439 1158
4	3850 4422
5	5924 290
6	1467 4049
7	7820 2242
8	4606 3080
9	4633 7877
10	3884 6868
11	8935 4996
12	3028 764
13	5988 1057
14	7411 3450

[표 2]

패리티 비트 누산기의 어드레스 (속도 3/5)
2765 5713 6426 3596 1374 4811 2182 544 3394 2840 4310 771
4951 211 2208 723 1246 2928 398 5739 265 5601 5993 2615
210 4730 5777 3096 4282 6238 4939 1119 6463 5298 6320 4016
4167 2063 4757 3157 5664 3956 6045 563 4284 2441 3412 6334
4201 2428 4474 59 1721 736 2997 428 3807 1513 4732 6195
2670 3081 5139 3736 1999 5889 4362 3806 4534 5409 6384 5809
5516 1622 2906 3285 1257 5797 3816 817 875 2311 3543 1205
4244 2184 5415 1705 5642 4886 2333 287 1848 1121 3595 6022
2142 2830 4069 5654 1295 2951 3919 1356 884 1786 396 4738
0 2161 2653
1 1380 1461
2 2502 3707
3 3971 1057
4 5985 6062
5 1733 6028
6 3786 1936
7 4292 956
8 5692 3417
9 266 4878
10 4913 3247
11 4763 3937
12 3590 2903
13 2566 4215
14 5208 4707
15 3940 3388
16 5109 4556
17 4908 4177

[표 3]

패리티 비트 누산기의 어드레스 (속도 2/3)
0 2084 1613 1548 1286 1460 3196 4297 2481 3369 3451 4620 2622
1 122 1516 3448 2880 1407 1847 3799 3529 373 971 4358 3108
2 259 3399 929 2650 864 3996 3833 107 5287 164 3125 2350
3 342 3529
4 4198 2147
5 1880 4836
6 3864 4910
7 243 1542
8 3011 1436
9 2167 2512
10 4606 1003
11 2835 705
12 3426 2365
13 3848 2474
14 1360 1743
0 163 2536
1 2583 1180
2 1542 509
3 4418 1005
4 5212 5117
5 2155 2922
6 347 2696
7 226 4296
8 1560 487
9 3926 1640
10 149 2928
11 2364 563
12 635 688
13 231 1684
14 1129 3894

[표 4]

패리티 비트 누산기의 어드레스 (속도 3/4으로부터 축소됨)	
3	3198 478 4207 1481 1009 2616 1924 3437 554 683 1801
4	2681 2135
5	3107 4027
6	2637 3373
7	3830 3449
8	4129 2060
9	4184 2742
10	3946 1070
11	2239 984
0	1458 3031
1	3003 1328
2	1137 1716
3	132 3725
4	1817 638
5	1774 3447
6	3632 1257
7	542 3694
8	1015 1945
9	1948 412
10	995 2238
11	4141 1907
0	2480 3079
1	3021 1088
2	713 1379
3	997 3903
4	2323 3361
5	1110 986
6	2532 142
7	1690 2405
8	1298 1881
9	615 174
10	1648 3112
11	1415 2808

[표 5]

패리티 비트 누산기의 어드레스 (속도 4/5으로부터 축소됨)	
5	896 1565
6	2493 184
7	212 3210
8	727 1339
9	3428 612
0	2663 1947
1	230 2695
2	2025 2794
3	3039 283
4	862 2889
5	376 2110
6	2034 2286
7	951 2068
8	3108 3542
9	307 1421
0	2272 1197
1	1800 3280
2	331 2308
3	465 2552
4	1038 2479
5	1383 343
6	94 236
7	2619 121
8	1497 2774
9	2116 1855
0	722 1584
1	2767 1881
2	2701 1610
3	3283 1732
4	168 1099
5	3074 243
6	3460 945
7	2049 1746
8	566 1427
9	3545 1168

[표 6]

패리티 비트 누산기의 어드레스 (속도 5/6으로부터 축소됨)
3 2409 499 1481 908 559 716 1270 333 2508 2264 1702 2805
4 2447 1926
5 414 1224
6 2114 842
7 212 573
0 2383 2112
1 2286 2348
2 545 819
3 1264 143
4 1701 2258
5 964 166
6 114 2413
7 2243 81
0 1245 1581
1 775 169
2 1696 1104
3 1914 2831
4 532 1450
5 91 974
6 497 2228
7 2326 1579
0 2482 256
1 1117 1261
2 1257 1658
3 1478 1225
4 2511 980
5 2320 2675
6 435 1278
7 228 503
0 1885 2369
1 57 483
2 838 1050
3 1231 1990
4 1738 68
5 2392 951
6 163 645
7 2644 1704

[표 7]

패리티 비트 누산기의 어드레스 (속도 8/9)
0 1558 712 805
1 1450 873 1337
2 1741 1129 1184
3 294 806 1566
4 482 605 923
0 926 1578
1 777 1374
2 608 151
3 1195 210
4 1484 692
0 427 488
1 828 1124
2 874 1366
3 1500 835
4 1496 502
0 1006 1701
1 1155 97
2 657 1403
3 1453 624
4 429 1495
0 809 385
1 367 151
2 1323 202
3 960 318
4 1451 1039
0 1098 1722
1 1015 1428
2 1261 1564
3 544 1190
4 1472 1246
0 508 630
1 421 1704
2 284 898
3 392 577
4 1155 556
0 631 1000
1 732 1368
2 1328 329
3 1515 506
4 1104 1172

[표 8]

패리티 비트 누산기의 어드레스 (속도 1/3)
416 8909 4156 3216 3112 2560 2912 6405 8593 4969 6723 6912
8978 3011 4339 9312 6396 2957 7288 5485 6031 10218 2226 3575
3383 10059 1114 10008 10147 9384 4290 434 5139 3536 1965 2291
2797 3693 7615 7077 743 1941 8716 6215 3840 5140 4582 5420
6110 8551 1515 7404 4879 4946 5383 1831 3441 9569 10472 4306
1505 5682 7778
7172 6830 6623
7281 3941 3505
10270 8669 914
3622 7563 9388
9930 5058 4554
4844 9609 2707
6883 3237 1714
4768 3878 10017
10127 3334 8267

[표 9]

패리티 비트 누산기의 어드레스 (속도 1/5으로부터 축소됨)
6295 9626 304 7695 4839 4936 1660 144 11203 5567 6347 12557
10691 4988 3859 3734 3071 3494 7687 10313 5964 8069 8296 11090
10774 3613 5208 11177 7676 3549 8746 6583 7239 12265 2674 4292
11869 3708 5981 8718 4908 10650 6805 3334 2627 10461 9285 11120
7844 3079 10773
3385 10854 5747
1360 12010 12202
6189 4241 2343
9840 12726 4977

[표 10]

패리티 비트 누산기의 어드레스 (속도 2/5)
5650 4143 8750 583 6720 8071 635 1767 1344 6922 738 6658
5696 1685 3207 415 7019 5023 5608 2605 857 6915 1770 8016
3992 771 2190 7258 8970 7792 1802 1866 6137 8841 886 1931
4108 3781 7577 6810 9322 8226 5396 5867 4428 8827 7766 2254
4247 888 4367 8821 9660 324 5864 4774 227 7889 6405 8963
9693 500 2520 2227 1811 9330 1928 5140 4030 4824 806 3134
1652 8171 1435
3366 6543 3745
9286 8509 4645
7397 5790 8972
6597 4422 1799
9276 4041 3847
8683 7378 4946
5348 1993 9186
6724 9015 5646
4502 4439 8474
5107 7342 9442
1387 8910 2660

이 포함되는 방법.

청구항 2.

제1항에 있어서,

$$g(x)=(1+x+x^2+x^5+x^{14}) \times (1+x^6+x^8+x^{11}+x^{14}) \times (1+x+x^2+x^6+x^9+x^{10}+x^{14}) \times (1+x^4+x^7+x^8+x^{10}+x^{12}+x^{14}) \times (1+x^2+x^4+x^6+x^8+x^9+x^{11}+x^{13}+x^{14}) \times (1+x^3+x^7+x^8+x^9+x^{13}+x^{14}) \times (1+x^2+x^5+x^6+x^7+x^{10}+x^{11}+x^{13}+x^{14}) \times (1+x^5+x^8+x^9+x^{10}+x^{11}+x^{14}) \times (1+x+x^2+x^3+x^9+x^{10}+x^{14}) \times (1+x^3+x^6+x^9+x^{11}+x^{12}+x^{14}) \times (1+x^4+x^{11}+x^{12}+x^{14}) \times (1+x+x^2+x^3+x^5+x^6+x^7+x^8+x^{10}+x^{13}+x^{14}).$$

의 생성원 다항식(generator polynomial)에 기초하여 BCH(Bose Chaudhuri Hocquenghem) 외부 부호를 사용하는 방법.

청구항 3.

제1항에 있어서,

상기 LDPC 부호화 신호를 변조하는 단계와,

상기 피변조 신호를 전송하는 단계를 더 포함하는 방법.

청구항 4.

제3항에 있어서,

상기 피변조 신호는 광대역 위성 응용을 지원하는 위성 링크(103)를 통해 전송되는 방법.

**청구항 5.**

제3항에 있어서,

상기 변조 단계는 8-PSK(위상 시프팅 키잉), 16-QAM(직각 진폭 변조), QPSK(직각 위상 시프팅 키잉), 16-APSK(진폭 위상 시프팅 키잉), 및 32-APSK 중 하나를 포함하는 신호 컨스틸레이션에 따라 수행되는 방법.

**청구항 6.**

저밀도 패리티 검사(Low Density Parity Check; LDPC) 부호화 신호의 전송을 지원하기 위한 명령어들을 포함하는 컴퓨터 판독가능 매체로서, 상기 명령어는 실행 시에 구성되어 하나 이상의 프로세서로 하여금 제1항 기재의 방법을 수행하도록 하게 하는 컴퓨터 판독가능 매체.

**청구항 7.**

저밀도 패리티 검사(Low Density Parity Check; LDPC) 부호화 신호의 전송을 지원하기 위한 인코더로서,

정보 비트를 수신하기 위한 수단과,

상기 정보 비트에 기초하여, 후술되는 표 1 내지 10 중 하나에 따른 LDPC 부호를 생성하여 상기 LDPC 부호화 신호로서 전송하기 위한 수단

을 포함하며, 상기 표 1 내지 10의 각 행은 상기 정보 비트의 그룹이 누산되는 패리티 비트들의 어드레스를 추출하는데 사용되고, 상기 패리티 비트들은 각각의 행으로부터 추출된 상기 어드레스들에 누산된 상기 정보 비트들의 상기 그룹으로부터 추출되는 인코더로서,

후술되는 표 1 내지 10으로서는,

[표 1]

패리티 비트 누산기의 어드레스 (속도 1/2로부터 축소됨)
20 712 2386 6354 4061 1062 5045 5158
21 2543 5748 4822 2348 3089 6328 5876
22 926 5701 269 3693 2438 3190 3507
23 2802 4520 3577 5324 1091 4667 4449
24 5140 2003 1263 4742 6497 1185 6202
0 4046 6934
1 2855 66
2 6694 212
3 3439 1158
4 3850 4422
5 5924 290
6 1467 4049
7 7820 2242
8 4606 3080
9 4633 7877
10 3884 6868
11 8935 4996
12 3028 764
13 5988 1057
14 7411 3450

[표 2]

패리티 비트 누산기의 어드레스 (속도 2/3)
0 2084 1613 1548 1286 1460 3196 4297 2481 3369 3451 4620 2622
1 122 1516 3448 2880 1407 1847 3799 3529 373 971 4358 3108
2 259 3399 929 2650 864 3996 3833 107 5287 164 3125 2350
3 342 3529
4 4198 2147
5 1880 4836
6 3864 4910
7 243 1542
8 3011 1436
9 2167 2512
10 4606 1003
11 2835 705
12 3426 2365
13 3848 2474
14 1360 1743
0 163 2536
1 2583 1180
2 1542 509
3 4418 1005
4 5212 5117
5 2155 2922
6 347 2696
7 226 4296
8 1560 487
9 3926 1640
10 149 2928
11 2364 563
12 635 688
13 231 1684
14 1129 3894

[표 4]

패리티 비트 누산기의 어드레스 (속도 3/4으로부터 축소됨)
3 3198 478 4207 1481 1009 2616 1924 3437 554 683 1801
4 2681 2135
5 3107 4027
6 2637 3373
7 3830 3449
8 4129 2060
9 4184 2742
10 3946 1070
11 2239 984
0 1458 3031
1 3003 1328
2 1137 1716
3 132 3725
4 1817 638
5 1774 3447
6 3632 1257
7 542 3694
8 1015 1945
9 1948 412
10 995 2238
11 4141 1907
0 2480 3079
1 3021 1088
2 713 1379
3 997 3903
4 2323 3361
5 1110 986
6 2532 142
7 1690 2405
8 1298 1881
9 615 174
10 1648 3112
11 1415 2808

[표 5]

패러미터 비트 누산기의 어드레스 (속도 4/5으로부터 축소됨)
5 896 1565
6 2493 184
7 212 3210
8 727 1339
9 3428 612
0 2663 1947
1 230 2695
2 2025 2794
3 3039 283
4 862 2889
5 376 2110
6 2034 2286
7 951 2068
8 3108 3542
9 307 1421
0 2272 1197
1 1800 3280
2 331 2308
3 465 2552
4 1038 2479
5 1383 343
6 94 236
7 2619 121
8 1497 2774
9 2116 1855
0 722 1584
1 2767 1881
2 2701 1610
3 3283 1732
4 168 1099
5 3074 243
6 3460 945
7 2049 1746
8 566 1427
9 3545 1168

[표 6]

패리티 비트 누산기의 어드레스 (속도 5/6으로부터 축소됨)
3 2409 499 1481 908 559 716 1270 333 2508 2264 1702 2805
4 2447 1926
5 414 1224
6 2114 842
7 212 573
0 2383 2112
1 2286 2348
2 545 819
3 1264 143
4 1701 2258
5 964 166
6 114 2413
7 2243 81
0 1245 1581
1 775 169
2 1696 1104
3 1914 2831
4 532 1450
5 91 974
6 497 2228
7 2326 1579
0 2482 256
1 1117 1261
2 1257 1658
3 1478 1225
4 2511 980
5 2320 2675
6 435 1278
7 228 503
0 1885 2369
1 57 483
2 838 1050
3 1231 1990
4 1738 68
5 2392 951
6 163 645
7 2644 1704

[표 7]

페리티 비트 누산기의 어드레스 (속도 8/9)
0 1558 712 805
1 1450 873 1337
2 1741 1129 1184
3 294 806 1566
4 482 605 923
0 926 1578
1 777 1374
2 608 151
3 1195 210
4 1484 692
0 427 488
1 828 1124
2 874 1366
3 1500 835
4 1496 502
0 1006 1701
1 1155 97
2 657 1403
3 1453 624
4 429 1495
0 809 385
1 367 151
2 1323 202
3 960 318
4 1451 1039
0 1098 1722
1 1015 1428
2 1261 1564
3 544 1190
4 1472 1246
0 508 630
1 421 1704
2 284 898
3 392 577
4 1155 556
0 631 1000
1 732 1368
2 1328 329
3 1515 506
4 1104 1172

[표 8]

페리티 비트 누산기의 어드레스 (속도 1/3)
416 8909 4156 3216 3112 2560 2912 6405 8593 4969 6723 6912
8978 3011 4339 9312 6396 2957 7288 5485 6031 10218 2226 3575
3383 10059 1114 10008 10147 9384 4290 434 5139 3536 1965 2291
2797 3693 7615 7077 743 1941 8716 6215 3840 5140 4582 5420
6110 8551 1515 7404 4879 4946 5383 1831 3441 9569 10472 4306
1505 5682 7778
7172 6830 6623
7281 3941 3505
10270 8669 914
3622 7563 9388
9930 5058 4554
4844 9609 2707
6883 3237 1714
4768 3878 10017
10127 3334 8267

[표 9]

패리티 비트 누산기의 어드레스 (속도 1/5으로부터 축소됨)
6295 9626 304 7695 4839 4936 1660 144 11203 5567 6347 12557
10691 4988 3859 3734 3071 3494 7687 10313 5964 8069 8296 11090
10774 3613 5208 11177 7676 3549 8746 6583 7239 12265 2674 4292
11869 3708 5981 8718 4908 10650 6805 3334 2627 10461 9285 11120
7844 3079 10773
3385 10854 5747
1360 12010 12202
6189 4241 2343
9840 12726 4977

[표 10]

패리티 비트 누산기의 어드레스 (속도 2/5)
5650 4143 8750 583 6720 8071 635 1767 1344 6922 738 6658
5696 1685 3207 415 7019 5023 5608 2605 857 6915 1770 8016
3992 771 2190 7258 8970 7792 1802 1866 6137 8841 886 1931
4108 3781 7577 6810 9322 8226 5396 5867 4428 8827 7766 2254
4247 888 4367 8821 9660 324 5864 4774 227 7889 6405 8963
9693 500 2520 2227 1811 9330 1928 5140 4030 4824 806 3134
1652 8171 1435
3366 6543 3745
9286 8509 4645
7397 5790 8972
6597 4422 1799
9276 4041 3847
8683 7378 4946
5348 1993 9186
6724 9015 5646
4502 4439 8474
5107 7342 9442
1387 8910 2660

이 포함되는 인코더(203).

**청구항 8.**

제7항에 있어서,

BCH(Bose Chaudhuri Hocquenghem) 외부 부호가

$$g(x) = (1+x+x^3+x^5+x^{14}) \times (1+x^6+x^8+x^{11}+x^{14}) \times (1+x+x^2+x^6+x^9+x^{10}+x^{14}) \times (1+x^4+x^7+x^8+x^{10}+x^{12}+x^{14}) \times (1+x^2+x^4+x^6+x^8+x^9+x^{11}+x^{13}+x^{14}) \times (1+x^3+x^7+x^8+x^9+x^{13}+x^{14}) \times (1+x^2+x^5+x^6+x^7+x^{10}+x^{11}+x^{13}+x^{14}) \times (1+x^5+x^8+x^9+x^{10}+x^{11}+x^{14}) \times (1+x+x^2+x^3+x^9+x^{10}+x^{14}) \times (1+x^3+x^6+x^9+x^{11}+x^{12}+x^{14}) \times (1+x^4+x^{11}+x^{12}+x^{14}) \times (1+x+x^2+x^3+x^5+x^6+x^7+x^8+x^{10}+x^{13}+x^{14}).$$

의 생성원 다항식에 기초하는 인코더(203, 211).

**청구항 9.**

제7항에 있어서,

상기 LDPC 부호화 신호를 변조하기 위한 수단과,

상기 피변조 신호를 전송하기 위한 수단을 더 포함하는 인코더(203, 211).

**청구항 10.**

제9항에 있어서,

상기 피변조 신호는 광대역 위성 응용을 지원하는 위성 링크(103)를 통해 전송되는 인코더(203, 211).

**청구항 11.**

9항에 있어서,

상기 변조 수단은 8-PSK(위상 시프팅 키잉), 16-QAM(직각 진폭 변조), QPSK(직각 위상 시프팅 키잉), 16-APSK(진폭 위상 시프팅 키잉), 및 32-APSK 중 하나를 포함하는 신호 컨스틸레이션에 따라 수행되는 인코더(203, 211).

**청구항 12.**

저밀도 패리티 검사(Low Density Parity Check; LPDC) 부호화 신호의 전송을 지원하기 위한 송신기로서,

정보 비트를 수신하도록 구성된 BCH(Bose Chaudhuri Hocquenghem) 인코더(211)와,

상기 BCH 인코더(211)에 결합되고 상기 정보 비트에 기초하여, 아래 표 1 내지 10 중 하나에 따른 외부 BCH 부호를 포함하여 상기 LPDC 부호화 신호로서 전송하기 위한 LDPC 부호를 출력시키는 LDPC 인코더(203)

를 포함하며, 상기 표 1 내지 10의 각 행은 상기 정보 비트의 그룹이 누산되는 패리티 비트들의 어드레스를 추출하는데 사용되고, 상기 패리티 비트들은 각각의 행으로부터 추출된 상기 어드레스들에 누산된 상기 정보 비트들의 상기 그룹으로부터 추출되는 송신기로서,

후술되는 표 1 내지 10으로서는,

[표 1]

패리티 비트 누산기의 어드레스 (속도 1/2로부터 축소됨)	
20	712 2386 6354 4061 1062 5045 5158
21	2543 5748 4822 2348 3089 6328 5876
22	926 5701 269 3693 2438 3190 3507
23	2802 4520 3577 5324 1091 4667 4449
24	5140 2003 1263 4742 6497 1185 6202
0	4046 6934
1	2855 66
2	6694 212
3	3439 1158
4	3850 4422
5	5924 290
6	1467 4049
7	7820 2242
8	4606 3080
9	4633 7877
10	3884 6868
11	8935 4996
12	3028 764
13	5988 1057
14	7411 3450

[표 2]

패리티 비트 누산기의 어드레스 (속도 3/5)
2765 5713 6426 3596 1374 4811 2182 544 3394 2840 4310 771
4951 211 2208 723 1246 2928 398 5739 265 5601 5993 2615
210 4730 5777 3096 4282 6238 4939 1119 6463 5298 6320 4016
4167 2063 4757 3157 5664 3956 6045 563 4284 2441 3412 6334
4201 2428 4474 59 1721 736 2997 428 3807 1513 4732 6195
2670 3081 5139 3736 1999 5889 4362 3806 4534 5409 6384 5809
5516 1622 2906 3285 1257 5797 3816 817 875 2311 3543 1205
4244 2184 5415 1705 5642 4886 2333 287 1848 1121 3595 6022
2142 2830 4069 5654 1295 2951 3919 1356 884 1786 396 4738
0 2161 2653
1 1380 1461
2 2502 3707
3 3971 1057
4 5985 6062
5 1733 6028
6 3786 1936
7 4292 956
8 5692 3417
9 266 4878
10 4913 3247
11 4763 3937
12 3590 2903
13 2566 4215
14 5208 4707
15 3940 3388
16 5109 4556
17 4908 4177

[표 3]

패리티 비트 누산기의 어드레스 (속도 2/3)
0 2084 1613 1548 1286 1460 3196 4297 2481 3369 3451 4620 2622
1 122 1516 3448 2880 1407 1847 3799 3529 373 971 4358 3108
2 259 3399 929 2650 864 3996 3833 107 5287 164 3125 2350
3 342 3529
4 4198 2147
5 1880 4836
6 3864 4910
7 243 1542
8 3011 1436
9 2167 2512
10 4606 1003
11 2835 705
12 3426 2365
13 3848 2474
14 1360 1743
0 163 2536
1 2583 1180
2 1542 509
3 4418 1005
4 5212 5117
5 2155 2922
6 347 2696
7 226 4296
8 1560 487
9 3926 1640
10 149 2928
11 2364 563
12 635 688
13 231 1684
14 1129 3894

[표 4]

패리티 비트 누산기의 어드레스 (속도 3/4으로부터 축소됨)
3 3198 478 4207 1481 1009 2616 1924 3437 554 683 1801
4 2681 2135
5 3107 4027
6 2637 3373
7 3830 3449
8 4129 2060
9 4184 2742
10 3946 1070
11 2239 984
0 1458 3031
1 3003 1328
2 1137 1716
3 132 3725
4 1817 638
5 1774 3447
6 3632 1257
7 542 3694
8 1015 1945
9 1948 412
10 995 2238
11 4141 1907
0 2480 3079
1 3021 1088
2 713 1379
3 997 3903
4 2323 3361
5 1110 986
6 2532 142
7 1690 2405
8 1298 1881
9 615 174
10 1648 3112
11 1415 2808

[표 5]

패리티 비트 누산기의 어드레스 (속도 4/5으로부터 축소됨)
5 896 1565
6 2493 184
7 212 3210
8 727 1339
9 3428 612
0 2663 1947
1 230 2695
2 2025 2794
3 3039 283
4 862 2889
5 376 2110
6 2034 2286
7 951 2068
8 3108 3542
9 307 1421
0 2272 1197
1 1800 3280
2 331 2308
3 465 2552
4 1038 2479
5 1383 343
6 94 236
7 2619 121
8 1497 2774
9 2116 1855
0 722 1584
1 2767 1881
2 2701 1610
3 3283 1732
4 168 1099
5 3074 243
6 3460 945
7 2049 1746
8 566 1427
9 3545 1168

[표 6]

패리티 비트 누산기의 어드레스 (속도 5/6으로부터 축소됨)
3 2409 499 1481 908 559 716 1270 333 2508 2264 1702 2805
4 2447 1926
5 414 1224
6 2114 842
7 212 573
0 2383 2112
1 2286 2348
2 545 819
3 1264 143
4 1701 2258
5 964 166
6 114 2413
7 2243 81
0 1245 1581
1 775 169
2 1696 1104
3 1914 2831
4 532 1450
5 91 974
6 497 2228
7 2326 1579
0 2482 256
1 1117 1261
2 1257 1658
3 1478 1225
4 2511 980
5 2320 2675
6 435 1278
7 228 503
0 1885 2369
1 57 483
2 838 1050
3 1231 1990
4 1738 68
5 2392 951
6 163 645
7 2644 1704

[표 7]

페리티 비트 누산기의 어드레스 (속도 8/9)
0 1558 712 805
1 1450 873 1337
2 1741 1129 1184
3 294 806 1566
4 482 605 923
0 926 1578
1 777 1374
2 608 151
3 1195 210
4 1484 692
0 427 488
1 828 1124
2 874 1366
3 1500 835
4 1496 502
0 1006 1701
1 1155 97
2 657 1403
3 1453 624
4 429 1495
0 809 385
1 367 151
2 1323 202
3 960 318
4 1451 1039
0 1098 1722
1 1015 1428
2 1261 1564
3 544 1190
4 1472 1246
0 508 630
1 421 1704
2 284 898
3 392 577
4 1155 556
0 631 1000
1 732 1368
2 1328 329
3 1515 506
4 1104 1172

[표 8]

페리티 비트 누산기의 어드레스 (속도 1/3)
416 8909 4156 3216 3112 2560 2912 6405 8593 4969 6723 6912
8978 3011 4339 9312 6396 2957 7288 5485 6031 10218 2226 3575
3383 10059 1114 10008 10147 9384 4290 434 5139 3536 1965 2291
2797 3693 7615 7077 743 1941 8716 6215 3840 5140 4582 5420
6110 8551 1515 7404 4879 4946 5383 1831 3441 9569 10472 4306
1505 5682 7778
7172 6830 6623
7281 3941 3505
10270 8669 914
3622 7563 9388
9930 5058 4554
4844 9609 2707
6883 3237 1714
4768 3878 10017
10127 3334 8267

[표 9]

패리티 비트 누산기의 어드레스 (속도 1/5으로부터 축소됨)
6295 9626 304 7695 4839 4936 1660 144 11203 5567 6347 12557
10691 4988 3859 3734 3071 3494 7687 10313 5964 8069 8296 11090
10774 3613 5208 11177 7676 3549 8746 6583 7239 12265 2674 4292
11869 3708 5981 8718 4908 10650 6805 3334 2627 10461 9285 11120
7844 3079 10773
3385 10854 5747
1360 12010 12202
6189 4241 2343
9840 12726 4977

[표 10]

패리티 비트 누산기의 어드레스 (속도 2/5)
5650 4143 8750 583 6720 8071 635 1767 1344 6922 738 6658
5696 1685 3207 415 7019 5023 5608 2605 857 6915 1770 8016
3992 771 2190 7258 8970 7792 1802 1866 6137 8841 886 1931
4108 3781 7577 6810 9322 8226 5396 5867 4428 8827 7766 2254
4247 888 4367 8821 9660 324 5864 4774 227 7889 6405 8963
9693 500 2520 2227 1811 9330 1928 5140 4030 4824 806 3134
1652 8171 1435
3366 6543 3745
9286 8509 4645
7397 5790 8972
6597 4422 1799
9276 4041 3847
8683 7378 4946
5348 1993 9186
6724 9015 5646
4502 4439 8474
5107 7342 9442
1387 8910 2660

이 포함되는 송신기(200).

**청구항 13.**

제12항에 있어서,

상기 BCH 외부 부호는

$$g(x) = (1+x+x^3+x^5+x^{14}) \times (1+x^6+x^8+x^{11}+x^{14}) \times (1+x+x^2+x^6+x^9+x^{10}+x^{14}) \times (1+x^4+x^7+x^8+x^{10}+x^{12}+x^{14}) \times (1+x^2+x^4+x^6+x^8+x^9+x^{11}+x^{13}+x^{14}) \times (1+x^3+x^7+x^8+x^9+x^{13}+x^{14}) \times (1+x^2+x^5+x^6+x^7+x^{10}+x^{11}+x^{13}+x^{14}) \times (1+x^5+x^8+x^9+x^{10}+x^{11}+x^{14}) \times (1+x+x^2+x^3+x^9+x^{10}+x^{14}) \times (1+x^3+x^6+x^9+x^{11}+x^{12}+x^{14}) \times (1+x^4+x^{11}+x^{12}+x^{14}) \times (1+x+x^2+x^3+x^5+x^6+x^7+x^8+x^{10}+x^{13}+x^{14}).$$

의 생성원 다항식에 기초하는 송신기(200).

**청구항 14.**

제12항에 있어서,

상기 LDPC 부호화 신호를 변조하도록 구성된 변조기(205)를 더 포함하는 송신기(200).

**청구항 15.**

제14항에 있어서,

상기 피변조 신호는 광대역 위성 응용을 지원하는 위성 링크(103)를 통해 전송되는 송신기(200).

## 청구항 16.

제14항에 있어서,

상기 변조기는 8-PSK(위상 시프팅 키잉), 16-QAM(직각 진폭 변조), QPSK(직각 위상 시프팅 키잉), 16-APSK(진폭 위상 시프팅 키잉), 및 32-APSK 중 하나를 포함하는 신호 컨스텔레이션에 따라 수행되는 송신기(200).

## 명세서

### 발명의 상세한 설명

#### 발명의 목적

##### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 통신 시스템에 관한 것으로, 보다 구체적으로, 코드화 시스템에 관한 것이다.

통신 시스템은 노이즈가 있는 통신 채널을 통한 신뢰성 있는 통신을 보장하기 위한 코딩을 적용한다. 예를 들어, 위성 네트워크와 같은 무선(또는 라디오) 시스템에서, 노이즈 소스는 지리적, 환경적 요인들로부터 많이 있다. 이들 통신 채널은 이론적인 상한(쉐논 리미트(Shannon limit)라고 알려짐)을 정의하는 임의의 신호-대-노이즈 비율(signal to noise ratio; SNR)에서 심볼당 비트로 표현될 수 있는 고정된 용량을 나타낸다. 그 결과, 코딩 설계는 이러한 쉐논 리미트에 접근하는 비율을 달성하는 것이 목표가 되어 왔다. 이 목적은 특히 광대역 강제 위성 시스템에 밀접한 관계가 있다. 쉐논 리미트에 접근하는 코드들 중 이러한 하나의 클래스는 저밀도 패리티 검사(Low Density Parity Check; LDPC) 부호이다.

일반적으로, LDPC 부호는 많은 단점 때문에 널리 사용되지 못했다. 하나의 단점은 LDPC 인코딩 기술이 매우 복잡하다는 것이다. 생성된 매트릭스(generator matrix)를 이용하여 LDPC 부호를 인코딩하려면 매우 큰 비스파스(non-sparse) 매트릭스 저장이 요구된다. 또한, LDPC 부호는 효율적인 큰 블록을 요구하여, 결과적으로 LDPC 부호의 패리티 매트릭스가 희박할(sparse)지라도, 이들 매트릭스를 저장하는 것이 어렵게 된다.

구현의 측면에서도 많은 난제들에 직면하게 된다. 예를 들어, 스토리지는 LDPC 부호가 실제 널리 사용되지 않는 중요한 이유가 된다. 따라서, 길이 LDPC 부호는 보다 큰 스토리지 공간을 필요로 한다. 또한, LDPC 부호 구현에서 핵심적인 난제는 디코더에서의 몇몇 처리 엔진(노드)들간에 연결 네트워크를 달성하는 방법에 관한 것이다. 게다가, 디코딩 프로세스에서 계산 로드, 특히 검사 노드 동작이 문제를 지니고 있다.

따라서, 간단한 인코딩 및 디코딩 프로세스를 적용하는 LDPC 통신 시스템에 대한 요구가 생기게 되었다. 또한, 더 복잡하게 하지 않고 높은 데이터 속도를 지원하기 위하여 LDPC 부호를 효율적으로 이용하는 요구가 생기게 되었다. 또한, LDPC 인코더 및 디코더의 성능을 개선할 필요가 생기게 되었다. 또한, LDPC 코딩을 구현하기 위한 스토리지 요구사항을 최소화할 필요가 생기게 되었다.

##### 발명이 이루고자 하는 기술적 과제

본 발명은 이들 및 다른 요구사항을 다루며, 또한 단 블록 길이의 저밀도 패리티 검사(LDPC) 부호를 인코딩하는 어프로치를 제공한다. 인코더는 LDPC 부호화 신호로서 전송을 위해 표 1-7 중 어느 하나에 따라 외부 Bose Chaudhuri Hocquenghem(BCH) 부호를 지니는 LDPC 부호를 생성한다. 표 1-7 각각은 패리티 비트 누산기(parity bit accumulator)의 어드레스를 지정한다. 패리티 검사 매트릭스의 일부분을 하위 삼각형으로 제한시키고/제한시키거나 디코

더(305)의 비트 노드와 검사 노드 간의 통신을 간략화시킬 수 있는 다른 요건들을 만족시킴으로써 LDPC 부호가 구성된다. 또한, 순환 반복 검사(CRC) 인코더(209)가 제공되어 CRC 부호에 따른 입력 신호를 인코딩한다. 위의 어프로치는 스트리지 및 처리 리소스를 최소화하면서, 유익하게 LDPC 부호의 디코딩 뿐만 아니라 적절한 인코딩을 제공한다.

본 발명의 실시예의 또 다른 측면에 따르면, LDPC 부호는 8-PSK(Phase Shift Keying, 위상 시프팅 키잉), 16-QAM (Quadrature Amplitude Modulation, 직각 진폭 변조), QPSK(Quadrature Phase Shift Keying, 직각 위상 시프팅 키잉), 16-APSK(Amplitude Phase Shift Keying, 진폭 위상 시프팅 키잉), 및 32-APSK 중 하나를 포함하는 신호 컨스텔레이션(signal constellation)에 따라 피변조 신호에 의해 LDPC 부호가 표현된다.

본 발명의 실시예의 또 다른 측면에 따르면, 피변조 LDPC 부호화 신호는 광대역 위성 응용을 지원하는 위성 링크를 통해 전송된다.

본 발명의 실시예의 또 다른 측면에 따르면, BCH 외부 부호는 이하의 생성원 다항식(generator polynomial)에 기초한다:

$$g(x) = (1+x+x^3+x^5+x^{14}) \times (1+x^6+x^8+x^{11}+x^{14}) \times (1+x+x^2+x^6+x^9+x^{10}+x^{14}) \times (1+x^4+x^7+x^8+x^{10}+x^{12}+x^{14}) \times (1+x^2+x^4+x^6+x^8+x^9+x^{11}+x^{13}+x^{14}) \times (1+x^2+x^7+x^8+x^9+x^{13}+x^{14}) \times (1+x^2+x^5+x^6+x^7+x^{10}+x^{11}+x^{13}+x^{14}) \times (1+x^2+x^8+x^9+x^{10}+x^{11}+x^{14}) \times (1+x+x^2+x^3+x^9+x^{10}+x^{14}) \times (1+x^3+x^6+x^9+x^{11}+x^{12}+x^{14}) \times (1+x^4+x^{11}+x^{12}+x^{14}) \times (1+x+x^2+x^3+x^5+x^6+x^7+x^8+x^{10}+x^{13}+x^{14}).$$

본 발명의 여전히 다른 측면, 특징 및 이점들은, 본 발명을 수행하기 위해 고려된 최선의 모드를 포함하는 많은 특정 실시예 및 구현을 단지 도시함으로써, 이하의 상세한 설명으로부터 명백할 것이다. 본 발명은 또한 기타 및 다른 실시예도 가능하며, 그 몇몇 세부사항은 본 발명의 정신 및 범위를 벗어나지 않고 각종 명백한 측면에서 수정될 수 있다. 따라서, 도면 및 설명은 본질적으로 도시적인 것이지, 제한적이지 않은 것으로 간주되어야 한다.

본 발명은 실례로서 도시되는 것으로 제한하고자 하는 것은 아니며, 첨부된 도면에서 도시되며, 첨부된 도면에서 유사한 참조 번호는 동일한 엘리먼트를 참조한다.

### 발명의 구성

단 프레임 길이의 저밀도 패리티 검사(LDPC) 부호를 효과적으로 인코딩하는 시스템, 방법 및 소프트웨어가 설명된다. 이하의 설명에서, 설명을 위해, 본 발명의 철저한 이해를 제공하기 위해 많은 특정 상세사항이 설명될 것이다. 그러나, 본 발명이 이들 특정 상세사항 없이 또는 동등한 배열로 수행될 수 있다는 것이 당업자들에게 명백할 것이다. 다른 예에서, 불필요하게 본 발명을 애매하게 만드는 것을 피하기 위해 블록도 형태에서 잘 알려진 구조 및 장치들이 도시된다.

도 1은 본 발명의 실시예에 따라 저밀도 패리티 검사(LDPC) 부호를 활용하도록 구성된 통신 시스템의 도면이다. 디지털 통신 시스템(100)은 통신 채널(103)을 통해 수신기(105)로 신호 파형(signal waveforms)을 생성하는 송신기(101)를 포함한다. 이 이산 통신 시스템(100)에서, 송신기(101)는 가능한 메시지의 이산 세트를 생성하는 메시지 소스를 지니고 있다; 가능한 메시지 각각은 대응하는 신호 파형을 지닌다. 이들 신호 파형은 통신 채널(103)에 의해 약해지거나, 또는 변형된다. 잡음 채널(103)과 싸우기 위해, LDPC 부호가 활용된다.

실례로서, 채널(103)은 광대역 위성 응용을 지원하는 위성 터미널(예를 들어, 초소형 지구국(Very Small Aperture Terminals; VSATs))을 공급하는 위성 링크이다. 이러한 응용은 위성 방송 및 대화가능 서비스(interactive service)(및 디지털 비디오 방송(Digital Video Broadcast; DVB)과 호환되는 - S2 표준)를 포함한다. 위성(DVB-S) 표준을 통한 디지털 비디오 방송은 예를 들어, 디지털 위성 텔레비전 프로그래밍을 제공하기 위해 전세계에서 널리 적용되어오고 있다.

송신기(101)에 의해 생성된 LDPC 부호는 성능 손실 없이 고속 구현을 가능하게 한다. 송신기(101)로부터의 이들 구조화된 LDPC 부호 출력은 작은 수의 검사 노드를 변조 스킴(modulation scheme)(예를 들어, 8-PSK)에 의해 이미 채널 오류에 취약점이 있는 비트 노드로 할당하는 것을 피하게 해 준다.

이러한 LDPC 부호는 유익하게 덧셈, 비교 및 표 검색과 같이 간단한 연산을 포함하는 병렬 디코딩 알고리즘(parallelizable decoding algorithm)(터보 부호와 달리)을 지닌다. 또한, 신중하게 설계된 LDPC 부호는 오류 층(error floor)의 어떠한 징조도 보이지 않는다.

본 발명의 한 실시예에 따르면, 송신기(101)는 상대적으로 간단한 인코딩 기술을 사용하여 패리티 검사 매트릭스(디코딩 동안 효율적인 메모리 액세스를 용이하게 함)에 기초한 LDPC 부호를 생성하여 수신기(105)와 통신한다. 송신기(101)는 만일 블록의 길이가 충분히 크다면, 연결된 터보+RS(Reed-Solomon) 부호의 성능을 능가할 수 있는 LDPC 부호를 적용한다.

도 2a 및 2b는 도 1의 송신기에 구현된 예시적인 LDPC 인코더의 도면이다. 도 2a에 도시된 바와 같이, 송신기(200)는 정보 소스(201)로부터 입력을 받아들이고 수신기(105)에서의 오류 정정 처리(error correction processing)에 적합한 상위 리던던시 부호화 스트림(coded stream of higher redundancy)을 출력하는 LDPC 인코더(203)를 갖추고 있다. 정보 소스(201)는 이산 알파벳 X로부터 k 신호를 생성한다. LDPC 부호는 패리티 검사 매트릭스로 지정된다. 한편, 인코딩 LDPC 부호는 일반적으로 생성된 매트릭스(generator matrices)를 지정할 필요가 있다. 가우스 소거법(Gaussian elimination)을 사용하여 패리티 검사 매트릭스로부터 생성된 매트릭스를 획득하는 것이 가능함에도 불구하고, 결과 매트릭스는 더 이상 희박하지(sparse) 않고 큰 생성된 매트릭스(large generator matrix)를 저장하는 것은 복잡할 수 있다.

인코더(203)는 패리티 검사 매트릭스상에 구조를 가함으로써 단지 패리티 검사 매트릭스만을 활용하는 간단한 인코딩 기술을 사용하여 알파벳 Y로부터 변조기(205)로 신호를 생성한다. 특히, 매트릭스의 일부 부분을 삼각형이 되도록 함으로써 패리티 검사 매트릭스에 제한을 둘 수 있다. 이러한 패리티 검사 매트릭스의 구조는 이하의 도 6에 전부 설명되어 있다. 이러한 제한은 무시할 수 있는 성능 손실을 초래하고, 따라서 트레이드-오프(attractive trade-off)를 구성한다.

변조기(205)는 인코더(203)로부터의 인코딩된 메시지를 전송 안테나(207)로 전송된 신호 파형으로 매핑하고, 전송 안테나(207)는 통신 채널(103)을 통해 이 파형들을 방사한다. 따라서, 인코딩된 메시지는 변조되고 전송 안테나(207)로 분배된다. 전송 안테나(207)로부터의 전송은 이하에 설명된 대로 수신기로(도 3에 도시됨) 전파된다.

도 2b는 본 발명의 한 실시예에 따라, Bose Chaudhuri Hocquenghem(BCH) 인코더 및 순환 중복 검사(Cyclic Redundancy Check; CRC) 인코더로 활용된 LDPC 인코더를 보여준다. 이 시나리오에서, LDPC 인코더(203)에 의해 생성된 부호는 CRC 인코더(209) 및 BCH 인코더(211)와 함께, 연결된 외부 BCH 부호 및 내부 저밀도 패리티 검사(LDPC) 부호를 지닌다. 또한, 에러 검출이 CRC 부호를 사용하여 달성된다. CRC 인코더(209)는, 예시적인 실시예에서, 생성된 다항식  $(x^5+x^4+x^3+x^2+1)(x^2+x+1)(x+1)$  을 갖는 8비트 부호를 사용하여 인코딩한다. CRC 부호는 BCH 인코더(211)로 출력된다.

도 2c는 본 발명의 한 실시예에 따라, 단 프레임 길이의 LDPC 부호를 생성하는 도 2b의 LDPC 인코더의 인코딩 프로세스 흐름도를 제공한다. 단계(221)에서, 정보 비트가 수신되고 인코더(209, 211 및 203)의 회로로 처리된다. 그 결과, LDPC 인코더(203)는 단계(223)와 같이, 수신된 정보 비트에 기초하여 외부 BCH 부호로 LDPC 부호를 생성한다. 부호는 또한 CRC 부호를 포함한다. 그 다음, LDPC 부호는 단계(225)를 통해, 예시적인 실시예에서 하나 이상의 위성 단자로의 위성 링크(단계 227)인 채널(103)을 통한 전송을 위해 피변조 신호에 의해 표현된다.

LDPC 인코더(203)는 규칙적으로 크기  $k_{ldpc}$ ,  $\mathbf{i} = (i_0, i_1, \dots, i_{k_{ldpc}-1})$  의 정보 블록을 크기  $n_{ldpc}$ ,  $\mathbf{c} = (i_0, i_1, \dots, i_{k_{ldpc}-1}, p_0, p_1, \dots, p_{n_{ldpc}-k_{ldpc}-1})$  의 부호워드(codeword)로 인코딩한다. 부호워드의 전송은  $i_0$  에서부터 주어진 순서대로 시작되고,  $p_{n_{ldpc}-k_{ldpc}-1}$ , LDPC 부호 매개변수  $(n_{ldpc}, k_{ldpc})$  로 종료된다.

LDPC 인코더(203)의 태스크는  $k_{ldpc}$  정보 비트,  $(i_0, i_1, \dots, i_{k_{ldpc}-1})$  의 모든 블록에 대해  $n_{ldpc} - k_{ldpc}$  패리티 비트  $(p_0, p_1, \dots, p_{n_{ldpc}-k_{ldpc}-1})$  를 결정하는 것이다. 프로시저는 이하와 같다. 먼저, 패리티 비트가 초기화된다;  $p_0 = p_1 = p_2 = \dots = p_{n_{ldpc}-k_{ldpc}-1} = 0$ . 제1 정보 비트,  $i_0$  는 표 1-7의 제1 행에 지정된 패리티 비트 어드레스에서 누산된다. 실례로서,  $k_{ldpc}$  비트는 규칙적으로 인코딩되어  $n_{ldpc}$  를 생성한다. 본 발명의 한 실시예에 따르면,  $n_{ldpc}$  는 16200 비트이고, 이것은 단 블록 길이이다. 이러한 상대적으로 단 길이의 부호가 주어지면, 대략 16200 비트의 길이 또는 그보다 작은 길이를 지니는 LDPC 부호는 "단(short)" 블록 길이의 부호로 간주된다. 본 발명의 한 실시예에 따르면, 단 프레임 길이의 부호의 매개변수가 표 8에 제공된다.

모든 정보 비트를 다 써버린 후, 최종 패리티 비트가 이하와 같이 획득된다. 먼저,  $i=1$ 로 시작하여 이하의 연산이 수행된다.

$$p_i = p_i \oplus p_{i-1}, \quad i = 1, 2, \dots, n_{ldpc} - k_{ldpc} - 1$$

$p_i, i = 0, 1, \dots, n_{\text{idpc}} - k_{\text{idpc}} - 1$  의 최종 내용은 패리티 비트  $p_1$  과 동일하다.

[표 1]

패리티 비트 누산기의 어드레스 (속도 1/2로부터 축소됨)	
20	712 2386 6354 4061 1062 5045 5158
21	2543 5748 4822 2348 3089 6328 5876
22	926 5701 269 3693 2438 3190 3507
23	2802 4520 3577 5324 1091 4667 4449
24	5140 2003 1263 4742 6497 1185 6202
0	4046 6934
1	2855 66
2	6694 212
3	3439 1158
4	3850 4422
5	5924 290
6	1467 4049
7	7820 2242
8	4606 3080
9	4633 7877
10	3884 6868
11	8935 4996
12	3028 764
13	5988 1057
14	7411 3450

[표 2]

패리티 비트 누산기의 어드레스 (속도 3/5)	
2765	5713 6426 3596 1374 4811 2182 544 3394 2840 4310 771
4951	211 2208 723 1246 2928 398 5739 265 5601 5993 2615
210	4730 5777 3096 4282 6238 4939 1119 6463 5298 6320 4016
4167	2063 4757 3157 5664 3956 6045 563 4284 2441 3412 6334
4201	2428 4474 59 1721 736 2997 428 3807 1513 4732 6195
2670	3081 5139 3736 1999 5889 4362 3806 4534 5409 6384 5809
5516	1622 2906 3285 1257 5797 3816 817 875 2311 3543 1205
4244	2184 5415 1705 5642 4886 2333 287 1848 1121 3595 6022
2142	2830 4069 5654 1295 2951 3919 1356 884 1786 396 4738
0	2161 2653
1	1380 1461
2	2502 3707
3	3971 1057
4	5985 6062
5	1733 6028
6	3786 1936
7	4292 956
8	5692 3417
9	266 4878
10	4913 3247
11	4763 3937
12	3590 2903
13	2566 4215
14	5208 4707
15	3940 3388
16	5109 4556
17	4908 4177

[표 3]

패리티 비트 누산기의 어드레스 (속도 2/3)
0 2084 1613 1548 1286 1460 3196 4297 2481 3369 3451 4620 2622
1 122 1516 3448 2880 1407 1847 3799 3529 373 971 4358 3108
2 259 3399 929 2650 864 3996 3833 107 5287 164 3125 2350
3 342 3529
4 4198 2147
5 1880 4836
6 3864 4910
7 243 1542
8 3011 1436
9 2167 2512
10 4606 1003
11 2835 705
12 3426 2365
13 3848 2474
14 1360 1743
0 163 2536
1 2583 1180
2 1542 509
3 4418 1005
4 5212 5117
5 2155 2922
6 347 2696
7 226 4296
8 1560 487
9 3926 1640
10 149 2928
11 2364 563
12 635 688
13 231 1684
14 1129 3894

[표 4]

패리티 비트 누산기의 어드레스 (속도 3/4으로부터 축소됨)
3 3198 478 4207 1481 1009 2616 1924 3437 554 683 1801
4 2681 2135
5 3107 4027
6 2637 3373
7 3830 3449
8 4129 2060
9 4184 2742
10 3946 1070
11 2239 984
0 1458 3031
1 3003 1328
2 1137 1716
3 132 3725
4 1817 638
5 1774 3447
6 3632 1257
7 542 3694
8 1015 1945
9 1948 412
10 995 2238
11 4141 1907
0 2480 3079
1 3021 1088
2 713 1379
3 997 3903
4 2323 3361
5 1110 986
6 2532 142
7 1690 2405
8 1298 1881
9 615 174
10 1648 3112
11 1415 2808

[표 5]

패리티 비트 누산기의 어드레스 (속도 4/5으로부터 축소됨)	
5 896 1565	
6 2493 184	
7 212 3210	
8 727 1339	
9 3428 612	
0 2663 1947	
1 230 2695	
2 2025 2794	
3 3039 283	
4 862 2889	
5 376 2110	
6 2034 2286	
7 951 2068	
8 3108 3542	
9 307 1421	
0 2272 1197	
1 1800 3280	
2 331 2308	
3 465 2552	
4 1038 2479	
5 1383 343	
6 94 236	
7 2619 121	
8 1497 2774	
9 2116 1855	
0 722 1584	
1 2767 1881	
2 2701 1610	
3 3283 1732	
4 168 1099	
5 3074 243	
6 3460 945	
7 2049 1746	
8 566 1427	
9 3545 1168	

[표 6]

패리티 비트 누산기의 어드레스 (속도 5/6으로부터 축소됨)
3 2409 499 1481 908 559 716 1270 333 2508 2264 1702 2805
4 2447 1926
5 414 1224
6 2114 842
7 212 573
0 2383 2112
1 2286 2348
2 545 819
3 1264 143
4 1701 2258
5 964 166
6 114 2413
7 2243 81
0 1245 1581
1 775 169
2 1696 1104
3 1914 2831
4 532 1450
5 91 974
6 497 2228
7 2326 1579
0 2482 256
1 1117 1261
2 1257 1658
3 1478 1225
4 2511 980
5 2320 2675
6 435 1278
7 228 503
0 1885 2369
1 57 483
2 838 1050
3 1231 1990
4 1738 68
5 2392 951
6 163 645
7 2644 1704

[표 7]

패리티 비트 누산기의 어드레스 (속도 8/9)
0 1558 712 805
1 1450 873 1337
2 1741 1129 1184
3 294 806 1566
4 482 605 923
0 926 1578
1 777 1374
2 608 151
3 1195 210
4 1484 692
0 427 488
1 828 1124
2 874 1366
3 1500 835
4 1496 502
0 1006 1701
1 1155 97
2 657 1403
3 1453 624
4 429 1495
0 809 385
1 367 151
2 1323 202
3 960 318
4 1451 1039
0 1098 1722
1 1015 1428
2 1261 1564
3 544 1190
4 1472 1246
0 508 630
1 421 1704
2 284 898
3 392 577
4 1155 556
0 631 1000
1 732 1368
2 1328 329
3 1515 506
4 1104 1172

표 8-10은 다른 예시적인 부호 속도, 16200 비트의  $n_{ldpc}$  에 대해 1/3, 1/5, 및 2/5 를 제공한다.

[표 8]

패리티 비트 누산기의 어드레스 (속도 1/3)
416 8909 4156 3216 3112 2560 2912 6405 8593 4969 6723 6912
8978 3011 4339 9312 6396 2957 7288 5485 6031 10218 2226 3575
3383 10059 1114 10008 10147 9384 4290 434 5139 3536 1965 2291
2797 3693 7615 7077 743 1941 8716 6215 3840 5140 4582 5420
6110 8551 1515 7404 4879 4946 5383 1831 3441 9569 10472 4306
1505 5682 7778
7172 6830 6623
7281 3941 3505
10270 8669 914
3622 7563 9388
9930 5058 4554
4844 9609 2707
6883 3237 1714
4768 3878 10017
10127 3334 8267

[표 9]

패리티 비트 누산기의 어드레스 (속도 1/5으로부터 축소됨)			
6295	9626	304	7695
4839	4936	1660	144
11203	5567	6347	12557
10691	4988	3859	3734
3071	3494	7687	10313
5964	8069	8296	11090
10774	3613	5208	11177
7676	3549	8746	6583
7239	12265	2674	4292
11869	3708	5981	8718
4908	10650	6805	3334
2627	10461	9285	11120
7844	3079	10773	
3385	10854	5747	
1360	12010	12202	
6189	4241	2343	
9840	12726	4977	

[표 10]

패리티 비트 누산기의 어드레스 (속도 2/5)			
5650	4143	8750	583
6720	8071	635	1767
1344	6922	738	6658
5696	1685	3207	415
7019	5023	5608	2605
857	6915	1770	8016
3992	771	2190	7258
8970	7792	1802	1866
6137	8841	886	1931
4108	3781	7577	6810
9322	8226	5396	5867
4428	8827	7766	2254
4247	888	4367	8821
9660	324	5864	4774
227	7889	6405	8963
9693	500	2520	2227
1811	9330	1928	5140
4030	4824	806	3134
1652	8171	1435	
3366	6543	3745	
9286	8509	4645	
7397	5790	8972	
6597	4422	1799	
9276	4041	3847	
8683	7378	4946	
5348	1993	9186	
6724	9015	5646	
4502	4439	8474	
5107	7342	9442	
1387	8910	2660	

모든 정보 비트를 다 써버린 후, 최종 패리티 비트가 이하와 같이 획득된다. 먼저,  $i=1$ 로 시작하여 이하의 연산이 수행된다.

$$p_i = p_i \oplus p_{i-1}, \quad i=1,2,\dots,n_{ldpc} - k_{ldpc} - 1$$

$p_i, i = 0,1,\dots, n_{ldpc} - k_{ldpc} - 1$  의 최종 내용은 패리티 비트  $p_1$  과 동일하다.

BCH 인코더(211)에 대해,  $n_{ldpc}$  가 16200과 동일하게 BCH 부호 매개변수가 표 11에 나열되어 있다.

[표 11]

$k_{ldpc}$	$k_{bch}$	BCH 정정 (비트)	효율적인 LDPC 속도 $k_{ldpc}/n_{ldpc}$
7200	7032	12	0.444
9720	9552	12	3/5
10800	10632	12	2/3
11880	11712	12	0.733
12600	12432	12	0.777
13320	13152	12	0.822
14400	14232	12	8/9

BCH 인코더(211)에 의해 활용되는 BCH 부호의 생성원 다항식은 이하와 같다:

$$\begin{aligned}
 g(x) &= (1+x+x^3+x^5+x^{14}) \times (1+x^6+x^8+x^{11}+x^{14}) \times (1+x+x^2+x^6+x^9+x^{10}+x^{14}) \times \\
 & (1+x^4+x^7+x^8+x^{10}+x^{12}+x^{14}) \times (1+x^2+x^4+x^6+x^8+x^9+x^{11}+x^{13}+x^{14}) \times \\
 & (1+x^3+x^7+x^8+x^9+x^{13}+x^{14}) \times (1+x^2+x^5+x^6+x^7+x^{10}+x^{11}+x^{13}+x^{14}) \times \\
 & (1+x^2+x^3+x^9+x^{10}+x^{11}+x^{14}) \times (1+x+x^2+x^3+x^9+x^{10}+x^{14}) \times (1+x^3+x^6+x^9+x^{11}+x^{12}+x^{14}) \times \\
 & (1+x^4+x^{11}+x^{12}+x^{14}) \times (1+x+x^2+x^3+x^5+x^6+x^7+x^8+x^{10}+x^{13}+x^{14}).
 \end{aligned}$$

정보 비트  $m = (m_{k_{bch}-1}, m_{k_{bch}-2}, \dots, m_1, m_0)$  을 부호워드  $c = (m_{k_{bch}-1}, m_{k_{bch}-2}, \dots, m_1, m_0, d_{n_{bch}-k_{bch}-1}, d_{n_{bch}-k_{bch}-2}, \dots, d_1, d_0)$  로 BCH 인코딩하는 것은 이하와 같이 달성된다. 메세지 다항식  $m(x) = m_{k_{bch}-1}x^{k_{bch}-1} + m_{k_{bch}-2}x^{k_{bch}-2} + \dots + m_1x + m_0$  에  $x^{n_{bch}-k_{bch}}$  를 곱한다. 다음,  $x^{n_{bch}-k_{bch}}$   $m(x)$ 를  $g(x)$ 로 나눈다.  $d(x) = d_{n_{bch}-k_{bch}-1}x^{n_{bch}-k_{bch}-1} + \dots + d_1x + d_0$  를 나머지로 하여, 부호워드 다항식은 이하와 같이 설정된다:  $c(x) = x^{n_{bch}-k_{bch}} m(x) + d(x)$ .

상술된 대로, LDPC 부호는 예시적인 실시예에서, MPEG(Motion Pictures Expert Group) 패킷 전송과 같은 각종 디지털 비디오 응용에 사용될 수 있다.

도 3은 도 1 시스템의 예시적인 수신기 도면이다. 수신측에서, 수신기(300)는 전송기(200)로부터 수신된 신호를 복조하는 복조기(301)를 포함한다. 이들 신호는 복조를 위해 수신 안테나(303)에서 수신된다. 복조 후, 수신된 신호는 인코더(305)로 전달되고, 인코더는 비트 매트릭 생성원(307)과 함께 메세지 X'를 생성함으로써 최초 소스 메세지 재구성을 시도한다. 비트 매트릭 생성원(307)은 디코딩 프로세스동안 이리저리(반복적으로) 디코더(305)와 정보를 교환할 수 있다. 이 디코더 어프로치는 제목이 "저밀도 패리티 검사(LDPC) 디코더에서 라우팅하는 방법 및 시스템(Method and System for Routing in Low Density Parity Check Decoders)"이고, 2003년 7월 3일 출원된 동시계속출원(Serial No. 10/613,824; Attorney Docket PD-203009)에 전부 설명되어 있으며, 그 전체 내용이 본 명세서에 참조된다. 본 발명에 의해 제공되는 이점을 이해하기 위해, 도 4에 설명된 LDPC 부호가 생성되는 방법을 알아보는 것이 유익할 것이다.

도 4는 본 발명의 실시예에 따른 스파스 패리티 검사 행렬의 도면이다. LDPC 부호는 스파스 패리티 검사 매트릭스  $H_{(n-k) \times n}$  이 있는 긴, 선형 블록 부호이다. 일반적으로 블록 길이 n은 그 범위가 수 천에서 수 만비트이다. 예를 들어, 길이 n=8 이고 속도 1/2인 LDPC 부호에 대한 패리티 검사 매트릭스가 도 4에 도시되어 있다. 동일한 부호를 동등하게 도 5를 통해 이분 그래프에 의해 나타낼 수 있다.

도 5는 도 4 매트릭스의 LDPC 부호의 이분 그래프 도면이다. 패리티 검사 방정식은 각 검사 노드에 대해, 모든 인접하는 비트 노드의 합(GF(Galois Field)(2)를 통해)이 0이라는 것을 의미한다. 도면에서 보여지는 바와 같이, 비트 노드는 그래프의 왼쪽 면을 차지하고 미리 결정된 관계에 의해 하나 이상의 검사 노드와 관련되어 있다. 예를 들어, 검사 노드  $m_1$  에 대응하여, 비트 노드에 관해  $n_1 + n_4 + n_5 + n_8 = 0$  이라는 이하의 표현이 존재한다.

수신기(303)로 다시 돌아와서, LDPC 디코더(305)는 메세지 통과 디코더로 간주되고, 그것에 의해 디코더(305)는 비트 노드의 값을 찾는 것을 목적으로 한다. 이 태스크를 수행하기 위해, 비트 노드 및 검사 노드는 반복적으로 서로 통신한다. 이 통신의 본질이 이하에 설명되어 있다.

검사 노드에서 비트 노드까지, 각 검사 노드는 다른 인접 비트 노드로부터 온 정보에 기초하여 그 비트 노드의 값에 관한 추정("의견")을 인접 비트 노드에 제공한다. 예를 들어, 위의 예제에서  $n_4, n_5, n_8$  의 합이  $m_1$ 에게 0처럼 보인다면,  $n_1$ 에게  $n_1$ 의 값이 0일 것으로 생각된다( $n_1 + n_4 + n_5 + n_8 = 0$  이기 때문)는 것을 표시한다; 그렇지 않을 경우  $m_1$ 은  $n_1$ 에게  $n_1$ 의 값이 1일 것으로 생각된다는 것을 표시한다. 또한, 연관성 디코딩(soft decision decoding)에 대해, 신뢰성 측정이 추가된다.

비트 노드에서 검사 노드까지, 각 비트 노드는 다른 인접 검사 노드로부터 온 피드백에 기초하여 그 자체의 값에 대한 추정을 인접 검사 노드에 중계한다. 위의 예제에서,  $n_1$ 은 단지 2개의 인접 검사 노드  $m_1$  및  $m_3$ 을 지니고 있다.  $m_3$ 으로부터의 피드백이  $n_1$ 에게  $n_1$ 의 값이 아마 0일 것이라는 것을 표시한다면,  $n_1$ 은  $n_1$  자기 자신의 값의 추정이 0이라는 것을  $m_1$ 에게 통보할 것이다. 비트 노드가 2개 이상의 인접 검사 노드를 지니는 이러한 경우에 대해, 비트 노드는 그 결정을 자신이 통신

하는 검사 노드에게 보고하기 전에 다른 인접 검사 노드로부터 온 피드백에 다수결(연관정)을 수행한다. 위의 프로세스는 모든 비트 노드가 옳다고 간주될 때까지(즉, 모든 패리티 검사 방정식이 만족될 때까지) 또는 미리 결정된 최대 반복 수에 도달할 때까지 반복되며, 이것에 의해서 디코딩 실패가 선언된다.

도 6은 스파스 패리티 검사 매트릭스의 서브 매트릭스 도면이고, 여기서 서브 매트릭스는 본 발명의 한 실시예에 따라 하위 삼각형 영역에 제한된 패리티 검사 값을 포함한다. 이전에 설명되었듯이, (도 2a 및 도 2b의) 인코더(203)는 패리티 검사 매트릭스의 하위 삼각형 영역의 값을 제한함으로써 간단한 인코딩 기술을 적용할 수 있다. 본 발명의 실시예에 따라, 패리티 검사 매트릭스에 가해진 제한은 다음의 형태이다:

$$H_{(n-k) \times n} = [A_{(n-k) \times k} \ B_{(n-k) \times (n-k)}]$$

여기서, B는 하위 삼각형이다.

임의의 정보 블록  $i=(i_0, i_1, \dots, i_{k-1})$  는  $Hc^T = 0$  를 사용하여 부호워드  $c=(i_0, i_1, \dots, i_{k-1}, p_0, p_1, \dots, p_{n-k-1})$  로 인코딩되고, 반복적으로 패리티 비트를 해결한다; 예를 들어, 아래와 같고,  $p_2, p_3, \dots, p_{n-k-1}$  에 대해서도 유사하다.

$$a_{00}i_0 + a_{01}i_1 + \dots + a_{0,k-1}i_{k-1} + p_0 = 0 \Rightarrow \text{Solve } p_0$$

$$a_{10}i_0 + a_{11}i_1 + \dots + a_{1,k-1}i_{k-1} + b_{10}p_0 + p_1 = 0 \Rightarrow \text{Solve } p_1$$

도 7는 본 발명에 따른 실시예가 수행되는 컴퓨터 시스템을 나타낸다. 컴퓨터 시스템(700)은 정보를 교환하기 위한 버스(701) 또는 기타 통신 메카니즘, 및 정보를 처리하기 위하여 버스(701)와 결합되는 프로세서(703)를 포함한다. 컴퓨터 시스템(700)은 또한 프로세서(703)에 의해 실행되는 명령어들과 정보를 저장하기 위하여 버스(701)에 결합되는, RAM 또는 기타 동적 스토리지 장치와 같은 주 메모리(705)를 포함한다. 주 메모리(705)는 또한 프로세서(703)에 의해 실행되는 명령의 실행 중에 임시 변수 또는 기타 중간 정보를 저장하는 데 사용될 수 있다. 컴퓨터 시스템(700)은 또한 프로세서(703)에 대한 명령어들과 정적 정보를 저장하기 위하여 버스(701)에 결합되는 ROM(707) 또는 기타 정적 스토리지 장치를 더 포함한다. 광 디스크 또는 자기 디스크와 같은 스토리지 장치(709)는 정보 및 명령어들을 저장하기 위하여 추가로 버스(701)에 결합된다.

컴퓨터 시스템(700)은 버스(701)를 통하여 음극선관(CRT), 액정 디스플레이 장치, 능동매트릭스형 디스플레이 장치, 또는 플라즈마 디스플레이 장치와 같이 정보를 컴퓨터 사용자에게 디스플레이하기 위한 디스플레이(711)에 결합될 수 있다. 문자숫자키 및 기타 키들을 포함하는 키보드와 같은 입력장치(713)는 프로세서(703)로의 명령 선택 및 정보의 통신을 위하여 버스(701)에 결합된다. 다른 유형의 사용자 입력장치로서, 프로세서(703)로의 명령을 선택하고, 방향정보를 통신하며, 디스플레이(711)의 커서 움직임을 제어하기 위한 마우스, 트랙볼, 또는 커서 방향키와 같은 커서 제어기(715)가 있다.

본 발명의 실시예에 따르면, 주 메모리(705)내에 포함된 명령어들의 배치를 실행하는 프로세서(703)에 응답하여 컴퓨터 시스템(700)에 의해 LDPC 부호의 생성이 제공된다. 이러한 명령어들은 스토리지 장치(709)와 같은 기타의 컴퓨터 판독가능 매체로부터 주 메모리(705)로 판독될 수 있다. 주 메모리(705)내에 포함된 일련의 명령어의 실행은 프로세서(703)가 본 명세서에서 설명하는 프로세스 단계들을 수행하도록 한다. 멀티프로세싱 배치에서 또한 하나 이상의 프로세서들은 주 메모리(705)내에 포함된 명령어들을 실행하도록 적용될 수 있다. 대체 실시예로서, 본 발명에 따른 실시예를 구현하기 위하여 소프트웨어 명령어 대신에 또는 이와 함께 하드 와이어드 회로(hard-wired circuitry)가 사용될 수 있다. 따라서, 본 발명의 실시예들은 하드웨어 회로 및 소프트웨어의 임의의 특정한 조합에 제한되지 않는다.

컴퓨터 시스템(700)은 또한 버스(701)에 결합되는 통신 인터페이스(717)를 포함한다. 통신 인터페이스(717)는 로컬 네트워크(721)에 접속된 네트워크 링크(719)로 2-웨이(two-way) 데이터통신 결합을 제공한다. 예를 들어, 통신 인터페이스(717)는 해당 유형의 전화선으로의 데이터통신 접속을 제공하기 위해 디지털 가입자 회선(digital subscriber line; DSL) 카드 또는 모뎀, 통합 서비스 디지털 네트워크(integrated services digital network; ISDN) 카드, 케이블 모뎀, 또는 전화 모뎀 일 수 있다. 다른 예로서, 통신 인터페이스(717)는 호환가능한 LAN으로의 데이터 통신 접속을 제공하는 LAN 카드(예를 들어, Ethernet™ 또는 비동기 전송 모델(Asynchronous Transfer Model; ATM) 네트워크) 일 수 있다. 무선 링크 또한 구현될 수 있다. 이러한 구현예에 있어서, 통신 인터페이스(717)는 다양한 형태의 정보를 나타내는 디지털 데이터 스트림을 운반하는 전기적, 전자기적, 광학적 신호들을 송수신한다. 또한, 통신 인터페이스(717)는 USB 인터페이스, PCMCIA 인터페이스 등의 주변 인터페이스 장치를 포함할 수 있다.

네트워크 링크(719)는 일반적으로 하나 이상의 네트워크를 통해 다른 데이터 장치로 데이터 통신을 제공한다. 예를 들어, 네트워크 링크(719)는 로컬 네트워크(721)를 통해 호스트 컴퓨터(723)로의 접속을 제공하며, 호스트 컴퓨터(723)는 네트워크(725)(예컨대, 광대역 네트워크(WAN) 또는 현재 "Internet"으로 통상 불리우는 글로벌 패킷 데이터통신 네트워크)로 또는 서비스 제공자에 의해 동작되는 데이터 장비로의 접속을 갖는다. 로컬 네트워크(721) 및 네트워크(725) 모두 정보와 명령어들을 운반하기 위하여 전기적, 전자기적, 또는 광학적 신호를 사용한다. 각종 네트워크를 통한 신호들 및 네트워크 링크(719)상과 디지털 데이터를 컴퓨터 시스템(700)과 통신하는 통신 인터페이스(717)를 통과한 신호들은 정보와 명령어들을 담고 있는 반송파의 예시적인 형태들이다.

컴퓨터 시스템(700)은 네트워크, 네트워크 링크(719), 및 통신 인터페이스(717)를 통해 프로그램 코드를 포함하는 메시지를 전송하고 데이터를 수신할 수 있다. 인터넷의 예에서, 서버(도시 생략)는 본 발명의 실시예를 구현하기 위한 애플리케이션 프로그램에 속하는 요청 코드들을 네트워크(725), 로컬 네트워크(721), 및 통신 인터페이스(717)를 통하여 전송할 수 있다. 프로세서(703)는 수신하는 동안 전송된 코드를 실행하고, 및/또는 추후의 실행을 위하여 코드를 스토리지 장치(709) 또는 기타 불휘발성 스토리지 장치에 저장할 수 있다. 이와 같이, 컴퓨터 시스템(700)은 반송파 형태로 애플리케이션 코드를 획득할 수 있다.

본 명세서에서 사용되는 "컴퓨터 판독가능 매체"라는 용어는 실행을 위하여 프로세서(703)로 명령어를 제공하는데 참여하는 임의의 매체를 말한다. 이러한 매체는 많은 형태를 취할 수 있는데, 불휘발성 매체, 휘발성 매체, 및 전송 매체를 포함하되, 이에 제한되지 않는다. 불휘발성 매체는 예를 들어 스토리지 장치(709)와 같은 광 디스크 또는 자기 디스크를 포함한다. 휘발성 매체는 주 메모리(705)와 같은 동적 메모리를 포함한다. 전송 매체는 무선 주파수(RF) 및 적외선(IR) 데이터 통신 중에 발생하는 것과 같은, 음파적, 광학적, 또는 전자기적 파형의 형태를 또한 취할 수 있다. 컴퓨터 판독가능 매체의 공통적인 형태로는 예를 들어 플로피 디스크, 플렉시블(flexible) 디스크, 하드 디스크, 자기 테이프, 기타 자기 매체, CD-ROM, CDRW, DVD, 기타 광학 매체, 펀치 카드, 종이 테이프, 광학적 마크시트(mark sheet), 기타 홀의 패턴 또는 기타 광학적으로 인식가능한 표식을 갖는 물리적 매체, RAM, PROM, EPROM, FLASH-PROM, 기타 메모리 칩 또는 카트리지, 반송파, 또는 기타 컴퓨터가 판독할 수 있는 매체들을 포함한다.

실행을 위하여 명령어를 프로세서로 제공하기 위하여 각종 형태의 컴퓨터 판독가능 매체가 포함될 수 있다. 예컨대, 본 발명의 적어도 일부를 실행하기 위한 명령어들이 초기에는 원격 컴퓨터의 자기디스크에 포함된다. 이러한 시나리오에서는, 원격 컴퓨터가 명령어들을 주 메모리로 로드하고, 명령어들을 모뎀을 사용하는 전화선을 통해 전송한다. 로컬 컴퓨터 시스템의 모뎀은 전화선상의 데이터를 수신하고, 데이터를 적외선 신호로 변환하여 적외선 신호를 PDA 및 랩톱 컴퓨터와 같은 휴대용 컴퓨팅 장치로 전송하는 적외선 전송기를 사용한다. 휴대용 컴퓨터 장치의 적외선 검출기는 적외선 신호에 포함된 정보와 명령어들을 수신하고, 그 데이터를 버스상에 위치시킨다. 버스는 그 데이터를 주 메모리로 운반하며, 프로세서는 주 메모리로부터 명령어들을 검색하고 실행한다. 주 메모리에서 수신된 명령어들은 선택적으로 프로세서의 실행 전후에 스토리지 장치상에 저장될 수 있다.

따라서, 본 발명의 각종 실시예는 단 블록 길이의 저밀도 패리티 검사(LDPC) 부호를 인코딩하는 어프로치를 제공한다. 인코더는 LDPC 부호화 신호로서 전송을 위해 표 1-10 중 어느 하나에 따라 외부 Bose Chaudhuri Hocquenghem(BCH) 부호를 지니는 LDPC 부호를 생성한다. 표 1-10 각각은 패리티 비트 누산기의 어드레스를 지정한다. 패리티 검사 매트릭스의 일부분을 하위 삼각형으로 제한시키고/제한시키거나 디코더의 비트 노드와 검사 노드 간의 통신을 간략화시킬 수 있는 다른 요건들을 만족시킴으로써 LDPC 부호가 구성된다. 또한, 순환 반복 검사(CRC) 인코더가 제공되어 CRC 부호에 따른 입력 신호를 인코딩한다. 위의 어프로치는 유익하게 성능 손해 없이 복잡성을 감소시킨다.

본 발명이 많은 실시예와 구현과 함께 설명되었지만, 본 발명은 제한되지 않고 각종 명백한 수정 및 동등한 배열을 포함하고, 이것은 첨부된 청구항의 범위에 포함된다.

### 발명의 효과

패리티 검사 매트릭스의 일부분을 하위 삼각형으로 제한시키고/제한시키거나 디코더의 비트 노드와 검사 노드 간의 통신을 간략화시킬 수 있는 다른 요건들을 만족시킴으로써 LDPC 부호가 구성된다. 또한, 순환 반복 검사(CRC) 인코더가 제공되어 CRC 부호에 따른 입력 신호를 인코딩한다. 이 어프로치를 통해 유익하게 성능 손해 없이 복잡성을 감소시킬 수 있다.

### 도면의 간단한 설명

도 1은 본 발명의 실시예에 따라 저밀도 패리티 검사(Low Density Parity Check; LDPC) 부호를 활용하도록 구성된 통신 시스템의 도면.

도 2a 및 도 2b는 도 1의 송신기에 구현된 예시적인 LDPC 인코더(encoder)의 도면.

도 2c는 본 발명의 한 실시예에 따른 단 프레임 길이의 LDPC 부호(short frame length LDPC code)를 생성하는 도 2b의 LDPC 인코더의 인코딩 프로세스 흐름도.

도 3은 도 1의 시스템의 예시적인 수신기의 도면.

도 4는 본 발명의 실시예에 따른 스파스 패리티 검사 매트릭스(sparse parity check matrix)의 도면.

도 5는 도 4의 매트릭스의 LDPC 부호의 이분 그래프(bipartite graph) 도면.

도 6은 스파스 패리티 검사 매트릭스의 서브 매트릭스 도면으로서, 서브 매트릭스는 본 발명의 실시예에 따라, 하위 삼각형 영역(lower triangular region)에 제한된 패리티 검사 값을 포함하는 도면.

도 7은 본 발명의 실시예에 따라 LDPC 인코딩 프로세스를 수행할 수 있는 컴퓨터 시스템의 도면.

<도면의 주요 부분에 대한 부호의 설명>

701 : 버스

703 : 프로세서

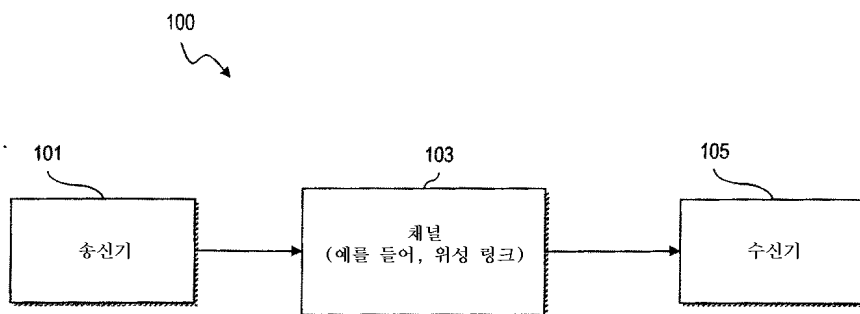
705 : 주 메모리

707 : ROM

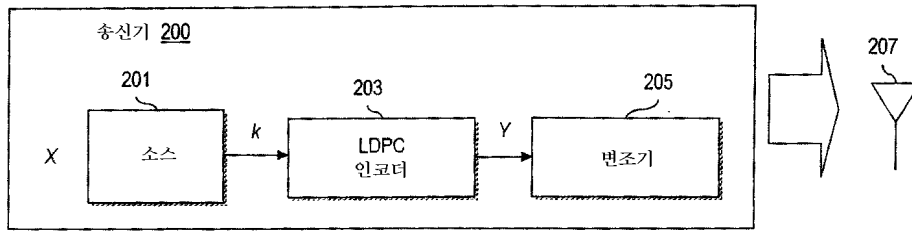
709 : 스토리지 장치

도면

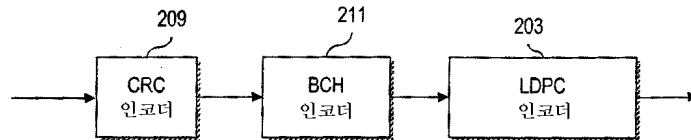
도면1



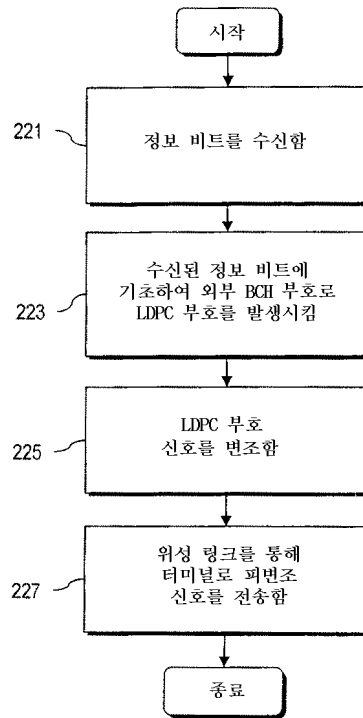
도면2a



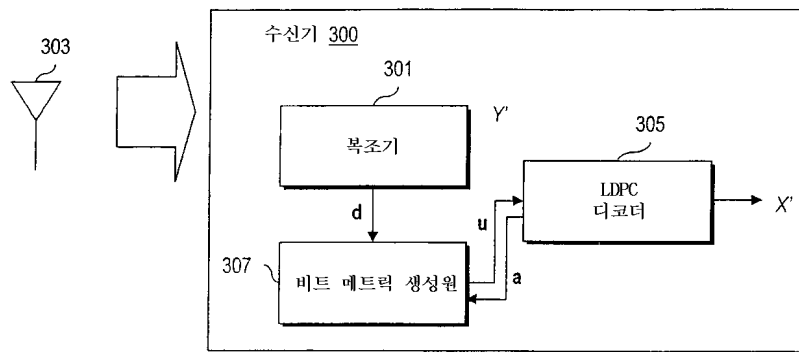
도면2b



도면2c



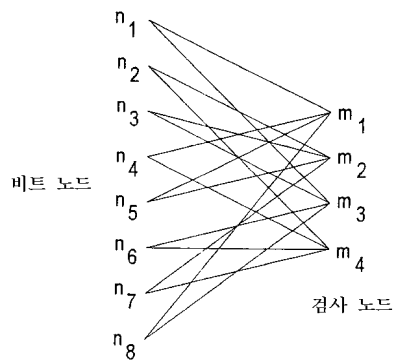
도면3



도면4

$$H = \begin{matrix} & \begin{matrix} n_1 & n_2 & n_3 & n_4 & n_5 & n_6 & n_7 & n_8 \end{matrix} \\ \begin{matrix} m_1 \\ m_2 \\ m_3 \\ m_4 \end{matrix} & \begin{bmatrix} 1 & 0 & 0 & 1 & 1 & 0 & 0 & 1 \\ 0 & 1 & 1 & 0 & 1 & 0 & 1 & 0 \\ 1 & 0 & 1 & 0 & 0 & 1 & 0 & 1 \\ 0 & 1 & 0 & 1 & 0 & 1 & 1 & 0 \end{bmatrix} \end{matrix}$$

도면5



도면6

$$B = \begin{bmatrix} 1 & & & & & & & \\ x & 1 & & & & & & \\ x & x & 1 & & & & & \\ x & x & x & 1 & & & & \\ x & x & x & x & 1 & & & \\ x & x & x & x & x & 1 & & \end{bmatrix}$$

도면7

