

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2005-528793

(P2005-528793A)

(43) 公表日 平成17年9月22日(2005.9.22)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
HO 1 L 29/78	HO 1 L 29/78 3 O 1 X	5 F O 4 8
HO 1 L 21/265	HO 1 L 21/265 W	5 F 1 4 0
HO 1 L 21/8234	HO 1 L 27/08 1 O 2 A	
HO 1 L 27/088	HO 1 L 27/08 1 O 2 B	

審査請求 有 予備審査請求 有 (全 17 頁)

(21) 出願番号 特願2004-510008 (P2004-510008)
 (86) (22) 出願日 平成15年6月3日(2003.6.3)
 (85) 翻訳文提出日 平成16年12月2日(2004.12.2)
 (86) 国際出願番号 PCT/US2003/017269
 (87) 国際公開番号 W02003/103019
 (87) 国際公開日 平成15年12月11日(2003.12.11)
 (31) 優先権主張番号 10/063, 994
 (32) 優先日 平成14年6月3日(2002.6.3)
 (33) 優先権主張国 米国 (US)

(71) 出願人 390009531
 インターナショナル・ビジネス・マシー
 ズ・コーポレーション
 INTERNATIONAL BUSIN
 ESS MASCHINES CORPO
 RATION
 アメリカ合衆国10504 ニューヨーク
 州 アーモンク ニュー オーチャード
 ロード
 (74) 代理人 100086243
 弁理士 坂口 博
 (74) 代理人 100091568
 弁理士 市位 嘉宏
 (74) 代理人 100108501
 弁理士 上野 剛史

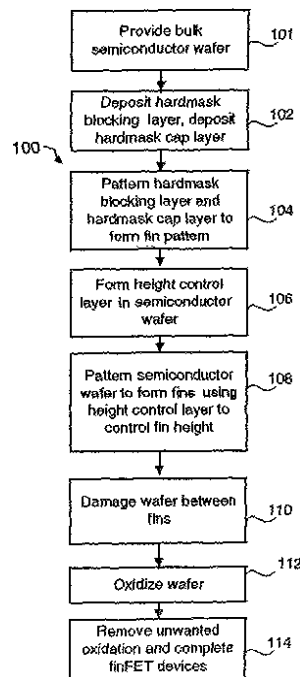
最終頁に続く

(54) 【発明の名称】 フィン型電界効果トランジスタの製造方法

(57) 【要約】

【課題】 デバイスの変動を最小にするとともに十分なデバイスの分離を実現しながら、バルクの半導体ウェーハでフィン型FETを形成する。

【解決手段】 本発明はウェーハ間におけるデバイスの均一性を改善しながら、バルクの半導体ウェーハ(200)からフィン(210)型電界効果トランジスタ(FET)を形成するためのデバイス構造と方法を提供する。特に、本発明では高さ制御層(212)(たとえば基板(200)の損傷部分またはマーカ層)を形成する。これにより、フィンの高さを均一にすることができる。また、本発明ではフィン側壁の酸化部分(216)に比して基板の部分を選択的に酸化することより、フィン(210)の間に分離領域(214)を形成する。これにより、フィンの幅を最適化するとともに狭くすることができる。したがって、本発明に係るデバイス構造と方法によれば、コスト効率の高いバルクのウェーハを使用しながら均一なフィン型FETを製造するという利点が得られる。



【特許請求の範囲】**【請求項 1】**

半導体基板(200)にフィン型FETを形成する方法であって、
前記半導体基板(200)からフィン(210)を形成するステップ(102、104、106、108)と、
同時に前記フィン(210)を分離しながら前記フィン(210)の幅をさらに画定するプロセス(110、112、114)に前記基板(200)をさらすステップとを備えた方法。

【請求項 2】

同時に前記フィン(210)を分離しながら前記フィン(210)の幅をさらに画定するプロセス(110、112、114)に前記基板(200)をさらす前記ステップが、前記フィン(210)に隣接する半導体基板領域の少なくとも一部分(212)に損傷を与えるステップ(110)と、
前記半導体基板の損傷部分(214)に形成される酸化膜の厚さがフィンの側壁(216)に形成される酸化膜の厚さよりも厚くなるように前記半導体基板を酸化するステップ(214)とを備えている、
請求項1に記載の方法。

10

【請求項 3】

前記フィン(210)に隣接する半導体基板領域の少なくとも一部分(212)に損傷を与える前記ステップ(110)が、
前記フィン(210)に隣接する半導体基板の少なくとも一部分にイオン打ち込みを行なうステップを備えている、
請求項2に記載の方法。

20

【請求項 4】

前記イオン打ち込みが、
前記フィンの側壁への損傷を最小にするために、実質的に前記フィン(210)と平行に行なうイオン打ち込みを含んでいる、
請求項3に記載の方法。

【請求項 5】

さらに、
前記フィン(210)への損傷を低減するために、前記フィン(210)の表面に阻止層(204)を形成するステップを備えた、
請求項3に記載の方法。

30

【請求項 6】

前記フィン(210)に隣接する半導体基板領域の少なくとも一部分(212)に損傷を与える前記ステップ(110)が、
陽極反応を行なって前記フィン(210)に隣接する半導体基板の少なくとも一部分の多孔性を増大させるステップを備えている、
請求項2に記載の方法。

40

【請求項 7】

陽極反応を行なって前記フィン(210)に隣接する半導体基板の少なくとも一部分の多孔性を増大させる前記ステップが、
前記フィン(210)に隣接する半導体基板にP型のイオン打ち込みを行ない、前記半導体基板(200)をアニールし、前記半導体基板の少なくとも一部分を化学エッチャントにさらすステップを備えている、
請求項6に記載の方法。

【請求項 8】

前記半導体基板(200)から前記フィン(210)を形成する前記ステップが、
前記半導体基板(200)に高さ制御層を形成するステップ(106)と、

50

前記高さ制御層によってフィンの高さを容易に均一にしようとして前記半導体基板をエッチングして前記フィン(210)を画定するステップとを備えている、
請求項1に記載の方法。

【請求項9】

前記半導体基板(200)に高さ制御層を形成する前記ステップ(106)が、
前記基板に損傷を与えて前記基板の損傷部分(212)のエッチング速度を前記基板(200)の非損傷部分に比して変化させるイオン打ち込みを前記半導体基板に行なうステップを備えている、
請求項8に記載の方法。

【請求項10】

前記半導体基板(200)に高さ制御層を形成する前記ステップ(106)が、前記半導体基板にマーカ層を形成するステップを備え、
前記高さ制御層によって前記フィンの高さを容易に均一にしようとして前記半導体基板をエッチングして前記フィン(210)を画定する前記ステップが、前記半導体基板(200)のエッチング(108)の間に前記マーカ層をモニタするステップを備えている、
請求項8に記載の方法。

10

【請求項11】

同時に前記フィン(210)を分離しながら前記フィン(210)の幅をさらに画定するプロセス(110、112、114)に前記基板(200)をさらに前記ステップが、
前記フィンの幅を、前記半導体基板(200)から前記フィン(210)を形成する前記ステップ(102、104、106、108)において使用するプロセスの最小設計寸法よりも狭くするものである、
請求項1に記載の方法。

20

【請求項12】

同時に前記フィン(210)を分離しながら前記フィン(210)の幅をさらに画定するプロセス(110、112、114)に前記基板(200)をさらに前記ステップが、
前記フィンの幅を、前記半導体基板(200)から前記フィン(210)を形成する前記ステップ(102、104、106、108)において使用するプロセスの最小設計寸法よりも狭くするものである、
請求項1に記載の方法。

30

【請求項13】

半導体基板(200)にフィン型FETを形成する方法であって、
前記半導体基板(200)からフィン(210)を形成するステップ(102、104、106、108)であって、前記フィン(210)はフィン側壁を備え、前記フィンの前記形成は前記フィン(210)に隣接する前記半導体基板(200)の領域を露出させるものである、ステップと、
前記フィン(210)に隣接する前記半導体基板の少なくとも一部分(212)に損傷を与えるステップ(110)と、
酸化膜が前記フィン側壁(216)よりも前記半導体基板の損傷部分(214)により厚く形成されるように前記半導体基板を酸化するステップ(112)と
を備えた
方法。

40

【請求項14】

前記フィン(210)に隣接する前記半導体基板の少なくとも一部分(212)に損傷を与える前記ステップ(110)が、
前記フィン(210)に隣接する前記半導体基板の前記少なくとも一部分(212)にイオン打ち込みを行なうステップを備えている、
請求項13に記載の方法。

【請求項15】

前記フィン(210)に隣接する前記半導体基板の少なくとも一部分(212)に損傷

50

を与える前記ステップ(110)が、

陽極反応を行ない前記フィン(210)に隣接する前記半導体基板の少なくとも一部分の多孔性を増大させるステップを備えている、
請求項13に記載の方法。

【請求項16】

陽極反応を行ない前記フィン(210)に隣接する前記半導体基板の少なくとも一部分(212)の多孔性を増大させる前記ステップが、

前記フィン(210)に隣接する前記半導体基板にP型のイオン打ち込みを行ない、前記半導体基板(200)をアニールし、前記半導体基板の少なくとも一部分を化学エッチャントにさらすステップを備えている、

請求項15に記載の方法。

10

【請求項17】

前記半導体基板(200)からフィン(210)を形成する前記ステップ(102、104、106、108)が、

前記半導体基板(200)に高さ制御層を形成するステップ(106)と、

前記高さ制御層によってフィンの高さを容易に均一にしようとして前記半導体基板をエッチングして前記フィン(210)を画定するステップとを備えている、

請求項13に記載の方法。

【請求項18】

前記半導体基板(200)に高さ制御層を形成する前記ステップ(106)が、

前記基板に損傷を与えて前記基板の損傷部分(212)のエッチング速度を前記基板(200)の非損傷部分に比して変化させるイオン打ち込みを前記半導体基板に行なうステップを備えている、

請求項17に記載の方法。

20

【請求項19】

前記半導体基板(200)に高さ制御層を形成する前記ステップ(106)が、前記半導体基板にマーカ層を形成するステップを備え、

前記高さ制御層によってフィンの高さを容易に均一にしようとして前記半導体基板をエッチングして前記フィン(210)を画定する前記ステップが、前記半導体基板(200)のエッチング(108)の間に前記マーカ層をモニタするステップを備えている、

請求項17に記載の方法。

30

【請求項20】

バルクの半導体基板からフィン型FETデバイスを形成する方法であって、

前記半導体基板(200)に高さ制御層を形成するステップ(106)と、

前記半導体基板(200)上にハードマスクの阻止層(204)を形成するステップ(104)と、

前記高さ制御層がフィンの高さを均一にするのを容易にしようとして前記ハードマスクの阻止層および前記半導体基板をエッチング(108)して複数のフィン(210)を画定するステップであって、前記ハードマスクの阻止層の一部分は前記複数のフィン(210)の各々の上に残り、前記複数のフィン(210)の各々は側壁を備え、前記半導体基板の前記エッチング(108)によって前記フィン(210)に隣接する前記半導体基板の領域が露出する、ステップと、

前記フィン(210)に隣接する半導体基板領域の少なくとも一部分(212)に損傷を与えるステップ(110)と、

前記半導体基板の損傷部分(214)に形成される酸化膜が前記フィンの側壁(216)に形成される酸化膜よりも厚くなるように前記半導体基板を酸化するステップ(112)と、

前記フィンの側壁から酸化膜(216)を除去し(114)、前記フィン(210)に隣接する酸化膜(214)の少なくとも一部分を残置するステップと

を備えた

40

50

方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は一般に半導体製造の分野に関し、特にフィン型電界効果トランジスタの製造方法に関する。

【背景技術】

【0002】

半導体デバイスの製造においてコストと性能を競争しうる状態に維持する必要性から、集積回路のデバイス密度が高められてきた。デバイス密度の向上を容易にし、これら半導体デバイスの最小設計寸法 (feature size) を縮小させるのを可能にするために、新技術が絶えず必要とされている。

10

【0003】

デバイス密度を絶えず向上させようとする圧力はCMOS技術、たとえば電界効果トランジスタ (FET) の設計と製造において特に強い。FETはCMOSから成る支配的なコンポーネントで構成されている。より高いデバイス密度を得るようにFETを縮小させると、性能および/または信頼性が劣化する。(「Aおよび/またはB」は「AおよびB、A、またはB」を表わす。)

【0004】

デバイス密度の向上を容易にすべく提案された1つの型のFETがフィン型電界効果トランジスタである。フィン型FETでは、トランジスタのボディは、魚などの背びれ (dorsal fin) に似ているところから一般に「フィン (fin)」と呼ばれる垂直構造体で形成されている。そして、フィン型FETのゲートはフィンの少なくとも一方の側に形成されている。フィン型FETにはデバイスの寸法を大きくする必要なくより良好に電流制御を行ないうる、といったいくつかの利点がある。したがって、フィン型FETによれば、意にかなう性能を維持しながらCMOSの寸法を縮小させるのが容易になる。

20

【0005】

あいにく、フィン型トランジスタを設計・製造する際にいくつかの困難が生起する。第1に、フィン型トランジスタでは一般に、各フィン型トランジスタを電氣的に分離する必要がある。特に、フィン型トランジスタは互いに分離する必要がある。そして、ソースとドレインの減結合を保証するために、個々のデバイスのソースとドレインを分離する必要がある。このため、様々なデバイスのフィン間を分離するために、フィン型FETは通常、SOI (silicon-on-insulator) ウェーハで製造している。特に、トランジスタのフィンは埋め込み層の上方にあるシリコン層で形成する。したがって、各フィンは当該フィンの直下にある埋め込み分離層によって他のフィンから分離されている。同様に、個々のフィン型FETのソースとドレインも埋め込み分離層によって互いに減結合している。

30

【0006】

SOIウェーハを使用するとフィン型FETに必要な分離を実現できるが、それには顕著な弱点がある。SOIウェーハでフィン型FETを形成することの最も切実な弱点はバルクのシリコン・ウェーハに比してSOIウェーハが割高な点である。たとえば、SOIウェーハのコストは通常、バルクのシリコン・ウェーハのコストの2~3倍になりうる。SOIウェーハのこの増加するコストはある用途には受け入れられるが、他の用途には受け入れられない。また、SOIウェーハを使用することはすべての製造プロセス (たとえば通常使用されるSiGeプロセスなど) に適合するわけではない。

40

【0007】

バルク・ウェーハに形成されたデバイスを分離する方法は久本らの「完全空乏化リーン・チャンネル型トランジスタ (DELTA) - 新規な垂直超薄型SOIMOSFET」(インターナショナル・エレクトロン・デバイス・ミーティング1989、論文34.5.1、第833~6頁) ("A fully Depleted Lean-channel Transistor (DELTA) - A novel vertical ultra thin SOI MOSFET" International Electron Devices Meeting 1989, Paper

50

34.5.1, pp 833-6)に記載されている。この方法では、下にある基板を酸化して分離領域を形成する間にフィンを保護するためにフィンに窒化物のスペーサを形成する必要がある。したがって、基板はフィンに対して選択的に酸化する。このプロセスを制限するものは酸化時における高温(1100°C)、および、分離層を形成する間にフィンの厚さを調製できないことである。デバイスが縮小し続けるのつれ、デバイスが高温に耐える能力は低減する。したがって、久本らの論文において提案されたプロセスはフィン型FETが使用されることになるナノメートル尺度の技術には適合しない。また、フィンの厚さを調製できないということはこれらデバイスの最重要な寸法がリソグラフィのみによって決まるということを意味する。下で詳述するように、本発明に係る方法の特徴は酸化によってフィンを調製しうるようにし、フィンの厚さをリソグラフィの能力を超えて最適化しう

10

【0008】

さらに、久本のプロセスではフィンの高さを制御する方法を実現できない。バルクのウェーハにはSOIウェーハ中の埋め込み酸化層によって実現されるような、その表面でフィンのエッチングを停止させる層がない。このようにエッチング停止層がないから、エッチングの深さが変動するとフィンの高さが変動する。デバイスが伝達しうる電流量はフィンの高さに比例するから、フィンの高さの変動を最小化することは重要である。

【非特許文献1】久本ら「完全空乏化リーン・チャンネル型トランジスタ(Delta) - 新規な垂直超薄型SOI MOSFET」(インターナショナル・エレクトロン・デバイス・ミーティング 1989、ペーパー34.5.1、第833~6頁) ("A fully Depleted Lean-channel Transistor (DELTA) - A novel vertical ultra thin SOI MOSFET" International Electron Devices Meeting 1989, Paper 34.5.1, pp 833-6)

20

【発明の開示】

【発明が解決しようとする課題】

【0009】

したがって、デバイスの変動を最小にするとともに十分なデバイスの分離を実現しながら、バルクのシリコン・ウェーハでフィン型FETを形成するのを容易にする改良された製造方法と構造が求められている。

【課題を解決するための手段】

【0010】

したがって、本発明は従来技術の不都合の多くを解消するフィン型電界効果トランジスタ(FET)を形成するためのデバイス構造と方法を提供する。特に、本発明に係るデバイス構造と方法によれば、デバイスの均一性を改善させながらバルクの半導体ウェーハからフィン型FETを形成することが可能になる。

30

【0011】

第1の側面において、本発明は半導体基板にフィン型FETを形成する方法である。当該方法は、前記半導体基板からフィンを形成するステップと、同時に前記フィンを分離しながら前記フィンの幅をさらに画定するプロセスに前記基板をさらすステップとを備えている。

【0012】

第2の側面において、本発明は半導体基板にフィン型FETを形成する方法である。当該方法は、前記半導体基板からフィンを形成するステップであって、前記フィンはフィン側壁を備え、前記フィンの前記形成は前記フィンに隣接する前記半導体基板の領域を露出させるものである、ステップと、前記フィンに隣接する前記半導体基板の少なくとも一部分に損傷を与えるステップと、酸化膜が前記フィン側壁よりも前記半導体基板の損傷部分により厚く形成されるように前記半導体基板を酸化するステップとを備えている。

40

【0013】

本発明の上述した利点および特徴ならびに他の利点および特徴は添付図面とともに示す本発明の好適な実施形態のより詳細な記述に従って明らかになる。

【発明を実施するための最良の形態】

50

【0014】

したがって、本発明は従来技術の不都合の多くを解消する、フィン型電界効果トランジスタを形成するデバイス構造と方法を提供する。特に、このデバイス構造と方法はデバイスの均一性を改善しながらバルクの半導体ウェーハでフィン型FETを形成しうるようにするものである。この方法によれば、フィンの高さの制御が改善された状態で、フィン型FETをバルクの半導体ウェーハで形成するのが容易になる。また、この方法によれば、フィン間の分離と、個々のフィン型FETのソース領域とドレイン領域との間の分離とを実現しながら、バルクの半導体ウェーハでフィン型FETを形成しうるようになる。最後に、この方法によれば、フィンの幅を最適化することができる。したがって、本発明に係るデバイス構造と方法によれば、バルク・ウェーハにフィン型FETを均一に形成しうるという利点が得られる。

10

【0015】

本発明の一実施形態では、フィンの高さの制御を改善するために、フィンパターンニング前にあるプロセスを使用する。このプロセスには基板に所望の深さまで損傷を与え、損傷を受けた基板のエッチング速度を未損傷の基板のエッチング速度と比べて変化させる重イオンのイオン打ち込み工程を備えることができる。これによりエッチング速度の変動効果を最小にすることができるから、フィンのパターンニングの間における高さの制御を改善することができる。第2の別のプロセスにはマーカー層を所望の深さにイオン打ち込みまたは形成する工程を備えることができる。これにより、フィンをエッチングする間にマーカー層の元素をモニタすることにより、所望のエッチング深さに到達した時を正確に特定

20

【0016】

本発明の第2の側面では、隣接するフィンの間、および個々のフィン型FETのソース領域とドレイン領域との間に分離領域を形成する。また、このプロセスでは、フィン自体の幅を最適化する。このプロセスではまず、フィン間の半導体ウェーハに選択的に損傷を与える。この選択的損傷はフィン間に適切な重イオンをイオン打ち込むことにより、あるいはP型種をイオン打ち込みしたのち選択的に陽極反応させることにより行なうことができる。これらの方法ではフィンに隣接する露出した半導体ウェーハを損傷するが、フィン自体に対する損傷はフィンの表面に設けた保護用のハードマスクによって最小限に抑えられる。次いで、ウェーハを酸化する。この結果、フィンの側壁、およびフィン間の領域に酸化膜が形成される。ウェーハの損傷を受けた領域は未損傷の領域よりも速く酸化されるから、フィン間に形成される酸化膜の厚さはフィン自体に形成される酸化膜の厚さよりも厚くなる。このように酸化速度が異なるから、フィンを過度に狭くすることなくフィン間に十分な酸化膜を形成することができる。

30

【0017】

このプロセスの結果、フィンの間、およびフィンのソース領域とドレイン領域との間を分離するのに十分な酸化膜がフィン間に形成される。また、フィンに酸化膜を形成すると、フィン自体が狭くなる。フィンの側壁から酸化膜を除去すると、結果として得られるフィンの幅は元の幅よりもさらに最適化されるが、フィン間には分離を実現するのに十分な酸化膜が残されている。したがって、このプロセスによって、フィンの分離とフィンの幅の最適化とが同時に実現する。

40

【0018】

したがって、ここで提供する方法によれば、フィンの高さと幅をより良好に制御するとともにフィンのソース領域とドレイン領域との間をより良好に分離しながら、バルクのシリコンでフィン型FETを形成するのが容易になる。

【0019】

本発明はいままで大部分がSOI基板上に形成されていた様々なフィン型FETとその関連デバイスに容易に適用することができる。たとえば、本発明に係る方法は米国特許第

50

6252284号に開示されている二重ゲート構造のフィン型FETを形成する際に使用することができる。したがって、当業者が理解しうるように、本発明は図面に示した特定の構造、またはここで詳述した特定の工程に限定されない。さらに理解しうる点を挙げると、様々な構成要素用に選定したドーパント種別がデバイスの意図した電氣的動作と一致するかぎり、本発明は特定のドーパント種別の使用に限定されない。

【0020】

次に、図1を参照する。図1は本発明に係るフィン型FETを形成する典型的な方法100を示す図である。製造方法100によれば、ウェーハ間の均一性が改善されデバイスが十分に分離された状態でバルクの半導体ウェーハからフィン型FETを形成することが可能になる。したがって、方法100によれば、最もコスト効率の高い製造プロセスでフィン型FETを製造しうるという利点を得られる。次に、図2～7のプロセスの間におけるウェーハ部分の一実施形態の例とともに、方法100を詳細に説明する。

10

【0021】

図1の第1のステップ101は適切なバルクの半導体ウェーハを準備することである。方法100の次のステップ102は適切なハードマスクの阻止層を堆積した後、適切なハードマスクのキャップ層を堆積することである。ハードマスクの阻止層およびハードマスクのキャップ層の双方は適切な任意の材料および適切な任意の厚さで構成することができる。たとえば、ハードマスクの阻止層は40～100nm厚の二酸化シリコンで構成し、ハードマスクのキャップ層は5～50nm厚の窒化シリコンで構成することができる。下で明らかになるように、ハードマスクのキャップ層とハードマスクの阻止層は下にある半導体基板をパターニングするため、および分離領域を形成する間にフィンを保護するために使用する。

20

【0022】

次に、図2を参照する。図2はハードマスクの阻止層204とハードマスクのキャップ層202を備えた典型的なウェーハ部分200を示す図である。ここでも、ウェーハ部分200は適切な任意のバルクの半導体ウェーハ（たとえばシリコン<100>ウェーハ）で構成することができる。同様に、ハードマスクの阻止層204とハードマスクのキャップ層202は適切な任意のハードマスク材料（たとえば、それぞれ二酸化シリコンと窒化シリコン）で構成することができる。

30

【0023】

図1に戻る。次のステップ104はフィンのパターンを形成するためにハードマスクの阻止層とハードマスクのキャップ層をパターニングすることである。これは適切な任意のプロセスを用いて行なうことができ、通常、適切なフォトレジストの堆積とパターニングを含んでいる。次いで、RIE (reactive ion etch)を用いてハードマスクの阻止層とハードマスクのキャップ層を現像済みフォトレジストに対して選択的にパターニングすることができる。次いで、シリコンのRIEの間に、パターニング済みのハードマスク層を用いて下にある半導体基板をパターニングしてフィン型FETデバイスを形成するのに使用することになるフィンを画定する。したがって、パターニングの長さとは幅は特定の用途に望まれるフィンの寸法によって決まる。

【0024】

次に、図3を参照する。図3はハードマスクの阻止層204とハードマスクのキャップ層202をパターニングした後のウェーハ部分200を示す図である。

40

【0025】

図1に戻る。次のステップ106は半導体ウェーハに高さ制御層を形成することである。続いて、次のステップ108はフィンの高さを制御する高さ制御層を用い半導体ウェーハをパターニングしてフィンを形成することである。使用しうる高さ制御層には種類の異なるものがいくつかある。たとえば、高さ制御層は所望の深さまで基板に損傷を与えて損傷基板のエッチング速度を非損傷基板のエッチング速度と異ならせる重イオンのイオン打ち込み領域で構成することができる。これにより、エッチング速度の変動を最小化できるから、フィンをパターニングする間における高さの制御を改善することができる。別の例

50

では、高さ制御層は所望の深さにマーカ層を形成するにより構成することができる。フィンをパターンニングする間、マーカ層の元素をモニタすることにより、フィンの高さが所望の値に到達した時点を正確に求めることができる。したがって、両手法によれば、フィンの高さの制御が改善されるから、フィンをバルクの半導体ウェーハから信頼性よく形成することが可能になる。

【0026】

高さ制御層を基板に損傷を与えるイオン打ち込み領域で構成する場合、半導体基板の露出した部分に十分な損傷を与えて損傷基板のエッチング速度を非損傷基板のエッチング速度に比して変化させる適切な任意のイオンを使用することができる。たとえば、半導体基板に損傷を与えるのにAsのイオン打ち込みを使用することができる。他の適切なイオンとしてはゲルマニウム、セシウム、アンチモン、および他の重イオンがある。次いで、損傷をフィンの望ましい深さまで駆動しうるようにイオン打ち込みのエネルギーを選定する。たとえば、高さが約80ナノメートル(800オングストローム)のフィンを形成するには加速エネルギー140keV、ドーズ量 $1 \times 10^{16} / \text{cm}^2$ のAsのイオン打ち込みを使用する。適切なエッチングを使用すると、損傷をした部分は非損傷部分よりも速くエッチングできる。そして、時限エッチングを使用すれば、均一なエッチング深さを実現しうると思われる。換言すると、非損傷部分は損傷部分よりもエッチング速度が遅いから、時限エッチングでは、非損傷領域のオーバエッチングが最小になる。したがって、イオン打ち込みによれば、結果として得られるフィンの高さの制御が改善される。

10

【0027】

高さ制御層をマーカ層で構成すると、マーカ・イオンを検出することによりエッチング工程の間に望みの深さに到達した時点を知ることができる。マーカ層は適切な任意の種(たとえば酸素、水素、またはゲルマニウム)で構成することができる。マーカ層はマーカ種(たとえばGe)を基板中にイオン打ち込みすることにより形成することができる。あるいは、マーカ層は基板上に種を堆積し、堆積したマーカ層上に追加の半導体基板層を形成することにより形成してもよい。次いで、マーカ層の表面にある層をエッチングしてフィンを形成する。半導体基板をエッチングしてフィンを画定する間、マーカ種をモニタする。マーカ種を検出したら、エッチングを停止させる。なぜなら、マーカ種の存在は所望の深さに到達したことを意味するからである。マーカ層の種の存在によって、エッチング工程を停止させるべき時を判断するのが容易になる。この結果、エッチングの深さが均一になる。たとえば、マーカ層には厚さが80~100ナノメートル(800~1000オングストローム)、Ge濃度が25~50%のSiGe層を使用することができる。

20

30

【0028】

したがって、両手法によれば、フィンの高さの制御が改善されるから、バルクの半導体ウェーハから高さの均一なフィンを信頼性よく形成することができる。これらすべての実施形態において、エッチング用の化学薬品は高さ制御層の種別に適合するとともにフィンのパターンを画定するのに使用するハードマスクのキャップ層に対して選択性を有するよう選定する。

【0029】

次に、図4を参照する。図4は高さ制御層を形成した後、半導体基板をパターンニングしてフィン210を形成した後の様子を示す図である。この場合にも、高さ制御層を使用したから、フィンの高さのウェーハ間の均一性が改善されている。

40

【0030】

ある場合には、この時点でキャップ層202を除去するのが望ましい。これは適切な任意の手法、たとえば下にあるハードマスクと露出したシリコンに対して選択性のあるウェット・エッチングまたはドライ・エッチングを用いて行なうことができる。したがって、その下にあるハードマスクの阻止層204は残し、先の工程でフィンを保護するのに使用する。あるいは、先の処理の間にフィンをさらに保護するために、キャップ層202をそのまま残してもよい。

【0031】

50

次のステップ110はフィン間の基板に損傷を与えることである。下で明らかになるように、基板に損傷を与えることはフィン間の基板の酸化速度をフィン自体の酸化速度よりも速くすることを意味する。基板に損傷を与える1つの方法はフィン間の基板中に適切な元素をイオン打ち込みすることである。このイオン打ち込みは基板の表面と垂直に適切に行なうから、ハードマスクの阻止層によって、イオン打ち込みが直接、フィンに損傷を与えることはない。ただし、ある程度の変動は生じうる。基板に損傷を与えるには、適切な任意のイオン打ち込みを使用することができる。ただし一般に、基板に最も良好に損傷を与えて基板の酸化速度を速めうる重イオンを選定するのが望ましい。このため、(ドーズ量約 $1 \times 10^{16} / \text{cm}^2 \sim 1 \times 10^{17} / \text{cm}^2$ 、エネルギー約 $40 \sim 60 \text{ keV}$ で) Asをイオン打ち込みするのが適切な選択である。他の適切な種としてセシウム、酸素、およびゲルマニウムがある。 10

【0032】

半導体基板に選択的に損傷を与える別の方法はP型のイオン打ち込み領域に対して選択性のある陽極反応を用いるものである。このプロセスでは、フィン間の半導体基板中にP型イオンをイオン打ち込みする。P型のイオン打ち込み領域は適切な任意の種、たとえばボロンで構成することができる。この場合にも、ハードマスクの阻止層によって、P型のイオン打ち込みがフィンに直接に損傷を与えることはない。P型のイオン打ち込みを行なったら、基板をアニールする。次いで、イオン打ち込みした領域を化学エッチャント(たとえばHF/アルコール)にさらした後、陽極反応を行なう。これにより、イオン打ち込みした領域が損傷される。特に、陽極反応によって、イオン打ち込みした領域は多孔質になる。損傷の量はP型イオン打ち込みの密度およびエネルギー、HF濃度およびHF/アルコール混合比、ならびに陽極反応の電流密度および時間によって制御することができる。この場合にも、損傷を受けた領域は酸化速度が速くなるから、基板とフィンとの間の酸化膜の厚さが異なることになる。 20

【0033】

次に、図5を参照する。図5はハードマスクのキャップ層202を除去し、損傷工程を実行して基板に損傷部分212を形成した後の様子を示す図である。フィンは残されたハードマスクの阻止層204によって保護されているから、そして、イオン打ち込みはおおむね垂直であるから、半導体基板の損傷部分212はフィン間の領域に集中することになる。 30

【0034】

図1に戻る。次のステップ112はウェーハの損傷領域を酸化することである。これは適切な任意の酸化プロセスを用いて行なうことができる。上述したように、ウェーハの損傷領域は非損傷領域よりもずっと速く酸化する。したがって、酸化膜はフィン間の領域においてフィン自体の上よりもより速くより深く形成される。800°C、40分間の好適な酸化条件では、2つの酸化速度の比はおおよそ5:1である。これにより、フィンを完全に酸化しなくとも、フィンを互いに分離させるのに十分な厚さの酸化膜がフィン間に生成される。また、フィンの下でも酸化が行なわれるから、フィンがよりいっそう分離される。特に、フィンの下で酸化が行なわれるから、トランジスタ自体のソース-ドレイン間の分離が改善される。この分離がなされないと、フィンの下のソース-ドレイン間を電流が流れる可能性がある。というのは、この領域はトランジスタのゲートによって完全には制御しえないからである。留意すべき点を挙げると、フィンの下に成長させる酸化膜はトランジスタのソース-ドレイン間を十分に分離するためにフィンの下に完全に伸ばす必要は必ずしもないが、それが望ましい場合もある。 40

【0035】

このステップの別の側面はフィンの側壁へ酸化膜を成長させることによりフィン中の残された半導体材料の幅が狭くなるという点である。フィンを狭くするとゲートによる電流の制御性が改善されるから、トランジスタの性能を改善することができる。留意すべき点を挙げると、多くの場合、フィンは従来のリソグラフィを用いて正確にパターンニングする程度よりも狭く形成するのが望ましい。このため、多くの場合、フィンの幅を画定する 50

のに側壁画像転写 (sidewall image transfer)などの画像強調手法を使用するのが望ましい。したがって、本発明の実施形態によれば、フィン完全に酸化しなくともフィン間の分離を形成する間にフィンの幅をさらに狭くするという追加の利点を得られる。

【0036】

次に、図6を参照する。図6は酸化によってフィン210とフィン210との間に分離領域214を形成した後のウェーハ部分200を示す図である。また、酸化によってフィン210の側壁にも酸化膜216が形成される。フィン間の基板領域は酸化前に損傷を受けているから、フィン間の酸化膜の成長速度は他の領域(たとえばフィンの側壁上)よりもずっと速い。さらに、フィン210上に酸化膜216を形成すると、フィンの幅がさらに狭くなる。

10

【0037】

図1に戻る。次のステップ114は不要な酸化膜を除去してフィン型FETデバイスを完成させることである。フィンの側壁に形成された酸化膜は、フィン間に形成された酸化膜よりもずっと薄いから、フィン間に分離酸化膜を十分に残しながら側壁から除去することができる。また、フィンの側壁に酸化膜を形成すると、フィン自体の幅がさらに狭くなる。

【0038】

フィンを画定し分離領域を形成したら、フィン型FETを完成させることができる。上述したように、ここで述べた方法はあらゆる種類のフィン型FETの製造プロセスに適用することができる。以下、典型的なプロセスを短く説明するが、当業者が理解しうるように、他の適切なプロセスを使用することもできる。

20

【0039】

典型的なプロセスの第1のステップはフィンをドーピングすることである。通常、これにはフィン中にイオンを打ち込んでPウエル構造とNウエル構造を形成することが含まれる。本発明に係るCMOS技術では、共通の基板にNFETとPFETを集積化しうるように、Pウエル構造とNウエル構造を形成する。PFETウエルには例えばP、As、およびSbが好適である。NFETウエルには例えばB、In、およびGaが好適である。イオン打ち込みは通常、たとえば $1 \times 10^{17} \text{ cm}^{-3} \sim 5 \times 10^{18} \text{ cm}^{-3}$ の濃度を実現しうるように設計する。一実施形態では、イオン打ち込みには半導体層の露出するとともに対向する垂直な側壁中への傾斜イオン打ち込みが含まれる。これはフィンを適切にドーピングしう

30

【0040】

次のステップはゲート積層体を形成することである。これにはフィンの対向する垂直な側壁と対向する端壁にゲート絶縁層を形成することを含めることができる。ゲート絶縁層は熱酸化(通常 $750 \sim 800 \text{ }^\circ\text{C}$)するか、絶縁膜を堆積するかして形成する。この開示の典型的な目的のために、ゲート絶縁層としては当技術分野で知られている SiO_2 、窒化酸化物材料(nitrided oxide material)、高誘電率(high-K)誘電体材料、またはこれらの組み合わせを用いることができる。

【0041】

次のステップはゲート絶縁層を覆うゲート導電層を形成することである。ゲート導電層には適切な任意の導電材料(通常は多結晶シリコン材料)を用いるが、非晶質シリコン、非晶質シリコンと多結晶シリコンとの組み合わせ、多結晶シリコン-ゲルマニウム、または、ゲート導電層を形成するのに使用しうる他の適切な任意の材料を用いることができる。また、本発明の一部の実施形態では、金属のゲート導電材料(たとえばW、Mo、Ta、または他の任意の高融点金属)、あるいはNiまたはCoを添加した多結晶シリコンから成るシリサイド化ゲート導電材料を使用するのが有利である。ゲート導電材料がシリコン材料から成る場合、それは(原位置(in-situ)ドーピングした)ドーフト層として堆積する。ゲート導電層が金属層の場合、そのような層はPVD(physical vapor deposition)法、CVD(Chemical vapor deposition)法、または当技術分野で知られた他の任意の手法を用いて堆積する。このように、ゲート構造体は半導体層部分で形成したフィンの対

40

50

向する垂直の側壁に形成した酸化層に隣接して形成する。

【0042】

次のステップはゲート導電層とゲート絶縁層をパターニングすることである。これは通常、ハードマスク膜を堆積したのちパターニングすることにより行なう。通常、ハードマスク膜の材料として SiO_2 または Si_3N_4 を使用する。したがって、ゲート導電層は周知のフォトリソグラフィ手法とエッチング手法を用いて、すなわちゲート導電層を方向性エッチングする間におけるエッチング・マスクとしてハードマスク膜のキャップを用いて、パターニングしたのち構造化(structure)してゲート構造体を形成する。これにはゲート導電層の一部を分離領域まで選択的に除去することが含まれるが、ハードマスク膜で保護されたフィンを形成している半導体層の部分は除去しない。それゆえ、フィンはゲート積層体を超えて伸びている。上記パターニングと構造化では、ゲート構造体をフィンのボディに隣接するように規定しているゲート導電層の部分も残される。

10

【0043】

次のステップはフィンの露出した部分をドーブしてソース/ドレイン(S/D)イオン打ち込み領域を形成することである。ソース/ドレイン領域の形成はソース/ドレイン領域を形成するために開発され特定の性能要件に適合するように調製された様々な方法のうちの任意のものを用いて行なうことができる。様々なレベルの複雑性があるものの、ソース/ドレイン領域を形成するそのような方法には多くのものがある。したがって、本発明の一部の実施形態では、たとえばイオン打ち込みを用いて、ライトリ・ドーブト・ソース/ドレイン領域または他のソース/ドレイン領域を形成する。したがって、NFETの場合には通常、ソース/ドレイン・イオン打ち込み領域形成用にP、As、またはSbを1~5keV、ドーズ量 $5 \times 10^{14} \sim 2 \times 10^{15} \text{ cm}^{-3}$ で使用する。同様に、PFETの場合には通常、B、In、またはGaを0.5~3keV、ドーズ量 $5 \times 10^{14} \sim 2 \times 10^{15} \text{ cm}^{-3}$ で使用する。

20

【0044】

任意実行事項として、短チャネル効果(SCE)を改善する延長部イオン打ち込み領域とハロー・イオン打ち込み領域を形成してもよい。NFETの場合には通常、ハロー・イオン打ち込み領域形成用にB、In、またはGaをエネルギー5~15keV、ドーズ量 $1 \times 10^{13} \sim 8 \times 10^{13} \text{ cm}^{-3}$ で使用する。同様に、PFETの場合、ハロー・イオン打ち込み領域形成用にP、As、またはSbをエネルギー20~45keV、ドーズ量 $1 \times 10^{13} \sim 8 \times 10^{13} \text{ cm}^{-3}$ で使用する。

30

【0045】

次いで、デバイスを完成させるために、ソース、ドレイン、およびゲートへのコンタクトを形成する。次いで、誘電体を堆積した後、通常、CMPプロセスを用いて平坦化する。次いで、異方性プロセス(たとえばRIE)などを用いてコンタクト・ホールを構造化したのちエッチングする。コンタクト・ホールは任意の導電材料(たとえばドーブト・ポリシリコン、シリサイド(たとえばWSi)、金属(たとえばAu、Al、Mo、W、Ta、Ti、Cu、ITO(インジウム-スズ(錫)酸化物)など)を用い、蒸着、スパッタリング、または他の既知の手法で堆積することにより充填(じゅうてん)する。次いで、第1の金属層を堆積した後、RIEプロセスなどを用いて構造化する。あるいは、第1の金属層の構造化はダマシ・プロセス・フローに従って行なってもよい。

40

【0046】

次に、図7を参照する。図7はウェーハ部分200上に完成した典型的なフィン型FETを示す図である。複雑さを最小限にして、本発明の一実施形態を示す。フィン210の各側およびフィンの対向する端壁の上にゲート絶縁層220を形成する。次いで、ゲート絶縁層220とハードマスク膜224を覆ってゲート222を形成する。また、この特定の実施形態ではゲート絶縁層222部分はフィンの両側にまたがって連続しているが、他の実施形態ではゲート絶縁層は2つの部分に分割されている。

【0047】

本発明に係る、FETの電流路用に様々な結晶面を用い同じ基板上に形成したCMOS

50

型フィンFETは様々な種類の回路（たとえば高性能論理回路、低電力論理回路、高密度記憶装置（たとえば高密度数ギガ・ビットDRAM）など）で使用することができる。また、本発明に係るCMOS型フィンFETは他の回路素子（たとえばキャパシタ、抵抗器、ダイオード、メモリ・セルなど）と容易に組み合わせることができる。

【0048】

したがって、本発明は従来技術の不都合の多く解消するフィン型電界効果トランジスタ（FET）を形成するためのデバイス構造と方法を提供する。特に、本発明に係る方法によれば、フィンの高さ制御を改善した状態でバルクの半導体ウェーハからフィン型FETデバイスを形成するのが容易になる。また、本発明に係る方法によれば、フィンの間、および個々のフィン型FETのソース領域とドレイン領域との間を分離しながらバルクのシリコンからフィン型FETを形成することが可能になる。したがって、本発明に係るデバイス構造と方法によれば、コスト効率の高いバルク・ウェーハを使用しながら信頼性が高く安定したフィン型FETを製造するという利点が得られる。ここに示した実施形態と実例は本発明とその実際上の用途を最もよく説明するために、そしてそれにより当業者が本発明を作り使用することを可能にするために提示した。しかしながら、当業者が理解するように、上で示した記述と実例は説明と例示を目的として提示したものである。ここに提示した記述はそれで尽きているものではない、すなわち本発明を、ここに開示したとおりの形態に限定するものではない。上述した教示に鑑み、特許請求の範囲の本旨と範囲の内でも多くの変更と変形が可能である。したがって、他に特段の定めがないかぎり、図面またはここに示した本発明の構成要素はありうる構成要素の一例として提示したものであり、限定として提示したものではない。同様に、他に特段の定めがないかぎり、ここに示した本発明に係るステップ群またはステップ群のシーケンスはありうるステップ群またはステップ群のシーケンスとして提示したものであり、限定として提示したものではない。

10

20

【産業上の利用可能性】

【0049】

本発明に係るフィン型電界効果トランジスタ（フィン型FET）は集積回路の設計と製造において有用であり、基板がバルクのシリコンから成るCMOS（complementary metal-oxide semiconductor）技術の場合に特に有用である。

【図面の簡単な説明】

【0050】

30

【図1】本発明き製造方法を示すフローチャートを示す図である。

【図2】図1の製造方法の間における本発明に係る半導体構造体の一実施形態の側断面図である。

【図3】図1の製造方法の間における本発明に係る半導体構造体の一実施形態の側断面図である。

【図4】図1の製造方法の間における本発明に係る半導体構造体の一実施形態の側断面図である。

【図5】図1の製造方法の間における本発明に係る半導体構造体の一実施形態の側断面図である。

【図6】図1の製造方法の間における本発明に係る半導体構造体の一実施形態の側断面図である。

40

【図7】図1の製造方法の間における本発明に係る半導体構造体の一実施形態の側断面図である。

【符号の説明】

【0051】

200 ウェーハ部分

202 キャップ層

204 阻止層

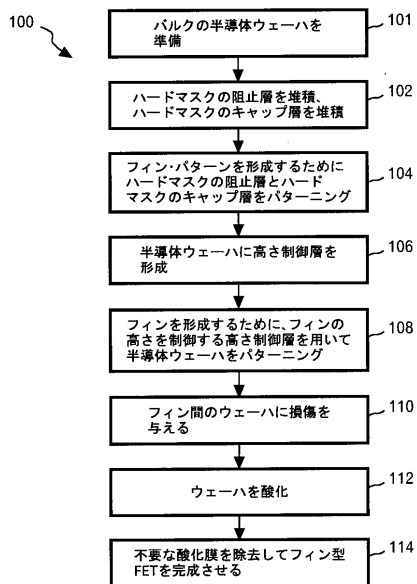
210 フィン

212 損傷部分

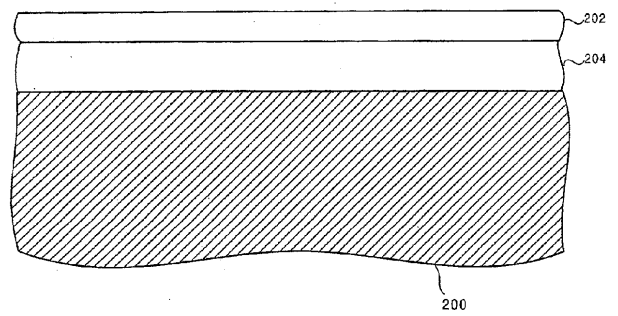
50

- 2 1 4 分離領域
- 2 1 6 酸化膜
- 2 2 0 ゲート絶縁層
- 2 2 2 ゲート
- 2 2 4 ハードマスク膜

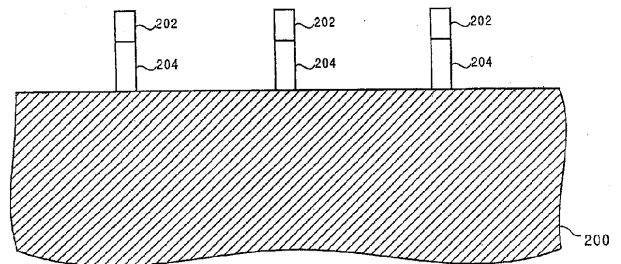
【図1】



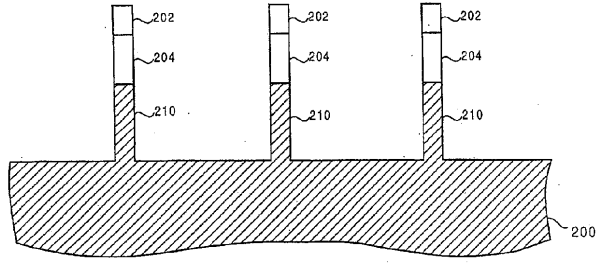
【図2】



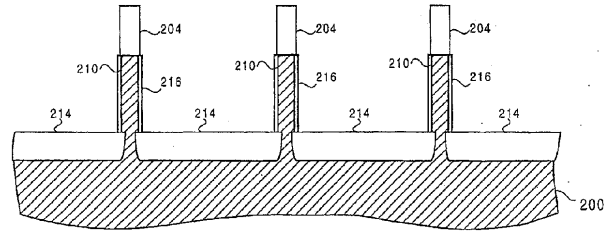
【図3】



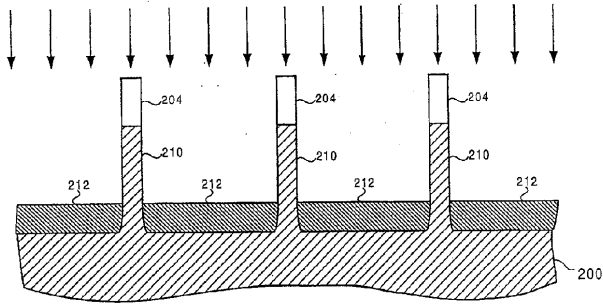
【 図 4 】



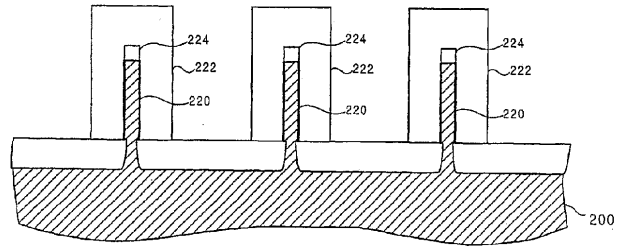
【 図 6 】



【 図 5 】



【 図 7 】



【 国際調査報告 】

INTERNATIONAL SEARCH REPORT

International application No.
PCT/US03/17269

A. CLASSIFICATION OF SUBJECT MATTER IPC(7) : H01L 21/8292 US CL : 438/154, 164, 165, 218, 294, 514, 587, 770, FOR424, FOR494 According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) U.S. : 438/154, 164, 165, 218, 294, 514, 587, 770, FOR424, FOR494 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y, P	US 6,525,403 B2 (INABA et al) 25 February 2003, col. 4, lines 16-17, 29-33.	1-3, 11, 13, 14
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents:		
"A"	document defining the general state of the art which is not considered to be of particular relevance	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"E"	earlier document published on or after the international filing date	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"L"	document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"O"	document referring to an oral disclosure, use, exhibition or other means	"Z" document member of the same patent family
"P"	document published prior to the international filing date but later than the priority date claimed	
Date of the actual completion of the international search	Date of mailing of the international search report	
03 JULY 2003	11 DEC 2003	
Name and mailing address of the ISA/US Commissioner of Patents and Trademarks Box PCT Washington, D.C. 20251 Facsimile No. (703) 305-5250	Authorized officer JOANNIE GARCIA <i>Joannie Garcia</i> Telephone No. (703) 306-5733	

フロントページの続き

(81) 指定国 AP(GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, OM, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, TJ, TM, TN, TR, TT, TZ, UA, UG, UZ, VC, VN, YU, ZA, ZM, ZW

(72) 発明者 フリード、デーヴィッド、エム

アメリカ合衆国 14850 ニューヨーク州 イサカ、メイプル アベニュー 201、メイプルウッド アpartment ナンバー ビー002

(72) 発明者 ノ wak、エトワード、ジェイ

アメリカ合衆国 05452 バーモント州 エセックス ジャンクション、ウインドリッジ ロード 8

(72) 発明者 レイニー、ベス、アン

アメリカ合衆国 05403 バーモント州 バーリントン、オールド オーチャード パーク 2

(72) 発明者 サダナ、デヴェンドラ、ケイ

アメリカ合衆国 10570 ニューヨーク州 プレザントヴィル、スカイ トップ ドライブ 90

F ターム(参考) 5F048 AB01 AB03 AC01 BA01 BA19 BB05 BB08 BB09 BB11 BC06
BD01 BD04 BF01 CB06
5F140 AA40 AB03 BB05 BC07 BE07 BE09 BF01 BF04 BF07 BF08
BG28 BG30 BG39 BH15 BH21 BJ01 BJ03 BJ04 BJ05 BJ07
BJ08 BJ27 BK13 BK22 BK26 BK29 CB10 CE07