

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3811697号
(P3811697)

(45) 発行日 平成18年8月23日(2006.8.23)

(24) 登録日 平成18年6月2日(2006.6.2)

(51) Int. Cl.	F I
HO 1 L 21/318 (2006.01)	HO 1 L 21/318 B
HO 1 L 21/677 (2006.01)	HO 1 L 21/68 A
HO 1 L 21/304 (2006.01)	HO 1 L 21/304 6 4 4 Z

請求項の数 3 (全 14 頁)

<p>(21) 出願番号 特願2003-389262 (P2003-389262)</p> <p>(22) 出願日 平成15年11月19日(2003.11.19)</p> <p>(65) 公開番号 特開2005-150597 (P2005-150597A)</p> <p>(43) 公開日 平成17年6月9日(2005.6.9)</p> <p>審査請求日 平成16年12月8日(2004.12.8)</p>	<p>(73) 特許権者 000005821 松下電器産業株式会社 大阪府門真市大字門真1006番地</p> <p>(74) 代理人 100086737 弁理士 岡田 和秀</p> <p>(72) 発明者 河崎 泰宏 大阪府門真市大字門真1006番地 松下電器産業株式会社内</p> <p>(72) 発明者 米田 健司 大阪府門真市大字門真1006番地 松下電器産業株式会社内</p> <p>審査官 酒井 英夫</p>
---	---

最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

半導体基板上にサイドウォール用もしくはライナー用のBTBAS-SiN膜を形成することと同時に前記半導体基板の裏面側にBTBAS-SiN膜を形成する工程と、
 ウエハハンドラーとして静電チャックもしくは真空チャックを用いて前記半導体基板のプロセスもしくは搬送において前記半導体基板をハンドリングする工程と、
 前記半導体基板の裏面をスクラパー洗浄する工程とを含み、
 前記静電チャックもしくは真空チャックを用いてハンドリングする工程後、前記スクラパー洗浄する工程前の、前記半導体基板を一定方向で所定の間隔において並ぶように複数枚装着できるカセットに対して、前記半導体基板とダミーの基板とを交互に装着することを特徴とする半導体装置の製造方法。

10

【請求項2】

前記ウエハハンドラーは前記半導体基板の4隅を支持して常圧搬送することを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】

前記半導体基板のプロセスもしくは搬送に用いるウエハサセプターとウエハハンドラーとを備え、
 前記ウエハサセプターとウエハハンドラーは、ウエハとほぼ同じ形状の凹部を形成したウエハガイドリングを設置することを特徴とする請求項1記載の半導体装置の製造方法。

【発明の詳細な説明】

20

【技術分野】

【0001】

本発明は、半導体装置の製造方法に関し、特に半導体基板の裏面から発生するパーティクルを防止する製造技術に関する。

【背景技術】

【0002】

従来、エッチングストップ膜などに用いられるSiN膜は、DCS（ジクロロシラン： SiH_2Cl_2 ）、 SiH_4 （モノシラン）あるいは Si_2H_6 （ジシラン）と NH_3 を原料ガスとする750程度でのプロセスで成膜（減圧CVD法による成膜であって、以下、LP-SiN膜という）を行っていた。しかし、デバイスの高密度化、微細化に伴い、デバイスの設計や仕様の要求は厳しくなっている。特に、高速回路動作によるドーパントの浅接合の必要性に伴い、サーマルバジェットの低減が強く求められている。

10

【0003】

そこで、LDDサイドウォール膜あるいはCGやCAコンタクト用エッチングストップ膜に600以下での成膜が可能なBTBAS（ $\text{SiH}_2(\text{NH}(\text{C}_4\text{H}_9))_2$ ：ビスターシャルブチルアミノシラン：*Bis tertial butyl amino silane*）を原料とした低温SiN膜（以下、BTBAS-SiN膜という）が適用されている（特許文献1参照）。

【0004】

以下、図面を参照して従来の拡散中のウエハ裏面構造について説明する。ここで、図16は拡散中の代表的なSi基板裏面の模式的な断面構造である。図中、160は、シリコン基板であり、161は、バックシール酸化膜であり、162は、BTBAS-SiN膜である。図16に示すように、従来、シリコン基板160は、配線工程のCuの裏面汚染を防ぐために裏面バリア膜としてSiN膜162を残す裏面構造になっている。

20

【0005】

図17に一例として従来のMOSトランジスタの形成フローを示し、それに基づいて説明する。シリコン基板上に素子分離部（ステップS101）およびトランジスタを形成（ステップS102）後、層間絶縁膜の形成を行う（ステップS103）。次に、第1配線のリソグラフィ工程（ステップS104）後、配線工程（ステップS105）へと進む。その後、裏面洗浄（ステップS106）を行い第2配線のリソグラフィ工程へと進む。以降も同様に、第3配線～第6配線の工程を繰り返す。

30

【特許文献1】特開2001-230248号公報（全文）

【発明の開示】

【発明が解決しようとする課題】

【0006】

しかしながら、BTBAS-SiN膜を適用した場合、上記のような従来のプロセスでは、以下のような問題を有している。BTBAS-SiN膜はLP-SiN膜に比べ膜が脆弱である。このため、静電チャック、真空チャックなどのウエハ固定法によりハンドリングを行うと、ウエハ裏面にチャックが当接することによりウエハ裏面のBTBAS-SiN膜にクラックが発生することがあるとともに、そのクラックが下地の酸化膜に達してしまうことがあった。このようにクラックが発生することにより、その後のリソグラフィ工程において、クラックが原因で生じたSiN膜の断片が、ウエハ裏面から剥がれてカセット内で直下のウエハ上に落下しパーティクルとなるおそれがあった。

40

【0007】

また、配線工程からリソグラフィ工程の間に裏面汚染除去のためフッ酸系の洗浄工程があると、裏面に発生したクラックから薬液が浸透し下地の酸化膜をエッチングし、BTBAS-SiN膜が断片として剥がれ落ち、カセット内の直下ウエハに落下しパーティクルの原因となるおそれがあった。

【0008】

このように、従来のプロセスでは、トランジスタ性能向上のためサーマルバジェットの

50

抑制を目的としてBTBAS-SiN膜を適用したが、BTBAS-SiN膜が機械的に脆弱なため静電チャック、真空チャックなどによりダメージを受けやすく、そのため、ウエハ裏面側からBTBAS-SiN膜の断片が直下のウエハ上に落下してパーティクルとなり、その直下のウエハの電気特性のショート、オープン不良につながるおそれがあった。このため、半導体装置の歩留まりが低下する問題があった。

【0009】

本発明は、上記実状に鑑みてなされたものであって、トランジスタ性能の向上のためにBTBAS-SiN膜を適用しながらも、ウエハなどの半導体基板のハンドリングにおいて、BTBAS-SiN膜が剥がれ落ちることでパーティクルとなるのを抑制できる半導体装置の製造方法の提供を解決しようとする課題としている。

10

【課題を解決するための手段】

【0017】

本発明の半導体装置の製造方法は、半導体基板上にサイドウォール用もしくはライナー用のBTBAS-SiN膜を形成することと同時に前記半導体基板の裏面側にBTBAS-SiN膜を形成する工程と、ウエハハンドラーとして静電チャックもしくは真空チャックを用いて前記半導体基板のプロセスもしくは搬送において前記半導体基板をハンドリングする工程と、前記半導体基板の裏面をスクラバー洗浄する工程とを含み、前記静電チャックもしくは真空チャックを用いてハンドリングする工程後、前記スクラバー洗浄する工程前の、前記半導体基板を一定方向で所定の間隔において並ぶように複数枚装着できるカセットに対して、前記半導体基板とダミーの基板とを交互に装着することを特徴とする。

20

【0018】

前記ウエハハンドラーは前記半導体基板の4隅を支持して常圧搬送してもよい。

【0019】

前記半導体基板のプロセスもしくは搬送に用いるウエハサセプターとウエハハンドラーとを備え、前記ウエハサセプターとウエハハンドラーは、ウエハとほぼ同じ形状の凹部を形成したウエハガイドリングを設置してもよい。

【0020】

上記の構成により、半導体基板の裏面側のBTBAS-SiN膜から直下のウエハに落下するパーティクルを抑制し、安定したトランジスタを形成することができる。

【発明の効果】

30

【0028】

本発明は、半導体基板としての製品ウエハとダミー基板としてのダミーウエハをカセット内に交互に装着することで、例えばカセットに鉛直方向が並設方向と一致する状態で装着された直下の製品ウエハ上へのパーティクル落下を防ぎ、処理終了後はスクラバー洗浄で半導体基板の裏面を洗浄するので、クラックが入り落ちやすくなったBTBAS-SiN膜を確実に除去することができるので、半導体基板の裏面からのパーティクルを防止することができる。

【0029】

また、静電チャック、真空チャックに代えて、半導体基板の4隅を支持し常圧搬送することで、BTBAS-SiN膜にダメージを与えることがないので、半導体基板の裏面側からのパーティクル発生を防止することができる。

40

【0030】

また、静電チャック、真空チャックに代えて、チャンバー側のウエハサセプターやウエハハンドラーにウエハガイドリングを設置し、ウエハの裏面側がウエハガイドリングに装着された状態で保護されるので、BTBAS-SiN膜にダメージを与えることがなく、半導体基板の裏面側からのパーティクル発生を防止することができる。

【発明を実施するための最良の形態】

【0031】

(第1の実施形態)

50

次に、本発明に係る第1の実施形態の製造方法を図1～図2に基づいて説明する。ここで、図1は図17で示したようなゲート製造工程などを含む本発明に係る製造方法の流れ図である。図2はゲート形成後のウエハ断面図(a)と、基板裏面側のBTBAS-SiN膜および酸化膜を除去した後のウエハ断面図(b)である。

【0032】

従来の技術では、 SiH_2Cl_2 、 SiH_4 もしくは Si_2H_6 と NH_3 を原料とした700～800のSiN膜が用いられてきた。本発明の特徴は、トランジスタの微細化によりサーマルバジェットの低減のため、プロセス適用した低温BTBAS-SiN膜を図1で示すライナー低温SiN膜形成後に、半導体基板としてのウエハの裏面側のSiN膜を全て除去する点にある。その後、次工程の層間絶縁膜形成など静電チャック、真空チャックをプロセスもしくはウエハの搬送に用いる工程を経過するときにおいて、上述したような裏面からのパーティクルの発生を抑制し、安定したトランジスタの形成ができる。

10

【0033】

まず、図1に示すように、半導体基板としてのシリコン基板(ウエハ)上に絶縁膜を介してゲート用Poly-Si膜を減圧CVD法で200nmが堆積される(ステップS1参照)。ここで成膜温度は620～650の範囲に設定される。続いて、ステップS1においてゲート用Poly-Si膜と同時に形成されたシリコン基板の裏面側のPoly-Si膜を除去し(ステップS2参照)、フォトリソグラフィ技術とドライエッチング技術とで微細加工され、ゲート電極パターンングがなされる。

20

【0034】

次に、LDDオフセットスペーサーを形成するためにHTO(高温酸化膜)およびTEOS(テトラエチルオルソシリケート: Tetra Ethyl Ortho Silicate: $\text{Si}(\text{OC}_2\text{H}_5)_4$)からなる酸化膜がハードマスクとして堆積され(ステップS3)、フォトリソグラフィ技術とドライエッチング技術とでゲートが微細加工され(ステップS4参照)、LDDオフセットスペーサー形成がなされる(ステップS5参照)。なお、LDDオフセットスペーサー用酸化膜が堆積される以前に、ウエハ裏面側にはバックシール酸化膜とTEOS酸化膜が形成されていてもよい。

【0035】

次に、サイドウォール用のBTBAS-SiN膜が50～60nm堆積され、上記同様にリソグラフィとドライエッチングにより形成される(ステップS6参照)。ここでBTBAS-SiN膜の堆積温度は580～600の範囲で設定される。

30

【0036】

次に、コバルトシリサイド工程で選択的にコバルトシリサイドを形成し(ステップS7参照)、ライナー用のBTBAS-SiN膜が30～40nm堆積される。ここでBTBAS-SiN膜の堆積温度は580～600の範囲で設定される(ステップS8参照)。ここまでの工程で得られたウエハ1を図2(a)に示している。図中、2はシリコン基板、3は素子分離部、4はゲート酸化膜、5はゲート用ポリシリコン、6はコバルトシリサイド層、7はオフセットスペーサー、8はサイドウォール、9はライナー、10はTEOS酸化膜、LDDオフセットスペーサー用酸化膜と同時に形成された酸化膜およびバックシール膜を含むシリコン基板2裏面側に形成された各種酸化膜、11はサイドウォールやライナー形成と同時にシリコン基板2の裏面側に形成されたBTBAS-SiN膜である。

40

【0037】

次に、シリコン基板2の裏面側に対して、フッ酸原液(49%)もしくはリン酸ボイル(熱リン酸)(160)によるウエットエッチング処理することにより、BTBAS-SiN膜11および、バックシール酸化膜、TEOS酸化膜およびLDDオフセットスペーサー用酸化膜の形成に伴ない形成された酸化膜(以下、裏面酸化膜と表す)10を除去し、シリコン基板2の裏面を露出させる(ステップS9、および、図2(b)参照)。その後、次工程の層間絶縁膜形成など静電チャック、真空チャックをプロセスもしくはウエハの

50

搬送に用いる工程を経過するときにおいても、上述したような半導体基板における裏面からのパーティクルの発生が抑制される状態で、安定したトランジスタの形成ができる。

【0038】

(第2の実施形態)

次に、本発明に係る第2の実施形態の製造方法を説明する。

【0039】

この第2の実施形態の製造方法では、上記第1の製造方法におけるステップS8までは同じ工程であり、その後の工程において、シリコン基板2の裏面側のBTBAS-SiN膜11のみを上述した第1の製造方法では配線工程(Cu)でシリコン基板裏面よりCuが拡散し、トランジスタ性能に悪影響を及ぼす。第2の実施形態の特徴は上述した第1の実施形態の製造方法と異なり、シリコン基板の裏面側からBTBAS-SiN膜のみフッ酸原液(49%)もしくは燐酸ボイル(熱燐酸)(160)によるウエットエッチング処理により除去し、裏面酸化膜10については、配線工程での裏面からのCuのシリコン基板への拡散を防止するためのバリア膜として残して用いる点である。この後、次工程の層間絶縁膜形成など静電チャック、真空チャックをプロセスもしくはウエハの搬送に用いる工程を経過する場合も、上述したようなシリコン基板2のような半導体基板における裏面からのパーティクルを抑制し、かつ、半導体基板の裏面からのCuの拡散を防止し安定したトランジスタの形成ができる。

10

【0040】

(第3の実施形態)

次に、本発明に係る第3の実施形態の製造方法を図3～図4と図16に基づいて説明する。ここで図3は図16で示したようなゲート製造工程などを含む本発明に係る製造方法の流れ図である。図4はゲート形成後のウエハ断面図(a)と、基板裏面側のBTBAS-SiN膜のみを除去した後のウエハ断面図(b)である。

20

【0041】

本実施形態の特徴は、図3、4に示すようにゲート形成用のPoly-Si膜5の堆積(ステップS11参照)後、シリコン基板2の裏面側に形成されたPoly-Si膜12の除去をせずPoly-Si膜12をシリコン基板2の裏面に残した状態でゲート形成を行い(ステップS12参照)、サイドウォール8およびライナー9のBTBAS-SiN膜堆積(ステップS15, S17後に裏面のBTBAS-SiN膜11を除去する(ステップS18参照)点である。なお、図4(a)において、10aはバックシール酸化膜であり、Poly-Si膜12はこのバックシール酸化膜10aに堆積されて形成されており、10bはTEOS酸化膜やLDDオフセットスペーサー用酸化膜と同時にシリコン基板2の裏面側に形成された裏面酸化膜であって、Poly-Si膜12に堆積されて形成されている。

30

【0042】

次に、シリコン基板2の裏面側に対して、フッ酸原液(49%)もしくは燐酸ボイル(熱燐酸)(160)によるウエットエッチング処理することにより、BTBAS-SiN膜11および、バックシール酸化膜、TEOS酸化膜およびLDDオフセットスペーサー用酸化膜の形成に伴ない形成された裏面酸化膜10bを除去し、Poly-Si膜12を露出させる(ステップS19、および、図4(b)参照)。

40

【0043】

この方法により、第2の製造方法と異なり、フッ酸でシリコン基板2の裏面のBTBAS-SiN膜を除去する場合、下地の裏面酸化膜10b, 10aの方がフッ酸に対するエッチングレート(約200倍)が非常に高いため、シリコン基板2の裏面のBTBAS-SiN膜11のみを除去しバックシール酸化膜が露出したところで裏面エッチングを終了させる制御が難しい。最悪の場合は第1の製造方法と同様、シリコン基板の裏面のシリコンが露出し、配線工程でCuが拡散しトランジスタ性能に悪影響を及ぼす可能性がある。そこで本発明に係る第3の実施形態の製造方法を用いれば、Poly-Si膜12はフッ酸に対するエッチング耐性が高いため、BTBAS-SiN膜11および裏面酸化膜10

50

bのみを選択エッチングし、Poly-Si膜12およびバックシール酸化膜10aをエッチングしないで残すことを可能にできる。

【0044】

(第4の実施形態)

次に、本発明に係る第4の実施形態の製造方法を図5、図6と図16に基づいて説明する。ここで図5は図16で示したようなゲート製造工程などの流れ図である。図6はゲート形成後のウエハ断面図(a)と、シリコン基板裏面側のBTBAS-SiN膜などを除去した後のウエハ断面図(b)である。

【0045】

本実施形態の特徴は、図5、6に示すようにゲート電極5をアモルファスSiにした点である。上記第3の実施形態の製造方法ではシリコン基板2の裏面側のBTBAS-SiN膜を除去する際、フッ酸でシリコン基板2の裏面側のBTBAS-SiN膜を除去した場合、露出したPoly-Si膜12のグレインとグレインの粒界よりフッ酸が浸透し、下地の裏面酸化膜10aをエッチングして断片として剥離するおそれがあり、その剥離したものがパーティクルの原因となる。しかし、この方法ではアモルファスSi膜13が露出する状態でシリコン基板2の裏面側のBTBAS-SiN膜12の除去を行うため、上述した粒界からの薬液の浸透はないため、パーティクルの発生は起こらない。

【0046】

(第5の実施形態)

次に、本発明に係る第5の実施形態の製造方法を図7～図9と図17に基づいて説明する。ここで図7は図17で示したような素子分離製造工程の流れ図である。図8も同様に図17で示したようなゲート(トランジスタ)製造工程などの流れ図である。図9は素子分離とゲート形成後のウエハ断面図(a)と、基板裏面側のBTBAS-SiN膜などを除去した後のウエハ断面図(b)である。

【0047】

図7に示すように、まず、熱酸化により半導体基板(シリコン基板)2上に保護酸化膜を形成する(ステップS31参照)。その後、LP-CVDにより酸化膜上にアモルファスシリコン膜を成膜(ステップS32参照)後、LP-CVDによりアモルファスシリコン膜上に素子分離用のLP-SiN膜を成膜する(ステップS33参照)。この際、LP-SiN膜は700～800で成膜するためアモルファスシリコンはポリシリコン化する。次にLP-SiN膜上に素子分離形成用のレジストマスクを形成後、ドライエッチングによりLP-SiN膜、ポリシリコン膜、保護酸化膜および半導体基板2を順次エッチングして半導体基板2にトレンチを形成する(ステップS34参照)。その後、レジストマスクを除去する。次に、CVDによりトレンチを埋め込むようにCVD酸化膜を成膜(ステップS35参照)後、CMPによりCVD酸化膜を平坦化してトレンチに埋め込まれた素子分離膜を形成する(ステップS36参照)。その後、ウェットエッチングにより半導体基板2の表面にあるLP-SiN膜とポリシリコン膜だけを除去する(ステップS37, S38参照)。

【0048】

次に、半導体基板2上の保護酸化膜を除去後、熱酸化により半導体基板2上にゲート酸化膜を形成する。その後、図8に示すように、ゲート酸化膜4上にゲート電極用のポリシリコン膜5を成膜(ステップS39参照)後、ウェットエッチングにより半導体基板2の裏面側に成膜されたポリシリコン膜だけを除去する(ステップS40参照)。次に、ゲート形成用ハードマスクを形成するためにCVDによりポリシリコン膜上にTEOS膜を成膜(ステップS41参照)後、レジストマスクを用いてTEOSをドライエッチングする。その後、レジストマスクを除去後、TEOS膜をドライエッチングする。その後、レジストマスクを除去後、TEOS膜をハードマスクに用いてポリシリコン膜をドライエッチングしてゲート電極を形成する(ステップS42参照)。次に、LDDオフセットスペーサを形成するためにCVDにより半導体基板2上にCVD酸化膜を形成後、異方性のドライエッチングによりCVD酸化膜をエッチングしてゲート電極の側壁にオフセットスペ

10

20

30

40

50

ーサーを形成する(ステップS43参照)。その後、ゲート電極とオフセットスペーサー7をマスクに用いて不純物原子をイオン注入してソース・ドレイン領域に低濃度のLDD層を形成する。次に、BTBAS-SiNサイドウォール8を形成するためにCVDにより半導体基板上にBTBAS-SiN膜を成膜後、異方性のドライエッチングによりBTBAS-SiN膜をエッチングして、ゲート電極の側壁でオフセットスペーサー7上にサイドウォール8を形成する(ステップS44参照)。その後、ゲート電極5とサイドウォール8をマスクに用いて、不純物原子をイオン注入して高濃度のソース・ドレイン層を係止する。次に、コバルトシリサイドを形成するためにスパッタにより半導体基板上にコバルト膜を成膜後、RTAによりアニールするとポリシリコン膜とコバルト膜とが反応してゲート電極上にコバルトシリサイド層6が形成される(ステップS45参照)。その後、ウェットエッチングにより未反応のコバルト膜だけを除去する。その後、CVDにより半導体基板上にライナー用の低温BTBAS-SiN膜を成膜する(ステップS46、図9(a)参照)。

10

【0049】

次に、シリコン基板2の裏面側に対して、フッ酸原液(49%)もしくは燐酸ボイル(熱燐酸)(160)によるウェットエッチング処理することにより、BTBAS-SiN膜11、TEOS酸化膜やLDDオフセットスペーサー用酸化膜と共に形成された酸化膜10bを除去し、シリコン基板2の裏面側に形成されたLP-SiN膜14を露出させる(ステップS47、および、図9(b)参照)。

【0050】

第5の実施形態の特徴は、従来は図7で示した素子分離用のLP-SiN膜およびPoly-Si膜を表面・裏面とも除去していたが、今回は表面だけを除去する点である。この方法では素子分離形成のシリコン基板2の裏面側に形成されたLP-SiN膜14をBTBAS-SiN膜11の除去時の保護膜として用いるので、上述したような実施形態1~4までの問題点を全て解決できる。

20

【0051】

実施形態1と対比すると、この方法により裏面からのCuのシリコン基板2への拡散を防止でき、実施形態2と対比すると、BTBAS-SiN膜とLP-SiN膜とでは、フッ酸に対するエッチングレートで2倍以上LP-SiN膜の方が耐性が強く、選択エッチングが十分可能である。実施形態3と対比すると、SiN膜はPoly-Si膜と異なりグレイン結晶ではないので薬液の下地への浸透はない。実施形態4と対比すると、ゲート形成後のソース、ドレインの活性化の熱処理によりアモルファスSiがPoly-Si膜に結晶化しグレインとなると、配線工程での裏面洗浄(フッ硝酸)によりグレインの粒界から薬液が浸透し実施形態3と同様のことが起こり得るが、このLP-SiN膜をシリコン基板2の裏面側に残す方法では問題はない。ここで、図7に示すLP-SiN膜は、原料ガスとしてSiH₄、Si₂H₆もしくはSiH₂Cl₂とNH₃を用いて、堆積温度700~800でSiN膜を形成する。

30

【0052】

(第6の実施形態)

次に、本発明に係る第6の実施形態の製造方法を図10、図11に基づいて説明する。

40

【0053】

従来の方法では、図10に示すようにBTBAS-SiN膜堆積後、裏面にBTBAS-SiN膜を露出した状態でプロセス中のウエハの固定時または搬送時に静電チャック、真空チャックを使用すると、BTBAS-SiN膜にクラックが発生し、そのクラックにより剥離したBTBAS-SiN膜の断片16が直下のウエハ上に落下しパーティクルとなる。

【0054】

そこで本実施形態の特徴は、図11に示すようにBTBAS-SiN膜11が露出し、静電チャック、真空チャックを用いる工程で製品半導体基板としての製品ウエハ1と、ダミー基板としてのダミーウエハ17とをカセット内に交互に装着することで、製品ウエハ

50

1の裏面のBTBAS-SiN膜11からその剥離した断片16のパーティクルが落下してもその直下のダミーウエハ17がパーティクルを受け止めるので、さらに直下の製品ウエハ1上へパーティクルが落下するのを防ぐことにある。処理終了後はスクラバー洗浄で裏面を洗浄することでクラックが入り落ちやすくなったBTBAS-SiN膜を除去し、次工程に移行することになる。

【0055】

(第7の実施形態)

次に、本発明に係る第7の実施形態の製造装置を図12, 図13に基づいて説明する。図12(a)は従来方法における真空チャックを用いたハンドリングをウエハ裏面側から見た平面図、図12(b)は図12(a)におけるA-A矢視断面図である。図13(a)は、第7の実施形態における支持用治具によりハンドリングする状態となったウエハを裏面側から見た平面図、図13(b)は図13(a)におけるA-A矢視断面図である。

10

【0056】

従来の方法では、図12(a), (b)に示すように、半導体基板としてのウエハ1裏面の中央付近を真空チャック18で吸着保持した状態でハンドリングしていた。この場合、真空チャック18とウエハ1裏面側のBTBAS-SiN膜との当接により、BTBAS-SiN膜にクラックが発生して、真空チャック18からウエハ1をリリースしたときにBTBAS-SiN膜のウエハ1裏面側から剥離した断片が他のウエハ1上に落下してパーティクルとなる不具合があった。

【0057】

そこで本実施形態の特徴は、図13(a), (b)に示すようにウエハ1の外周縁における互いに離間した4箇所a, b, c, d、すなわちウエハ1の4隅を支持用治具19によって支持(例えばウエハの面方向内方へ向かう挟持などによる支持)し、この治具19を常圧搬送(真空吸着を利用していない搬送)することで、ウエハ1裏面(特に中央付近)のBTBAS-SiN膜にダメージを与えることなくウエハ1の搬送を行えるようにして、搬送による裏面からのパーティクル発生を防止する点にある。支持箇所の4箇所a, b, c, dは、平面視円形を成すウエハ1の外周に内接する長方形の各頂点に相当する位置となっている。図13(b)に示すように、ウエハ1裏面と支持用治具19との間は、離隔した空間部が存するようになっており、ウエハ1の4隅でのみ支持されている。これにより、極力ウエハ1の裏面に接触するものがないようにして、パーティクルの発生を抑制している。

20

30

【0058】

(第8の実施形態)

次に、本発明に係る第8の実施形態の製造装置を図14, 図15に基づいて説明する。図14(a)は従来方法における静電チャックを用いたプロセス中のウエハ保持状態をウエハ裏面側から見た平面図、図14(b)は図14(a)におけるA-A矢視断面図であり、図14(c)は従来方法における真空チャックを用いたプロセス中のウエハ保持状態をウエハ裏面側から見た平面図、図14(d)は図14(a)におけるA-A矢視断面図である。図15(a)は第8の実施形態におけるウエハガイドリングにウエハを装着した状態を示す平面図、図15(b)は図15(a)におけるA-A矢視断面図である。

40

【0059】

従来の方法では、図14(a), (b), (c), (d)に示すように枚葉式のチャンパーではプロセス中に静電チャック20もしくは真空チャック21を用いて、ウエハ1を直接固定保持していた。

【0060】

そこで、本実施形態の特徴は、BTBAS-SiN膜のような静電チャックもしくは真空チャックなどによりダメージを受けやすい膜を裏面側に露出したまま拡散工程などプロセスを進める場合には、チャンパー側のウエハサセプターとローダー側のウエハハンドラーを、静電チャック、真空チャックを備えた構成から、図15に示すように、常圧のウエハサセプターとウエハハンドラーに変更する。この特徴は、ウエハ1とほぼ同じ形状の凹

50

部 2 2 を形成したウエハガイドリング 2 3 をウエハサセプター（図示せず）とウエハハンドラー（図示せず）とのそれぞれに設置しており、ウエハ 1 の裏面側が露出しないようにウエハ 1 を凹部 2 2 に収納するので、BTBAS-SiN 膜にダメージを与えることなくプロセスを進行できる点である。また、ウエハ 1 はウエハガイドリング 2 3 に収納された状態で常圧搬送され、ウエハサセプターとウエハハンドラーへの受け渡しはウエハサセプターに設けたウエハリフトピン（図示せず）によって行う。

【産業上の利用可能性】

【0061】

本発明における半導体装置の製造方法およびその製造装置は、ウエハ裏面からのパーティクルを抑制するものであり、半導体装置の歩留まりや品質の向上に有用である。

10

【図面の簡単な説明】

【0062】

【図 1】本発明の第 1 の実施形態を説明するためのゲート製造工程などの流れ図である。

【図 2】本発明の第 1 の実施形態を説明するためのゲート形成後のウエハ断面図（a）と、基板裏面側の BTBAS-SiN 膜および酸化膜を除去した後のウエハ断面図（b）である。

【図 3】本発明の第 3 の実施形態を説明するためのゲート製造工程などの流れ図である。

【図 4】本発明の第 3 の実施形態を説明するためのゲート形成後のウエハ断面図（a）と、基板裏面側の BTBAS-SiN 膜などを除去した後のウエハ断面図（b）である。

【図 5】本発明の第 4 の実施形態を説明するためのゲート製造工程などの流れ図である。

20

【図 6】本発明の第 4 の実施形態を説明するためのゲート形成後のウエハ断面図（a）と、基板裏面側の BTBAS-SiN 膜などを除去した後のウエハ断面図（b）である。

【図 7】本発明の第 5 の実施形態を説明するための素子分離製造工程の流れ図である。

【図 8】本発明の第 5 の実施形態を説明するためのゲート製造工程などの流れ図である。

【図 9】本発明の第 5 の実施形態を説明するための素子分離とゲート形成後のウエハ断面図（a）と、基板裏面側の BTBAS-SiN 膜などを除去した後のウエハ断面図（b）である。

【図 10】従来におけるカセット内で直下のウエハへのパーティクル落下する様子を示す断面側面図である。

【図 11】第 6 の実施形態を表すものであってカセット内の様子を示す断面側面図である

30

【図 12】図 12（a）は従来方法における真空チャックを用いたハンドリングをウエハ裏面側から見た平面図、図 12（b）は図 12（a）における A-A 矢視断面図である。

【図 13】図 13（a）は、第 7 の実施形態における支持用治具によりハンドリングする状態となったウエハを裏面側から見た平面図、図 13（b）は図 13（a）における A-A 矢視断面図である。ウエハの 4 隅支持によるウエハ搬送方法を表す図である。

【図 14】従来における静電チャック、真空チャックを用いたプロセス中のウエハ固定方法を表す図であり、図 14（a）は従来方法における静電チャックを用いたプロセス中のウエハ保持状態をウエハ裏面側から見た平面図、図 14（b）は図 14（a）における A-A 矢視断面図であり、図 14（c）は従来方法における真空チャックを用いたプロセス中のウエハ保持状態をウエハ裏面側から見た平面図、図 14（d）は図 14（c）における A-A 矢視断面図である。

40

【図 15】図 15（a）は第 8 の実施形態におけるウエハガイドリングにウエハを装着した状態を示す平面図、図 15（b）は図 15（a）における A-A 矢視断面図である。

【図 16】拡散中の代表的な Si 基板裏面の模式的な断面構造を表す図である。

【図 17】従来の MOS トランジスタの形成フローを表す図である。

【符号の説明】

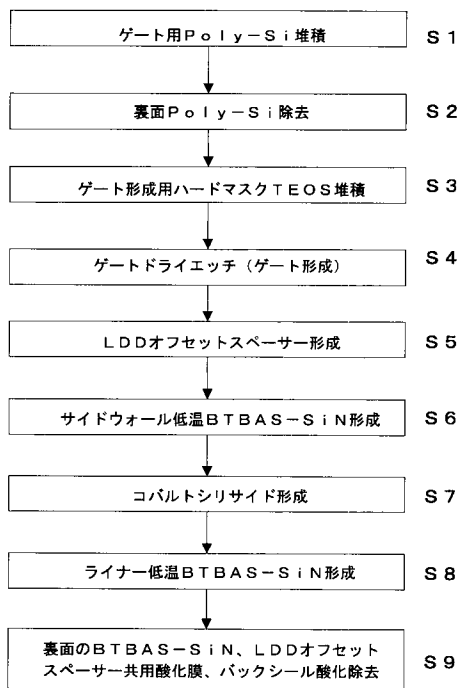
【0063】

1 半導体基板（ウエハ）

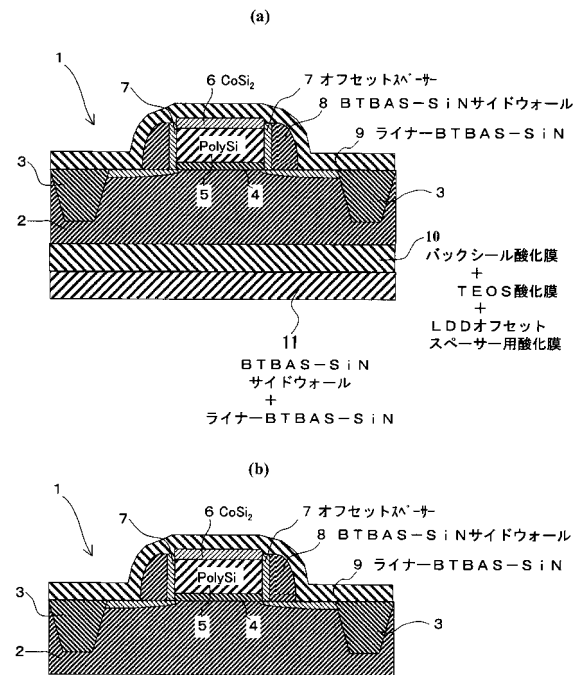
50

- 10 バックシール酸化膜
- 11 BTBAS-SiN膜

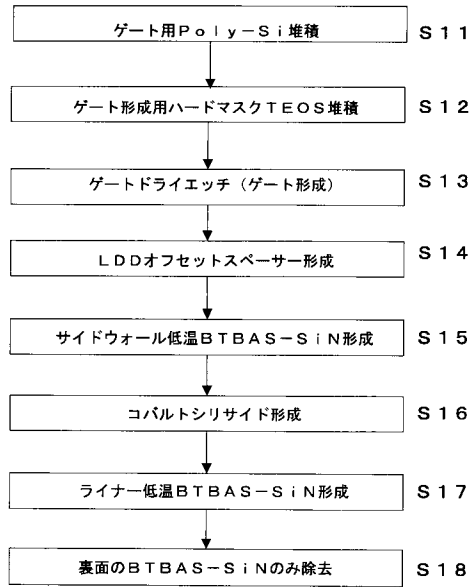
【図1】



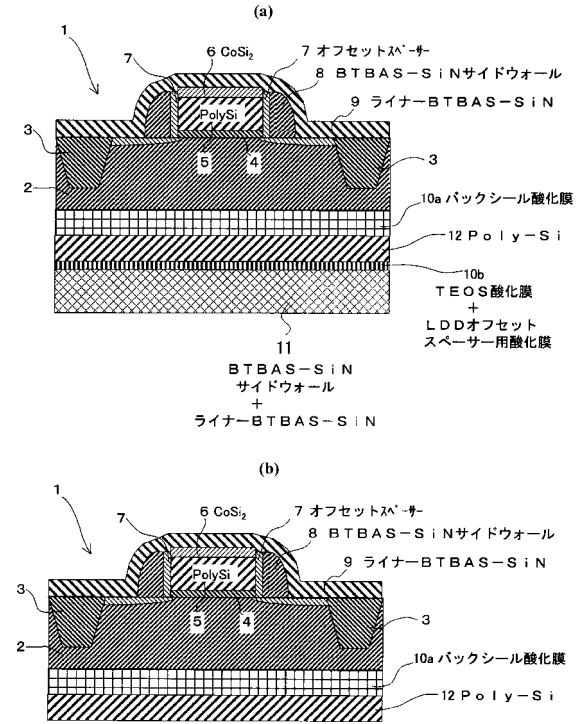
【図2】



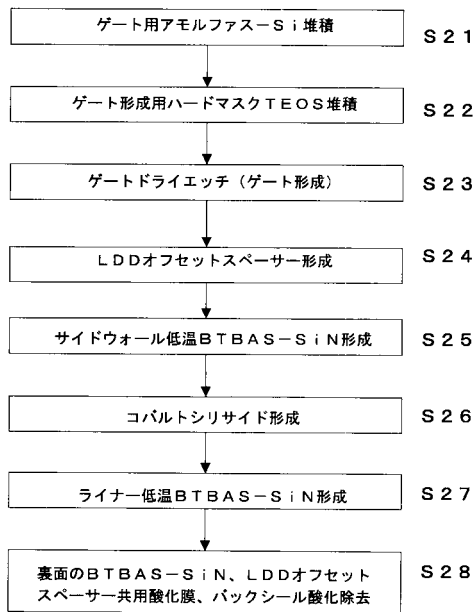
【 図 3 】



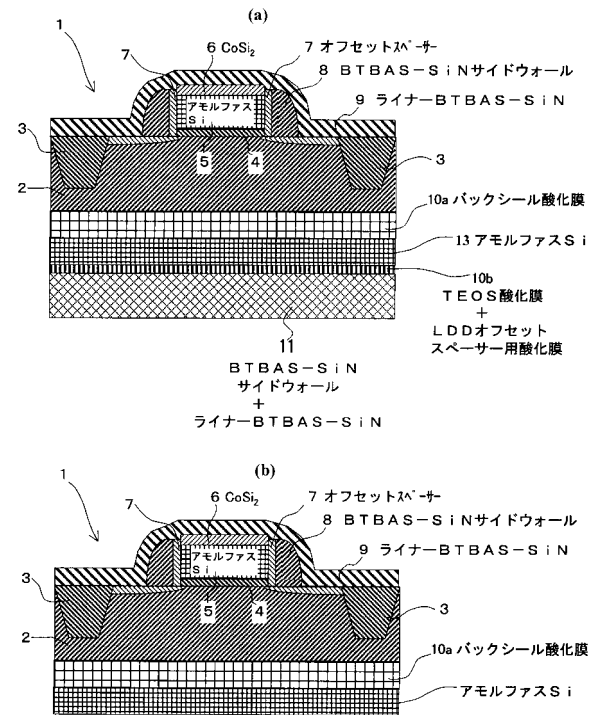
【 図 4 】



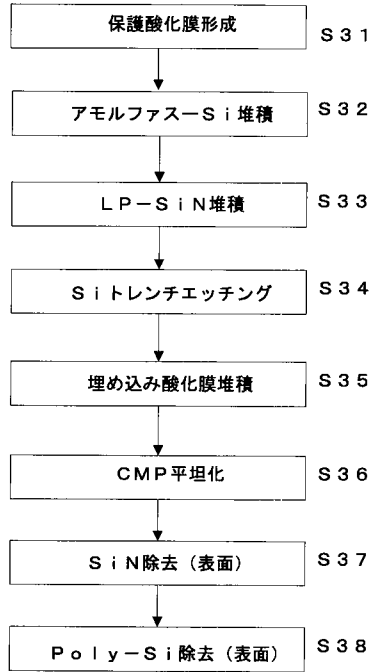
【 図 5 】



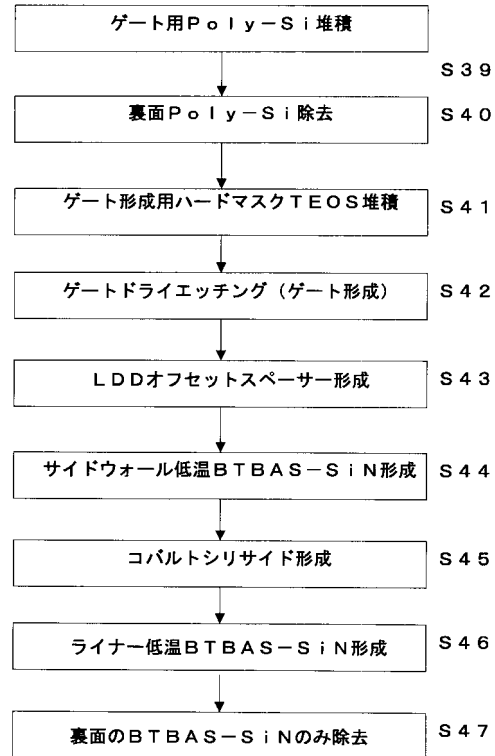
【 図 6 】



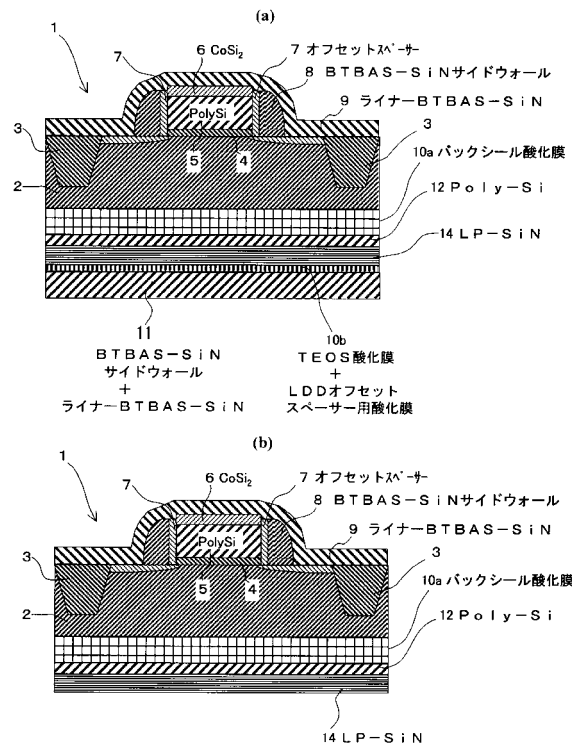
【 図 7 】



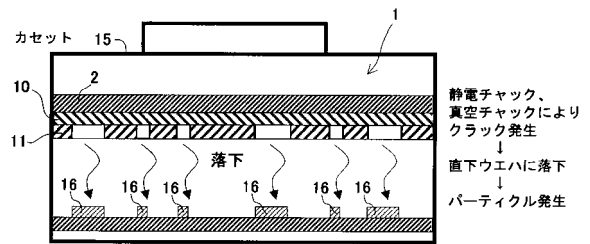
【 図 8 】



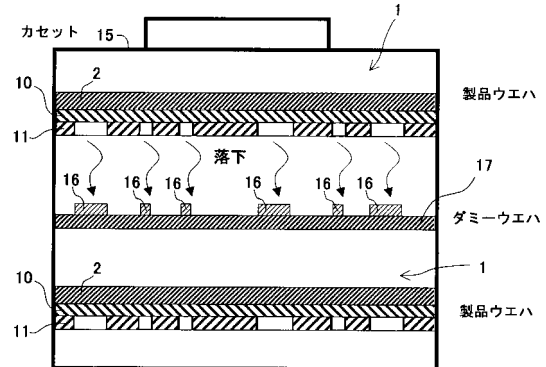
【 図 9 】



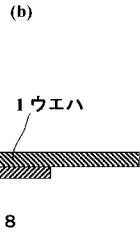
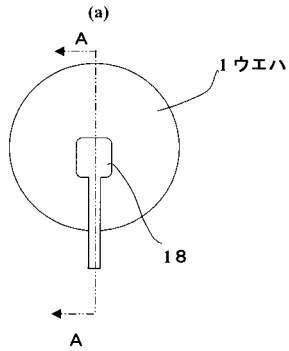
【 図 10 】



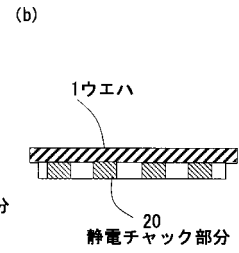
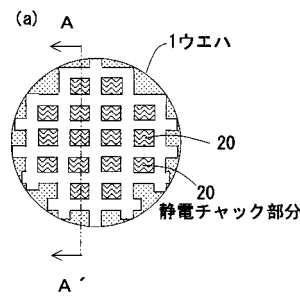
【 図 11 】



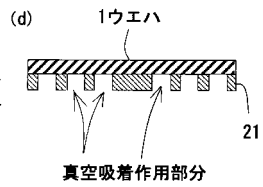
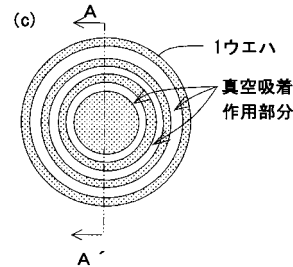
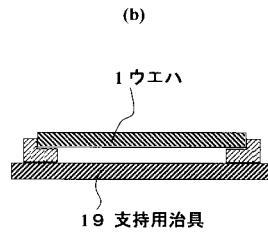
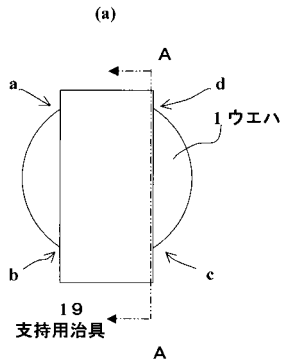
【図12】



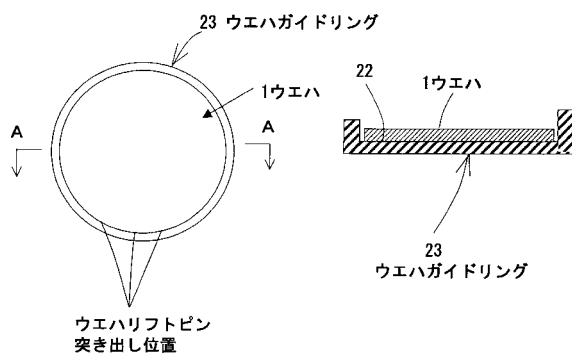
【図14】



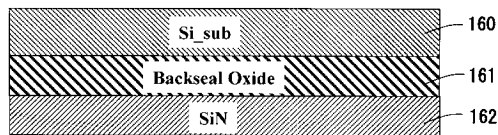
【図13】



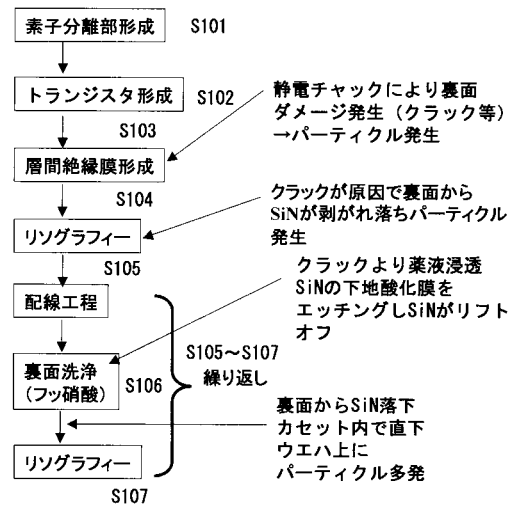
【図15】



【図16】



【図17】



フロントページの続き

- (56)参考文献 特開平02 - 209331 (JP, A)
特開昭63 - 185018 (JP, A)
特開平11 - 172439 (JP, A)
特開2001 - 230248 (JP, A)
特開2002 - 289665 (JP, A)
特開2002 - 026108 (JP, A)
特開2001 - 326272 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/304, 21/306, 21/308, 21/318, 21/68