



(12) **Veröffentlichung**

der internationalen Anmeldung mit der
 (87) Veröffentlichungs-Nr.: **WO 2014/171500**
 in deutscher Übersetzung (Art. III § 8 Abs. 2 IntPatÜG)
 (21) Deutsches Aktenzeichen: **11 2014 002 034.6**
 (86) PCT-Aktenzeichen: **PCT/JP2014/060887**
 (86) PCT-Anmeldetag: **10.04.2014**
 (87) PCT-Veröffentlichungstag: **23.10.2014**
 (43) Veröffentlichungstag der PCT Anmeldung
 in deutscher Übersetzung: **07.01.2016**

(51) Int Cl.: **G11C 11/405 (2006.01)**

G11C 11/4074 (2006.01)
H01L 21/8234 (2006.01)
H01L 21/8238 (2006.01)
H01L 21/8242 (2006.01)
H01L 27/08 (2006.01)
H01L 27/088 (2006.01)
H01L 27/092 (2006.01)
H01L 27/10 (2006.01)
H01L 27/105 (2006.01)
H01L 27/108 (2006.01)
H01L 29/786 (2006.01)

(30) Unionspriorität:
2013-087938 **19.04.2013** **JP**

(74) Vertreter:
**Grünecker Patent- und Rechtsanwälte PartG
 mbB, 80802 München, DE**

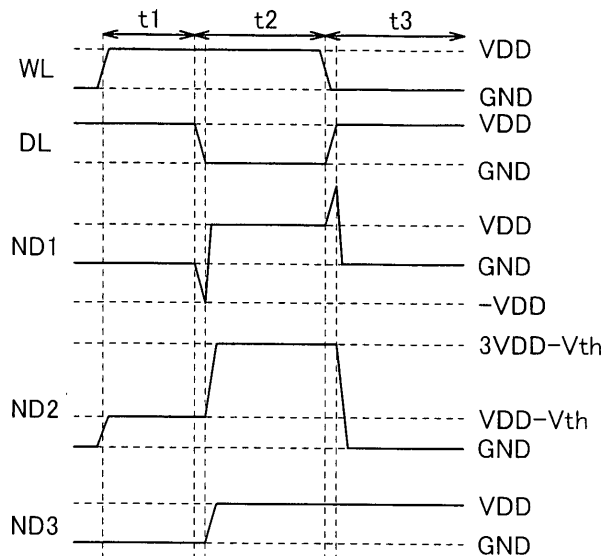
(71) Anmelder:
**SEMICONDUCTOR ENERGY LABORATORY CO.,
 LTD., Atsugi-shi, Kanagawa-ken, JP**

(72) Erfinder:
Ikeda, Takayuki, Atsugi-shi, Kanagawa-ken, JP

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

(54) Bezeichnung: **Speichervorrichtung und Halbleitervorrichtung**

(57) Zusammenfassung: Bereitgestellt wird eine Speichervorrichtung mit niedrigem Stromverbrauch. Die Speichervorrichtung beinhaltet einen ersten Transistor, einen zweiten Transistor, ein logisches Element und ein Halbleiterelement. Der zweite Transistor steuert die Zufuhr eines ersten Signals zu einem Gate des ersten Transistors. Wenn das Potential eines einzugebenden zweiten Signals von einem ersten Potential auf ein zweites Potential, das niedriger ist als das erste Potential, geändert wird, ändert das logische Element das Potential eines ersten Anschlusses des ersten Transistors von einem dritten Potential, das niedriger ist als das zweite Potential, auf das erste Potential, nachdem das logische Element das Potential des ersten Anschlusses des ersten Transistors von dem zweiten Potential auf das dritte Potential geändert hat. Eine Funktion des Halbleiterelementes besteht darin, dass es bewirkt, dass ein zweiter Anschluss des ersten Transistors schwebend wird. Der erste Transistor weist einen Kanalbildungsbereich in einem Oxidhalbleiterfilm auf.



Beschreibung

Technisches Gebiet

[0001] Eine Ausführungsform der vorliegenden Erfindung betrifft Halbleitervorrichtungen. Zum Beispiel betrifft eine Ausführungsform der vorliegenden Erfindung Speichervorrichtungen und Halbleitervorrichtungen, die die Speichervorrichtungen beinhalten.

Stand der Technik

[0002] Als neuartiger Halbleiter erregt ein Metalloxid mit Halbleitereigenschaften, genannt Oxidhalbleiter, Aufmerksamkeit. Transistoren, die Oxidhalbleiter enthalten, sind in der Entwicklung. Zum Beispiel offenbart Patentdokument 1 die Struktur eines Speicherelementes zum Halten von Daten an einem Knoten, der schwebend (floating) wird, indem ein solcher Transistor abgeschaltet wird.

[Referenz]

[0003]

Patentdokument 1: Japanische Patentoffenlegungsschrift Nr. 2011-171702

Offenbarung der Erfindung

[0004] Zur Beurteilung der Leistung einer Halbleitervorrichtung, wie einer Speichervorrichtung, sind niedriger Stromverbrauch und Hochgeschwindigkeitsbetrieb bedeutende Faktoren. Wenn die Stromversorgungsspannung verringert wird, um den Stromverbrauch der Speichervorrichtung zu verringern, wird jedoch auch der Durchlassstrom eines Transistors verringert, so dass auch die Betriebsgeschwindigkeit der Speichervorrichtung verringert wird. Mit anderen Worten gibt es einen Widerspruch zwischen einer Verringerung des Stromverbrauchs und einer Erhöhung der Betriebsgeschwindigkeit. In Anbetracht der Betriebsgeschwindigkeit ist es unmöglich, die Stromversorgungsspannung nur zur Verringerung des Stromverbrauchs zu verringern.

[0005] Ein hohes Potential, das über einen n-Kanal-Transistor an einen Knoten in einer Speicherzelle einer Speichervorrichtung angelegt wird, wird um die Schwellenspannung des Transistors verringert. Wenn die Stromversorgungsspannung der Speichervorrichtung verringert wird, um den Stromverbrauch zu verringern, wird deshalb das Potential des Knotens in der Speichervorrichtung zu niedrig, so dass das logische Niveau eines Signals, das von der Speicherzelle ausgegeben wird, geändert wird. Folglich ist es wahrscheinlich, dass sich Datenzuverlässigkeit verringert.

[0006] In Anbetracht des obigen technischen Hintergrundes ist eine Aufgabe einer Ausführungsform der

vorliegenden Erfindung, eine Speichervorrichtung mit niedrigem Stromverbrauch, bei der die Betriebsgeschwindigkeit aufrechterhalten werden kann, bereitzustellen. Alternativ ist eine Aufgabe einer Ausführungsform der vorliegenden Erfindung, eine Speichervorrichtung mit niedrigem Stromverbrauch, die korrekt arbeiten kann, bereitzustellen. Alternativ ist eine Aufgabe einer Ausführungsform der vorliegenden Erfindung, eine Halbleitervorrichtung mit niedrigem Stromverbrauch, bei der die Betriebsgeschwindigkeit aufrechterhalten werden kann, bereitzustellen. Alternativ ist eine Aufgabe einer Ausführungsform der vorliegenden Erfindung, eine Halbleitervorrichtung mit niedrigem Stromverbrauch, die korrekt arbeiten kann, bereitzustellen.

[0007] Bei einer Ausführungsform der vorliegenden Erfindung werden Daten in eine Speichervorrichtung geschrieben, indem elektrische Ladung an einem Knoten über einen ersten Transistor akkumuliert wird. Ein Zuführen eines ersten Signals zu einem Gate des ersten Transistors wird durch einen zweiten Transistor gesteuert. Der erste Transistor wird gemäß dem Potential des ersten Signals angeschaltet oder abgeschaltet.

[0008] Außerdem werden bei einer Ausführungsform der vorliegenden Erfindung beim Datenschreiben in die Speichervorrichtung das Potential eines zweiten Signals, das die Daten enthält, in ein logisches Element mit niedriger Stromlieferfähigkeit eingegeben, und ein Potential, das von dem logischen Element ausgegeben wird, wird einer/einem von einer Source und einem Drain des ersten Transistors zugeführt. Bei einer solchen Struktur kann dann, wenn das Potential des zweiten Signals, das die Daten enthält, von einem ersten Potential auf ein zweites Potential, das niedriger ist als das erste Potential, geändert wird, das Potential einer/eines von der Source und dem Drain des ersten Transistors von einem dritten Potential, das niedriger ist als das zweite Potential, auf das erste Potential geändert werden, nachdem das Potential einer/eines von der Source und dem Drain des ersten Transistors von dem zweiten Potential auf das dritte Potential geändert worden ist.

[0009] Ferner wird beim Datenschreiben in die Speichervorrichtung ein Potential, das höher ist als ein Potential, das durch eine Addition der Schwellenspannung des zweiten Transistors zu dem zweiten Potential erhalten wird, einem Gate des zweiten Transistors zugeführt. Wenn das Potential einer/eines von der Source und dem Drain des ersten Transistors in einem Zustand, in dem das Potential dem Gate des zweiten Transistors zugeführt wird, von dem zweiten Potential auf das dritte Potential verringert wird, wird der zweite Transistor angeschaltet; demzufolge wird das Potential des ersten Signals dem Gate des ersten Transistors über den zweiten Transistor zugeführt.

Wenn das Potential einer/eines von der Source und dem Drain des ersten Transistors in einem Zustand, in dem das Potential dem Gate des zweiten Transistors zugeführt wird, von dem dritten Potential auf das erste Potential erhöht wird, wird der zweite Transistor abgeschaltet; demzufolge wird das Gate des ersten Transistors schwebend. Mit der Erhöhung des Potentials einer/eines von der Source und dem Drain des ersten Transistors von dem dritten Potential auf das erste Potential wird auch das Potential des Gates des ersten Transistors erhöht, da eine Kapazität C_s zwischen der Source und dem Gate des ersten Transistors gebildet wird.

[0010] Daher kann in dem Fall, in dem das Potential des ersten Signals hoch ist, das Potential des Gates des ersten Transistors durch den obigen Vorgang erhöht werden, selbst wenn das Potential des Gates des ersten Transistors von dem Potential um die Schwellenspannung des zweiten Transistors verringert wird. Demzufolge kann der erste Transistor sicher angeschaltet werden. Folglich können bei der Speichervorrichtung nach einer Ausführungsform der vorliegenden Erfindung Daten in den Knoten schnell geschrieben werden, selbst wenn die der Speichervorrichtung zugeführte Stromversorgungsspannung verringert wird, und es ist möglich, zu verhindern, dass ein beim Datenschreiben dem Knoten zugeführtes Potential um die Schwellenspannung des ersten Transistors verringert wird.

[0011] Insbesondere beinhaltet eine Speichervorrichtung nach einer Ausführungsform der vorliegenden Erfindung einen ersten Transistor, einen zweiten Transistor, ein logisches Element und ein Halbleiterelement. Der zweite Transistor steuert eine Zuführung eines ersten Signals zu einem Gate des ersten Transistors. Wenn das Potential eines einzugehenden zweiten Signals von einem ersten Potential auf ein zweites Potential, das niedriger ist als das erste Potential, geändert wird, ändert das logische Element das Potential einer/eines von einer Source und einem Drain des ersten Transistors von einem dritten Potential, das niedriger ist als das zweite Potential, auf das erste Potential, nachdem das logische Element das Potential einer/eines von der Source und dem Drain des ersten Transistors von dem zweiten Potential auf das dritte Potential geändert hat. Eine Funktion des Halbleiterelementes besteht darin, dass es bewirkt, dass die/der andere von der Source und dem Drain des ersten Transistors schwebend wird.

[0012] Der erste Transistor weist einen niedrigeren Sperrstrom auf als ein Transistor, der einen Kanalbildungsbereich in einem Siliziumfilm oder einem Siliziumsubstrat aufweist. Ein Transistor, der einen Kanalbildungsbereich in einem Film aus einem Halbleiter mit einer breiteren Bandlücke und einer niedrigeren intrinsischen Ladungsträgerdichte als Silizium aufweist, kann erheblich niedrigeren Sperrstrom auf-

weisen als ein Transistor, der einen Kanalbildungsbereich in einem normalen Halbleiter, wie Silizium oder Germanium, aufweist. Daher ist ein solcher Transistor für den ersten Transistor geeignet. Beispiele für einen Halbleiter mit einer breiteren Bandlücke und einer niedrigeren intrinsischen Ladungsträgerdichte als Silizium sind ein Oxidhalbleiter, Siliziumcarbid und Galliumnitrid, deren Bandlücke das Doppelte oder mehr von derjenigen von Silizium ist.

[0013] Bei einer solchen Struktur wird der Knoten schwebend, d. h., dass er gegenüber einer anderen Elektrode oder einer Leitung sehr gut isoliert ist, wenn der erste Transistor abgeschaltet ist. Deshalb wird das Potential des die Daten enthaltenden Signals an dem Knoten gehalten.

[0014] Nach einer Ausführungsform der vorliegenden Erfindung ist es möglich, eine Speichervorrichtung mit niedrigem Stromverbrauch, bei der Betriebsgeschwindigkeit aufrechterhalten werden kann, bereitzustellen. Alternativ ist es nach einer Ausführungsform der vorliegenden Erfindung möglich, eine Speichervorrichtung mit niedrigem Stromverbrauch, die korrekt arbeiten kann, bereitzustellen. Alternativ ist es nach einer Ausführungsform der vorliegenden Erfindung möglich, eine Halbleitervorrichtung mit niedrigem Stromverbrauch, bei der Betriebsgeschwindigkeit aufrechterhalten werden kann, bereitzustellen. Alternativ ist es nach einer Ausführungsform der vorliegenden Erfindung möglich, eine Halbleitervorrichtung mit niedrigem Stromverbrauch, die korrekt arbeiten kann, bereitzustellen.

Kurze Beschreibung der Zeichnungen

[0015] In den begleitenden Zeichnungen:

[0016] Fig. 1 stellt eine Struktur einer Speichervorrichtung dar;

[0017] Fig. 2A und Fig. 2B stellen eine Arbeitsweise einer Speichervorrichtung dar;

[0018] Fig. 3 ist ein Zeitdiagramm einer Speichervorrichtung;

[0019] Fig. 4A und Fig. 4B stellen jeweils eine Struktur einer Speichervorrichtung dar;

[0020] Fig. 5 stellt eine Struktur eines Zellen-Arrays dar;

[0021] Fig. 6 ist ein Zeitdiagramm eines Zellen-Arrays;

[0022] Fig. 7 stellt eine Struktur einer PLD dar;

[0023] Fig. 8A bis Fig. 8C stellen jeweils eine Struktur eines logischen Blocks dar;

[0024] Fig. 9A stellt einen Teil einer Struktur einer PLD dar, und Fig. 9B stellt eine Struktur eines Schaltstromkreises dar;

[0025] Fig. 10 stellt eine Gesamtstruktur einer PLD dar;

[0026] Fig. 11 ist eine Querschnittsansicht einer Zelle;

[0027] Fig. 12A bis Fig. 12F stellen jeweils eine elektronische Vorrichtung dar; und

[0028] Fig. 13 zeigt mittels Berechnung ermittelte Potentialwellenformen.

Beste Art zum Durchführen der Erfindung

[0029] Eine Ausführungsform der vorliegenden Erfindung wird nachstehend unter Bezugnahme auf die Zeichnungen ausführlich beschrieben. Es sei angemerkt, dass die vorliegende Erfindung nicht auf die folgende Beschreibung beschränkt wird. Es erschließt sich Fachleuten ohne Weiteres, dass Arten und Details der vorliegenden Erfindung auf verschiedene Weise verändert werden können, ohne vom Gedanken und Schutzbereich der vorliegenden Erfindung abzuweichen. Die vorliegende Erfindung soll deshalb nicht als auf die folgende Beschreibung der Ausführungsform beschränkt angesehen werden.

[0030] Es sei angemerkt, dass eine Halbleitervorrichtung nach einer Ausführungsform der vorliegenden Erfindung in ihrer Kategorie verschiedene integrierte Halbleiterschaltungen, die unter Verwendung von Halbleiterelementen gebildet werden, wie beispielsweise Mikroprozessoren, Bildverarbeitungsschaltungen, Regler für Halbleiter-Anzeigevorrichtungen, digitale Signalprozessoren (DSP), Mikrocontroller, Steuerschaltungen für Batterien, wie beispielsweise Sekundärbatterien, und Schutzschaltungen umfasst. Die Halbleitervorrichtung nach einer Ausführungsform der vorliegenden Erfindung umfasst in ihrer Kategorie verschiedene Vorrichtungen, wie beispielsweise RF-Tags, die aus einer beliebigen der integrierten Halbleiterschaltungen ausgebildet werden, und Halbleiter-Anzeigevorrichtungen. Die Halbleiter-Anzeigevorrichtung umfasst in ihrer Kategorie Flüssigkristallanzeigevorrichtungen, lichtemittierende Vorrichtungen, bei denen ein lichtemittierendes Element, das typischerweise ein organisches lichtemittierendes Element ist, in jedem Pixel bereitgestellt ist, elektronisches Papier, digitale Mikrospiegelvorrichtungen (digital micromirror device: DMD), Plasmabildschirme (plasma display panel: PDP), Feldemissionsanzeigen (field emission display: FED) und weitere Halbleiter-Anzeigevorrichtungen, bei denen Halbleiterelemente in Treiberschaltungen enthalten sind.

<Strukturbeispiel 1 für Speichervorrichtung>

[0031] Zuerst wird ein Strukturbeispiel für eine Speichervorrichtung nach einer Ausführungsform der vorliegenden Erfindung beschrieben. Fig. 1 stellt die Struktur einer Speichervorrichtung **10** nach einer Ausführungsform der vorliegenden Erfindung dar.

[0032] Die Speichervorrichtung **10** nach einer Ausführungsform der vorliegenden Erfindung umfasst eine oder mehrere Gruppen, die jeweils zumindest einen Transistor **11**, einen Transistor **12** und ein logisches Element **13** beinhalten. Fig. 1 stellt ein Strukturbeispiel für die Speichervorrichtung **10** dar, die eine Speicherzelle **14** als Gruppe beinhaltet.

[0033] Die Speichervorrichtung **10** in Fig. 1 beinhaltet ferner ein Halbleiterelement **16**, das mit einem von der Speicherzelle **14** ausgegebenen Potential versorgt wird. Ein von dem Halbleiterelement **16** ausgegebenes Potential wird an eine Leitung **17** angelegt. Es sei angemerkt, dass bei der Struktur der Speichervorrichtung **10** in Fig. 1 das Halbleiterelement **16** nicht in der Speicherzelle **14** enthalten ist; jedoch kann das Halbleiterelement **16** in der Speicherzelle **14** enthalten sein.

[0034] Eine Funktion des Transistors **11** besteht darin, dass er die elektrische Verbindung zwischen einem Knoten ND1 und einem Knoten ND3 in der Speicherzelle **14** gemäß dem Potential eines Knotens ND2 steuert. Insbesondere entspricht eine/einer von einer Source und einem Drain des Transistors **11** dem Knoten ND1, die/der andere von der Source und dem Drain des Transistors **11** entspricht dem Knoten ND3, und ein Gate des Transistors **11** entspricht dem Knoten ND2. Das Potential eines Daten enthaltenden Signals, das von dem logischen Element **13** ausgegeben wird, wird dem Knoten ND1 zugeführt. Wenn das Potential dem Knoten ND3 über den Transistor **11** zugeführt wird, wird elektrische Ladung, die dem Potential entspricht, an dem Knoten ND3 akkumuliert, und Daten werden in die Speicherzelle **14** geschrieben.

[0035] In Fig. 1 beinhaltet die Speicherzelle **14** einen Kondensator **15**, der mit dem Knoten ND3 verbunden ist, und das Potential des Knotens ND3 wird durch den Kondensator **15** gehalten.

[0036] Es sei angemerkt, dass in dieser Beschreibung der Begriff „Verbindung“ eine elektrische Verbindung bedeutet und einem Zustand entspricht, in dem ein Strom, eine Spannung oder ein Potential zugeführt oder übertragen werden kann. Demgemäß bedeutet ein Verbindungszustand nicht immer einen Zustand einer direkten Verbindung, sondern umfasst einen Zustand einer elektrischen Verbindung über ein Schaltungselement, wie beispielsweise eine Leitung, einen Widerstand, eine Diode oder einen Transistor,

so dass ein Strom, eine Spannung oder ein Potential zugeführt oder übertragen werden kann.

[0037] Eine Source eines Transistors bedeutet einen Source-Bereich, der ein Teil eines Halbleiterfilms ist, der als Aktivschicht dient, oder eine Source-Elektrode, die elektrisch mit dem Halbleiterfilm verbunden ist. Desgleichen bedeutet ein Drain eines Transistors einen Drain-Bereich, der ein Teil eines Halbleiterfilms ist, der als Aktivschicht dient, oder eine Drain-Elektrode, die elektrisch mit dem Halbleiterfilm verbunden ist. Ein Gate bedeutet eine Gate-Elektrode.

[0038] Die Begriffe „Source“ und „Drain“ eines Transistors wechseln je nach dem Leitungstyp des Transistors oder den Niveaus von Potentialen, die an Anschlüsse angelegt werden. Im Allgemeinen wird bei einem n-Kanal-Transistor ein Anschluss, an den ein niedriges Potential angelegt wird, eine Source genannt, und ein Anschluss, an den ein höheres Potential angelegt wird, wird ein Drain genannt. Ferner wird bei einem p-Kanal-Transistor ein Anschluss, an den ein niedriges Potential angelegt wird, ein Drain genannt, und ein Anschluss, an den ein hohes Potential angelegt wird, wird eine Source genannt. Obwohl in dieser Beschreibung die Verbindungsbeziehung des Transistors in einigen Fällen der Einfachheit halber in der Annahme beschrieben wird, dass die Source und der Drain festgelegt sind, tauschen tatsächlich die Source und der Drain ihre Namen untereinander je nach der Beziehung der Potentiale aus.

[0039] Bei einer Ausführungsform der vorliegenden Erfindung weist der Transistor **11** einen sehr niedrigen Sperrstrom auf. Ein Transistor, der einen Kanalbildungsbereich in einem Film aus Halbleiter mit einer breiteren Bandlücke und einer niedrigeren intrinsischen Ladungsträgerdichte als Silizium aufweist, kann erheblich niedrigeren Sperrstrom aufweisen als ein Transistor, der einen Kanalbildungsbereich in einem normalen Halbleiter, wie beispielsweise Silizium oder Germanium, aufweist. Daher ist ein solcher Transistor für den Transistor **11** geeignet. Beispiele für einen solchen Halbleiter sind ein Oxidhalbleiter und Galliumnitrid, deren Bandlücke das Doppelte oder mehr von der Bandlücke von Silizium ist.

[0040] Da der Sperrstrom des Transistors **11** sehr niedrig ist, wird die/der andere von der Source und dem Drain des Transistors **11** schwebend, d. h., dass er gegenüber einer anderen Elektrode oder einer Leitung sehr gut isoliert ist, wenn der Transistor **11** abgeschaltet ist. Dementsprechend kann verhindert werden, dass die an dem Knoten ND3 gehaltene elektrische Ladung abfließt, und das Potential des Daten enthaltenden Signals wird an dem Knoten ND3 gehalten.

[0041] Es sei angemerkt, dass, soweit nicht anders angegeben, „Sperrstrom“ in dieser Beschreibung ei-

nen Strom bedeutet, der in einem Abschaltungsreich zwischen einer Source und einem Drain eines Transistors fließt.

[0042] Eine Funktion des Transistors **12** besteht darin, dass er die Zufuhr eines Signals von einer Leitung WL zu dem Gate des Transistors **11**, d. h. dem Knoten ND2, steuert. Daher wird der Transistor **11** gemäß dem Potential des Signals angeschaltet oder abgeschaltet. Insbesondere ist eine/einer von einer Source und einem Drain des Transistors **12** mit der Leitung WL verbunden, die mit dem Signal versorgt wird, die/der andere von der Source und dem Drain des Transistors **12** ist mit dem Gate des Transistors **11** verbunden, und ein Gate des Transistors **12** ist mit einer Leitung VL verbunden.

[0043] Eine Funktion des Halbleiterelementes besteht darin, dass es bewirkt, dass die/der andere von der Source und dem Drain des Transistors **11**, d. h. der Knoten ND3, schwebend wird. Insbesondere kann ein Transistor, ein Kondensator oder dergleichen als das Halbleiterelement **16** verwendet werden. Beispielsweise wird in dem Fall, in dem ein Transistor als das Halbleiterelement **16** verwendet wird, ein Gate des Transistors mit dem Knoten ND3 verbunden. Beispielsweise wird in dem Fall, in dem ein Kondensator als das Halbleiterelement **16** verwendet wird, eine von einem Paar von Elektroden des Kondensators mit dem Knoten ND3 verbunden.

[0044] Eine Funktion des Transistors **13** besteht darin, dass er die Polarität des Potentials des Daten enthaltenden Signals nach einer Eingabe des Signals invertiert und das invertierte Signal einer/einem von der Source und dem Drain des Transistors **11**, d. h. dem Knoten ND1, zuführt. Beispielsweise kann ein Inverter oder dergleichen als das logische Element **13** verwendet werden. Ferner weist vorzugsweise das logische Element **13** eine niedrige Stromlieferfähigkeit auf. Insbesondere weist vorzugsweise das logische Element **13** eine niedrige Stromlieferfähigkeit auf, so dass dann, wenn das Potential eines in das logische Element **13** eingegebenen Signals von einem ersten Potential auf ein zweites Potential, das niedriger ist als das erste Potential, geändert wird, das Potential des Knotens ND1 von einem dritten Potential, das niedriger ist als das zweite Potential, auf das erste Potential geändert wird, nachdem das Potential des Knotens ND1 von dem zweiten Potential auf das dritte Potential geändert worden ist.

[0045] Insbesondere ist ein Eingabeanschluss des logischen Elementes **13** mit einer Leitung DL verbunden, und ein Ausgabeanschluss des logischen Elementes **13** ist mit einer/einem von der Source und dem Drain des Transistors **11**, d. h. dem Knoten ND1, verbunden.

<Betriebsbeispiel für Speichervorrichtung>

[0046] Als Nächstes wird ein Betriebsbeispiel für die Speichervorrichtung **10** in **Fig. 1** beschrieben. **Fig. 2A** und **Fig. 2B** stellen schematisch das Betriebsbeispiel für die Speichervorrichtung **10** in **Fig. 1** dar. Es sei angemerkt, dass in **Fig. 2A** und **Fig. 2B** ein n-Kanal-Transistor **16t** als das Halbleiterelement **16** verwendet wird und der Knoten ND3 mit einem Gate des Transistors **16t** verbunden ist. In **Fig. 2A** und **Fig. 2B** ist eine/einer von einer Source und einem Drain des Transistors **16t** mit einer Leitung **17a** (Beispiel für die Leitung **17**) verbunden, und die/der andere von der Source und dem Drain des Transistors **16t** ist mit einer Leitung **17b** (Beispiel für die Leitung **17**) verbunden. **Fig. 3** ist ein Beispiel für ein Zeitdiagramm, das Potentiale der Leitung WL, der Leitung DL, des Knotens ND1, des Knotens ND2 und des Knotens ND3 zeigt.

[0047] Zuerst wird, wie in **Fig. 2A** dargestellt, in einer Periode t1 der Leitung WL ein hohes Potential (VDD) zugeführt. Außerdem wird der Leitung VL ein hohes Potential (z. B. VDD) zugeführt, das höher ist als ein Potential, das durch eine Addition der Schwellenspannung des Transistors **12** zu einem niedrigen Potential (z. B. ein Erdpotential GND) erhalten wird. Demzufolge wird der Transistor **12** angeschaltet, so dass ein Potential (VDD – Vth), das durch eine Subtraktion der Schwellenspannung Vth des Transistors **12** von dem hohen Potential (VDD) erhalten wird, dem Gate des Transistors **11**, d. h. dem Knoten ND2, über den Transistor **12** zugeführt wird.

[0048] Das hohe Potential (VDD) wird dann der Leitung DL zugeführt, so dass das niedrige Potential (GND) von dem logischen Element **13** zu einer/einem von der Source und dem Drain des Transistors **11**, d. h. dem Knoten ND1, zugeführt wird. Daher wird das niedrige Potential (GND) über den Transistor **11** an den Knoten ND3 angelegt. Somit kann in der Periode t1 der Transistor **16t** abgeschaltet werden, und die Leitung **17a** kann gegenüber der Leitung **17b** elektrisch isoliert werden.

[0049] Als Nächstes wird, wie in **Fig. 2B** dargestellt, am Anfang einer Periode t2 ein zu der Leitung DL zugeführtes Potential von dem hohen Potential (VDD) auf das niedrige Potential (GND) verringert. Da das logische Element **13** eine niedrige Stromlieferfähigkeit aufweist, wird mit der Verringerung eines zu der Leitung DL zugeführten Potentials das Potential des Knotens ND1 aufgrund der Kapazität zwischen dem Eingabeanschluss und dem Ausgabeanschluss des logischen Elementes **13** verringert. In **Fig. 2B** und **Fig. 3** wird das Potential des Knotens ND1 von dem niedrigen Potential (GND) auf ein niedrigeres Potential (–VDD) verringert.

[0050] Des Weiteren wird in der Periode t2 der Leitung WL das hohe Potential (VDD) zugeführt, und das hohe Potential (VDD) wird fortlaufend der Leitung VL zugeführt. Demgemäß ist der Transistor **12** am Anfang der Periode t2 angeschaltet, so dass das Potential (VDD – Vth) fortlaufend dem Gate des Transistors **11**, d. h. dem Knoten ND2, zugeführt wird.

[0051] Dann erhöht, wie in **Fig. 2B** dargestellt, in der Periode t2 das logische Element **13** das Potential des Knotens ND1 von dem niedrigen Potential (–VDD) auf das hohe Potential (VDD). Mit der Erhöhung des Potentials des Knotens ND1 beginnt sich das Potential des Gates des Transistors **11**, d. h. des Knotens ND2, aufgrund der zwischen der Source und dem Gate des Transistors gebildeten Kapazität Cs zu erhöhen. Daher wird das Potential der/der anderen von der Source und dem Drain des Transistors **12**, die/der mit dem Knoten ND2 verbunden ist, höher als das Potential (VDD – Vth), so dass der Transistor **12** abgeschaltet wird. Folglich wird das Gate des Transistors **11**, d. h. der Knoten ND2, schwebend.

[0052] Selbst nachdem der Knoten ND2 schwebend geworden ist, wird das Potential des Knotens ND2 fortlaufend erhöht. Idealerweise wird das Potential des Knotens ND2 auf ein Potential (3VDD – Vth) erhöht, das durch eine Addition einer Differenz zwischen dem niedrigen Potential (–VDD) und dem hohen Potential (VDD) zu dem Potential (VDD – Vth) erhalten wird. Mit anderen Worten kann bei einer Ausführungsform der vorliegenden Erfindung zum Ende der Periode t1, selbst wenn das Gate-Potential des Transistors **11** von dem hohen Potential (VDD) um die Schwellenspannung Vth des Transistors **12** verringert wird, das Gate-Potential des Transistors **11** durch den obigen Vorgang in der Periode t2 erhöht werden. Folglich kann bei der Speichervorrichtung **10** nach einer Ausführungsform der vorliegenden Erfindung, selbst wenn die Stromversorgungsspannung, die der Speichervorrichtung **10** zugeführt wird, verringert wird, und eine Differenz zwischen dem Potential (VDD) und dem Potential (GND) verringert wird, verhindert werden, dass das dem Knoten ND1 zugeführte Potential (VDD) beim Datenschreiben um die Schwellenspannung des Transistors **11** verringert wird, das Potential (VDD) kann dem Knoten ND3 zugeführt werden, und Daten können in den Knoten ND3 schnell geschrieben werden.

[0053] Da das hohe Potential (VDD) in der Periode t2 dem Knoten ND3 zugeführt wird, wird der Transistor **16t** angeschaltet, und die Leitung **17a** wird elektrisch mit der Leitung **17b** verbunden.

[0054] Es sei angemerkt, dass in **Fig. 2B** und **Fig. 3** in der Periode t2 das der Leitung DL zugeführte Potential von dem hohen Potential (VDD) auf das niedrige Potential (GND) verringert wird und dass das hohe Potential (VDD), das einem logischen Wert „1“

entspricht, dem Knoten ND3 zugeführt wird. Jedoch kann bei einer Ausführungsform der vorliegenden Erfindung in der Periode t2 das der Leitung DL zugeführte Potential auf dem hohen Potential (VDD) gehalten werden, und das niedrige Potential (GND), das einem logischen Wert „0“ entspricht, kann dem Knoten ND3 zugeführt werden.

[0055] Dann wird in einer Periode t3 der Leitung WL das niedrige Potential (GND) zugeführt. Das hohe Potential (z. B. VDD) wird der Leitung VL zugeführt. Dementsprechend wird der Transistor **12** angeschaltet, so dass das niedrige Potential (GND) dem Gate des Transistors **11**, d. h. dem Knoten ND2, über den Transistor **12** zugeführt wird. Demzufolge wird der Transistor **11** abgeschaltet, und das Potential (VDD), das in der Periode t2 zugeführt wird, wird an dem Knoten ND3 gehalten. Folglich bleibt der Transistor **16t** angeschaltet, und die Leitung **17a** bleibt mit der Leitung **17b** elektrisch verbunden.

[0056] Ferner weist, da in der Periode t3 der Leitung DL das hohe Potential (VDD) zugeführt wird, der Knoten ND1 das Potential (GND) auf.

<Strukturbeispiel für logisches Element>

[0057] Als Nächstes stellt **Fig. 4A** die Struktur der Speichervorrichtung **10** dar, die einen Inverter als das logische Element **13** beinhaltet.

[0058] Das logische Element **13** in der Speichervorrichtung **10** in **Fig. 4A** beinhaltet einen p-Kanal-Transistor **18** und einen n-Kanal-Transistor **19**. Gates der Transistoren **18** und **19** sind mit der Leitung DL verbunden. Eine/einer von einer Source und einem Drain des Transistors **18** ist mit einer Leitung **20** verbunden, die mit einem hohen Potential versorgt wird, und eine/einer von einer Source und einem Drain des Transistors **19** ist mit einer Leitung **21** verbunden, die mit einem niedrigen Potential versorgt wird. Die/der andere von der Source und dem Drain des Transistors **18** und die/der andere von der Source und dem Drain des Transistors **19** sind mit einer/einem von der Source und dem Drain des Transistors **11**, d. h. dem Knoten ND1, verbunden.

[0059] **Fig. 4B** stellt ein anderes Strukturbeispiel der Speichervorrichtung **10** dar, die einen Inverter als das logische Element **13** beinhaltet. Die Speichervorrichtung **10** in **Fig. 4B** wird durch einen Zusatz eines Inverters **22** zu der Speichervorrichtung **10** in **Fig. 4A** erhalten. Insbesondere ist bei der Speichervorrichtung **10** in **Fig. 4B** die Leitung WL mit der Leitung DL verbunden, und die Leitung DL ist mit einem Eingabeanschluss des Inverters **22** und einer/einem von der Source und dem Drain des Transistors **12** verbunden. Es sei angemerkt, dass **Fig. 4B** nicht die Leitung WL, sondern nur die Leitung DL darstellt. Darüber hinaus ist ein Ausgabeanschluss des Inverters

22 mit dem Eingabeanschluss (einem Knoten ND4) des logischen Elementes **13** verbunden.

[0060] Es sei angemerkt, dass dann, wenn in **Fig. 4A** und **Fig. 4B** eine Datenhalte-Periode länger wird, in einigen Fällen ein Potential zwischen einem hohen Potential und einem niedrigen Potential an das Halbleiterelement **16** lange Zeit angelegt wird. Daher wird beispielsweise in dem Fall, in dem ein Inverter als das Halbleiterelement **16** verwendet wird, vorzugsweise der Stromverbrauch des Inverters verringert, indem die Kanallänge des Transistors in dem Inverter erhöht wird.

[0061] Es sei angemerkt, dass bei der Speichervorrichtung **10** nach einer Ausführungsform der vorliegenden Erfindung vorzugsweise das logische Element **13** eine derart niedrige Stromlieferfähigkeit aufweist, dass, wenn das Potential eines in das logische Element **13** eingegebenen Signals von einem ersten Potential auf ein zweites Potential, das niedriger ist als das erste Potential, geändert wird, das Potential des Knotens ND1 von einem dritten Potential, das niedriger ist als das zweite Potential, auf das erste Potential geändert wird, nachdem das Potential des Knotens ND1 von dem zweiten Potential auf das dritte Potential geändert worden ist. Insbesondere ist vorzugsweise in **Fig. 4A** und **Fig. 4B** die Kanallänge jedes der Transistoren **18** und **19** groß. Spezifische Kanallänge wird nachstehend beschrieben. Es sei angemerkt, dass in der folgenden Beschreibung der Einfachheit halber die Source des Transistors **18** mit der Leitung **20** verbunden ist, die Source des Transistors **19** mit der Leitung **21** verbunden ist, und die Drains der Transistoren **18** und **19** mit dem Knoten ND1 verbunden sind.

[0062] Bei der Speichervorrichtung **10** in **Fig. 4B** wird beim Übergang des Potentials des Eingabeanschlusses des logischen Elementes **13**, d. h. des Knotens ND4, das von dem hohen Potential (VDD) auf das niedrige Potential (z. B. das Erdpotential GND) verringert wird, ein Kanalbildungsbereich in jedem der Transistoren **18** und **19** in dem logischen Element **13** gebildet. Es sei angemerkt, dass der Kanalbildungsbereich einen Bereich eines Halbleiterfilms eines Transistors oder eines Halbleitersubstrats bedeutet, der eine Gate-Elektrode überlappt und zwischen einer Source-Elektrode oder einem Source-Bereich und einem Drain-Bereich oder einer Drain-Elektrode liegt. Angenommen, dass es sich bei der Hälfte der Kapazität zwischen der Gate-Elektrode und dem Kanalbildungsbereich um die Kapazität Cs zwischen der Gate-Elektrode und dem Source-Bereich und bei der anderen Hälfte der Kapazität zwischen der Gate-Elektrode und dem Kanalbildungsbereich um eine Kapazität Cd zwischen der Gate-Elektrode und dem Drain-Bereich handelt, werden die Kapazität Cs und die Kapazität Cd durch die Gleichung (1) repräsentiert. Die Kanallänge und die Kanalbreite

des Transistors **19** werden mit Li bzw. Wn bezeichnet. Die Kanallänge und die Kanalbreite des Transistors **18** werden mit Li bzw. Wp bezeichnet. Eine proportionale Konstante wird mit a bezeichnet.

$$C_s = C_d = \frac{aLi(Wn + Wp)}{2} \quad (1)$$

[0063] Ein festes Potential wird sowohl an die Leitung **20**, die mit der Source des Transistors **18** verbunden ist, als auch an die Leitung **21**, die mit der Source des Transistors **19** verbunden ist, angelegt. Wenn der Kanalbildungsbereich des Transistors **11** einen hohen Widerstand aufweist und der Transistor **12** abgeschaltet ist, wenn das Potential des Eingabeanschlusses des logischen Elementes **13** von dem hohen Potential (VDD) auf das niedrige Potential (GND) verringert wird, können der Drain des Transistors **18** und der Drain des Transistors **19** als schwebend angesehen werden.

[0064] Wenn der Senkenstrom (sink current), der von dem Ausgabeanschluss des Inverters **22** dem Eingabeanschluss des logischen Elementes **13** zugeführt wird, als I_s bezeichnet wird, wird die Kapazität C_s des logischen Elementes **13** mit dem Senkstrom I_s geladen; dementsprechend wird die fallende Zeitkonstante τ_i des Potentials des Eingabeanschlusses des logischen Elementes **13** durch die Gleichung (2) repräsentiert.

$$\tau_i = C_s \cdot \frac{VDD}{I_s} = \frac{aLi(Wn + Wp)}{2} \cdot \frac{VDD}{I_s} \quad (2)$$

[0065] Die Kanallänge und die Kanalbreite jedes Transistors in dem Inverter **22** werden als L bzw. W bezeichnet. Im Allgemeinen werden die minimale Kanallänge und die minimale Kanalbreite, die durch einen Prozess bestimmt werden, als die Kanallänge L bzw. die Kanalbreite W verwendet. Die Kanalbreite Wn des Transistors **19** in dem logischen Element **13** ist gleich der Kanalbreite W . Die Kanalbreite Wp des Transistors **18** wird unter Berücksichtigung einer Beweglichkeitsdifferenz zwischen dem p-Kanal-Transistor **18** und dem n-Kanal-Transistor **19** derart reguliert, dass der gleiche Drain-Strom durch die Transistoren **18** und **19** fließt.

[0066] Wird das Potential des Knotens ND1 auf das Potential ($-VDD$) verringert, wenn das Potential des Eingabeanschlusses des logischen Elementes **13** von dem hohen Potential (VDD) auf das niedrige Potential (GND) verringert wird, so fließt ein Strom I_i in die Transistoren **18** und **19** in dem logischen Element **13**. Der Strom I_i kann durch die Gleichung (3) repräsentiert werden.

$$I_i = 2I_s \frac{L}{W} \quad (3)$$

[0067] Die Kapazität C_d des logischen Elementes **13** wird mit dem Strom I_i geladen, der in die Transistoren **18** und **19** bei dem logischen Element **13** fließt; daher

wird die steigende Zeitkonstante τ_o des Potentials an dem Knoten ND1 durch die Gleichung (4) repräsentiert.

$$\tau_o = C_d \cdot \frac{VDD}{I_i} = \frac{aLi(Wn + Wp)}{2} \cdot \frac{LiVDD}{2I_sL} \quad (4)$$

[0068] Bei einer Ausführungsform der vorliegenden Erfindung weist vorzugsweise das logische Element **13** eine niedrige Stromlieferfähigkeit auf. Um dies zu erreichen, ist vorzugsweise die Zeitkonstante τ_o höher als die Zeitkonstante τ_i . Mit anderen Worten: Um die obige Bedingung zu erfüllen, ist es nötig, dass die Gleichung (5) erfüllt wird, die von der Gleichung (2) und der Gleichung (4) abgeleitet wird.

$$\frac{aLi(Wn + Wp)}{2} \cdot \frac{LiVDD}{2I_sL} > \frac{aLi(Wn + Wp)}{2} \cdot \frac{VDD}{I_s} \quad (5)$$

[0069] Die Gleichung (6) kann von der Gleichung (5) abgeleitet werden.

$$Li > 2L \quad (6)$$

[0070] Daher ist bei einer Ausführungsform der vorliegenden Erfindung die Kanallänge Li des Transistors in dem logischen Element **13** vorzugsweise mehr als das Doppelte der Kanallänge L des Transistors in dem Inverter **22**.

[0071] Im Falle der Fig. 4A wird, wenn der parasitäre Widerstand und die parasitäre Kapazität der Leitung DL durch R_p bzw. C_p bezeichnet werden, die fallende Zeitkonstante τ_i des Potentials des Eingabeanschlusses des logischen Elementes **13** durch die Gleichung (7) repräsentiert.

$$\tau_i = C_p \cdot R_p \quad (7)$$

[0072] Ferner wird, wie im Falle von Fig. 4B, die steigende Zeitkonstante τ_o des Potentials an dem Knoten ND1 im Falle von Fig. 4A durch die Gleichung (4) repräsentiert. Um die Bedingung zu erfüllen, dass die Zeitkonstante τ_o größer ist als die Zeitkonstante τ_i , ist es nötig, die Gleichung (8) zu erfüllen.

$$\frac{aLi(Wn + Wp)}{2} \cdot \frac{LiVDD}{2I_sL} > C_p \cdot R_p \quad (8)$$

[0073] Die Gleichung (9) kann von der Gleichung (8) abgeleitet werden.

$$Li > \frac{4I_s C_p R_p}{aLi(Wn + Wp)VDD} \quad (9)$$

[0074] Dementsprechend ist im Falle von Fig. 4A die Kanallänge L des Transistors in dem logischen Element **13** vorzugsweise erheblich größer als die Kanallänge L eines anderen Transistors, so dass die Gleichung (9) erfüllt wird.

[0075] Als Nächstes zeigt Fig. 13 Wellenformen der Potentiale von Leitungen und Knoten bei der Speichervorrichtung **10** in Fig. 4B, die mittels Berechnung

ermittelt wurden. Die Berechnung wurde unter einer Bedingung durchgeführt, dass ein niedriges Potential und ein hohes Potential 0 V bzw. 1 V waren.

[0076] Wenn das Potential der Leitung DL von 0 V auf 1 V erhöht wurde, wurde das Potential des Eingabeanschlusses des logischen Elementes **13** (Inverters), d. h. des Knotens ND4, von 1 V auf 0 V verringert. Im Falle eines Inverters mit einer ausreichend hohen Stromlieferfähigkeit wird dann, wenn 0 V einem Eingabeanschluss zugeführt wird, 1 V von einem Ausgabeanschluss ausgegeben; jedoch weist das logische Element **13** eine niedrige Stromlieferfähigkeit auf. Wenn das Potential des Knotens ND4 verringert wurde, wurde deshalb das Potential des Knotens ND1 wegen einer Kapazität zwischen dem Eingabeanschluss und dem Ausgabeanschluss des logischen Elementes **13** von 0 V auf ungefähr -1 V vorübergehend verringert und dann im Laufe der Zeit auf 1 V erhöht.

[0077] Mit der Erhöhung des Potentials der Leitung DL von 0 V auf 1 V begann das Potential des Knotens ND2, sich zu erhöhen. Dann wurde der Drain-Strom des Transistors **12** verringert, wenn sich die Gate-Spannung des Transistors **12** der Schwellenspannung näherte, und das Potential des Knotens ND2 hörte auf, sich zu erhöhen, nachdem es zu ungefähr 0,6 bis 0,7 V worden war, ohne 1 V zu erreichen. Nachdem das Potential des Knotens ND2 das obige Potential erreicht hatte, wurde das Potential des Knotens ND1 von 0 V auf ungefähr -1 V verringert. Zu diesem Zeitpunkt wurde das Potential des Knotens ND2 wegen der Kapazität C_s des Transistors **11** fast verringert; jedoch wurde das Potential des Knotens ND2 kaum verringert, da 1 V von der Leitung DL dem Knoten ND2 über den Transistor **12** zugeführt wurde.

[0078] Dann wurde der Transistor **12** abgeschaltet, wenn das Potential des Knotens ND1 von ungefähr -1 V auf 1 V erhöht wurde; demgemäß wurde das Potential des Knotens ND2 wegen der Kapazität C_s des Transistors **11** auf höher als 2 V erhöht. Da das Potential des Knotens ND2 ausreichend erhöht wurde, wurde bestätigt, dass ein gewünschtes Potential, von 1 V, in den Knoten ND3 geschrieben werden konnte, ohne dass das Potential des Knotens ND3 um die Schwellenspannung des Transistors **11** verringert wurde.

[0079] Wenn das logische Element **13** eine ausreichend hohe Stromlieferfähigkeit aufweist und das Potential des Knotens ND1 ohne vorübergehende Verringerung von 0 V auf 1 V erhöht wird, wird das Potential des Knotens ND2 nicht auf höher als 2 V erhöht, obwohl es wegen der Kapazität C_s des Transistors **11** auf höher als 1 V erhöht werden könnte. Dahingegen kann, da bei einer Ausführungsform der vorliegenden Erfindung das Potential des Ausgabeanschlusses des logischen Elementes **13** nach einer

vorübergehenden Verringerung erhöht wird, das Potential des Knotens ND2, d. h. das Gate-Potential des Transistors **11**, hoch sein, im Vergleich zu dem Fall, in dem das logische Element **13** eine ausreichend hohe Stromlieferfähigkeit aufweist. Folglich ist es möglich, dass ein gewünschtes Potential in den Knoten ND3 in der Speicherzelle **14** ohne Erhöhung der Anzahl von Stromversorgungspotentialen geschrieben wird.

<Strukturbeispiel 2 für Speichervorrichtung>

[0080] Im Folgenden werden Beispiele für die Struktur einer Speichervorrichtung mit einer Vielzahl von Speicherzellen und ein Betriebsverfahren zum Betrieb der Speichervorrichtung beschrieben.

[0081] Fig. 5 ist ein Beispiel für einen Schaltplan eines Zellen-Arrays **30** mit der Vielzahl von Speicherzellen **14**. Im Gegensatz zu Fig. 1 stellt Fig. 5 den Fall dar, in dem das Halbleiterelement **16** in der Speicherzelle **14** enthalten ist und ein Transistor **16t** als das Halbleiterelement **16** verwendet wird.

[0082] In dem Zellen-Array **30** in Fig. 5 sind verschiedene Leitungen, wie beispielsweise die Vielzahl von Leitungen WL, die Vielzahl von Leitungen DL, die Vielzahl von Leitungen VL, eine Vielzahl von Leitungen CL und eine Vielzahl von Leitungen SL, bereitgestellt, und ein Signal oder ein Potential von einer Treiberschaltung wird jeder Speicherzelle **14** über die Leitungen zugeführt.

[0083] Es sei angemerkt, dass die Anzahl von Leitungen durch die Anzahl und die Anordnung der Speicherzellen **14** bestimmt werden kann. Insbesondere sind im Falle des Zellen-Arrays **30** in Fig. 5 die Speicherzellen **14** in y Zeilen und x Spalten (x und y sind jeweils eine natürliche Zahl von 2 oder mehr) in einer Matrix verbunden, und Leitungen WL1 bis WLy, die der Vielzahl von Leitungen WL entsprechen, Leitungen DL1 bis DLx, die der Vielzahl von Leitungen DL entsprechen, Leitungen VL1 bis VLy, die der Vielzahl von Leitungen VL entsprechen, Leitungen CL1 bis CLy, die der Vielzahl von Leitungen CL entsprechen, und Leitungen SL1 bis SLy, die der Vielzahl von Leitungen SL entsprechen, sind in dem Zellen-Array **30** bereitgestellt.

[0084] In jeder der Speicherzellen **14** ist der Eingabeanschluss des logischen Elementes **13** mit einer der Leitungen DL verbunden, und der Ausgabeanschluss des logischen Elementes **13** ist mit einer/einem von der Source und dem Drain des Transistors **11** verbunden. Das Gate des Transistors **12** ist mit einer der Leitungen VL verbunden, eine/einer von der Source und dem Drain des Transistors **12** ist mit der Leitung WL verbunden, und die/der andere von der Source und dem Drain des Transistors **12** ist mit dem Gate des Transistors **11** verbunden. Die/der andere von der Source und dem Drain des Transistors **11** ist

mit dem Gate des Transistors **16t** und einer Elektrode des Kondensators **15** verbunden. Die andere Elektrode des Kondensators **15** ist mit einer der Leitungen CL verbunden. Eine/einer von der Source und dem Drain des Transistors **16t** ist mit einer der Leitungen DL verbunden, und die/der andere von der Source und dem Drain des Transistors **16t** ist mit einer der Leitungen SL verbunden.

[0085] In Fig. 5 handelt es sich bei dem Transistor **11** und dem Transistor **12** um n-Kanal-Transistoren und bei dem Transistor **16t** um einen p-Kanal-Transistor. Entweder die Leitung DL oder die Leitung SL entspricht der Leitung **17a** (Beispiel für die Leitung **17** in Fig. 1), und die andere der Leitung DL und der Leitung SL entspricht der Leitung **17b** (Beispiel für die Leitung **17** in Fig. 1).

[0086] Als Nächstes wird die Arbeitsweise des Zellen-Arrays **30** in Fig. 5 unter Bezugnahme auf ein Zeitdiagramm in Fig. 6 beschrieben. Es sei angemerkt, dass Fig. 6 den Fall darstellt, in dem ein Datenschieben, ein Datenhalten und ein Datenlesen an der Speicherzelle **14** in einer ersten Zeile und einer ersten Spalte, der Speicherzelle **14** in der ersten Zeile und einer x-ten Spalte, der Speicherzelle **14** in einer y-ten Zeile und der ersten Spalte und der Speicherzelle **14** in der y-ten Zeile und der x-ten Spalte durchgeführt werden.

[0087] In Fig. 6 wird das Erdpotential (GND) als niedriges Potential verwendet.

[0088] Zuerst werden in einer Periode T1 die Leitung WL1 und die Leitung CL1 in den Speicherzellen **14** in der ersten Zeile ausgewählt. Insbesondere wird in Fig. 6 der Leitung WL1 das hohe Potential (VDD) zugeführt, und das niedrige Potential (GND) wird den Leitungen WL2 bis WLy zugeführt. Außerdem wird der Leitung SL und der Leitung VL das Potential (VDD) zugeführt. Demzufolge werden die Transistoren **11** in den Speicherzellen **14** in der ersten Zeile selektiv angeschaltet. Darüber hinaus wird der Leitung CL1 das Potential (GND) zugeführt, und das Potential (VDD) wird den Leitungen CL2 bis CLy zugeführt.

[0089] In einer Periode, während der die Leitung WL1 und die Leitung CL1 ausgewählt werden, werden den Leitungen DL1 und DLx Potentiale von Signalen, die Daten enthalten, zugeführt. Die Niveaus der den Leitungen DL1 und DLx zugeführten Potentiale sind natürlich je nach dem Inhalt der Daten verschieden. Fig. 6 stellt den Fall dar, in dem der Leitung DL1 das Potential (GND) zugeführt wird und der Leitung DLx das Potential (VDD) zugeführt wird. Die Polaritäten der den Leitungen DL1 und DLx zugeführten Potentiale werden durch die logischen Elemente **13** invertiert, und dann werden die invertierten Potentiale über die Transistoren **11**, die angeschaltet sind, den

Gates der Transistoren **16t**, d. h. den Knoten ND3, zugeführt. Wenn die Menge an elektrischer Ladung, die an den Knoten ND3 akkumuliert wird, gemäß den zugeführten Potentialen gesteuert wird, werden Daten in die Speicherzelle **14** in der ersten Zeile und der ersten Spalte sowie die Speicherzelle **14** in der ersten Zeile und der x-ten Spalte geschrieben.

[0090] Es sei angemerkt, dass, da das logische Element **13** eine niedrige Stromlieferfähigkeit aufweist, mit der Verringerung des in der Periode T1 der Leitung DL1 zugeführten Potentials das Potential des Knotens ND1 in der Speicherzelle **14**, die mit der Leitung DL1 und der Leitung WL1 verbunden ist, wegen der Kapazität des logischen Elementes **13** verringert wird. Mit der Erhöhung des Potentials eines Knotens ND1 beginnt sich das Potential des Gates des Transistors **11**, d. h. des Knotens ND2, aufgrund der zwischen der Source und dem Gate des Transistors **11** gebildeten Kapazität Cs zu erhöhen, da. Daher wird das Potential der/des anderen von der Source und dem Drain des Transistors **12**, die/der mit dem Knoten ND2 verbunden ist, höher als das Potential (VDD - Vth), so dass der Transistor **12** abgeschaltet wird. Folglich wird das Gate des Transistors **11**, d. h. des Knotens ND2, schwebend. Selbst nachdem der Knoten ND2 schwebend geworden ist, wird das Potential des Knotens ND2 fortlaufend erhöht. Idealerweise kann das Potential des Knotens ND2 auf das Potential (3VDD - Vth) erhöht werden, das durch eine Addition einer Differenz zwischen dem niedrigen Potential (-VDD) und dem hohen Potential (VDD) zu dem Potential (VDD - Vth) erhalten wird. Folglich kann verhindert werden, dass das Potential (VDD), das dem Knoten ND1 zugeführt wird, beim Datenschieben um die Schwellenspannung des Transistors **11** verringert wird, das Potential (VDD) kann dem Knoten ND3 zugeführt werden, und Daten können in den Knoten ND3 schnell geschrieben werden.

[0091] Als Nächstes wird der Leitung WL1 das Potential (GND) zugeführt, so dass die Transistoren **11** in den Speicherzellen **14** in der ersten Zeile abgeschaltet werden. Des Weiteren wird der Leitung CL1 das Potential (VDD) zugeführt, so dass die Potentiale der Knoten ND3 erhöht werden. Folglich werden die Transistoren **16t** unabhängig von in die Knoten ND3 geschriebenen Daten abgeschaltet.

[0092] Als Nächstes werden in einer Periode T2 die Leitung WLy und die Leitung CLy in den Speicherzellen **14** in der y-ten Zeile ausgewählt. Insbesondere wird in Fig. 6 der Leitung WLy das Potential (VDD) zugeführt, und das Potential (GND) wird den Leitungen WL1 bis WL(y - 1) zugeführt. Außerdem wird das Potential (VDD) der Leitung SL und der Leitung VL zugeführt. Demzufolge werden die Transistoren **11** in den Speicherzellen **14** in der y-ten Zeile selektiv angeschaltet. Darüber hinaus wird der Leitung CLy das

Potential (GND) zugeführt, und das Potential (VDD) wird den Leitungen CL1 bis CL(y – 1) zugeführt.

[0093] In einer Periode, in der die Leitung WL_y und die Leitung CL_y ausgewählt werden, werden den Leitungen DL1 und DL_x Potentiale von Daten enthaltenden Signalen zugeführt. **Fig. 6** stellt den Fall dar, in dem der Leitung DL1 das Potential (VDD) zugeführt wird und der Leitung DL_x das Potential (GND) zugeführt wird. Die Polaritäten der den Leitungen DL1 und DL_x zugeführten Potentiale werden durch die logischen Elemente **13** invertiert, und dann werden die invertierten Potentiale über die Transistoren **11**, die angeschaltet sind, den Gates der Transistoren **16t**, d. h. den Knoten ND3, zugeführt. Wenn die Menge an elektrischer Ladung, die an den Knoten ND3 akkumuliert wird, entsprechend den zugeführten Potentialen gesteuert wird, werden Daten in die Speicherzelle **14** in der y-ten Zeile und der ersten Spalte sowie die Speicherzelle **14** in der y-ten Zeile und der x-ten Spalte geschrieben.

[0094] Es sei angemerkt, dass, wie im Falle der Speicherzelle **14**, die in der Periode T1 mit der Leitung DL1 und der Leitung WL1 verbunden wird, in der Speicherzelle **14**, die in der Periode T2 mit der Leitung DL_x und der Leitung WL_y verbunden wird, das Potential des Gates des Transistors **11**, d. h. des Knotens ND2, idealerweise auf das Potential (3VDD – V_{th}) erhöht werden kann. Folglich kann verhindert werden, dass das beim Datenschieben dem Knoten ND1 zugeführte Potential (VDD) um die Schwellenspannung des Transistors **11** verringert wird, das Potential (VDD) kann dem Knoten ND3 zugeführt werden, und Daten können in den Knoten ND3 schnell geschrieben werden.

[0095] Um zu verhindern, dass falsche Daten in die Speicherzelle **14** geschrieben werden, wird vorzugsweise die Zufuhr eines Daten enthaltenden Signals zu der Leitung DL abgeschlossen, nachdem eine Auswahlperiode der Leitung WL und der Leitung CL abgeschlossen worden ist.

[0096] Als Nächstes wird das Potential (GND) zu der Leitung WL_y zugeführt, so dass die Transistoren **11** in den Speicherzellen **14** in der y-ten Zeile abgeschaltet werden. Des Weiteren wird der Leitung CL_y das Potential (VDD) zugeführt, so dass die Potentiale der Knoten ND3 erhöht werden. Folglich werden die Transistoren **16t** unabhängig von in die Knoten ND3 geschriebenen Daten abgeschaltet.

[0097] Bei einer Ausführungsform der vorliegenden Erfindung weist der Transistor **11**, wie oben beschrieben, einen sehr niedrigen Sperrstrom auf. Wenn der Sperrstrom des Transistors **11** niedrig ist, ist es weniger wahrscheinlich, dass elektrische Ladung, die an dem Knoten ND3 akkumuliert ist, abfließt; daher können Daten lange Zeit gehalten werden.

[0098] Als Nächstes wird, wie in einer Periode T3 dargestellt, die Leitung CL1 in den Speicherzellen **14** in der ersten Zeile ausgewählt. Insbesondere wird in **Fig. 6** der Leitung CL1 das Potential (GND) zugeführt, und das hohe Potential (VDD) wird den Leitungen CL2 bis CL_y zugeführt. In der Periode T3 ist durch Zuführen des Potentials (GND) keine der Leitungen WL ausgewählt. Darüber hinaus wird in einer Periode, in der die Leitung CL1 ausgewählt wird, der Leitung SL und der Leitung VL das Potential (VDD) zugeführt.

[0099] Ein Widerstand zwischen der Source und dem Drain des Transistors **16t** hängt von der Menge an elektrischer Ladung ab, die an dem Knoten ND3 akkumuliert ist. Dementsprechend wird den Leitungen DL1 und DL_x ein Potential zugeführt, das auf der Menge an elektrischer Ladung basiert, die an dem Knoten ND3 akkumuliert ist. Dann können, indem ein Unterschied der Menge an elektrischer Ladung aus dem Potential gelesen wird, Daten aus der Speicherzelle **14** in der ersten Zeile und der ersten Spalte sowie der Speicherzelle **14** in der ersten Zeile und der x-ten Spalte gelesen werden.

[0100] Als Nächstes wird, wie in einer Periode T4 dargestellt, die Leitung CL_y in den Speicherzellen **14** in der y-ten Zeile ausgewählt. Insbesondere wird in **Fig. 6** der Leitung CL_y das Potential (GND) zugeführt, und das hohe Potential (VDD) wird den Leitungen CL1 bis CL(y – 1) zugeführt. In der Periode T4 ist durch Zuführen des Potentials (GND) keine der Leitungen WL ausgewählt. Darüber hinaus wird in einer Periode, in der die Leitung CL_y ausgewählt wird, der Leitung SL und der Leitung VL das Potential (VDD) zugeführt.

[0101] Der Widerstand zwischen der Source und dem Drain des Transistors **16t** hängt von der Menge an elektrischer Ladung ab, die an dem Knoten ND3 akkumuliert ist. Dementsprechend wird den Leitungen DL1 und DL_x ein Potential, das auf der Menge an elektrischer Ladung basiert, zugeführt, die an dem Knoten ND3 akkumuliert ist. Dann können, indem ein Unterschied der Menge an elektrischer Ladung aus dem Potential gelesen wird, Daten aus der Speicherzelle **14** in der y-ten Zeile und der ersten Spalte sowie der Speicherzelle **14** in der y-ten Zeile und der x-ten Spalte gelesen werden.

[0102] Es sei angemerkt, dass eine Leseschaltung mit einem Ende jeder Leitung DL verbunden ist und dass ein von der Leseschaltung ausgegebenes Signal Daten, die tatsächlich aus dem Zellen-Array **30** gelesen werden, enthält.

<Strukturbeispiel für Halbleitervorrichtung>

[0103] Bei einer programmierbaren logischen Vorrichtung (programmable logic device: PLD), die ei-

ne von Halbleitervorrichtungen ist, ist eine logische Schaltung aus programmierbaren logischen Blöcken (PLE) in angemessenem Umfang ausgebildet, und die Funktionen der logischen Blöcke und die Verbindung zwischen den logischen Blöcken können nach ihrer Fertigung geändert (konfiguriert) werden. Insbesondere beinhaltet die PLD eine Vielzahl von logischen Blöcken und eine Routing-Ressource (routing resource) zum Steuern der Verbindung zwischen den logischen Blöcken. Die Funktionen der logischen Blöcke und die Verbindung zwischen den logischen Blöcken, die aus einer Routing-Ressource ausgebildet sind, werden durch Konfigurationsdaten definiert, und die Konfigurationsdaten werden in einer Speichervorrichtung in jedem logischen Block oder in einer Speichervorrichtung in der Routing-Ressource gespeichert.

[0104] Fig. 7 stellt ein Strukturbeispiel für eine PLD dar, bei der ein Schalter als das Halbleiterelement **16** in der Speichervorrichtung **10** in Fig. 1 verwendet wird, wobei die elektrische Verbindung zwischen einer Vielzahl von logischen Blöcken **41** durch das Halbleiterelement **16** gesteuert wird.

[0105] Fig. 7 stellt das Halbleiterelement **16** dar, das aus einem Transistor gebildet wird, der als Schalter dient, der gemäß Daten, die in der Speichervorrichtung **10** und logischen Blöcken **41-1** und **41-2** gehalten werden, angeschaltet oder abgeschaltet wird. Die elektrische Verbindung zwischen den logischen Blöcken **41-1** und **41-2** wird durch das Halbleiterelement **16** gesteuert. Die logischen Blöcke **41-1** und **41-2** sind Beispiele für die Vielzahl von logischen Blöcken (LB) **41**.

[0106] Insbesondere werden dann, wenn das Halbleiterelement **16** entsprechend Daten angeschaltet wird, die logischen Blöcke **41-1** und **41-2** miteinander elektrisch verbunden. Wenn das Halbleiterelement **16** gemäß den Daten angeschaltet wird, werden die logischen Blöcke **41-1** und **41-2** voneinander elektrisch isoliert.

[0107] Daher ist es möglich, dass die elektrische Verbindung zwischen den logischen Blöcken **41-1** und **41-2** gemäß den in der Speichervorrichtung **10** gehaltenen Konfigurationsdaten gesteuert wird.

[0108] Es sei angemerkt, dass, um einen Verlust von Konfigurationsdaten bei der Speichervorrichtung **10** im Voraus zu erkennen, die Speichervorrichtung **10** zum Erkennen bei der PLD bereitgestellt werden kann. Die Speichervorrichtung **10** zum Erkennen kann beispielsweise eine Struktur aufweisen, bei der ein Inverter als das Halbleiterelement **16** bei der Speichervorrichtung **10** in Fig. 4B verwendet wird. Eine Kapazität des mit dem Knoten ND3 verbundenen Kondensators **15** und eine andere parasitäre Kapazität der Speichervorrichtung **10** zum Erkennen

werden vorzugsweise höher gewählt als diejenigen der als Konfigurationsspeicher verwendeten Speichervorrichtung **10**. Nachdem eine Konfiguration abgeschlossen worden ist, wird bei der Speichervorrichtung **10** zum Erkennen das Potential der Leitung DL hoch eingestellt, und ein hohes Potential wird in den Knoten ND3 geschrieben. Wenn das Potential des Knotens ND3 niedriger wird als die Schwellenspannung des Halbleiterelementes **16** (Inverters), wird ein Potential, das von dem Halbleiterelement **16** ausgegeben wird, von einem niedrigen Potential auf ein hohes Potential geändert. Daher kann das Timing eines Verlustes der Konfigurationsdaten bestimmt werden, indem eine Änderung des Potentials erkannt wird. Bei einer solchen Struktur ist es möglich, bevor die Konfigurationsdaten verloren werden, die Zufuhr eines Taktsignals und einer Stromversorgungsspannung abzuschließen, nachdem bei der PLD verwendete Daten sichergestellt worden sind, oder einen externen Speicher aufzufordern, die Konfigurationsdaten zu überschreiben. Wenn ferner ein Potential, das von dem Halbleiterelement **16** (Inverter) ausgegeben wird, beim Wiederbeginn der PLD ein hohes Potential ist, kann die PLD den externen Speicher auffordern, die Konfigurationsdaten zu überschreiben.

[0109] Als Nächstes stellt Fig. 8A eine Ausführung des logischen Blocks (LB) **41** dar. Der logische Block **41** in Fig. 8A beinhaltet eine Lookup-Tabelle (LUT) **42**, ein Flip-Flop **43** und die Speichervorrichtung **10**. Eine logische Funktion der LUT **42** wird gemäß Konfigurationsdaten der Speichervorrichtung **10** bestimmt. Insbesondere wird ein ausgegebener Wert der LUT **42** bezüglich eingegebener Werte einer Vielzahl von eingegebenen Signalen, die Eingabeanschlüssen **44** zugeführt werden, bestimmt. Dann gibt die LUT **42** ein Signal aus, das den ausgegebenen Wert enthält. Das Flip-Flop **43** hält das Signal, das von der LUT **42** ausgegeben wird, und gibt ein ausgegebenes Signal, das dem Signal entspricht, in Synchronisation mit einem Taktsignal CLK von einem ersten Ausgabeanschluss **45** und einem zweiten Ausgabeanschluss **46** aus.

[0110] Es sei angemerkt, dass der logische Block **41** auch eine Multiplexer-Schaltung beinhalten kann. Die Multiplexer-Schaltung kann wählen, ob das ausgegebene Signal aus der LUT **160** durch das Flip-Flop **43** übertragen wird.

[0111] Ferner kann die Art des Flip-Flops **43** durch die Konfigurationsdaten bestimmt werden. Insbesondere kann das Flip-Flop **43** je nach den Konfigurationsdaten eine Funktion eines beliebigen von einem D-Flip-Flop, einem T-Flip-Flop, einem JK-Flip-Flop und einem RS-Flip-Flop aufweisen.

[0112] Fig. 8B stellt eine andere Ausführung des logischen Blocks **41** dar. Der logische Block **41** in Fig. 8B weist eine Struktur auf, bei der eine UND-

Schaltung **47** dem logischen Block **41** in **Fig. 8A** hinzugefügt ist. Zu der UND-Schaltung **47** wird ein Signal aus dem Flip-Flop **43** als positive logische Eingabe zugeführt, und ein Signal INIT wird als negative logische Eingabe zugeführt. Bei einer solchen Struktur kann das Potential einer Leitung, die mit einem Signal von dem logischen Block **41** versorgt wird, initialisiert werden. Folglich kann verhindert werden, dass viel Strom zwischen den logischen Blöcken **41** fließt, so dass eine Beschädigung an der PLD verhindert werden kann.

[0113] **Fig. 8C** stellt eine andere Ausführung des logischen Blocks **41** dar. Der logische Block **41** in **Fig. 8C** weist eine Struktur auf, bei der ein Multiplexer **48** dem logischen Block **41** in **Fig. 8A** zugesetzt ist. Der logische Block **41** in **Fig. 8C** beinhaltet ferner zwei Speichervorrichtungen **10** (Speichervorrichtungen **10a** und **10b**). Eine Logische Funktion der LUT **42** wird gemäß Konfigurationsdaten der Speichervorrichtung **10a** bestimmt. Ein von der LUT **42** ausgegebenes Signal und ein von dem Flip-Flop **43** ausgegebenes Signal werden in den Multiplexer **48** eingegeben. Funktionen des Multiplexers **48** bestehen darin, dass er eines der zwei ausgegebenen Signale gemäß in der Speichervorrichtung **10b** gespeicherten Konfigurationsdaten auswählt und ausgibt. Das von dem Multiplexer **48** ausgegebene Signal wird von dem ersten Ausgabeanschluss **45** und dem zweiten Ausgabeanschluss **46** ausgegeben.

[0114] **Fig. 9A** stellt schematisch einen Teil der Struktur einer PLD **40** dar. Die PLD **40** in **Fig. 9A** beinhaltet die Vielzahl von logischen Blöcken (LB) **41**, eine Leitungsgruppe **121**, die mit einem beliebigen der Vielzahl von logischen Blöcken **41** verbunden ist, und Schaltstromkreise **122** zum Steuern der Verbindung zwischen den Leitungen in der Leitungsgruppe **121**. Die Leitungsgruppe **121** und die Schaltstromkreise **122** entsprechen einer Routing-Ressource **123**. Die Verbindung zwischen den durch die Schaltstromkreise **122** gesteuerten Leitungen wird durch die Konfigurationsdaten der Speichervorrichtung **10** bestimmt.

[0115] **Fig. 9B** stellt ein Strukturbeispiel für den Schaltstromkreis **122** dar. Eine Funktion des Schaltstromkreises **122** in **Fig. 9B** besteht darin, dass er die Verbindung zwischen einer Leitung **125** und einer Leitung **126** in der Leitungsgruppe **121** steuert. Insbesondere beinhaltet der Schaltstromkreis **122** Transistoren **127** bis **132**. Die Transistoren **127** bis **132** entsprechen jeweils dem Halbleiterelement **16** in der Speichervorrichtung **10**. Deshalb teilen der Schaltstromkreis **122** und die Speichervorrichtung **10** die Transistoren **127** bis **132** miteinander. Die Transistoren **127** bis **132** sind mit den Knoten ND3 der Vielzahl von Speichervorrichtungen **10** verbunden. Die Auswahl (das Umschalten) des angeschalteten Zustandes oder des abgeschalteten Zustandes jedes der

Transistoren **127** bis **132** wird durch Daten bestimmt, die an dem Knoten ND3 der Speichervorrichtung **10** gehalten sind.

[0116] Eine Funktion des Transistors **117** besteht darin, dass er die elektrische Verbindung zwischen einem Punkt A der Leitung **125** und einem Punkt C der Leitung **126** steuert. Eine Funktion des Transistors **128** besteht darin, dass er die elektrische Verbindung zwischen einem Punkt B der Leitung **125** und dem Punkt C der Leitung **126** steuert. Eine Funktion des Transistors **129** besteht darin, dass er die elektrische Verbindung zwischen dem Punkt A der Leitung **125** und einem Punkt D der Leitung **126** steuert. Eine Funktion des Transistors **130** besteht darin, dass er die elektrische Verbindung zwischen dem Punkt B der Leitung **125** und dem Punkt D der Leitung **126** steuert. Eine Funktion des Transistors **131** besteht darin, dass er die elektrische Verbindung zwischen dem Punkt A und dem Punkt B der Leitung **125** steuert. Eine Funktion des Transistors **132** besteht darin, dass er die elektrische Verbindung zwischen dem Punkt C und dem Punkt D der Leitung **126** steuert.

[0117] Eine Funktion der Schaltstromkreise **122** besteht auch darin, dass sie die elektrische Verbindung zwischen der Leitungsgruppe **121** und Ausgabeanschlüssen **124** der PLD **40** steuern.

[0118] **Fig. 10** stellt ein Strukturbeispiel für die ganze PLD **40** dar. In **Fig. 10** sind in der PLD I/O-Elemente **140**, Phasenregelschleifen (phase lock loop: PLL) **141**, ein RAM **142** und ein Multiplikator **143** bereitgestellt. Das I/O-Element **140** dient als Schnittstelle, die Eingabe und Ausgabe von Signalen aus einer und an eine externe Schaltung der PLD **40** steuert. Eine Funktion der PLL **141** besteht darin, dass sie ein Signal CK erzeugt. Eine Funktion des RAM **142** besteht darin, dass er für logische Operation verwendete Daten speichert. Der Multiplikator **143** entspricht einer logischen Schaltung für Multiplikation. Wenn die Funktion der PLD **40** darin besteht, dass sie die Multiplikation ausführt, wird der Multiplikator **143** nicht notwendigerweise bereitgestellt.

<Querschnitts-Strukturbeispiel der Zelle>

[0119] **Fig. 11** stellt ein Beispiel für die Querschnittsstruktur des Transistors **11**, des Transistors **12**, des Transistors **18**, des Transistors **19** und des Kondensators **15** in der Speichervorrichtung **10** in **Fig. 4A** dar.

[0120] In **Fig. 11** sind der p-Kanal-Transistor **18**, der n-Kanal-Transistor **19** und der n-Kanal-Transistor **12** in einem Silizium-auf-Isolator-(silicon on insulator: SOI-)Substrat ausgebildet, und der Transistor **11** aus einem Oxidhalbleiterfilm ist oberhalb der Transistoren **18**, **19** und **12** ausgebildet. Die Transistoren **18**, **19** und **12** können jeweils einen dünnen Halbleiterfilm

aus Silizium, Germanium oder dergleichen in einem amorphen, mikrokristallinen, polykristallinen oder einkristallinen Zustand enthalten. Alternativ können die Transistoren **18**, **19** und **12** jeweils einen Oxidhalbleiterfilm enthalten. In dem Fall, in dem die Transistoren jeweils einen Oxidhalbleiterfilm enthalten, ist der Transistor **11** nicht notwendigerweise oberhalb der Transistoren **18**, **19** und **12** angeordnet, und die Transistoren **11**, **18**, **19** und **12** können über der gleichen Isolierfläche ausgebildet werden. Die Transistoren **18**, **19** und **12** können unter Verwendung eines einkristallinen Siliziumsubstrats ausgebildet sein. Es sei angemerkt, dass, um Latch-Up bei einer Zufuhr eines negativen Potentials zu dem Knoten ND1 zu verhindern, bei einer Ausführungsform der vorliegenden Erfindung vorzugsweise die Transistoren **18**, **19** und **12** ausgebildet werden, indem ein dünner Halbleiterfilm der Isolierfläche verwendet wird.

[0121] In dem Fall, in dem die Transistoren **18**, **19** und **12** jeweils unter Verwendung eines dünnen Siliziumfilms ausgebildet werden, kann ein beliebiges der folgenden Materialien verwendet werden: amorphes Silizium, das durch Sputtern oder Gasphasenwachstum, wie beispielsweise plasmagestützte CVD, ausgebildet wird, polykristallines Silizium, das durch eine Kristallisation von amorphem Silizium durch eine Behandlung, wie Laserglühen (laser annealing), erhalten wird, und dergleichen.

[0122] In Fig. 11 sind die Transistoren **18**, **19** und **12** über einem Substrat **400** ausgebildet, das mit einem Isolierfilm **401** versehen ist.

[0123] Obwohl es keine besondere Beschränkung bezüglich eines Materials gibt, das als das Substrat **400** verwendet werden kann, ist es nötig, dass das Material mindestens eine Wärmebeständigkeit aufweist, die hoch genug ist, um einer später durchzuführenden Wärmebehandlung zu widerstehen. Beispielsweise kann ein Glassubstrat, das durch ein Schmelzverfahren oder ein Float-Verfahren gebildet wird, ein Quarzsubstrat, ein Halbleitersubstrat, ein Keramiksubstrat oder dergleichen als das Substrat **400** verwendet werden. In dem Fall, in dem die Temperatur der später durchzuführenden Wärmebehandlung hoch ist, wird als Glassubstrat vorzugsweise ein Glassubstrat mit einer unteren Entspannungsgrenze (strain point) von 730°C oder höher verwendet.

[0124] Bei dieser Ausführungsform wird vorzugsweise als das Substrat **400** ein Halbleitersubstrat aus einkristallinem Silizium verwendet. Ein einkristallines Halbleitersubstrat weist eine höhere Ebenheit einer Oberfläche auf als ein Glassubstrat. Folglich kann verhindert werden, dass die Dicke eines Isolierfilms, eines leitenden Films oder dergleichen wegen einer Unebenheit der Oberfläche des Substrats schwankt; deshalb können elektrische Eigenschaften von Halbleiterelementen, wie Transistoren, gleichmäßig sein,

selbst wenn die Halbleiterelemente verkleinert werden.

[0125] Insbesondere beinhaltet der Transistor **18** einen kristallinen Halbleiterfilm **402** über dem Isolierfilm **401**, einen Gate-Isolierfilm **403** über dem Halbleiterfilm **402** und eine Gate-Elektrode **404**, die den Halbleiterfilm **402** überlappt, wobei der Gate-Isolierfilm **403** dazwischen liegt. Der Halbleiterfilm **402** weist einen ersten Bereich **405**, der als Kanalbildungsbereich dient, und zweite Bereiche **406** und **407** auf, die p-Typ-Leitfähigkeit aufweisen und als Source und Drain dienen. Der erste Bereich **405** liegt zwischen den zweiten Bereichen **406** und **407**.

[0126] Insbesondere beinhaltet der Transistor **19** einen kristallinen Halbleiterfilm **408** über dem Isolierfilm **401**, einen Gate-Isolierfilm **409** über dem Halbleiterfilm **408** und eine Gate-Elektrode **410**, die den Halbleiterfilm **408** überlappt, wobei der Gate-Isolierfilm **409** dazwischen liegt. Der Halbleiterfilm **408** weist einen ersten Bereich **411**, der als Kanalbildungsbereich dient, und zweite Bereiche **412** und **413** auf, die n-Typ-Leitfähigkeit aufweisen und als Source und Drain dienen. Der erste Bereich **411** liegt zwischen den zweiten Bereichen **412** und **413**.

[0127] Insbesondere beinhaltet der Transistor **12** einen kristallinen Halbleiterfilm **414** über dem Isolierfilm **401**, einen Gate-Isolierfilm **415** über dem Halbleiterfilm **414** und eine Gate-Elektrode **416**, die den Halbleiterfilm **414** überlappt, wobei der Gate-Isolierfilm **415** dazwischen liegt. Der Halbleiterfilm **414** weist einen ersten Bereich **417**, der als Kanalbildungsbereich dient, und zweite Bereiche **418** und **419** auf, die n-Typ-Leitfähigkeit aufweisen und als Source und Drain dienen. Der erste Bereich **417** liegt zwischen den zweiten Bereichen **418** und **419**.

[0128] Ein Isolierfilm **420** ist auf den Transistoren **18**, **19** und **12** bereitgestellt. Öffnungen sind in dem Isolierfilm **420** bereitgestellt. Durch die Öffnungen sind eine Leitung **423**, die mit dem zweiten Bereich **406** verbunden ist, eine Leitung **424**, die mit den zweiten Bereichen **407** und **412** verbunden ist, eine Leitung **425**, die mit dem zweiten Bereich **413** verbunden ist, eine Leitung **426**, die mit dem zweiten Bereich **418** verbunden ist, und eine Leitung **427**, die mit dem zweiten Bereich **419** verbunden ist, auf dem Isolierfilm **420** ausgebildet.

[0129] Ein Isolierfilm **430** ist über den Leitungen **423** bis **427** ausgebildet. Der Transistor **11**, der Kondensator **15** und eine Leitung **445** sind über dem Isolierfilm **430** ausgebildet.

[0130] Der Transistor **11** beinhaltet einen Halbleiterfilm **431**, der über dem Isolierfilm **430** ist und einen Oxidhalbleiter enthält, leitende Filme **432** und **433**, die über dem Halbleiterfilm **431** bereitgestellt sind und

als Source- und Drain-Elektrode dienen, einen Gate-Isolierfilm **434** über dem Halbleiterfilm **431** und den leitenden Filmen **432** und **433** und eine Gate-Elektrode **435**, die den Halbleiterfilm **431** in einem Bereich zwischen den leitenden Filmen **432** und **433** überlappt, wobei der Gate-Isolierfilm **434** zwischen der Gate-Elektrode **435** und dem Halbleiterfilm **431** liegt.

[0131] Der leitende Film **432** ist durch die Öffnung, die in dem Isolierfilm **430** ausgebildet ist, mit der Leitung **424** verbunden. Die Leitung **445** ist durch die Öffnung, die in dem Isolierfilm **430** ausgebildet ist, mit der Leitung **426** verbunden.

[0132] Ein leitender Film **436** ist über dem Gate-Isolierfilm **431** derart bereitgestellt, dass er den leitenden Film **433** überlappt. Ein Bereich, in dem die leitenden Filme **433** und **436** einander überlappen, wobei der Gate-Isolierfilm **434** dazwischen liegt, dient als der Kondensator **15**.

[0133] Es sei angemerkt, dass Fig. 11 ein Beispiel darstellt, in dem der Kondensator **15** über dem Isolierfilm **430** zusammen mit dem Transistor **11** bereitgestellt ist; jedoch kann der Kondensator **15** auch unter dem Isolierfilm **430** zusammen mit den Transistoren **18**, **19** und **12** bereitgestellt sein.

[0134] Ein Isolierfilm **441** und ein Isolierfilm **442** sind in dieser Reihenfolge über dem Transistor **11** und dem Kondensator **15** geschichtet. Bei dem Isolierfilm **441** handelt es sich vorzugsweise um einen Isolierfilm aus Siliziumnitrid oder dergleichen, der verhindern kann, dass aus dem Isolierfilm **442** abgegebener Wasserstoff in den Halbleiterfilm **431** eindringt.

[0135] Öffnungen sind in den Isolierfilmen **441** und **442** sowie dem Gate-Isolierfilm **434** ausgebildet. Ein leitender Film **443**, der durch die Öffnungen mit der Gate-Elektrode **435** und der Leitung **445** verbunden ist, ist über dem Isolierfilm **442** bereitgestellt.

[0136] Es sei angemerkt, dass in Fig. 11 der Transistor **11** die Gate-Elektrode **435** auf mindestens einer Seite des Halbleiterfilms **431** beinhaltet. Alternativ kann der Transistor **11** ein Paar von Gate-Elektroden beinhalten, wobei der Halbleiterfilm **431** dazwischen liegt.

[0137] Wenn der Transistor **11** ein Paar von Gate-Elektroden beinhaltet, wobei der Halbleiterfilm **431** dazwischen liegt, kann einer der Gate-Elektroden ein Signal zum Steuern des angeschalteten Zustandes oder des abgeschalteten Zustandes zugeführt werden, und die andere der Gate-Elektroden kann mit einem Potential aus einem anderen Element versorgt werden. In diesem Fall können dem Paar von Gate-Elektroden Potentiale auf dem gleichen Niveau zugeführt werden, oder ein festes Potential, wie beispielsweise ein Erdpotential, kann nur der anderen der

Gate-Elektroden zugeführt werden. Durch Steuern des Niveaus eines an die andere der Gate-Elektroden angelegten Potentials kann die Schwellenspannung des Transistors gesteuert werden.

[0138] In Fig. 11 weist der Transistor **11** eine Single-Gate-Struktur auf, bei der ein Kanalbildungsbereich, der einer Gate-Elektrode **435** entspricht, bereitgestellt ist; jedoch kann der Transistor **11** eine Multi-Gate-Struktur aufweisen, bei der eine Vielzahl von Kanalbildungsbereichen in einer Aktivschicht ausgebildet ist, indem eine Vielzahl von Gate-Elektroden miteinander elektrisch verbunden ist.

<Halbleiterfilm>

[0139] Ein hochreiner Oxidhalbleiter (gereinigter Oxidhalbleiter), der durch eine Verringerung von Verunreinigungen, wie beispielsweise Feuchtigkeit oder Wasserstoff, die als Elektronendonatoren (Donatoren) dienen, und durch eine Verringerung von Sauerstofffehlstellen erhalten wird, ist ein intrinsischer (i-Typ-)Halbleiter oder ein im Wesentlichen intrinsischer Halbleiter. Deshalb weist ein Transistor, der einen Kanalbildungsbereich in einem hochreinen Oxidhalbleiterfilm enthält, einen sehr niedrigen Sperrstrom und hohe Zuverlässigkeit auf.

[0140] Konkret gesagt können verschiedene Experimente den sehr kleinen Sperrstrom eines Transistors beweisen, der einen Kanalbildungsbereich in einem hochreinen Oxidhalbleiterfilm aufweist. Selbst wenn zum Beispiel ein Element eine Kanalbreite von $1 \times 10^6 \mu\text{m}$ und eine Kanallänge von $10 \mu\text{m}$ aufweist, kann der Sperrstrom bei einer Spannung (Drain-Spannung) zwischen einer Source-Elektrode und einer Drain-Elektrode von 1 bis 10 V niedriger als oder gleich dem Messgrenzwert eines Halbleiterparameteranalysators sein, d. h. niedriger als oder gleich $1 \times 10^{-13} \text{ A}$. In diesem Fall kann man verstehen, dass ein Sperrstrom, der hinsichtlich der Kanalbreite des Transistors normalisiert ist, niedriger als oder gleich $100 \text{ zA}/\mu\text{m}$ ist. Außerdem wurden ein Kondensator und ein Transistor miteinander verbunden, und ein Sperrstrom wurde unter Verwendung einer Schaltung gemessen, in der elektrische Ladung, die in den Kondensator oder aus ihm fließt, durch den Transistor gesteuert wird. Bei der Messung wurde ein hochreiner Oxidhalbleiterfilm für den Kanalbildungsbereich des Transistors verwendet, und der Sperrstrom des Transistors wurde aus einer Änderung der Menge an elektrischer Ladung des Kondensators pro Zeiteinheit gemessen. Aus den Ergebnissen ist ersichtlich, dass in dem Fall, in dem die Spannung zwischen der Source-Elektrode und der Drain-Elektrode des Transistors 3 V beträgt, ein kleinerer Sperrstrom von mehreren zehn Yoktoampere pro Mikrometer erhalten wird. Folglich weist der Transistor, der den hochreinen Oxidhalbleiterfilm in dem Kanalbildungs-

bereich aufweist, einen viel kleineren Sperrstrom auf als ein kristalliner Silizium-Transistor.

[0141] In dem Fall, in dem ein Oxidhalbleiterfilm als Halbleiterfilm verwendet wird, enthält ein Oxidhalbleiter vorzugsweise mindestens Indium (In) oder Zink (Zn). Zusätzlich zu In und Zn enthält der Oxidhalbleiter vorzugsweise Gallium (Ga) als Stabilisator zum Verringern der Schwankungen der elektrischen Eigenschaften eines den Oxidhalbleiter enthaltenden Transistors. Vorzugsweise ist Zinn (Sn) als Stabilisator enthalten. Vorzugsweise ist Hafnium (Hf) als Stabilisator enthalten. Vorzugsweise ist Aluminium (Al) als Stabilisator enthalten. Vorzugsweise ist Zirconium (Zr) als Stabilisator enthalten.

[0142] Unter den Oxidhalbleitern hat ein Oxid auf In-Ga-Zn-Basis, ein Oxid auf In-Sn-Zn-Basis oder dergleichen einen Vorteil von hoher Massenproduktivität gegenüber Siliziumcarbid, Galliumnitrid oder Galliumoxid, weil ein Transistor mit vorteilhaften elektrischen Eigenschaften durch ein Sputtern oder einen Nassprozess ausgebildet werden kann. Ferner kann, im Unterschied zu Siliziumcarbid, Galliumnitrid oder Galliumoxid, unter Verwendung des Oxides auf In-Ga-Zn-Basis ein Transistor mit vorteilhaften elektrischen Eigenschaften über einem Glassubstrat ausgebildet werden. Ferner kann ein größeres Substrat verwendet werden.

[0143] Als weiterer Stabilisator kann/können eine oder mehrere Arten von Lanthanoiden, wie beispielsweise Lanthan (La), Cer (Ce), Praseodym (Pr), Neodym (Nd), Samarium (Sm), Europium (Eu), Gadolinium (Gd), Terbium (Tb), Dysprosium (Dy), Holmium (Ho), Erbium (Er), Thulium (Tm), Ytterbium (Yb) oder Lutetium (Lu), enthalten sein.

[0144] Als Oxidhalbleiter kann beispielsweise Indiumoxid, Galliumoxid, Zinnoxid, Zinkoxid, ein Oxid auf In-Zn-Basis, ein Oxid auf Sn-Zn-Basis, ein Oxid auf Al-Zn-Basis, ein Oxid auf Zn-Mg-Basis, ein Oxid auf Sn-Mg-Basis, ein Oxid auf In-Mg-Basis, ein Oxid auf In-Ga-Basis, ein Oxid auf In-Ga-Zn-Basis (auch als IGZO bezeichnet), ein Oxid auf In-Al-Zn-Basis, ein Oxid auf In-Sn-Zn-Basis, ein Oxid auf Sn-Ga-Zn-Basis, ein Oxid auf Al-Ga-Zn-Basis, ein Oxid auf Sn-Al-Zn-Basis, ein Oxid auf In-Hf-Zn-Basis, ein Oxid auf In-La-Zn-Basis, ein Oxid auf In-Pr-Zn-Basis, ein Oxid auf In-Nd-Zn-Basis, ein Oxid auf In-Ce-Zn-Basis, ein Oxid auf In-Sm-Zn-Basis, ein Oxid auf In-Eu-Zn-Basis, ein Oxid auf In-Gd-Zn-Basis, ein Oxid auf In-Tb-Zn-Basis, ein Oxid auf In-Dy-Zn-Basis, ein Oxid auf In-Ho-Zn-Basis, ein Oxid auf In-Er-Zn-Basis, ein Oxid auf In-Tm-Zn-Basis, ein Oxid auf In-Yb-Zn-Basis, ein Oxid auf In-Lu-Zn-Basis, ein Oxid auf In-Sn-Ga-Zn-Basis, ein Oxid auf In-Hf-Ga-Zn-Basis, ein Oxid auf In-Al-Ga-Zn-Basis, ein Oxid auf In-Sn-Al-Zn-Basis, ein Oxid auf In-Sn-Hf-Zn-Basis oder ein Oxid auf In-Hf-Al-Zn-Basis verwendet werden.

[0145] Es sei angemerkt, dass beispielsweise ein Oxid auf In-Ga-Zn-Basis ein In, Ga und Zn enthaltendes Oxid bedeutet, wobei es keine Beschränkung bezüglich des Verhältnisses von In zu Ga und Zn gibt. Überdies kann das Oxid auf In-Ga-Zn-Basis ein Metallelement, das von In, Ga und Zn verschieden ist, enthalten. Das Oxid auf In-Ga-Zn-Basis weist einen ausreichend hohen Widerstand auf, wenn kein elektrisches Feld daran angelegt wird, so dass der Sperrstrom ausreichend verringert werden kann. Außerdem weist das Oxid auf In-Ga-Zn-Basis eine hohe Beweglichkeit auf.

[0146] Zum Beispiel kann ein Oxid auf In-Ga-Zn-Basis mit einem Atomverhältnis von In:Ga:Zn = 1:1:1 (= 1/3:1/3:1/3) oder In:Ga:Zn = 2:2:1 (= 2/5:2/5:1/5) oder ein Oxid, dessen Zusammensetzung in der Nachbarschaft der obigen Zusammensetzung liegt, verwendet werden. Alternativ wird ein Oxid auf In-Sn-Zn-Basis mit einem Atomverhältnis von In:Sn:Zn = 1:1:1 (= 1/3:1/3:1/3), In:Sn:Zn = 2:1:3 (= 1/3:1/6:1/2) oder In:Sn:Zn = 2:1:5 (= 1/4:1/8:5/8) oder ein Oxid, dessen Zusammensetzung in der Nachbarschaft der obigen Zusammensetzung liegt, vorzugsweise verwendet.

[0147] Beispielsweise kann mit einem Oxid auf In-Sn-Zn-Basis verhältnismäßig leicht eine hohe Beweglichkeit erhalten werden; jedoch kann auch mit einem Oxid auf In-Ga-Zn-Basis die Beweglichkeit durch eine Verminderung der Defektdichte in einem Bulk (bulk) erhöht werden.

[0148] Die Struktur des Oxidhalbleiterfilms wird nachstehend beschrieben.

[0149] Ein Oxidhalbleiterfilm wird grob in einen einkristallinen Oxidhalbleiterfilm und einen nicht-einkristallinen Oxidhalbleiterfilm unterteilt. Der nicht-einkristalline Oxidhalbleiterfilm bedeutet einen beliebigen von einem amorphen Oxidhalbleiterfilm, einem mikrokristallinen Oxidhalbleiterfilm, einem polykristallinen Oxidhalbleiterfilm, einem Film aus kristallinem Oxidhalbleiter mit Ausrichtung bezüglich der c-Achse (c-axis aligned crystalline oxide semiconductor: CAAC-OS) und dergleichen.

[0150] Der amorphe Oxidhalbleiterfilm weist eine ungeordnete Atomanordnung und keine kristalline Komponente auf. Ein typisches Beispiel für den amorphen Oxidhalbleiterfilm ist ein Oxidhalbleiterfilm, in dem selbst in einem mikroskopischen Bereich kein Kristallteil besteht, und der ganze Film ist amorph.

[0151] Der mikrokristalline Oxidhalbleiterfilm enthält beispielsweise einen Mikrokristall (auch als Nanokristall bezeichnet), der größer als oder gleich 1 nm und kleiner als 10 nm ist. Daher weist der mikrokristalline Oxidhalbleiterfilm einen höheren Grad von Atomanordnung auf als der amorphe Oxidhalbleiterfilm. Deshalb ist die Dichte der Defektzustände des mikrokris-

tallinen Oxidhalbleiterfilms niedriger als diejenige des amorphen Oxidhalbleiterfilms.

[0152] Der CAAC-OS-Film ist einer von Oxidhalbleiterfilmen, die eine Vielzahl von Kristallteilen aufweisen, und die meisten Kristallteile passen jeweils in einen Würfel, dessen Kantenlänge kleiner als 100 nm ist. Deswegen gibt es einen Fall, in dem ein Kristallteil in dem CAAC-OS-Film in einen Würfel passt, dessen Kantenlänge kleiner als 10 nm, kleiner als 5 nm oder kleiner als 3 nm ist. Die Dichte der Defektzustände des CAAC-OS-Films ist niedriger als diejenige des mikrokristallinen Oxidhalbleiterfilms. Der CAAC-OS-Film wird nachstehend ausführlich beschrieben.

[0153] In einem Transmissionselektronenmikroskop-(TEM-)Bild des CAAC-OS-Films ist eine Grenze zwischen Kristallteilen, das heißt eine Korngrenze, nicht sicher nachzuweisen. Folglich ist es weniger wahrscheinlich, dass in dem CAAC-OS-Film eine Verringerung der Elektronenbeweglichkeit wegen der Korngrenze auftritt.

[0154] Dem TEM-Bild des CAAC-OS-Films zufolge, der in einer Richtung betrachtet wird, die im Wesentlichen parallel zu einer Probenoberfläche ist (Querschnitts-TEM-Bild (cross-sectional TEM image)), sind Metallatome geschichtet in den Kristallteilen angeordnet. Jede Metallatomlage weist eine Gestalt auf, die von einer Oberfläche, über der der CAAC-OS-Film ausgebildet ist (nachstehend wird eine Oberfläche, über der der CAAC-OS-Film ausgebildet ist, als Ausbildungsoberfläche bezeichnet), oder von einer nach oben weisenden Oberfläche des CAAC-OS-Films widergespiegelt wird, und ist parallel zu der Ausbildungsoberfläche oder der nach oben weisenden Oberfläche des CAAC-OS-Films angeordnet.

[0155] In dieser Beschreibung bedeutet der Begriff „parallel“, dass ein Winkel, der zwischen zwei geraden Linien gebildet ist, -10° bis 10° ist, und umfasst daher den Fall, in dem der Winkel -5° bis 5° ist. Außerdem bedeutet der Begriff „senkrecht“, dass ein Winkel, der zwischen zwei geraden Linien gebildet ist, 80° bis 100° ist, und umfasst daher den Fall, in dem der Winkel 85° bis 95° ist.

[0156] Dahingegen sind dem TEM-Bild des CAAC-OS-Films zufolge, der in einer Richtung betrachtet wird, die im Wesentlichen senkrecht zu der Probenoberfläche ist (planaren TEM-Bild), Metallatome in einer trigonalen oder hexagonalen Konfiguration in den Kristallteilen angeordnet. Jedoch gibt es zwischen unterschiedlichen Kristallteilen keine Regelmäßigkeit der Anordnung der Metallatome.

[0157] Aus den Ergebnissen des Querschnitts-TEM-Bildes und des planaren TEM-Bildes wird eine Ausrichtung in den Kristallteilen in dem CAAC-OS-Film gefunden.

[0158] Ein CAAC-OS-Film wird einer Strukturanalyse mittels eines Röntgenbeugungs-(X-ray diffraction: XRD-)Gerätes unterzogen. Wenn beispielsweise der CAAC-OS-Film, der einen InGaZnO_4 -Kristall enthält, durch ein Out-of-Plane-Verfahren (out-of-plane method) analysiert wird, erscheint ein Peak oft bei einem Beugungswinkel (2θ) von ungefähr 31° . Dieser Peak stammt von der (009)-Ebene des InGaZnO_4 -Kristalls, was darauf hindeutet, dass Kristalle in dem CAAC-OS-Film eine Ausrichtung bezüglich der c-Achse aufweisen und dass die c-Achsen in einer Richtung ausgerichtet sind, die im Wesentlichen senkrecht zu der Ausbildungsoberfläche oder der nach oben weisenden Oberfläche des CAAC-OS-Films ist.

[0159] Andererseits erscheint dann, wenn der CAAC-OS-Film durch ein In-Plane-Verfahren (in-plane method) analysiert wird, bei dem ein Röntgenstrahl in eine Probe in einer Richtung eintritt, die im Wesentlichen senkrecht zu der c-Achse ist, ein Peak oft bei 2θ von ungefähr 56° . Dieser Peak stammt von der (110)-Ebene des InGaZnO_4 -Kristalls. Dabei wird die Analyse (ϕ -Scan) unter Bedingungen durchgeführt, bei denen die Probe um einen Normalenvektor einer Probenoberfläche als Achse (ϕ -Achse) gedreht wird, wobei 2θ auf ungefähr 56° festgelegt ist. In dem Fall, in dem die Probe ein einkristalliner Oxidhalbleiterfilm aus InGaZnO_4 ist, erscheinen sechs Peaks. Die sechs Peaks stammen aus Kristallebenen, die der (110)-Ebene äquivalent sind. Dahingegen wird im Fall eines CAAC-OS-Films ein Peak nicht deutlich betrachtet, selbst wenn ein ϕ -Scan durchgeführt wird, wobei 2θ auf ungefähr 56° festgelegt ist.

[0160] Nach den obigen Ergebnissen sind in dem CAAC-OS-Film mit Ausrichtung bezüglich der c-Achse die c-Achsen in einer Richtung, die parallel zu einem Normalenvektor einer Ausbildungsoberfläche oder einem Normalenvektor einer nach oben weisenden Oberfläche ist, ausgerichtet, während die Richtungen der a-Achsen und der b-Achsen zwischen Kristallteilen verschieden sind. Jede Metallatomlage, die geschichtet angeordnet ist und in dem Querschnitts-TEM-Bild betrachtet wird, entspricht daher einer Ebene, die parallel zu der a-b-Ebene des Kristalls ist.

[0161] Es sei angemerkt, dass der Kristallteil gleichzeitig mit einer Abscheidung des CAAC-OS-Films ausgebildet wird oder durch eine Kristallisierungsbehandlung, wie beispielsweise eine Wärmebehandlung, ausgebildet wird. Wie oben beschrieben, ist die c-Achse des Kristalls in einer Richtung ausgerichtet, die parallel zu einem Normalenvektor einer Ausbildungsoberfläche oder einem Normalenvektor einer nach oben weisenden Oberfläche ist. Deshalb könnte beispielsweise in dem Fall, in dem die Form des CAAC-OS-Films durch Ätzen oder dergleichen verändert wird, die c-Achse nicht notwendigerweise parallel zu einem Normalenvektor einer Ausbil-

dungsoberfläche oder einem Normalenvektor einer nach oben weisenden Oberfläche des CAAC-OS-Films sein.

[0162] Ferner ist die Kristallinität in dem CAAC-OS-Film nicht notwendigerweise gleichmäßig. Beispielsweise ist in dem Fall, in dem das zu dem CAAC-OS-Film führende Kristallwachstum von der Nachbarschaft der nach oben weisenden Oberfläche des Films auftritt, die Kristallinität in der Nachbarschaft der nach oben weisenden Oberfläche in einigen Fällen höher als diejenige in der Nachbarschaft der Ausbildungsoberfläche. Ferner wird dann, wenn eine Verunreinigung dem CAAC-OS-Film zugesetzt wird, die Kristallinität in einem Bereich geändert, dem die Verunreinigung zugesetzt wird, und die Kristallinität in dem CAAC-OS-Film schwankt abhängig von Bereichen.

[0163] Es sei angemerkt, dass dann, wenn der CAAC-OS-Film mit einem InGaZnO_4 -Kristall durch ein Out-of-Plane-Verfahren analysiert wird, auch ein Peak bei 2θ von ungefähr 36° zusätzlich zu dem Peak bei 2θ von ungefähr 31° betrachtet werden kann. Der Peak bei 2θ von ungefähr 36° deutet darauf hin, dass ein Kristall ohne Ausrichtung bezüglich der c-Achse in einem Teil des CAAC-OS-Films enthalten ist. In dem CAAC-OS-Film erscheint vorzugsweise ein Peak bei 2θ von ungefähr 31° und kein Peak bei 2θ von ungefähr 36° .

[0164] Bei einem Transistor, der den CAAC-OS-Film enthält, sind Veränderungen der elektrischen Eigenschaften des Transistors infolge einer Bestrahlung mit sichtbarem Licht oder UV-Licht klein. Folglich weist der Transistor hohe Zuverlässigkeit auf.

[0165] Es sei angemerkt, dass es sich bei einem Oxidhalbleiterfilm um eine Schichtenanordnung handeln kann, die beispielsweise zwei oder mehr Filme aus einem amorphen Oxidhalbleiterfilm, einem mikrokristallinen Oxidhalbleiterfilm und einem CAAC-OS-Film umfasst.

<Beispiele für elektronische Vorrichtung>

[0166] Eine Speichervorrichtung oder Halbleitervorrichtung nach einer Ausführungsform der vorliegenden Erfindung kann für Anzeigevorrichtungen, Personal-Computer oder Bildwiedergabevorrichtungen, die mit Aufzeichnungsmedien versehen sind (typischerweise Vorrichtungen, die den Inhalt von Aufzeichnungsmedien, wie beispielsweise Digital Versatile Disks (DVD), wiedergeben und Bildschirme zum Anzeigen der wiedergegebenen Bilder aufweisen), verwendet werden. Ferner können als elektronische Vorrichtungen, die die Speichervorrichtung oder Halbleitervorrichtung nach einer Ausführungsform der vorliegenden Erfindung beinhalten können, die folgenden Vorrichtungen angegeben werden: Mobiltelefo-

ne, Spielgeräte (einschließlich tragbarer Spielgeräte), tragbare Informationsendgeräte, E-Book-Leser, Kameras, wie beispielsweise Videokameras und digitale Fotokameras, Videobrillen (Head-Mounted-Displays), Navigationssysteme, Audio-Wiedergabevorrichtungen (z. B. Auto-Audiokomponenten und digitale Audio-Player), Kopierer, Telefaxgeräte, Drucker, Multifunktionsdrucker, Geldautomaten (automated teller machine: ATM), Warenautomaten und dergleichen. **Fig. 12A bis Fig. 12F** stellen spezifische Beispiele für diese elektronischen Vorrichtungen dar.

[0167] **Fig. 12A** stellt ein tragbares Spielgerät dar, das ein Gehäuse **5001**, ein Gehäuse **5002**, einen Anzeigeabschnitt **5003**, einen Anzeigeabschnitt **5004**, ein Mikrofon **5005**, Lautsprecher **5006**, eine Bedienungstaste **5007**, einen Stift **5008** und dergleichen beinhaltet. Es sei angemerkt, dass das tragbare Spielgerät in **Fig. 12A** zwar die zwei Anzeigeabschnitte **5003** und **5004** hat, aber die Anzahl von Anzeigeabschnitten in dem tragbaren Spielgerät nicht darauf beschränkt ist.

[0168] **Fig. 12B** stellt ein tragbares Informationsendgerät dar, das ein erstes Gehäuse **5601**, ein zweites Gehäuse **5602**, einen ersten Anzeigeabschnitt **5603**, einen zweiten Anzeigeabschnitt **5604**, ein Scharnier **5605**, eine Bedienungstaste **5606** und dergleichen beinhaltet. Der erste Anzeigeabschnitt **5603** ist in dem ersten Gehäuse **5601** bereitgestellt, und der zweite Anzeigeabschnitt **5604** ist in dem zweiten Gehäuse **5602** bereitgestellt. Das erste Gehäuse **5601** und das zweite Gehäuse **5602** sind mittels des Scharniers **5605** miteinander verbunden, und ein Winkel zwischen dem ersten Gehäuse **5601** und dem zweiten Gehäuse **5602** kann mittels der Verbindung **5605** geändert werden. Ein Bild auf dem ersten Anzeigeabschnitt **5603** kann abhängig von dem Winkel zwischen dem ersten Gehäuse **5601** und dem zweiten Gehäuse **5602** an dem Scharnier **5605** umgeschaltet werden. Eine Anzeigevorrichtung mit einer Positionseingabefunktion kann als der erste Anzeigeabschnitt **5603** und/oder der zweite Anzeigeabschnitt **5604** verwendet werden. Es sei angemerkt, dass die Positionseingabefunktion durch Bereitstellen eines Touchscreens in einer Anzeigevorrichtung zugesetzt werden kann. Alternativ kann die Positionseingabefunktion auch durch Bereitstellen eines fotoelektrischen Wandlerelementes, d. h. eines sogenannten Fotosensors, in einem Pixelabschnitt einer Anzeigevorrichtung zugesetzt werden.

[0169] **Fig. 12C** stellt einen Laptop dar, der ein Gehäuse **5401**, einen Anzeigeabschnitt **5402**, eine Tastatur **5403**, eine Zeigevorrichtung **5404** und dergleichen beinhaltet.

[0170] **Fig. 12D** stellt eine elektrische Kühl-Gefrierkombination dar, die ein Gehäuse **5301**, eine Kühl-

schranttür **5302**, eine Gefrierschranttür **5303** und dergleichen beinhaltet.

[0171] Fig. 12E stellt eine Videokamera dar, die ein erstes Gehäuse **5801**, ein zweites Gehäuse **5802**, einen Anzeigeabschnitt **5803**, Bedienungstasten **5804**, eine Linse **5805**, ein Scharnier **5806** und dergleichen beinhaltet. Die Bedienungstasten **5804** und die Linse **5805** sind in dem ersten Gehäuse **5801** bereitgestellt, und der Anzeigeabschnitt **5803** ist in dem zweiten Gehäuse **5802** bereitgestellt. Das erste Gehäuse **5801** und das zweite Gehäuse **5802** sind mittels des Scharniers **5806** miteinander verbunden, und ein Winkel zwischen dem ersten Gehäuse **5801** und dem zweiten Gehäuse **5802** kann mittels des Scharniers **5806** geändert werden. Ein Bild auf dem Anzeigeabschnitt **5803** kann abhängig von dem Winkel zwischen dem ersten Gehäuse **5801** und dem zweiten Gehäuse **5802** an dem Scharnier **5806** umgeschaltet werden.

[0172] Fig. 12F stellt ein gewöhnliches Kraftfahrzeug dar, das eine Karosserie **5101**, Räder **5102**, ein Armaturenbrett **5103**, Scheinwerfer **5104** und dergleichen beinhaltet.

Bezugszeichen

10: Speichervorrichtung, **10a:** Speichervorrichtung, **10b:** Speichervorrichtung, **11:** Transistor, **12:** Transistor, **13:** logisches Element, **14:** Speicherzelle, **15:** Kondensator, **16:** Halbleiterelement, **16t:** Transistor, **17:** Leitung, **17a:** Leitung, **17b:** Leitung, **18:** Transistor, **19:** Transistor, **20:** Leitung, **21:** Leitung, **22:** Inverter, **30:** Zellen-Array, **40:** PLD, **41:** logischer Block, **41-1:** logischer Block, **41-2:** logischer Block, **42:** LUT, **43:** Flip-Flop, **44:** Eingabeanschluss, **45:** Ausgabeanschluss, **46:** Ausgabeanschluss, **47:** UND-Schaltung, **48:** Multiplexer, **121:** Leitungsgruppe, **122:** Schaltstromkreis, **123:** Routing-Ressource, **124:** Ausgabeanschluss, **125:** Leitung, **126:** Leitung, **127:** Transistor, **128:** Transistor, **129:** Transistor, **130:** Transistor, **131:** Transistor, **132:** Transistor, **140:** I/O-Element, **141:** PLL, **142:** RAM, **143:** Multiplikator, **400:** Substrat, **401:** Isolierfilm, **402:** Halbleiterfilm, **403:** Gate-Isolierfilm, **404:** Gate-Elektrode, **405:** erster Bereich, **406:** zweiter Bereich, **407:** zweiter Bereich, **408:** Halbleiterfilm, **409:** Gate-Isolierfilm, **410:** Gate-Elektrode, **411:** erster Bereich, **412:** zweiter Bereich, **413:** zweiter Bereich, **414:** Halbleiterfilm, **415:** Gate-Isolierfilm, **416:** Gate-Elektrode, **417:** erster Bereich, **418:** zweiter Bereich, **419:** zweiter Bereich, **420:** Isolierfilm, **423:** Leitung, **424:** Leitung, **425:** Leitung, **426:** Leitung, **427:** Leitung, **430:** Isolierfilm, **431:** Halbleiterfilm, **432:** leitender Film, **433:** leitender Film, **434:** Gate-Isolierfilm, **435:** Gate-Elektrode, **436:** leitender Film, **441:** Isolierfilm, **442:** Isolierfilm, **443:** leitender Film, **445:** Leitung, **5001:** Gehäuse, **5002:** Gehäuse,

5003: Anzeigeabschnitt, **5004:** Anzeigeabschnitt, **5005:** Mikrofon, **5006:** Lautsprecher, **5007:** Bedienungstaste, **5008:** Stift, **5101:** Karosserie, **5102:** Rad, **5103:** Armaturenbrett, **5104:** Scheinwerfer, **5301:** Gehäuse, **5302:** Kühlschranttür, **5303:** Gefrierschranttür, **5401:** Gehäuse, **5402:** Anzeigeabschnitt, **5403:** Tastatur, **5404:** Zeigevorrichtung, **5601:** Gehäuse, **5602:** Gehäuse, **5603:** Anzeigeabschnitt, **5604:** Anzeigeabschnitt, **5605:** Scharnier, **5606:** Bedienungstaste, **5801:** Gehäuse, **5802:** Gehäuse, **5803:** Anzeigeabschnitt, **5804:** Bedienungstaste, **5805:** Linse und **5806:** Gelenk.

[0173] Diese Anmeldung basiert auf der japanischen Patentanmeldung mit der Seriennr. 2013-087938, eingereicht beim japanischen Patentamt am 19. April 2013, deren gesamter Inhalt hiermit zum Gegenstand der vorliegenden Offenlegung gemacht ist.

Patentansprüche

1. Halbleitervorrichtung, die umfasst:
einen ersten Transistor; und
ein logisches Element,
wobei ein erster Anschluss des ersten Transistors elektrisch mit einem Ausgabeanschluss des logischen Elementes verbunden ist,
wobei das logische Element konfiguriert ist, ein Potential des ersten Anschlusses des ersten Transistors von einem ersten Potential auf ein zweites Potential und dann auf ein drittes Potential zu ändern, wenn ein erstes Signal in einen Eingabeanschluss des logischen Elementes eingegeben wird,
wobei das zweite Potential niedriger ist als das erste Potential, und
wobei das dritte Potential höher ist als das erste Potential.

2. Halbleitervorrichtung nach Anspruch 1,
wobei das logische Element einen zweiten Transistor und einen dritten Transistor umfasst,
wobei ein erster Anschluss des zweiten Transistors elektrisch mit einer ersten Leitung, die das erste Potential aufweist, verbunden ist,
wobei ein erster Anschluss des dritten Transistors elektrisch mit einer zweiten Leitung, die das dritte Potential aufweist, verbunden ist, und
wobei ein zweiter Anschluss des zweiten Transistors elektrisch mit einem zweiten Anschluss des dritten Transistors verbunden ist.

3. Halbleitervorrichtung nach Anspruch 1, wobei das logische Element konfiguriert ist, das Potential des ersten Anschlusses des ersten Transistors von dem ersten Potential auf das zweite Potential und dann auf das dritte Potential zu ändern, wenn sich ein Potential des ersten Signals von dem dritten Potential auf das erste Potential ändert.

4. Halbleitervorrichtung nach Anspruch 1, die ferner einen ersten Inverter umfasst, wobei das logische Element einen zweiten Inverter umfasst, wobei der erste Inverter einen zweiten Transistor umfasst, wobei der zweite Inverter einen dritten Transistor umfasst, wobei ein Ausgabeanschluss des ersten Inverters elektrisch mit einem Eingabeanschluss des zweiten Inverters verbunden ist, wobei ein Ausgabeanschluss des zweiten Inverters elektrisch mit dem ersten Anschluss des ersten Transistors verbunden ist, und wobei eine Kanallänge des dritten Transistors mehr ist als das Doppelte einer Kanallänge des zweiten Transistors.

5. Halbleitervorrichtung nach Anspruch 1, die ferner einen zweiten Transistor umfasst, wobei ein erster Anschluss des zweiten Transistors elektrisch mit einem Gate des ersten Transistors verbunden ist, wobei das logische Element einen dritten Transistor und einen vierten Transistor umfasst, wobei ein erster Anschluss des dritten Transistors elektrisch mit einer ersten Leitung, die das erste Potential aufweist, verbunden ist, wobei ein erster Anschluss des vierten Transistors elektrisch mit einer zweiten Leitung, die das dritte Potential aufweist, verbunden ist, wobei ein zweiter Anschluss des dritten Transistors elektrisch mit einem zweiten Anschluss des vierten Transistors verbunden ist, wobei das logische Element konfiguriert ist, das Potential des ersten Anschlusses des ersten Transistors von dem ersten Potential auf das zweite Potential und dann auf das dritte Potential zu ändern, wenn sich ein Potential des ersten Signals von dem dritten Potential auf das erste Potential ändert, und wobei das dritte Potential einem Gate des zweiten Transistors und einem zweiten Anschluss des zweiten Transistors zugeführt wird, wenn sich das Potential des ersten Signals von dem dritten Potential auf das erste Potential ändert.

6. Halbleitervorrichtung nach Anspruch 5, wobei der erste Transistor konfiguriert ist, ein zweites Signal zuzuführen, das das dritte Potential aus einem zweiten Anschluss des ersten Transistors aufweist, wenn sich das Potential des ersten Signals von dem dritten Potential auf das erste Potential ändert.

7. Halbleitervorrichtung nach Anspruch 6, die ferner einen Kondensator umfasst, wobei der zweite Anschluss des ersten Transistors elektrisch mit einem Anschluss des Kondensators verbunden ist.

8. Halbleitervorrichtung, die umfasst: einen ersten Transistor; und

ein logisches Element, wobei ein erster Anschluss des ersten Transistors elektrisch mit einem Ausgabeanschluss des logischen Elementes verbunden ist, wobei das logische Element konfiguriert ist, ein Potential des ersten Anschlusses des ersten Transistors von einem ersten Potential auf ein zweites Potential und dann auf ein drittes Potential zu ändern, wenn ein erstes Signal in einen Eingabeanschluss des logischen Elementes eingegeben wird, wobei das zweite Potential niedriger ist als das erste Potential, wobei das dritte Potential höher ist als das erste Potential, und wobei der erste Transistor einen Kanalbildungsbe- reich umfasst, der einen Oxidhalbleiter umfasst.

9. Halbleitervorrichtung nach Anspruch 8, wobei das logische Element einen zweiten Transistor und einen dritten Transistor umfasst, wobei ein erster Anschluss des zweiten Transistors elektrisch mit einer ersten Leitung, die das erste Potential aufweist, verbunden ist, wobei ein erster Anschluss des dritten Transistors elektrisch mit einer zweiten Leitung, die das dritte Potential aufweist, verbunden ist, und wobei ein zweiter Anschluss des zweiten Transistors elektrisch mit einem zweiten Anschluss des dritten Transistors verbunden ist.

10. Halbleitervorrichtung nach Anspruch 8, wobei das logische Element konfiguriert ist, das Potential des ersten Anschlusses des ersten Transistors von dem ersten Potential auf das zweite Potential und dann auf das dritte Potential zu ändern, wenn sich ein Potential des ersten Signals von dem dritten Potential auf das erste Potential ändert.

11. Halbleitervorrichtung nach Anspruch 8, die ferner einen ersten Inverter umfasst, wobei das logische Element einen zweiten Inverter umfasst, wobei der erste Inverter einen zweiten Transistor umfasst, wobei der zweite Inverter einen dritten Transistor umfasst, wobei ein Ausgabeanschluss des ersten Inverters elektrisch mit einem Eingabeanschluss des zweiten Inverters verbunden ist, wobei ein Ausgabeanschluss des zweiten Inverters elektrisch mit dem ersten Anschluss des ersten Transistors verbunden ist, und wobei eine Kanallänge des dritten Transistors größer ist als das Doppelte einer Kanallänge des zweiten Transistors.

12. Halbleitervorrichtung nach Anspruch 8, die ferner einen zweiten Transistor umfasst,

wobei ein erster Anschluss des zweiten Transistors elektrisch mit einem Gate des ersten Transistors verbunden ist,

wobei das logische Element einen dritten Transistor und einen vierten Transistor umfasst,

wobei ein erster Anschluss des dritten Transistors elektrisch mit einer ersten Leitung verbunden ist, die das erste Potential aufweist,

wobei ein erster Anschluss des vierten Transistors elektrisch mit einer zweiten Leitung verbunden ist, die das dritte Potential aufweist,

wobei ein zweiter Anschluss des dritten Transistors elektrisch mit einem zweiten Anschluss des vierten Transistors verbunden ist,

wobei das logische Element konfiguriert ist, das Potential des ersten Anschlusses des ersten Transistors von dem ersten Potential auf das zweite Potential und dann auf das dritte Potential zu ändern, wenn sich ein Potential des ersten Signals von dem dritten Potential auf das erste Potential ändert, und

wobei das dritte Potential einem Gate des zweiten Transistors und einem zweiten Anschluss des zweiten Transistors zugeführt wird, wenn sich das Potential des ersten Signals von dem dritten Potential auf das erste Potential ändert.

13. Halbleitervorrichtung nach Anspruch 12, wobei der erste Transistor konfiguriert ist, ein zweites Signal zuzuführen, das das dritte Potential aus einem zweiten Anschluss des ersten Transistors aufweist, wenn sich das Potential des ersten Signals von dem dritten Potential auf das erste Potential ändert.

14. Halbleitervorrichtung nach Anspruch 13, wobei der Oxidhalbleiter In, Ga und Zn umfasst.

15. Halbleitervorrichtung, die umfasst:

einen ersten Transistor;

einen fünften Transistor;

ein logisches Element;

einen ersten logischen Block; und

einen zweiten logischen Block,

wobei ein erster Anschluss des ersten Transistors elektrisch mit einem Ausgabeanschluss des logischen Elementes verbunden ist,

wobei ein zweiter Anschluss des ersten Transistors elektrisch mit einem Gate des fünften Transistors verbunden ist,

wobei ein erster Anschluss des fünften Transistors elektrisch mit einem Ausgabeanschluss des ersten logischen Blocks verbunden ist,

wobei ein zweiter Anschluss des fünften Transistors elektrisch mit einem Eingabeanschluss des zweiten logischen Blocks verbunden ist,

wobei der erste logische Block einen ersten Konfigurationsspeicher umfasst, der konfiguriert ist, erste Konfigurationsdaten zu speichern,

wobei der zweite logische Block einen zweiten Konfigurationsspeicher umfasst, der konfiguriert ist, zweite Konfigurationsdaten zu speichern,

wobei das logische Element konfiguriert ist, ein Potential des ersten Anschlusses des ersten Transistors von einem ersten Potential auf ein zweites Potential und dann auf ein drittes Potential zu ändern, wenn ein erstes Signal in einen Eingabeanschluss des logischen Elementes eingegeben wird,

wobei das zweite Potential niedriger ist als das erste Potential,

wobei das dritte Potential höher ist als das erste Potential, und

wobei der erste Transistor einen Kanalbildungsbe-
reich aufweist, der einen Oxidhalbleiter umfasst.

16. Halbleitervorrichtung nach Anspruch 15, wobei das logische Element einen zweiten Transistor und einen dritten Transistor umfasst,

wobei ein erster Anschluss des zweiten Transistors elektrisch mit einer ersten Leitung, die das erste Potential aufweist, verbunden ist,

wobei ein erster Anschluss des dritten Transistors elektrisch mit einer zweiten Leitung, die das dritte Potential aufweist, verbunden ist, und

wobei ein zweiter Anschluss des zweiten Transistors elektrisch mit einem zweiten Anschluss des dritten Transistors verbunden ist.

17. Halbleitervorrichtung nach Anspruch 15, wobei das logische Element konfiguriert ist, das Potential des ersten Anschlusses des ersten Transistors von dem ersten Potential auf das zweite Potential und dann auf das dritte Potential zu ändern, wenn sich ein Potential des ersten Signals von dem dritten Potential auf das erste Potential ändert.

18. Halbleitervorrichtung nach Anspruch 15, die ferner einen ersten Inverter umfasst,

wobei das logische Element einen zweiten Inverter umfasst,

wobei der erste Inverter einen zweiten Transistor umfasst,

wobei der zweite Inverter einen dritten Transistor umfasst,

wobei ein Ausgabeanschluss des ersten Inverters elektrisch mit einem Eingabeanschluss des zweiten Inverters verbunden ist,

wobei ein Ausgabeanschluss des zweiten Inverters elektrisch mit dem ersten Anschluss des ersten Transistors verbunden ist, und

wobei eine Kanallänge des dritten Transistors größer ist als das Doppelte einer Kanallänge des zweiten Transistors.

19. Halbleitervorrichtung nach Anspruch 15, die ferner einen zweiten Transistor umfasst,

wobei ein erster Anschluss des zweiten Transistors elektrisch mit einem Gate des ersten Transistors verbunden ist,

wobei das logische Element einen dritten Transistor und einen vierten Transistor umfasst,

wobei ein erster Anschluss des dritten Transistors elektrisch mit einer ersten Leitung verbunden ist, die das erste Potential aufweist,
wobei ein erster Anschluss des vierten Transistors elektrisch mit einer zweiten Leitung verbunden ist, die das dritte Potential aufweist,
wobei ein zweiter Anschluss des dritten Transistors elektrisch mit einem zweiten Anschluss des vierten Transistors verbunden ist,
wobei das logische Element konfiguriert ist, das Potential des ersten Anschlusses des ersten Transistors von dem ersten Potential auf das zweite Potential und dann auf das dritte Potential zu ändern, wenn sich ein Potential des ersten Signals von dem dritten Potential auf das erste Potential ändert, und
wobei das dritte Potential einem Gate des zweiten Transistors und einem zweiten Anschluss des zweiten Transistors zugeführt wird, wenn sich das Potential des ersten Signals von dem dritten Potential auf das erste Potential ändert.

20. Halbleitervorrichtung nach Anspruch 19, wobei der erste Transistor konfiguriert ist, ein zweites Signal zuzuführen, das das dritte Potential aus einem zweiten Anschluss des ersten Transistors aufweist, wenn sich das Potential des ersten Signals von dem dritten Potential auf das erste Potential ändert.

Es folgen 13 Seiten Zeichnungen

Anhängende Zeichnungen

FIG. 1

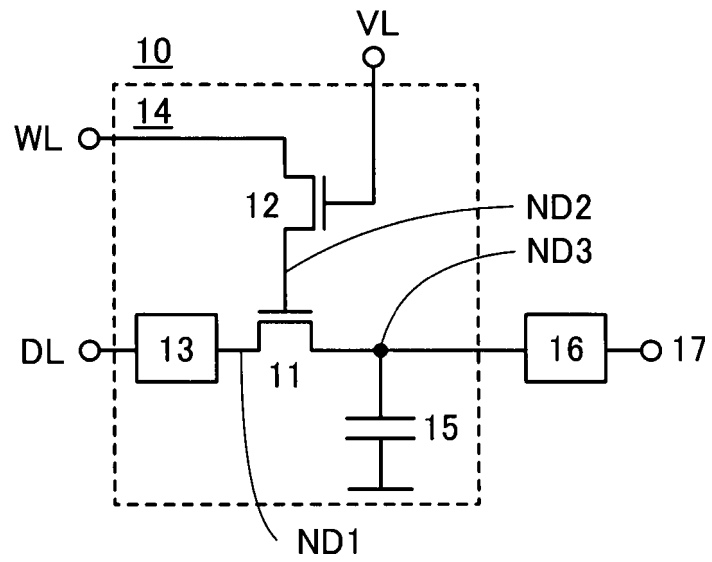


FIG. 3

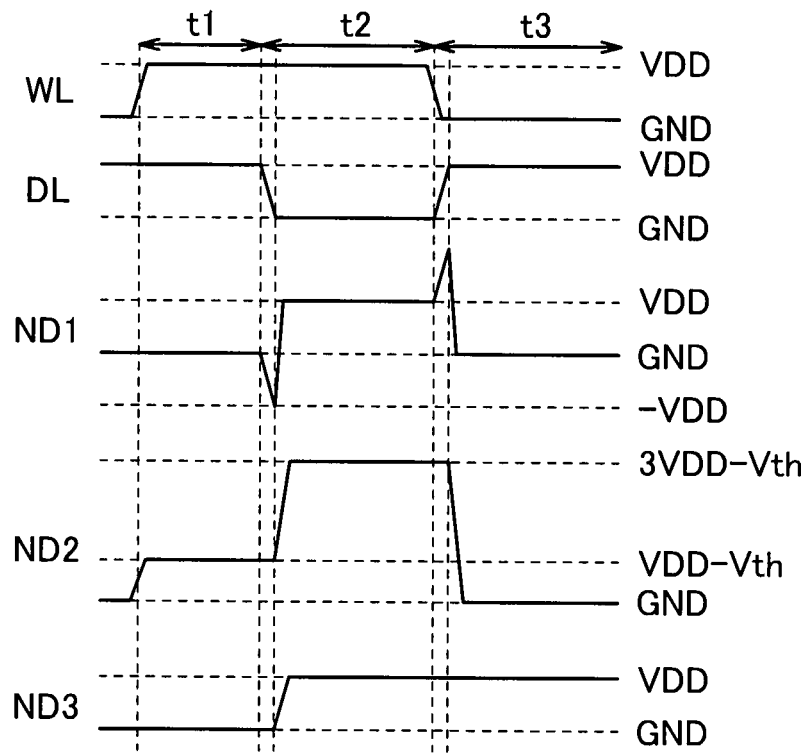


FIG. 4A

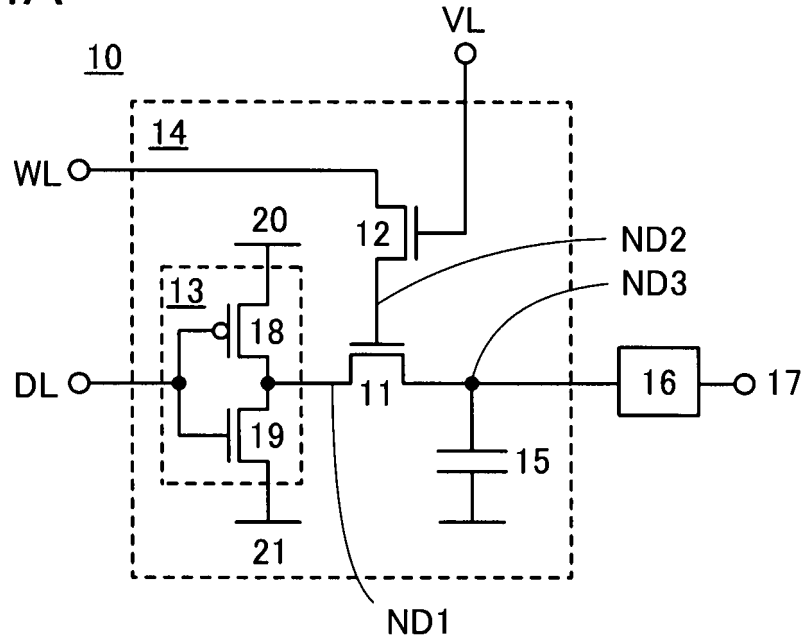


FIG. 4B

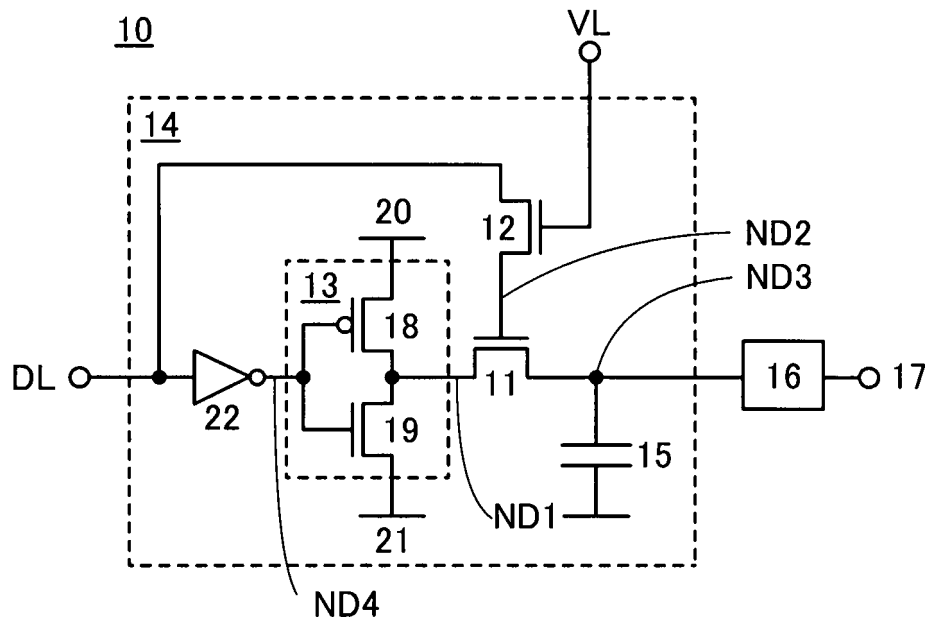


FIG. 5

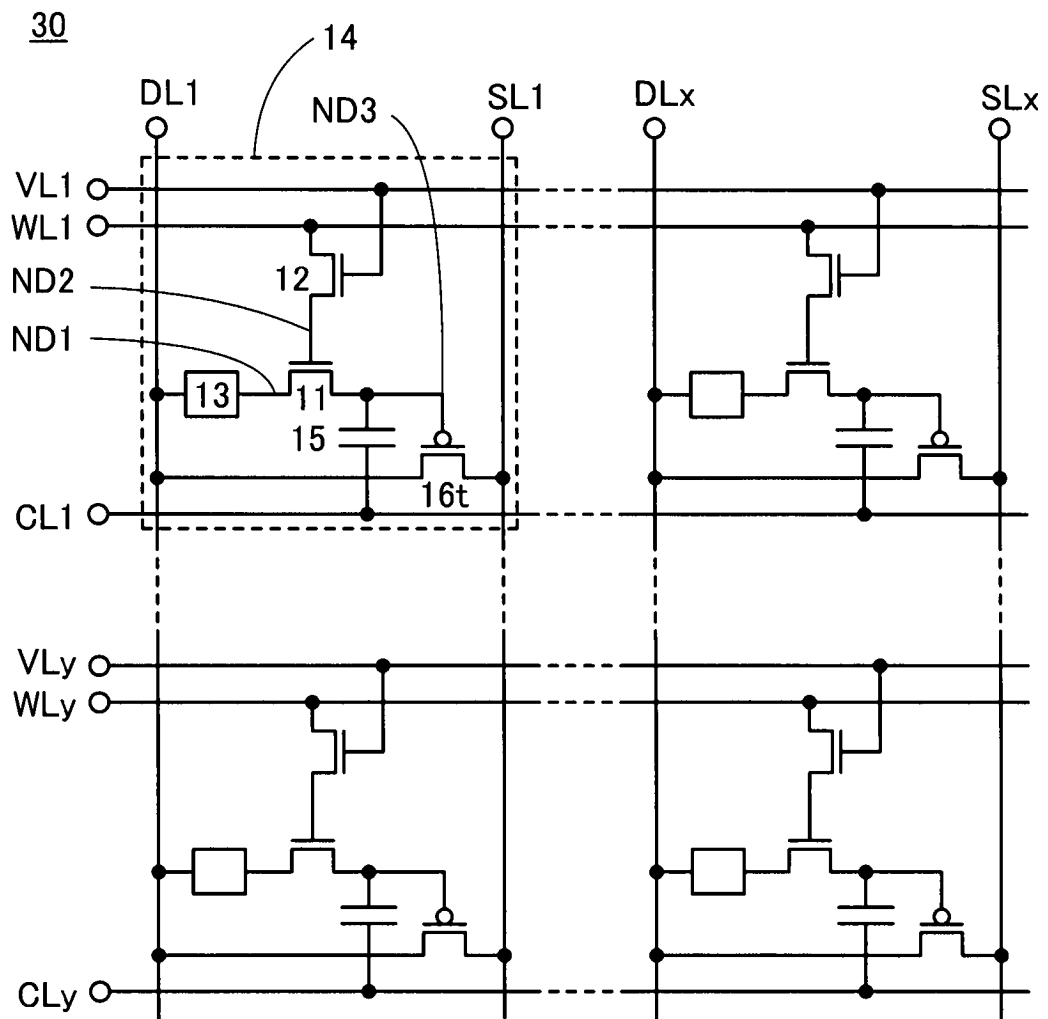


FIG. 6

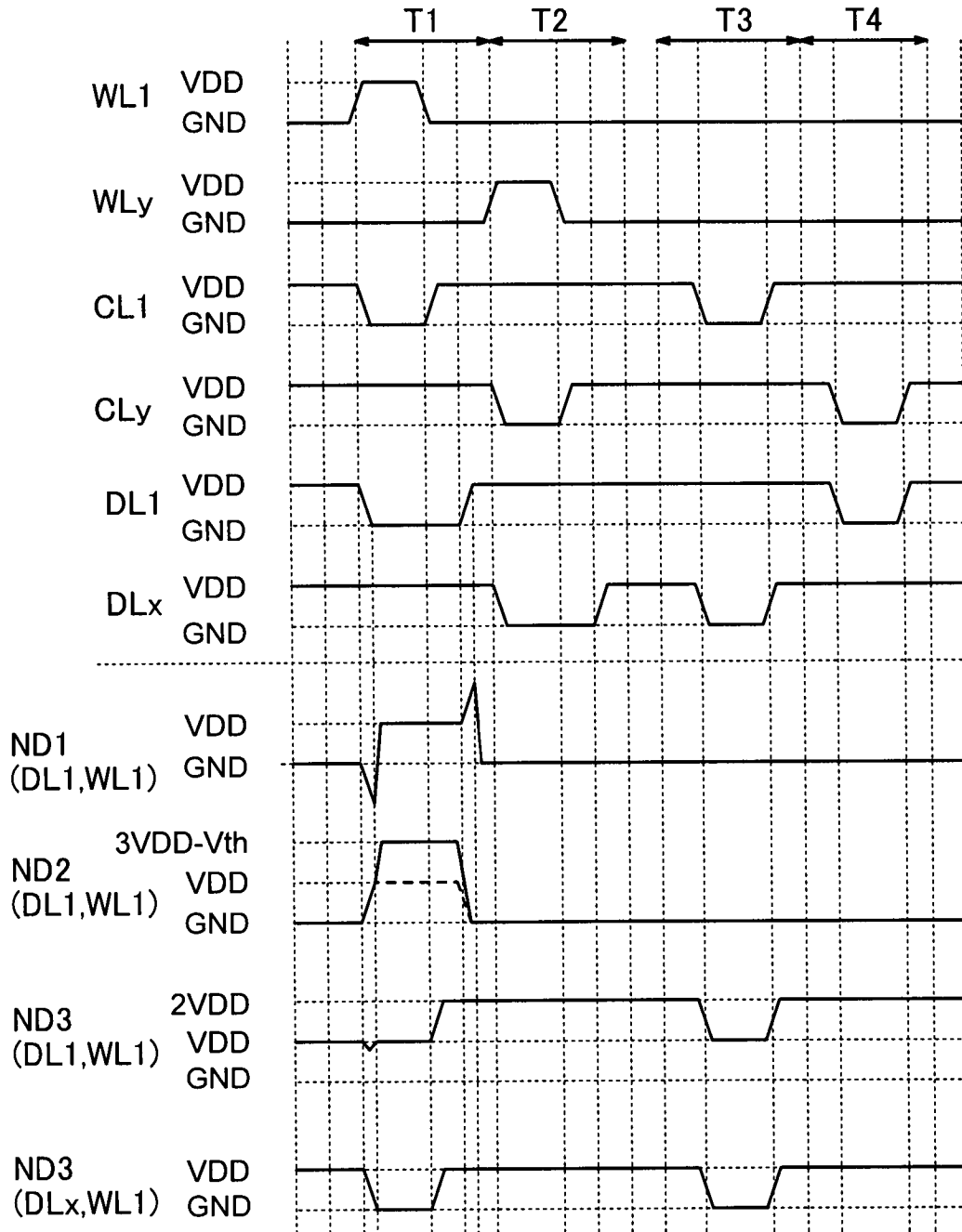


FIG. 7

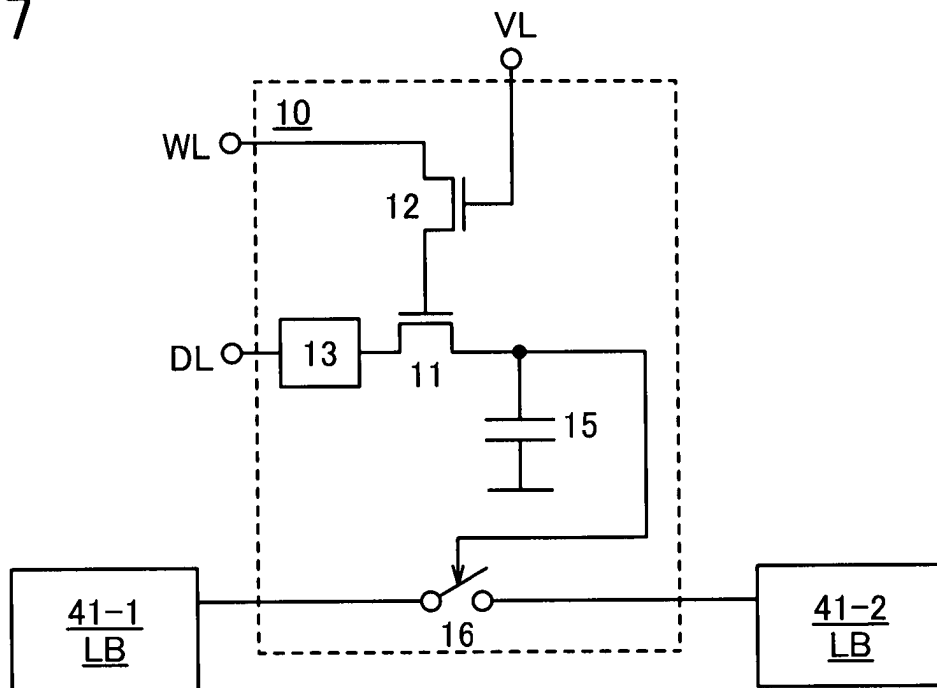


FIG. 8A

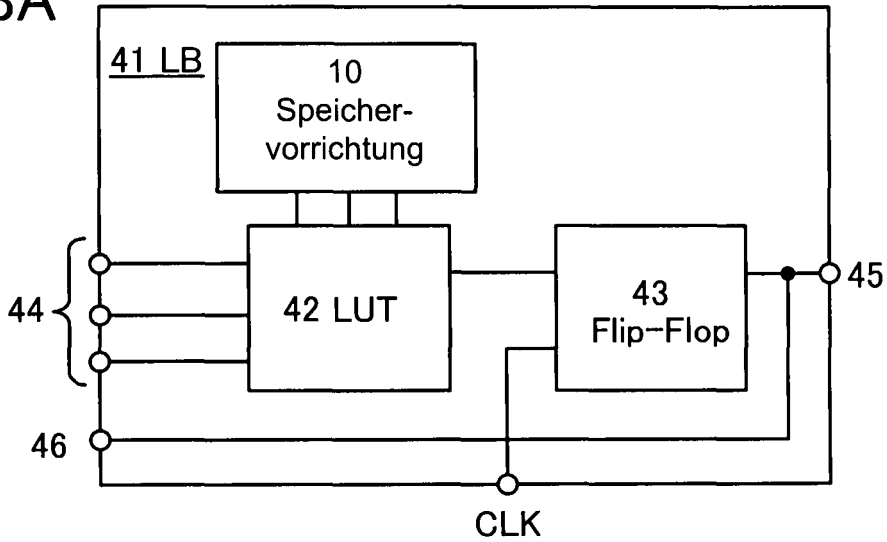


FIG. 8B

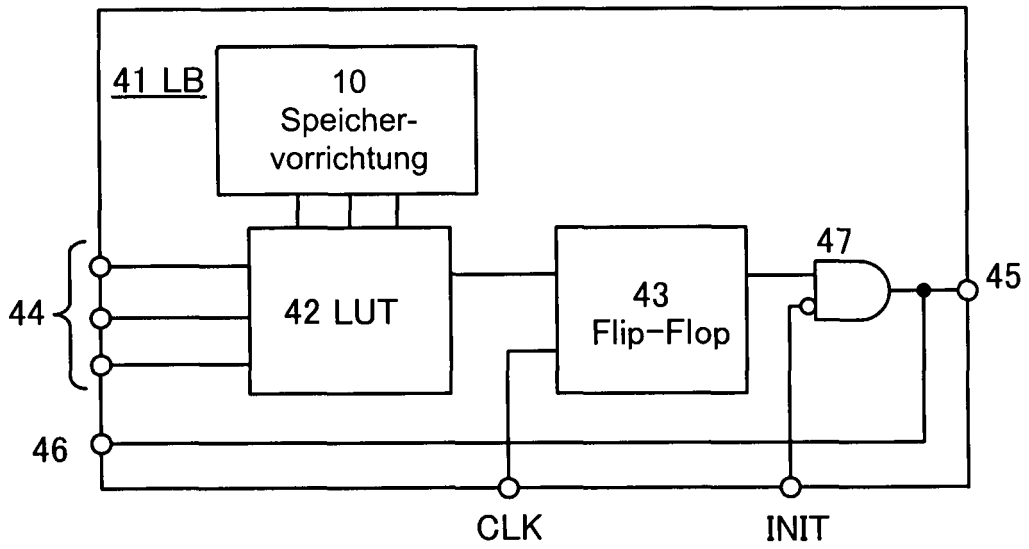


FIG. 8C

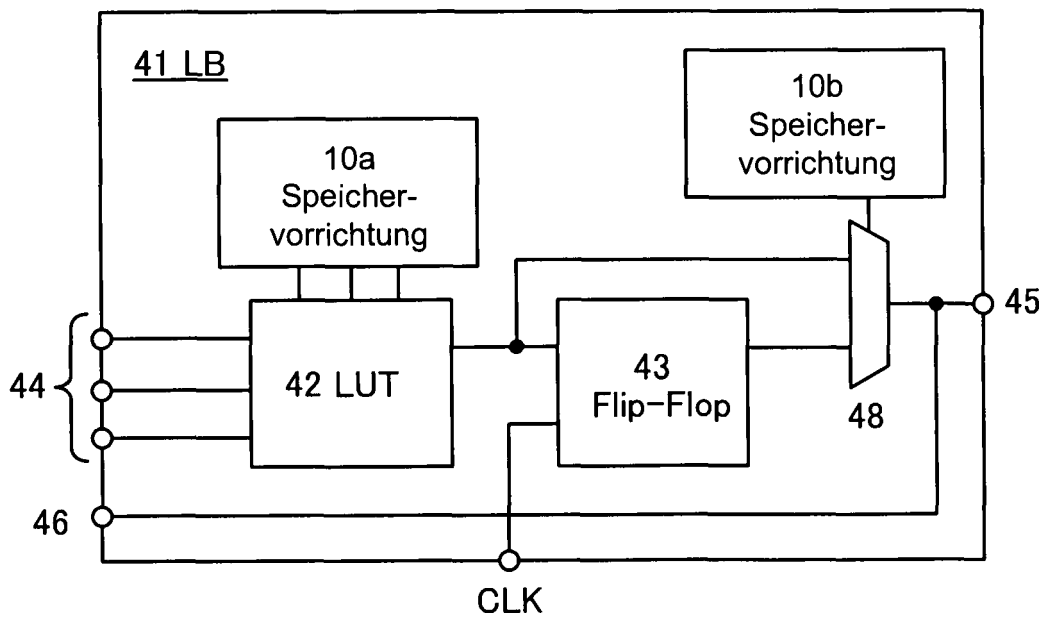


FIG. 9A

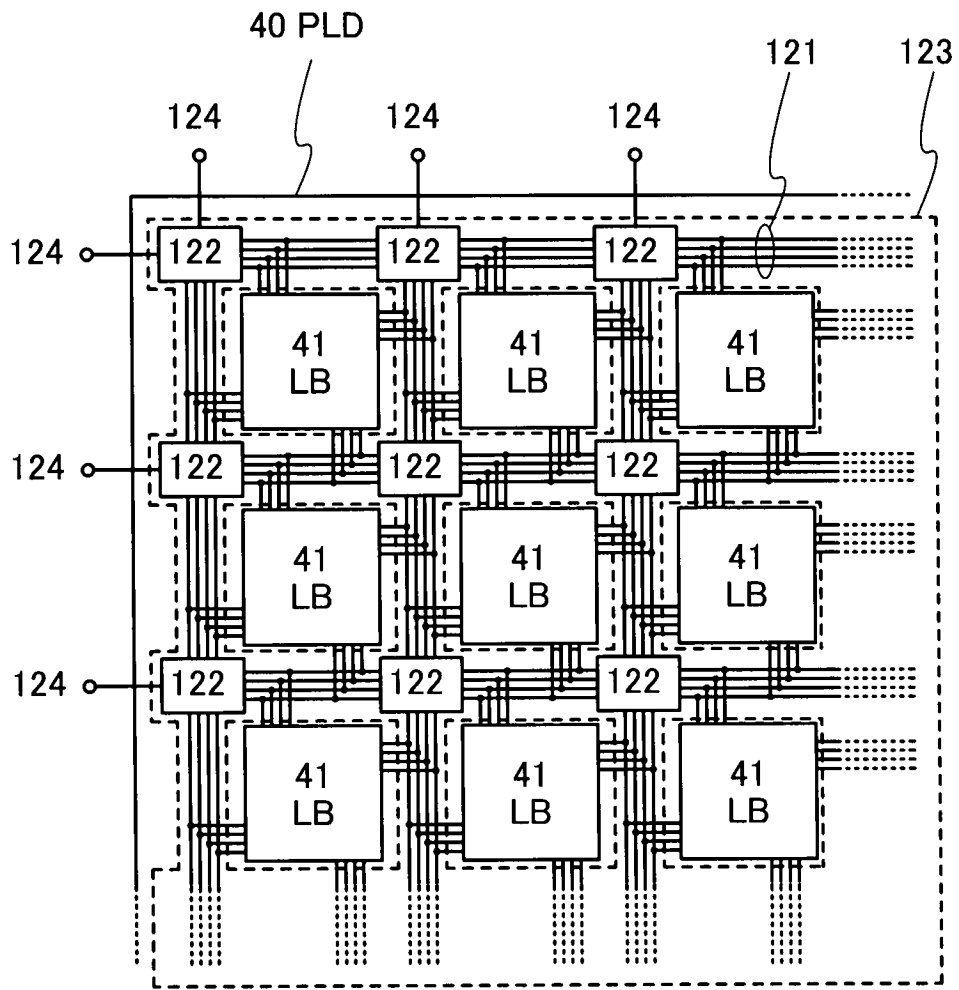


FIG. 9B

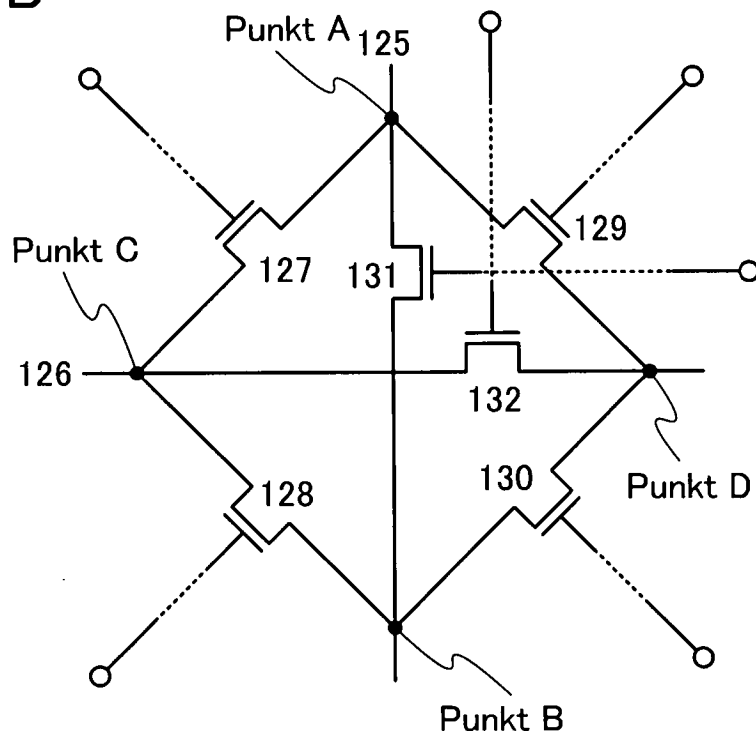


FIG. 10

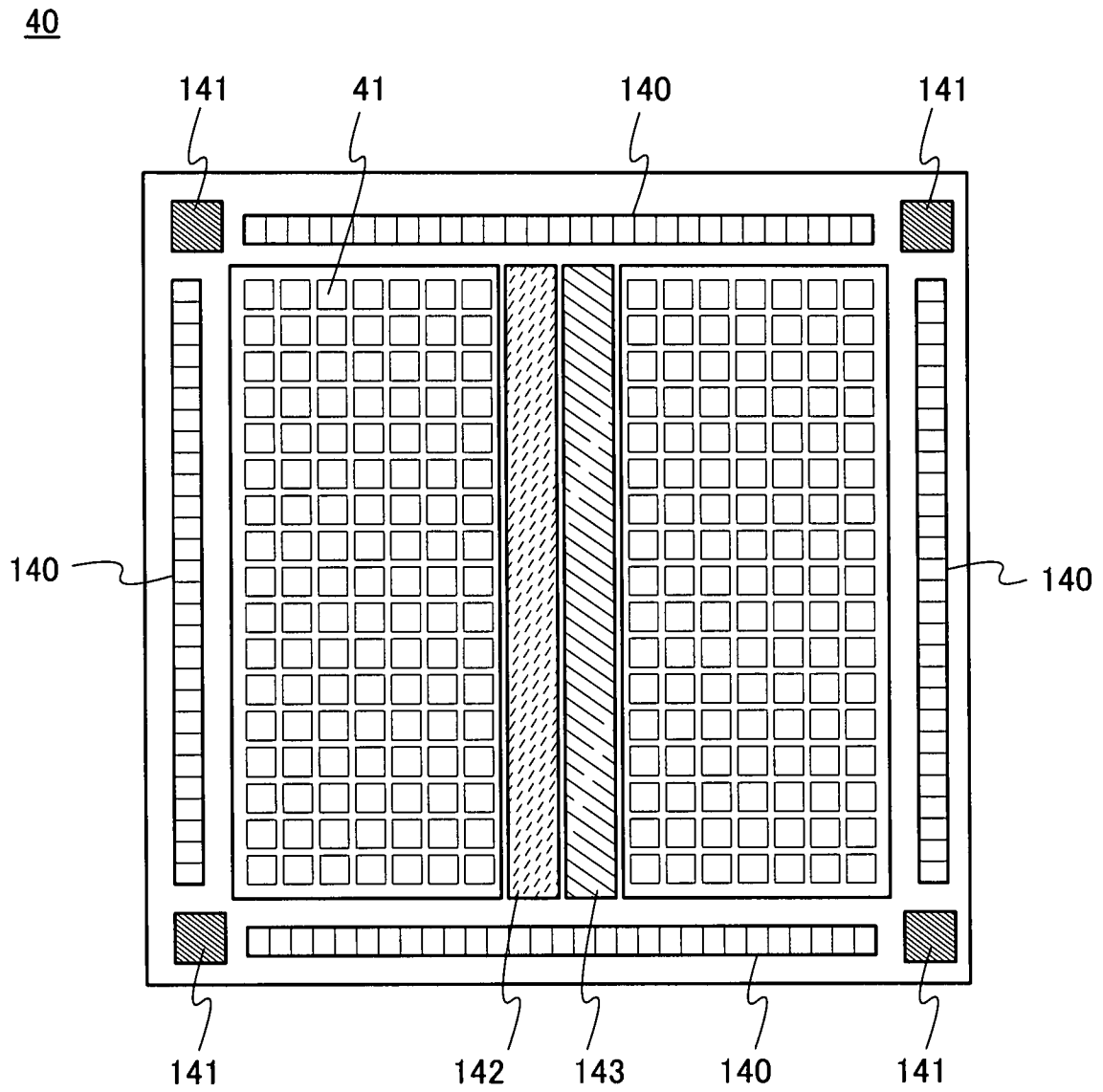


FIG. 11

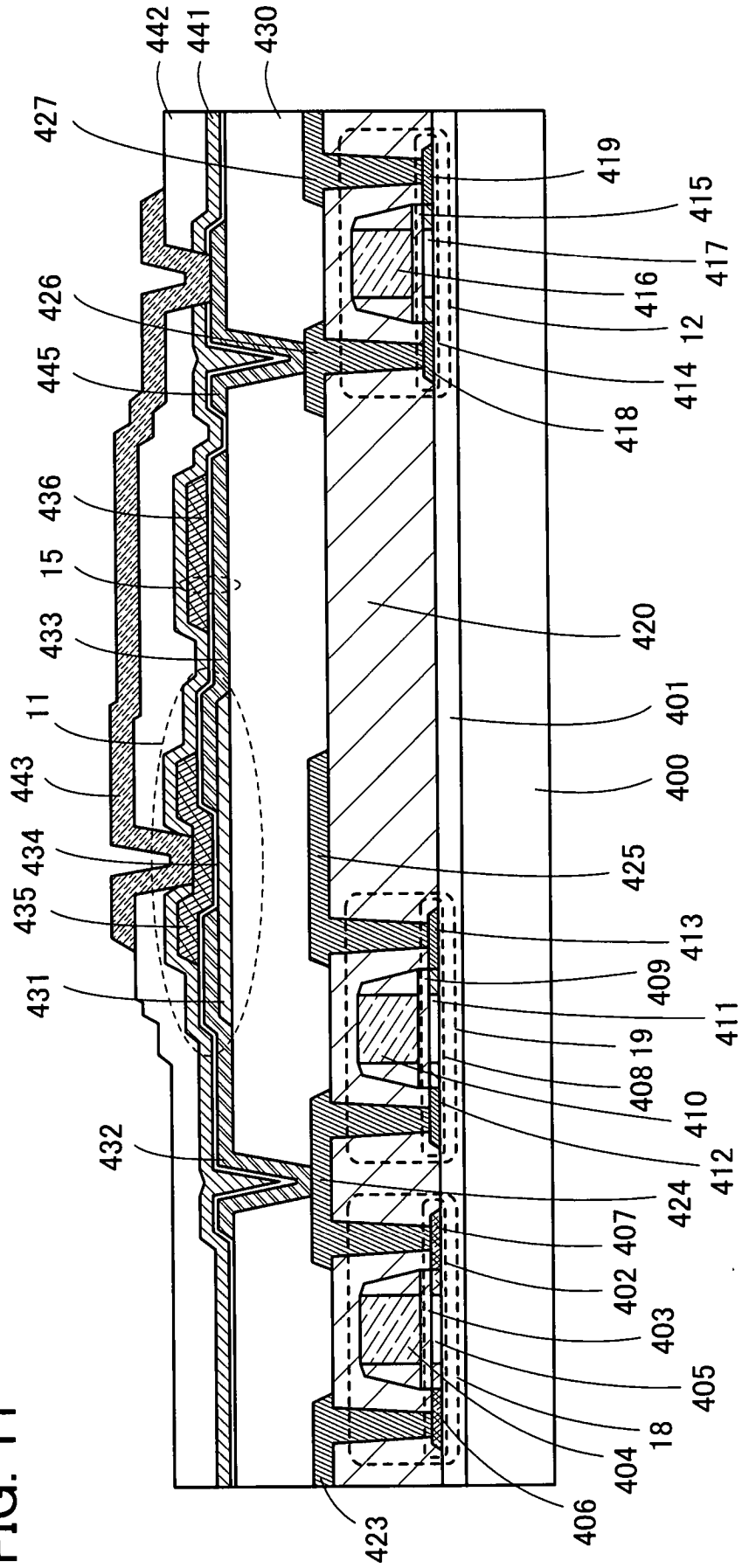


FIG. 12A

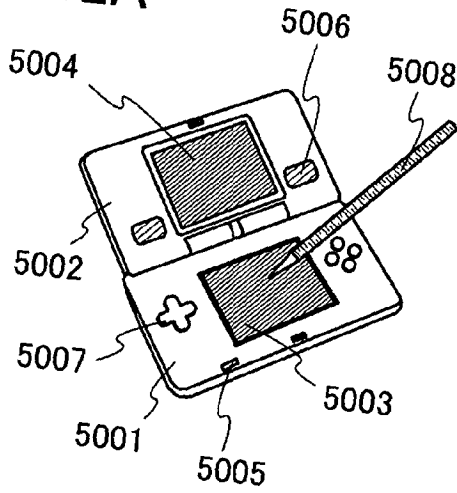


FIG. 12B

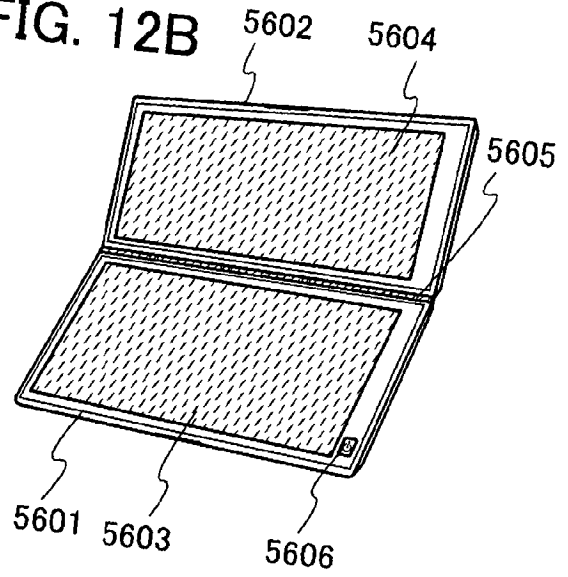


FIG. 12C

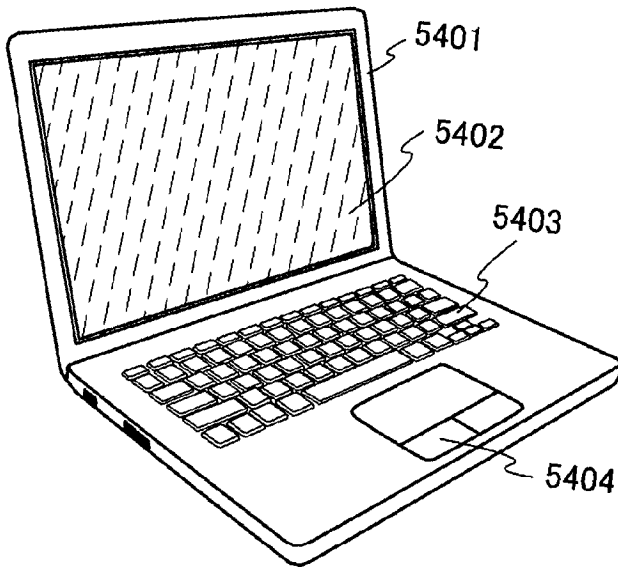


FIG. 12D

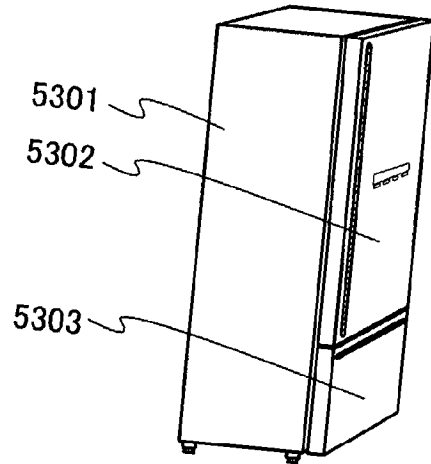


FIG. 12E

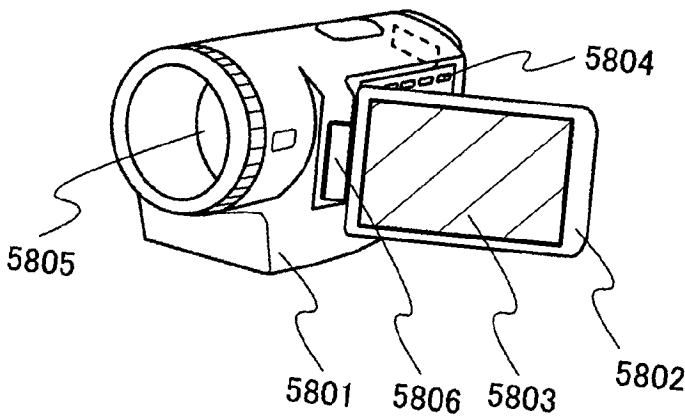


FIG. 12F

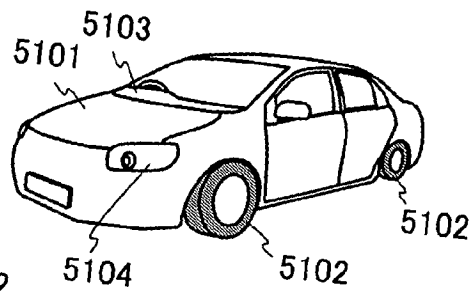


FIG. 13

