



(12) Wirtschaftspatent

Erteilt gemäß § 17 Absatz 1 Patentgesetz

(19) DD (11) 247 335 A1

4(51) H 03 M 1/10

AMT FÜR ERFINDUNGS- UND PATENTWESEN

In der vom Anmelder eingereichten Fassung veröffentlicht

(21)	WP H 03 M / 287 711 4	(22)	10.03.86	(44)	01.07.87
------	-----------------------	------	----------	------	----------

(71)	Ingenieurhochschule Mittweida, Direktorat Fo/IB, 9250 Mittweida, Platz der DSF 17, DD
(72)	Ludwig, Rainer, Dr.-Ing.; Winkler, Frank, DD

(54)	Schaltungsanordnung zur Umsetzfehlerbestimmung von AD-Wandlern
------	--

(57) Die Erfindung nimmt Bezug auf Prüfung und Test von AD-Wandlern bei Herstellern und Anwendern. Die Erfindung ermöglicht die Auffindung und Berechnung von Nichtlinearitäten der Transferkennlinie von AD-Wandlern bei geringem gerätetechnischem Aufwand gegenüber herkömmlichen Verfahren. Das EOC-Signal des ADC-DUT wird als Steuersignal für den ADC-DUT-Eingangsstimulus und zur Analyse des ADC-Ausgangssignales benutzt, indem einerseits durch das EOC-Signal eine Einheit von Impulsvervielfacher, Quantengenerator und Summator derart gesteuert wird, daß eine Rampenspannung als Eingangssignal für den ADC entsteht und andererseits die EOC-Impulse gezählt, umcodiert und mit den ADC-Ausgangssignalen verglichen werden, um so alle Nichtlinearitäten der Transferkennlinie festzustellen.

Erfindungsanspruch:

1. Schaltungsanordnung zur Umsetzfehlerbestimmung von AD-Wandlern, **gekennzeichnet dadurch**, daß das EOC-Signal des ADC-DUT (5) in einem Impulsvervielfacher (7) um n ($n \geq 1$) vervielfacht wird und danach eine Torschaltung (4) ansteuert; eine Referenzspannungsquelle 2 liefert ein Spannungsquant von der Größe (LSB des ADC-DUT): n , das in den ersten Eingang des Summators (1) einspeist, während der zweite Eingang des Summators (1) vom Ausgang des Summators (1) angesteuert wird — wobei dieses Signal nur im Moment des vervielfachten EOC-Impulses an den zweiten Eingang des Summators (1) gelangt, was durch die Torschaltung (4) gewährleistet wird, die den vervielfachten EOC-Impuls als Steuerimpuls für den durchzuschaltenden Summatorausgang benutzt; das Tor (3) benutzt den EOC-Impuls als Steuerimpuls für den durchzuschaltenden Ausgang des Summators (1) an den Eingang des ADC-DUT (5), wobei das EOC-Signal um den Betrag der Schaltzeit von Tor (4) und Summator (1) in der Verzögerungsleitung (6) verzögert wird; das EOC-Signal gelangt zum dezimalen EOC-Zähler (8), dessen Ausgang mit dem Dezimal-Binär-Wandler (9) verbunden ist und einen Mikrorechner (10) ansteuert, während das vom ADC-DUT gelieferte binäre Ausgangssignal um die Verarbeitungszeit des EOC-Zählers (8) und des Dezimal-Binär-Wandlers (9) in der Verzögerungsleitung (11) verzögert wird und danach einen Mikrorechner (10) ansteuert, der die vom ADC-DUT (5) und vom Dezimal-Binär-Wandler (9) gelieferten Binärworte vergleicht und konkrete Umsetzfehler berechnet, die in einer entsprechenden Anzeigeeinheit (12) sichtbar gemacht werden.
2. Schaltungsanordnung nach Punkt 1, **gekennzeichnet dadurch**, daß EOC-Zähler (8) und Dezimal-Binär-Wandler (9) durch einen EOC-Binär-Zähler ersetzt werden können.
3. Schaltungsanordnung nach Punkt 2, **gekennzeichnet dadurch**, daß die Verzögerungsleitung (11), EOC-Zähler (8), Dezimal-Binär-Zähler (9), EOC-Binär-Zähler, Impulsvervielfacher (7) und Verzögerungsleitung (6) einzeln oder insgesamt durch eine entsprechende Software im Mikrorechner (10) ersetzt werden können.

Hierzu 2 Seiten Zeichnungen

Anwendungsgebiet der Erfindung

Die Erfindung betrifft eine Schaltungsanordnung, mit deren Hilfe es unter Ausnutzung des vom AD-Wandler gelieferten EOC-Signals möglich ist, für Hersteller und Anwender Umsetzfehler des zu untersuchenden AD-Wandlers schnell und zuverlässig zu erkennen.

Charakteristik der bekannten technischen Lösungen

Bekannt ist die Verwendung eines Referenz-DAC. Ein von einem Zähler erzeugter Digitalcode wird von einem Referenz-DAC in ein analoges Signal gewandelt und stellt das Eingangssignal des Test-ADC dar. Das so entstandene Ausgangssignal des ADC wird mit dem Eingangssignal des Referenz-DAC verglichen. Erkennbar sind alle dynamischen Fehler. Voraussetzung für dieses Verfahren sind 3 Bit genauerer DAC als der ADC-DUT und ein entsprechend genauer Zähler.

Schildwach, B., Stroezel, K. H.: „Abgleich und Prüfen von AD- und DA-Umsetzer“, rfe, Berlin, 27 (1978) 7, S. 425 ff.

Eine andere bekannte Lösung verwendet Histogramme. Einfach zu erzeugende Signale mit hoher Kurzzeitkonstanz sind Auflade- und Entladekurven von RC-Gliedern. An den Eingang des ADC-DUT wird zuerst ein Signal in Form einer steigenden e-Funktion angelegt und über eine mikrorechnergesteuerte Hardware von der Ausgangsfunktion ein Amplitudenhistogramm erstellt, das in eine RAM abgelegt wird. Dieser Vorgang wird mit einem Signal in Form einer fallenden e-Funktion wiederholt. Mittels der beiden so gewonnenen Amplitudenhistogramme ist es nach entsprechender Transformation möglich, die Übertragungscharakteristik des ADC zu berechnen.

Stoane, E. A.: „Method and Apparatus for Calibrating an Analog-to-Digital Converter for a Digital-to-Analog Converter Test System“ United States Patent, 1982, 4354 177

Unter Zuhilfenahme von Fourieranalyse kann ein ADC getestet werden, indem er mit einer oberwellenfreien Sinusspannung als Testsignal beaufschlagt wird. Eine Nichtlinearität infolge eines Umsetzfehlers wirkt sich als Verzerrung des digital am Ausgang vorliegenden Sinussignales aus. Der Verzerrungsgrad stellt dabei ein direktes Maß für Nichtlinearität dar und ist aus der spektralen Verteilung des verzerrten Signussignals ableitbar. Diese Verteilung wird durch Fouriertransformation gewonnen.

Makoney, M. V.: „New Techniques for High Speed Analog Testing“, IEEE Test Conference 1983, S. 589 ff.

Aufgabe der Erfindung ist es, unter Ausnutzung des EOC-Signales eines zu testenden ADC den Testablauf zu steuern und Umsetzfehler zu erkennen.

Ziel der Erfindung

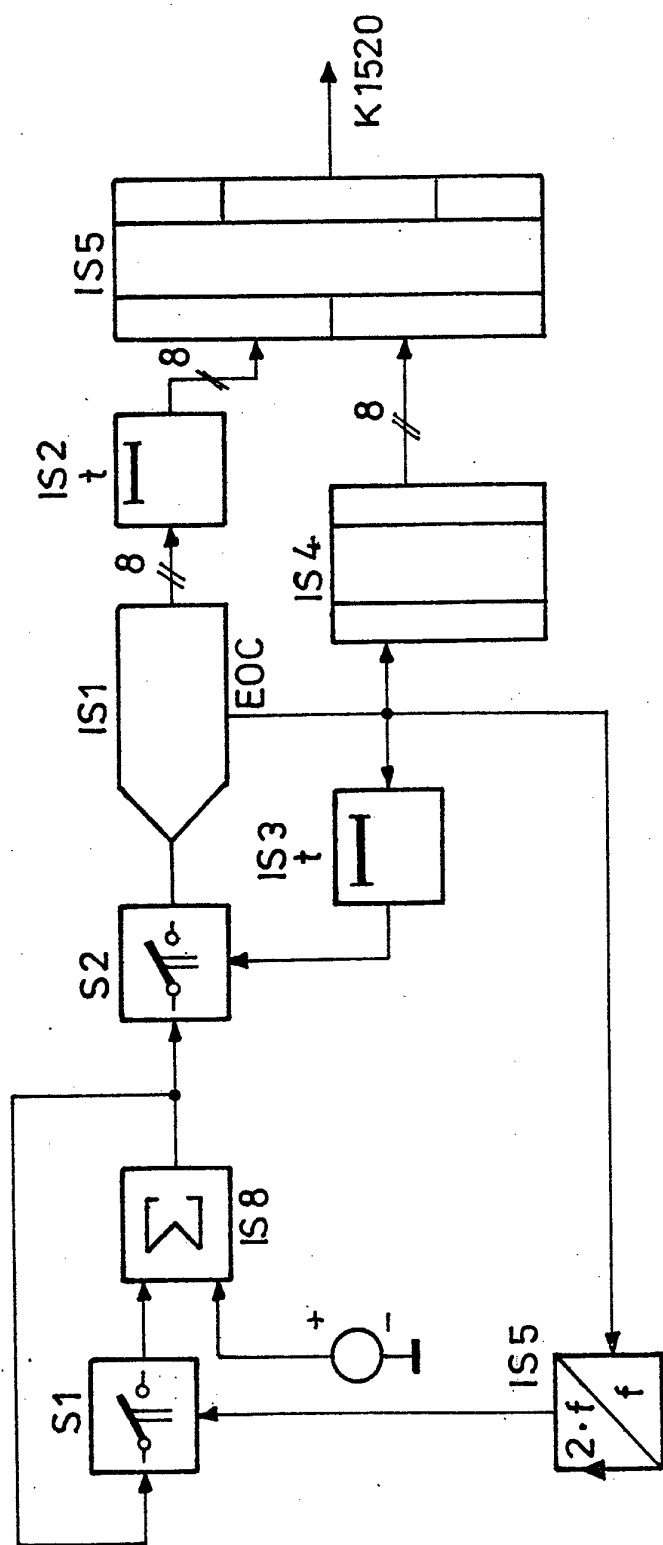
Das Ziel der Erfindung besteht darin, unter Ausnutzung des ADC-EOC-Signales den Testablauf für AD-Wandler zu steuern und eine Untersuchung auf Umsetzfehler bei geringem materiell-technischen Aufwand und minimierter Prüfzeit zu gewährleisten.

Darlegung des Wesens der Erfindung

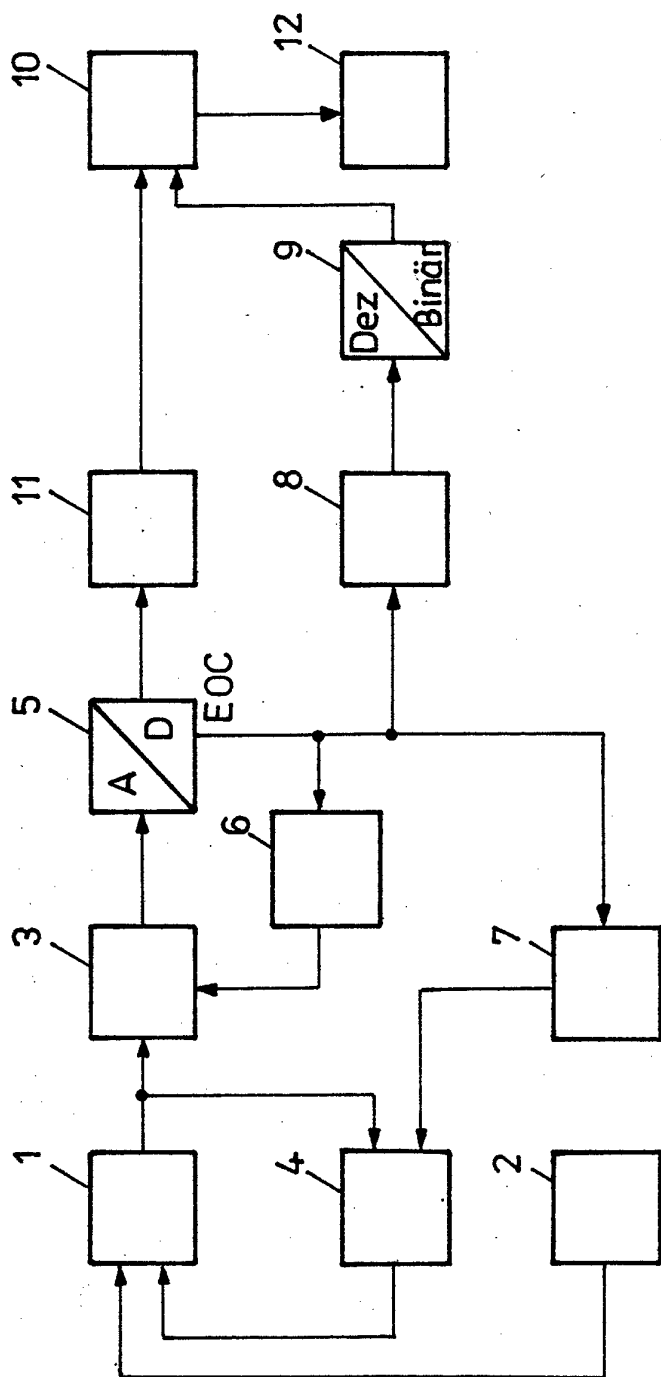
Das EOC-Signal des ADC-DUT (5) gelangt zu einem Impulsvervielfacher (7), der die EOC-Impulse um n vervielfacht und eine Torschaltung (4) ansteuert. Eine Referenzspannungsquelle (2) liefert ein Spannungsquant von (LSB des ADC-DUT): n , das in den ersten Ausgang des Summators eingespeist wird. Der zweite Eingang des Summators (1) wird vom Ausgang des Summators 1 angesteuert, wobei dieses Signal nur im Moment des vervielfachten EOC-Impulses an den zweiten Eingang des Summators (1) gelangt, was durch die Torschaltung (4) gewährleistet wird, die den vervielfachten EOC-Impuls als Steuerimpuls für den durchzuschaltenden Summatorausgang benutzt. Das Tor (3) benutzt ebenfalls den EOC-Impuls als Steuerimpuls für den durchzuschaltenden Summatorausgang, der jetzt als Eingangsgröße für den ADC-DUT dient. Das EOC-Signal für das Tor (3) wird um den Betrag der Schaltzeiten von Tor (4) und Summator (1) in der Verzögerungsleitung (6) verzögert. Das nach der Wandlung vom ADC-DUT (5) generierte EOC-Signal gelangt zu einem dezimalen EOC-Zähler (8), dessen Ausgang mit einem Dezimal-Binär-Wandler (9) verbunden ist und zu einem Mikrorechner (10) gelangt. Das vom ADC-DUT (5) gelieferte binäre Ausgangssignal wird um den Zeitbetrag für die Inkrementierung des EOC-Zählers (8) und die Wandlung im Dezimal-Binär-Wandler (9) in der Verzögerungsleitung (11) verzögert und dann erst an den Mikrorechner (10) weitergegeben. Der Mikrorechner (10) vergleicht die vom ADC-DUT (5) und vom Dezimal-Binär-Wandler (9) gelieferten Binärworte und berechnet aus deren Differenzen Nichtlinearitäten und Umsetzfehler, die durch eine entsprechende Anzeigeeinheit (12) sichtbar gemacht werden.

Ausführungsbeispiel

Das EOC-Signal des 8-Bit-ADU IS 1 gelangt zu einem Frequenzverdoppler, der einen Analogschalter S 1 ansteuert, mit dem die Ausgangsspannung eines Summators so auf dessen Eingang zurückgeschaltet wird, daß letztendlich am Ausgang des Summators eine quasi-lineare Rampe generiert wird. Als Torimpuls für den Analogschalter wird der EOC-Impuls des DAU genutzt. Die Spannung der Referenzspannungsquelle beträgt dabei 0,0195V. Ebenfalls durch den EOC-Torimpuls wird der Analogschalter S 2 gesteuert, der die Prüfspannung auf den zu prüfenden ADU gibt. Der EOC-Impuls wird in der Verzögerungsleitung IS 3 um den Betrag der Schaltzeiten von Frequenzverdoppler, Analogschalter S 1 und Summator verzögert. Das EOC-Signal wird in einem Zähler IS 4 gezählt und im Dual-Code an die PIO IS 5, Port B ausgegeben. Die binären Ausgangssignale des ADU IS 1 werden um den Betrag der Schaltzeiten des Zählers IS 4 in der Verzögerungsleitung IS 2 verzögert und an Port A der PIO IS 5 ausgegeben. Die PIO IS 5 ist ausgangsseitig mit einem System K1520 gekoppelt.



Figur 1



Figur 2