

(19) 日本国特許庁 (JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2011-164591

(P2011-164591A)

(43) 公開日 平成23年8月25日 (2011.8.25)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/20 (2006.01)	G09G 3/20 623V	3K107
G09G 3/30 (2006.01)	G09G 3/20 680G	5C080
H01L 51/50 (2006.01)	G09G 3/20 623D	5C094
G09F 9/30 (2006.01)	G09G 3/20 623H	5C380
	G09G 3/20 611D	
審査請求 未請求 請求項の数 14 O L (全 29 頁) 最終頁に続く		

(21) 出願番号 特願2011-549 (P2011-549)
 (22) 出願日 平成23年1月5日 (2011.1.5)
 (31) 優先権主張番号 特願2010-6419 (P2010-6419)
 (32) 優先日 平成22年1月15日 (2010.1.15)
 (33) 優先権主張国 日本国 (JP)

(71) 出願人 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 穴戸 英明
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 Fターム (参考) 3K107 AA01 BB01 CC31 EE03 HH04
 HH05
 5C080 AA06 BB05 DD10 DD27 FF07
 FF13 HH09 JJ02 JJ03 JJ04
 JJ06
 5C094 AA03 AA21 AA55 BA03 CA19
 DB01 FA01 FB12 FB14 HA08
 HA10

最終頁に続く

(54) 【発明の名称】 半導体装置及び電子機器

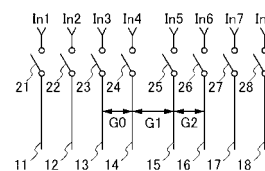
(57) 【要約】

【課題】データ分割駆動を行う半導体装置における信号の変動を抑制すること。なお、当該変動を抑制することで、半導体装置の映像の表示時における縞模様の発生を抑制することなどができる。

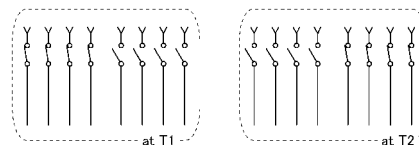
【解決手段】異なる期間において浮遊状態となり且つ隣接する2本の信号線の間隔 (G1) を、同一期間において浮遊状態となり且つ隣接する2本の信号線の間隔 (G0、G2) よりも広くする。これにより、容量結合に起因する信号線の電位の変動を抑制することができる。具体的な例としては、当該信号線がアクティブマトリクス型の表示装置におけるソース信号線である場合、映像における縞模様の発生を抑制することができる。

【選択図】 図1

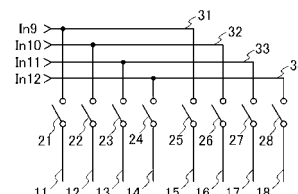
(A)



(B)



(C)



【特許請求の範囲】

【請求項 1】

第 1 の期間においてオン状態となり、且つ第 2 の期間においてオフ状態となる第 1 のスイッチ乃至第 n のスイッチ (n は 2 以上の自然数) と、

前記第 1 の期間においてオフ状態となり、且つ前記第 2 の期間においてオン状態となる第 $n + 1$ のスイッチ乃至第 m のスイッチ (m は $n + 2$ 以上の自然数) と、

前記第 1 の期間において前記第 1 のスイッチを介して信号が供給され、且つ前記第 2 の期間において浮遊状態となる第 1 の信号線、乃至、前記第 1 の期間において前記第 n のスイッチを介して信号が供給され、且つ前記第 2 の期間において浮遊状態となる第 n の信号線と、

10

前記第 1 の期間において浮遊状態となり、且つ前記第 2 の期間において前記第 $n + 1$ のスイッチを介して信号が供給される第 $n + 1$ の信号線、乃至、前記第 1 の期間において浮遊状態となり、且つ前記第 2 の期間において前記第 m のスイッチを介して信号が供給される第 m の信号線と、を有し、

前記第 1 の信号線乃至前記第 m の信号線は、各々が平行又は略平行に配列し、

前記第 n の信号線と前記第 $n + 1$ の信号線の間隔は、前記第 $n - 1$ の信号線と前記第 n の信号線の間隔よりも広く、且つ前記第 $n + 1$ の信号線と前記第 $n + 2$ の信号線の間隔よりも広いことを特徴とする半導体装置。

【請求項 2】

請求項 1 において、

20

前記第 1 の信号線乃至前記第 n の信号線のいずれか一及び前記第 $n + 1$ の信号線乃至前記第 m の信号線のいずれか一に対する信号の供給が、同一の配線を介して行われることを特徴とする半導体装置。

【請求項 3】

請求項 1 又は請求項 2 において、

前記第 1 のスイッチ乃至前記第 m のスイッチのそれぞれが、第 1 のトランジスタ乃至第 m のトランジスタのそれぞれであることを特徴とする半導体装置。

【請求項 4】

請求項 3 において、

前記第 1 のトランジスタ乃至前記第 m のトランジスタは、各々が等間隔又は略等間隔に配列し、且つ各々のチャネル長方向が、前記第 1 の信号線乃至前記第 m の信号線に垂直又は略垂直に設けられ、

30

前記第 n のトランジスタのソース端子及びドレイン端子の一方が他方よりも前記第 $n + 1$ のトランジスタに近接し、

前記第 $n + 1$ のトランジスタのソース端子及びドレイン端子の一方が他方よりも前記第 n のトランジスタに近接し、

前記第 n のトランジスタのソース端子及びドレイン端子の他方が、前記第 n の信号線に電氣的に接続され、

前記第 $n + 1$ のトランジスタのソース端子及びドレイン端子の他方が、前記第 $n + 1$ の信号線に電氣的に接続されることを特徴とする半導体装置。

40

【請求項 5】

第 1 の期間においてオン状態となり、且つ第 2 の期間においてオフ状態となる第 1 のスイッチ乃至第 n のスイッチ (n は 2 以上の自然数) と、

前記第 1 の期間においてオフ状態となり、且つ前記第 2 の期間においてオン状態となる第 $n + 1$ のスイッチ乃至第 m のスイッチ (m は $n + 2$ 以上の自然数) と、

前記第 1 の期間において前記第 1 のスイッチを介して画像信号が供給され、且つ前記第 2 の期間において浮遊状態となる第 1 のソース信号線、乃至、前記第 1 の期間において前記第 n のスイッチを介して画像信号が供給され、且つ前記第 2 の期間において浮遊状態となる第 n のソース信号線と、

前記第 1 の期間において浮遊状態となり、且つ前記第 2 の期間において前記第 $n + 1$ の

50

スイッチを介して画像信号が供給される第 $n + 1$ のソース信号線、乃至、前記第 1 の期間において浮遊状態となり、且つ前記第 2 の期間において前記第 m のスイッチを介して画像信号が供給される第 m のソース信号線と、を有し、

前記第 1 のソース信号線乃至前記第 m のソース信号線は、各々が平行又は略平行に配列し、

前記第 n のソース信号線と前記第 $n + 1$ のソース信号線の間隔は、前記第 $n - 1$ のソース信号線と前記第 n のソース信号線の間隔よりも広く、且つ前記第 $n + 1$ のソース信号線と前記第 $n + 2$ のソース信号線の間隔よりも広いことを特徴とする半導体装置。

【請求項 6】

請求項 5 において、

10

前記第 1 のソース信号線乃至前記第 n のソース信号線のいずれか一及び前記第 $n + 1$ のソース信号線乃至前記第 m のソース信号線のいずれか一に対する画像信号の供給が、同一のデータ信号線を介して行われることを特徴とする半導体装置。

【請求項 7】

請求項 5 又は請求項 6 において、

前記第 1 のスイッチ乃至前記第 m のスイッチが、第 1 のトランジスタ乃至第 m のトランジスタであることを特徴とする半導体装置。

【請求項 8】

請求項 7 において、

前記第 1 のトランジスタ乃至前記第 m のトランジスタは、各々が等間隔又は略等間隔に配列し、且つ各々のチャネル長方向が、前記第 1 のソース信号線乃至前記第 m のソース信号線に垂直又は略垂直に設けられ、

20

前記第 n のトランジスタのソース端子及びドレイン端子の一方が他方よりも前記第 $n + 1$ のトランジスタに近接し、

前記第 $n + 1$ のトランジスタのソース端子及びドレイン端子の一方が他方よりも前記第 n のトランジスタに近接し、

前記第 n のトランジスタのソース端子及びドレイン端子の他方が、前記第 n のソース信号線に電氣的に接続され、

前記第 $n + 1$ のトランジスタのソース端子及びドレイン端子の他方が、前記第 $n + 1$ のソース信号線に電氣的に接続されることを特徴とする半導体装置。

30

【請求項 9】

請求項 7 又は請求項 8 において、

前記第 1 のトランジスタ乃至前記第 m のトランジスタのチャネル形成領域が、酸化物半導体によって構成されることを特徴とする半導体装置。

【請求項 10】

請求項 9 において、

前記第 1 のトランジスタ乃至前記第 m のトランジスタのスイッチングを制御するシフトレジスタ回路を有し、

前記シフトレジスタ回路は、チャネル形成領域が酸化物半導体によって構成されるトランジスタを有することを特徴とする半導体装置。

40

【請求項 11】

請求項 5 乃至請求項 10 のいずれか一項において、

前記第 1 のソース信号線乃至前記第 m のソース信号線のいずれか一に電氣的に接続された画素を有し、

前記画素は、チャネル形成領域が酸化物半導体によって構成されるトランジスタを有することを特徴とする半導体装置。

【請求項 12】

請求項 11 において、

前記画素が有するトランジスタのスイッチングを制御するゲート信号線駆動回路を有し、

50

前記ゲート信号線駆動回路は、チャネル形成領域が酸化物半導体によって構成されるトランジスタを有することを特徴とする半導体装置。

【請求項 13】

請求項 1 乃至請求項 12 のいずれか一項において、
 $m = 2n$ であることを特徴とする半導体装置。

【請求項 14】

請求項 1 乃至請求項 13 のいずれか一項に記載の半導体装置を有する電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

10

本発明は、半導体装置に関する。特に、アクティブマトリクス駆動によって映像の表示を行う半導体装置に関する。また、当該半導体装置を有する電子機器に関する。

【0002】

なお、本明細書において、半導体装置とは、半導体特性を利用することで機能しうる装置全般を指す。

【背景技術】

【0003】

アクティブマトリクス駆動によって映像の表示を行う半導体装置（以下、アクティブマトリクス型の表示装置ともいう）が普及している。該半導体装置は、映像が表示される画素部と、該画素部における映像の表示を制御する駆動回路とを有する。具体的には、当該半導体装置は、画素部においてマトリクス状に配列された複数の画素に入力される画像信号を駆動回路によって制御することで、映像の表示を行っている。なお、画素部に設けられる複数の画素及び駆動回路は、それぞれトランジスタを有する。

20

【0004】

製造コストの低減及び小型軽量化という観点では、各画素が有するトランジスタ及び駆動回路又は該駆動回路の一部が有するトランジスタを同一基板上に形成することが好ましい。ただし、これらのトランジスタに求められる特性は異なる。例えば、各画素が有するトランジスタには、ガラス基板上において形成すること（低温プロセスによって形成すること）が求められ、駆動回路が有するトランジスタには、高周波数駆動を行うことが求められる。つまり、各画素が有するトランジスタとしては、プラズマ CVD 法などの低温プロセスでの形成が可能なトランジスタが好適であり、駆動回路が有するトランジスタとしては、電界効果移動度が高いトランジスタが好適である。

30

【0005】

代表的には、各画素が有するトランジスタとしては、アモルファスシリコンを具備するトランジスタが好適であり、駆動回路が有するトランジスタとしては、単結晶シリコン又は多結晶シリコンを具備するトランジスタが好適である。ただし、アモルファスシリコンを具備するトランジスタによって高周波数駆動を行うこと及び単結晶シリコン又は多結晶シリコンを具備するトランジスタを低温プロセスによって形成することは困難である。

【0006】

上述した問題に鑑み、多相駆動（以下、データ分割駆動ともいう）という技術が開発されている。データ分割駆動とは、外部から入力される画像信号を複数の分割し、分割された複数の画像信号を複数の画素の各々に対して同時に入力する技術である。これにより、駆動回路の動作周波数を低減することができる。例えば、画像信号を 4 分割すれば、駆動回路に要求される動作周波数を $1/4$ に低減することができる。

40

【0007】

ただし、データ分割駆動を行う場合、画素部に画像信号を供給する配線（以下、データ信号線ともいう）の本数が増加するなど駆動回路の構造が複雑化する。これにより、各画素に画像信号を供給する配線（以下、ソース信号線ともいう）毎に配線抵抗及び寄生容量が変化することがある。この場合、各画素に入力される画像信号が、ソース信号線毎の配線抵抗及び寄生容量の違いによって変化する。そのため、映像に縞模様が発生することが

50

ある。

【 0 0 0 8 】

特許文献 1 では、上述した縞模様の発生を低減する技術が開示されている。具体的には、特許文献 1 では、複数のソース信号線における配線抵抗及び寄生容量を平均化することで、映像における縞模様の発生を低減する技術が開示されている。

【 先行技術文献 】

【 特許文献 】

【 0 0 0 9 】

【 特許文献 1 】 特開平 9 - 3 2 5 3 4 7 号公報

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 1 0 】

上述したように、アクティブマトリクス型の表示装置においては、外部から入力される画像信号がデータ信号線を介して画素部に入力される。一般的には、1本のデータ信号線と、複数のソース信号線の各々との間にスイッチが設けられ、該スイッチによってデータ信号線とソース信号線の電気的な接続を制御している。つまり、複数のソース信号線が1本毎にデータ信号線と電気的に接続するように、複数のスイッチを順次オン状態とする。これにより、データ信号線から所望の画像信号が各ソース信号線に供給される。

【 0 0 1 1 】

データ分割駆動を行う表示装置においても、データ信号線から各ソース信号線への画像信号の供給は同様に行われる。具体的には、画像信号を4分割にする場合は、データ信号線が4本設けられ、データ信号線の各々と、複数のソース信号線との間にスイッチが設けられる。ただし、スイッチは、4個毎のグループに分類される。つまり、該グループに分類された4本のソース信号線毎に4本のデータ信号線のいずれかと電気的に接続するように、複数のスイッチを4個毎に順次オン状態とする。これにより、スイッチの動作周波数を1/4に低減するとともに、データ信号線から所望の画像信号が各ソース信号線に供給される。

【 0 0 1 2 】

しかしながら、データ分割駆動を行う表示装置においては、当該グループの境界において映像に縞模様が発生することがある。つまり、スイッチが4個毎のグループに分類される場合、 $4k$ 番目 (k は自然数) に配列されたソース信号線と、 $4k+1$ 番目に配列されたソース信号線との境界において、映像に縞模様が発生することがある。

【 0 0 1 3 】

上述した課題に鑑み、本発明の一態様は、半導体装置における信号の変動を抑制することを課題の一とする。なお、当該変動を抑制することで、半導体装置の映像の表示時における縞模様の発生を抑制することなどができる。

【 課題を解決するための手段 】

【 0 0 1 4 】

上述した課題の一は、半導体装置において容量結合に起因する信号の変動を抑制することで解決することができる。

【 0 0 1 5 】

すなわち、本発明の一態様は、第1の期間においてオン状態となり、且つ第2の期間においてオフ状態となる第1のスイッチ乃至第 n のスイッチ (n は2以上の自然数) と、前記第1の期間においてオフ状態となり、且つ前記第2の期間においてオン状態となる第 $n+1$ のスイッチ乃至第 m のスイッチ (m は $n+2$ 以上の自然数) と、前記第1の期間において前記第1のスイッチを介して信号が供給され、且つ前記第2の期間において浮遊状態となる第1の信号線、乃至、前記第1の期間において前記第 n のスイッチを介して信号が供給され、且つ前記第2の期間において浮遊状態となる第 n の信号線と、前記第1の期間において浮遊状態となり、且つ前記第2の期間において前記第 $n+1$ のスイッチを介して信号が供給される第 $n+1$ の信号線、乃至、前記第1の期間において浮遊状態となり、且

10

20

30

40

50

つ前記第 2 の期間において前記第 m のスイッチを介して信号が供給される第 m の信号線と、を有し、前記第 1 の信号線乃至前記第 m の信号線は、各々が平行又は略平行に配列し、前記第 n の信号線と前記第 n + 1 の信号線の間隔は、前記第 n - 1 の信号線と前記第 n の信号線の間隔よりも広く、且つ前記第 n + 1 の信号線と前記第 n + 2 の信号線の間隔よりも広いことを特徴とする半導体装置である。

【発明の効果】

【0016】

本発明の一態様の半導体装置は、異なる期間において浮遊状態となり且つ隣接する 2 本の信号線の間隔を、同一期間において浮遊状態となり且つ隣接する 2 本の信号線の間隔よりも広くする。これにより、容量結合に起因する信号線の電位の変動を抑制することができる。具体的な例としては、当該信号線がアクティブマトリクス型の表示装置におけるソース信号線である場合、映像における縞模様の発生を抑制することができる。

10

【図面の簡単な説明】

【0017】

【図 1】(A) ~ (C) 実施の形態 1 に係る半導体装置を説明する図。

【図 2】(A)、(B) 実施の形態 1 に係る半導体装置を説明する図。

【図 3】(A)、(B) 実施の形態 1 に係る半導体装置を説明する図。

【図 4】(A) ~ (C) 実施の形態 1 に係る半導体装置を説明する図。

【図 5】(A)、(B) 実施の形態 1 に係る半導体装置を説明する図。

【図 6】(A)、(B) 実施の形態 1 に係る半導体装置を説明する図。

20

【図 7】実施の形態 1 に係る半導体装置を説明する図。

【図 8】(A)、(B) 実施の形態 2 に係る半導体装置を説明する図。

【図 9】(A)、(B) 実施の形態 2 に係る半導体装置を説明する図。

【図 10】実施の形態 2 に係る半導体装置を説明する図。

【図 11】実施の形態 2 に係る半導体装置を説明する図。

【図 12】実施の形態 2 に係る半導体装置を説明する図。

【図 13】(A) ~ (D) 実施の形態 3 に係るトランジスタを説明する図。

【図 14】実施の形態 4 に係る電子機器を説明する図。

【発明を実施するための形態】

【0018】

30

以下では、本発明の実施の形態について図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、本発明の趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは、当業者であれば容易に理解される。したがって、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。

【0019】

なお、各実施の形態の図面等において示す各構成の、大きさ、層の厚さ、又は領域は、明瞭化のために誇張されて表記している場合がある。よって、必ずしもそのスケールに限定されない。また、本明細書にて用いる「第 1」、「第 2」、「第 3」などの序数は、構成要素の混同を避けるために付したものであり、数的に限定するものではないことを付記する。

40

【0020】

(実施の形態 1)

本実施の形態では、本発明の一態様の半導体装置について図 1 ~ 図 7 を参照して説明する。

【0021】

図 1 (A) は、本実施の形態の半導体装置が有する複数の信号線 11 ~ 18 及び複数の信号線 11 ~ 18 の各々への信号の入力を制御するスイッチ 21 ~ 28 の位置関係を示す図である。なお、スイッチ 21 は、信号線 11 への入力信号 (In1) の供給を制御する。また、スイッチ 22 ~ 28 についても同様に、信号線 12 ~ 18 への入力信号 (In2) ~ 入力信号 (In8) の供給を制御する。加えて、複数の信号線 11 ~ 18 は、各々が

50

平行又は略平行に配列している。さらに、信号線 1 4 と信号線 1 5 の間隔 (G 1) は、信号線 1 3 と信号線 1 4 の間隔 (G 0) よりも広く、且つ信号線 1 5 と信号線 1 6 の間隔 (G 2) よりも広い。なお、本実施の形態の半導体装置において、信号線 1 1 ~ 1 8 に対して行われる信号の供給は、スイッチ 2 1 ~ 2 8 を介した信号の供給のみである。そのため、スイッチ 2 1 ~ 2 8 がオフ状態にある場合、信号線 1 1 ~ 1 8 は浮遊状態 (ハイインピーダンス状態ともいう) となる。

【0022】

図 1 (B) は、図 1 (A) に示す半導体装置が有するスイッチ 2 1 ~ 2 8 の動作を示す図である。図 1 (B) に示すように、期間 T 1 において、スイッチ 2 1 ~ 2 4 はオン状態となり、スイッチ 2 5 ~ 2 8 はオフ状態となる。また、期間 T 2 において、スイッチ 2 1 ~ 2 4 はオフ状態となり、スイッチ 2 5 ~ 2 8 はオン状態となる。

10

【0023】

図 1 (A)、(B) に示す半導体装置は、異なる期間において浮遊状態となり且つ隣接する 2 本の信号線の間隔 (信号線 1 4 と信号線 1 5 の間隔 (G 1)) が、同一期間において浮遊状態となり且つ隣接する 2 本の信号線の間隔 (信号線 1 3 と信号線 1 4 の間隔 (G 0) 及び信号線 1 5 と信号線 1 6 の間隔 (G 2)) よりも広い。そのため、容量結合に起因する信号線 1 4 又は信号線 1 5 の電位の変動を抑制することができる。具体的には、期間 T 1 における信号線 1 4 への入力信号 (In 4) の入力に伴う信号線 1 5 の電位の変動、及び期間 T 2 における信号線 1 5 への入力信号 (In 5) の入力に伴う信号線 1 4 の電位の変動を抑制することができる。

20

【0024】

なお、異なる期間においてオン状態となるスイッチを介した複数の信号線に対する信号の供給は、同一配線を用いて行うことができる。例えば、図 1 (C) に示すように、信号線 1 1 及び信号線 1 5 に対する信号の供給は、配線 3 1 を介して行うことができる。同様に、信号線 1 2 及び信号線 1 6、信号線 1 3 及び信号線 1 7、又は信号線 1 4 及び信号線 1 8 に対する信号の供給は、配線 3 2、配線 3 3、又は配線 3 4 を介して行うことができる。すなわち、信号線 1 1 に供給される信号は、期間 T 1 における入力信号 (In 9) であり、信号線 1 5 に供給される信号は、期間 T 2 における入力信号 (In 9) である。同様に、信号線 1 2 に供給される信号は、期間 T 1 における入力信号 (In 10) であり、信号線 1 6 に供給される信号は、期間 T 2 における入力信号 (In 10) であり、信号線 1 3 に供給される信号は、期間 T 1 における入力信号 (In 11) であり、信号線 1 7 に供給される信号は、期間 T 2 における入力信号 (In 11) であり、信号線 1 4 に供給される信号は、期間 T 1 における入力信号 (In 12) であり、信号線 1 8 に供給される信号は、期間 T 2 における入力信号 (In 12) である。

30

【0025】

また、スイッチ 2 1 ~ 2 8 としてはトランジスタを適用することができる。図 2 (A) に図 1 (A) に示す半導体装置が有するスイッチ 2 1 ~ 2 8 をトランジスタに置換した図を示す。図 2 (A) に示す半導体装置は、トランジスタ 4 1 ~ 4 4 のゲート端子が制御信号 (C 1) によって制御され、トランジスタ 4 5 ~ 4 8 のゲート端子が制御信号 (C 2) によって制御される。なお、ここでは、トランジスタ 4 1 ~ 4 8 は、Nチャネル型トランジスタであるとする。図 2 (B) は、制御信号 (C 1) 及び制御信号 (C 2) の電位の変化を示す図である。制御信号 (C 1) は、期間 T 1 においてハイレベルの電位となり、期間 T 2 においてロウレベルの電位となる信号であり、制御信号 (C 2) は、期間 T 1 においてロウレベルの電位となり、期間 T 2 においてハイレベルの電位となる信号である。これにより、トランジスタ 4 1 ~ 4 4 を、期間 T 1 においてオン状態とし且つ期間 T 2 においてオフ状態とすること、及び、トランジスタ 4 5 ~ 4 8 を、期間 T 1 においてオフ状態とし且つ期間 T 2 においてオン状態とすることができる。

40

【0026】

図 3 (A) は、図 2 (A) に示した半導体装置の一部の具体的な構造を示す平面図であり、図 3 (B) は、図 3 (A) の A - B における構造を示す断面図である。図 3 (B) に

50

示すトランジスタ４５は、基板５０上の導電層５１と、基板５０及び導電層５１上の絶縁層５２と、絶縁層５２上の半導体層５３と、絶縁層５２及び半導体層５３上の導電層５４及び導電層５５とを有する。なお、図３（Ｂ）に示すトランジスタ４５において、導電層５１はゲート端子として機能し、絶縁層５２はゲート絶縁層として機能し、導電層５４はソース端子及びドレイン端子の一方として機能し、導電層５５はソース端子及びドレイン端子の他方として機能する。また、図３（Ａ）に示すトランジスタ４３、４４、４６の構造は、トランジスタ４５の構造と同様である。

【００２７】

なお、基板５０としては、半導体基板（例えば単結晶基板又はシリコン基板）、ＳＯＩ基板、ガラス基板、石英基板、表面に絶縁層が設けられた導電性基板、又はプラスチック基板、貼り合わせフィルム、繊維状の材料を含む紙、若しくは基材フィルムなどの可撓性基板などがある。ガラス基板の一例としては、バリウムホウケイ酸ガラス、アルミノホウケイ酸ガラス、又はソーダライムガラスなどがある。可撓性基板の一例としては、ポリエチレンテレフタレート（ＰＥＴ）、ポリエチレンナフタレート（ＰＥＮ）、ポリエーテルサルホン（ＰＥＳ）に代表されるプラスチック、又はアクリル等の可撓性を有する合成樹脂などがある。

10

【００２８】

また、導電層５１、５４、５５としては、アルミニウム（Ａｌ）、銅（Ｃｕ）、チタン（Ｔｉ）、タンタル（Ｔａ）、タングステン（Ｗ）、モリブデン（Ｍｏ）、クロム（Ｃｒ）、ネオジム（Ｎｄ）、スカンジウム（Ｓｃ）から選ばれた元素、上述した元素を成分とする合金、または上述した元素を成分とする窒化物を適用することができる。また、これらの材料の積層構造を適用することもできる。

20

【００２９】

また、絶縁層５２としては、酸化シリコン、窒化シリコン、酸化窒化シリコン、窒化酸化シリコン、酸化アルミニウム、酸化タンタルなどの絶縁体を適用することができる。また、これらの材料の積層構造を適用することもできる。なお、酸化窒化シリコンとは、その組成として、窒素よりも酸素の含有量が多いものであり、濃度範囲として酸素が５５～６５原子％、窒素が１～２０原子％、シリコンが２５～３５原子％、水素が０．１～１０原子％の範囲において、合計１００原子％となるように各元素を任意の濃度で含むものをいう。また、窒化酸化シリコンとは、その組成として、酸素よりも窒素の含有量が多いものであり、濃度範囲として酸素が１５～３０原子％、窒素が２０～３５原子％、Ｓｉが２５～３５原子％、水素が１５～２５原子％の範囲において、合計１００原子％となるように各元素を任意の濃度で含むものをいう。

30

【００３０】

また、半導体層５３としては、シリコン（Ｓｉ）若しくはゲルマニウム（Ｇｅ）などの周期表第１４族元素を主構成元素とする材料、シリコンゲルマニウム（ＳｉＧｅ）若しくはガリウムヒ素（ＧａＡｓ）などの化合物、酸化亜鉛（ＺｎＯ）若しくはインジウム（Ｉｎ）及びガリウム（Ｇａ）を含む酸化亜鉛などの酸化物、又は半導体特性を示す有機化合物などの半導体材料を適用することができる。また、これらの半導体材料からなる層の積層構造を適用することもできる。

40

【００３１】

図３（Ａ）に示す半導体装置が有するトランジスタ４３～４６は、チャネル長方向が信号線１３～１６に垂直又は略垂直に設けられる。加えて、トランジスタ４４のソース端子及びドレイン端子のうち、トランジスタ４５から遠くに設けられる方の端子が信号線１４に電氣的に接続され、且つトランジスタ４５のソース端子及びドレイン端子のうち、トランジスタ４４から遠くに設けられる方の端子が信号線１５に電氣的に接続される。別言すると、トランジスタ４４のソース端子及びドレイン端子の一方が他方よりもトランジスタ４５に近接し、且つトランジスタ４５のソース端子及びドレイン端子の一方が他方よりもトランジスタ４４に近接するとした場合、トランジスタ４４のソース端子及びドレイン端子の他方が信号線１４に電氣的に接続され、且つトランジスタ４５のソース端子及びドレ

50

イン端子の他方が信号線 15 に電氣的に接続される。なお、図 3 (A) に示すように、トランジスタ 43 ~ 46 のソース端子及びドレイン端子と、信号線 13 ~ 16 とは同一の導電層によって構成される。そのため、上述した説明において、トランジスタ 44、45 のソース端子及びドレイン端子の他方は、信号線 14、15 の一部であると表現することもできる。

【0032】

図 3 (A) に示すように設計することにより、信号線 14 と信号線 15 の間隔 (G1) を、信号線 13 と信号線 14 の間隔 (G0) よりも広く、且つ信号線 15 と信号線 16 の間隔 (G2) よりも広くすることができる。これにより、容量結合に起因する信号線 14 又は信号線 15 の電位の変動を抑制することができる。

10

【0033】

また、図 3 (A) に示す構成は、等間隔又は略等間隔に配列した複数のトランジスタにおいて、信号線に電氣的に接続する端子を選択するだけで実現することができる。すなわち、図 3 (A) の構成は、信号線の間隔の制御を簡便な設計によって実現することができる構成である。そのため、異なる期間において浮遊状態となり且つ隣接する 2 本の信号線の間隔を、同一期間において浮遊状態となり且つ隣接する 2 本の信号線の間隔よりも広くすることを目的とした場合、図 3 (A) に示す構成は、当該目的を容易に達成することができるため好ましい構成である。

【0034】

上述した半導体装置は実施の形態の一例であり、上述の説明とは異なる点をもつ半導体装置も本実施の形態には含まれる。

20

【0035】

例えば、上述した半導体装置では、4 本の信号線毎に信号の入力を制御する構成について説明した (図 1 (A) 参照) が、信号線の本数は 4 本に限定されるものではない。当該信号線の本数は、2 以上の自然数であれば何本であってもよい。

【0036】

また、上述した半導体装置では、複数のスイッチのうち、期間 T1 においてオン状態となるスイッチの個数と、期間 T2 においてオン状態となるスイッチの個数とが同数となる構成 (グループ化されるスイッチを同数とする構成) について説明した (図 1 (B) 参照) が、当該スイッチの個数はグループ毎に異なってもよい。

30

【0037】

また、上述した半導体装置では、同一配線を用いて複数の信号線に対する信号の供給を行う場合、グループ内での配列位置が同じ信号線に対して同一配線を用いて信号を供給する構成について説明した (図 1 (C) 参照) が、同一配線によって信号が供給される信号線のグループ内での配列位置が異なってもよい。具体的には、図 4 (A)、(B) に示す構成によって複数の信号線に対する信号の供給を行ってもよい。また、図 4 (C) に示すように、各配線を延伸して設けてもよい。これにより、各配線における配線抵抗及び寄生容量を平均化することができる。

【0038】

また、上述した半導体装置では、図 1 (A) に示すスイッチ 21 ~ 28 として N 型トランジスタを適用する例について説明した (図 2 (A) 参照) が、図 5 (A) に示すように、図 1 (A) に示すスイッチ 21 ~ 28 として P チャネル型トランジスタ 61 ~ 68 を適用してもよい。なお、当該スイッチとして P チャネル型トランジスタを適用する場合は、図 5 (B) に示すように、制御信号 (C1) を、期間 T1 においてロウレベルの電位となり、期間 T2 においてハイレベルの電位となる信号とし、制御信号 (C2) は、期間 T1 においてハイレベルの電位となり、期間 T2 においてロウレベルの電位となる信号とする必要がある。

40

【0039】

また、上述した半導体装置では、トランジスタとしてボトムゲート構造のトランジスタを適用する例について説明した (図 3 (A)、(B) 参照) が、当該トランジスタは、ボ

50

トムゲート構造に限定されない。例えば、当該トランジスタとして、トップゲート型のトランジスタ又は半導体層の上下にゲート端子が設けられるトランジスタなどを適用することも可能である。図6(A)、(B)は、トップゲート構造のトランジスタを本実施の形態の半導体装置に適用した場合の例を示す図である。なお、図6(A)は、図2(A)に示した半導体装置の一部の具体的な構造を示す平面図であり、図6(B)は、図6(A)のC-Dにおける構造を示す断面図である。図6(B)に示すトランジスタ45は、基板70上の絶縁層71と、絶縁層71上の半導体層72と、半導体層72上の絶縁層73と、絶縁層73上の導電層74と、絶縁層73及び導電層74上の絶縁層75と、絶縁層73及び絶縁層75に設けられたコンタクトホールにおいて半導体層と接する導電層76及び導電層77とを有する。なお、図6(B)に示すトランジスタ45において、導電層74はゲート端子として機能し、絶縁層73はゲート絶縁層として機能し、導電層76はソース端子及びドレイン端子の一方として機能し、導電層77はソース端子及びドレイン端子の他方として機能する。また、図6(A)に示すトランジスタ43、44、46の構造は、図6(B)に示すトランジスタ45の構造と同様である。

10

20

30

40

50

【0040】

なお、基板70としては、図3(B)に示した基板50と同様の材料を適用することができるため、ここでは前述の説明を援用することとする。また、絶縁層71、73、75としては、図3(B)に示した絶縁層52と同様の材料を、半導体層72としては、図3(B)に示した半導体層53と同様の材料を、導電層74、76、77としては、図3(B)に示した導電層51、54、55と同様の材料を、適用することができるため、ここでは前述の説明を援用することとする。さらに、絶縁層75としては、ポリイミド、ポリアミド、ポリビニルフェノール、ベンゾシクロブテン、アクリル若しくはエポキシ等の有機材料、シロキサン樹脂等のシロキサン材料、又はオキサゾール樹脂などを適用することもできる。なお、シロキサン材料とは、Si-O-Si結合を含む材料に相当する。シロキサンは、シリコン(Si)と酸素(O)との結合で骨格構造が構成される。置換基として、有機基(例えばアルキル基、芳香族炭化水素)やフルオロ基を用いても良い。有機基は、フルオロ基を有していてもよい。

【0041】

また、上述した半導体装置では、同一期間において浮遊状態となる信号線の配列については限定されない。すなわち、同一期間において浮遊状態となる複数の信号線と電氣的に接続されるトランジスタにおいて、ソース端子及びドレイン端子のいずれが当該信号線と電氣的に接続するかは、適宜選択することが可能である。例えば、同一期間において浮遊状態となる複数の信号線を2本毎に分類し、該2本の信号線に電氣的に接続されるトランジスタの端子(ソース端子又はドレイン端子)を、互いに近接する方の端子とすることが可能である(図7参照)。なお、図7に示す構成は、同一配線を用いて複数の信号線に対する信号の供給を行う半導体装置(図1(C)参照)にとって、好ましい構成である。

【0042】

以下、その理由について具体的に述べる。ここで、トランジスタ43のソース端子及びドレイン端子の一方を信号線13に電氣的に接続される端子、他方を配線33に電氣的に接続される端子と規定した場合、当該ソース端子及びドレイン端子の他方の電位は、信号線13に信号を供給するか否かによらず変動する。この時、トランジスタ43のソース端子及びドレイン端子の他方と信号線14の間隔が図7に示す構成の方が図3(A)に示す構成よりも広い。そのため、図7に示す構成は、図3(A)に示す構成と比較し、信号線14の容量結合に起因する電位の変動を抑制することができ、好ましい構成である。

【0043】

なお、本実施の形態の内容又は該内容の一部は、他の実施の形態の内容又は該内容の一部と自由に組み合わせることが可能である。

【0044】

(実施の形態2)

本実施の形態では、本発明の一態様の半導体装置について説明する。具体的には、デー

タ分割駆動を行うアクティブマトリクス型の表示装置の一例について、図 8 ~ 図 12 を参照して説明する。

【0045】

図 8 (A) は、アクティブマトリクス型の表示装置の構成例を示す図である。図 8 (A) に示す表示装置は、画素部 101 と、ソース信号線駆動回路 102 と、ゲート信号線駆動回路 103 と、各々が平行又は略平行に配列した複数のソース信号線 104 と、各々が平行又は略平行に配列した複数のゲート信号線 105 とを有する。さらに、画素部 101 は、複数の画素 107 を有する。なお、複数の画素 107 は、マトリクス状に配列している。また、複数のソース信号線 104 の各々は、マトリクス状に配列された複数の画素のうち、いずれかの列に配列された複数の画素に電氣的に接続され、複数のゲート信号線 105 の各々は、マトリクス状に配列された複数の画素のうち、いずれかの行に配列された複数の画素に電氣的に接続される。なお、ソース信号線駆動回路 102 及びゲート信号線駆動回路 103 には、フレキシブルプリント基板 106A、106B を介して外部から信号 (画像信号、クロック信号、スタート信号など) が入力される。

【0046】

図 8 (B) は、図 8 (A) に示すソース信号線駆動回路 102 の構成例を示す図である。図 8 (B) に示すソース信号線駆動回路 102 は、シフトレジスタ回路 111 と、サンプリング回路 112 とを有する。シフトレジスタ回路 111 には、クロック信号 (CK) 及びスタート信号 (SP) などが入力される。サンプリング回路 112 には、画像信号 (Data) 及びシフトレジスタ回路 111 からの複数の出力信号などが入力される。なお、サンプリング回路 112 は、画素部 101 に配列された複数のソース信号線の各々に画像信号 (Data) を出力する。

【0047】

図 9 (A) は、図 8 (B) に示すサンプリング回路 112 の構成例を示す図である。図 9 (A) に示すサンプリング回路 112 は、データ信号線 121 ~ 124 と、トランジスタ 131 ~ 139 とを有する。

【0048】

なお、データ信号線 121 ~ 124 は、外部から画像信号 (Data) として入力される信号を 4 分割し、当該 4 分割された画像信号のそれぞれの周波数を $1/4$ 倍にした画像信号 (Data1) ~ 画像信号 (Data4) のいずれかを供給する配線である。

【0049】

また、トランジスタ 131 ~ 134 のゲート端子は、シフトレジスタ回路 111 の複数の出力信号の一つである信号 (Sout1) を出力する端子に電氣的に接続され、トランジスタ 135 ~ 138 のゲート端子は、シフトレジスタ回路 111 の複数の出力信号の一つである信号 (Sout2) を出力する端子に電氣的に接続され、トランジスタ 139 のゲート端子は、シフトレジスタ回路 111 の複数の出力信号の一つである信号 (Sout3) を出力する端子に電氣的に接続される。

【0050】

また、トランジスタ 131、135、139 のソース端子及びドレイン端子の一方は、データ信号線 121 に電氣的に接続され、トランジスタ 132、136 のソース端子及びドレイン端子の一方は、データ信号線 122 に電氣的に接続され、トランジスタ 133、137 のソース端子及びドレイン端子の一方は、データ信号線 123 に電氣的に接続され、トランジスタ 134、138 のソース端子及びドレイン端子の一方は、データ信号線 124 に電氣的に接続される。

【0051】

また、トランジスタ 131 ~ 139 のソース端子及びドレイン端子の他方は、画素部 101 において各々が平行又は略平行に配列したソース信号線 141 ~ 149 のいずれかに電氣的に接続される。

【0052】

なお、ソース信号線 144 とソース信号線 145 の間隔 (g4) 及びソース信号線 14

10

20

30

40

50

8とソース信号線149の間隔(g8)は、その他の隣接するソース信号線の間隔(g1~g3、g5~g7)よりも広い。

【0053】

図9(B)は、図9(A)に示すサンプリング回路112に入力される各信号の具体例を示す図である。

【0054】

具体的に述べると、信号(SRout1)は、期間t1においてハイレベルの電位となり、それ以外の期間t2、t3においてロウレベルの電位となる信号であり、信号(SRout2)は、期間t2においてハイレベルの電位となり、それ以外の期間t1、t3においてロウレベルの電位となる信号であり、信号(SRout3)は、期間t3においてハイレベルの電位となり、それ以外の期間t1、t2においてロウレベルの電位となる信号である。なお、期間t1~期間t3の長さは等しい。

【0055】

また、画像信号(Data)は、期間t1~期間t3のそれぞれを4等分した期間(期間t11~期間t14、期間t21~期間t24、期間t31~期間t34)毎に電位のレベルが変化する信号である。さらに、画像信号(Data1)は、画像信号(Data)が期間t11において保持する電位を期間t1において保持し、画像信号(Data)が期間t21において保持する電位を期間t2において保持し、画像信号(Data)が期間t31において保持する電位を期間t3において保持する信号である。同様に、画像信号(Data2)、画像信号(Data3)、又は画像信号(Data4)は、画像信号(Data)が期間t12、期間t13、又は期間t14において保持する電位を期間t1において保持し、画像信号(Data)が期間t22、期間t23、又は期間t24において保持する電位を期間t2において保持し、画像信号(Data)が期間t32、期間t33、又は期間t34において保持する電位を期間t3において保持する信号である。

【0056】

本実施の形態の半導体装置は、上述した構成によりデータ分割駆動を行う。すなわち、画像信号(Data)を画像信号(Data1)~画像信号(Data4)に4分割し、且つ特定の期間(期間t1、期間t2、期間t3)毎に画素部101に配列した4本のソース信号線に対して同時に画像信号(Data1)~画像信号(Data4)を供給する。これにより、ソース信号線の各々に対して順次画像信号(Data)が供給される場合と比較し、サンプリング回路112(トランジスタ131~139)の動作周波数を1/4に低減することができる。

【0057】

さらに、本実施の形態の半導体装置は、異なる期間において浮遊状態となり且つ隣接する2本のソース信号線の間隔(g4、g8)が、同一期間において浮遊状態となり且つ隣接する2本のソース信号線の間隔(g1~g3、g5~g7)よりも広い。そのため、容量結合に起因するソース信号線144、145、148、149の電位の変動を抑制することができる。具体的には、期間t1におけるソース信号線144への画像信号(Data4)の入力に伴うソース信号線145の電位の変動、期間t2におけるソース信号線145への画像信号(Data1)の入力に伴うソース信号線144の電位の変動及び信号線148への画像信号(Data4)の入力に伴うソース信号線149の電位の変動、並びに期間t3におけるソース信号線149への画像信号(Data1)の入力に伴うソース信号線148の電位の変動を抑制することができる。これにより、本実施の形態の半導体装置に表示される映像における縞模様の発生を抑制することができる。

【0058】

図10は、図9(A)に示した半導体装置の一部の具体的な構造を示す平面図である。なお、図10に図示されたトランジスタは、逆スタガ型のトランジスタである(図3(A)、(B)参照)。

【0059】

図 10 に示す半導体装置が有するトランジスタ 133 ~ 139 は、チャネル長方向がソース信号線 143 ~ 149 に垂直又は略垂直に設けられる。

【0060】

加えて、トランジスタ 134 のソース端子及びドレイン端子のうち、トランジスタ 135 から遠くに設けられる方の端子がソース信号線 144 に電氣的に接続され、且つトランジスタ 135 のソース端子及びドレイン端子のうち、トランジスタ 134 から遠くに設けられる方の端子がソース信号線 145 に電氣的に接続される。別言すると、トランジスタ 134 のソース端子及びドレイン端子の一方が他方よりもトランジスタ 135 に近接し、且つトランジスタ 135 のソース端子及びドレイン端子の一方が他方よりもトランジスタ 134 に近接するとした場合、トランジスタ 134 のソース端子及びドレイン端子の他方がソース信号線 144 に電氣的に接続され、且つトランジスタ 135 のソース端子及びドレイン端子の他方がソース信号線 145 に電氣的に接続される。

10

【0061】

同様に、トランジスタ 138 のソース端子及びドレイン端子のうち、トランジスタ 139 から遠くに設けられる方の端子がソース信号線 148 に電氣的に接続され、且つトランジスタ 139 のソース端子及びドレイン端子のうち、トランジスタ 138 から遠くに設けられる方の端子がソース信号線 149 に電氣的に接続される。別言すると、トランジスタ 138 のソース端子及びドレイン端子の一方が他方よりもトランジスタ 139 に近接し、且つトランジスタ 139 のソース端子及びドレイン端子の一方が他方よりもトランジスタ 138 に近接するとした場合、トランジスタ 138 のソース端子及びドレイン端子の他方がソース信号線 148 に電氣的に接続され、且つトランジスタ 139 のソース端子及びドレイン端子の他方がソース信号線 149 に電氣的に接続される。

20

【0062】

なお、図 10 に示すように、トランジスタ 133 ~ 139 のソース端子及びドレイン端子と、ソース信号線 143 ~ 149 とは同一の導電層によって構成される。そのため、上述した説明において、トランジスタ 134、135、138、139 のソース端子及びドレイン端子の他方は、ソース信号線 144、145、148、149 の一部であると表現することもできる。

【0063】

図 10 に示すように設計することにより、ソース信号線 144 とソース信号線 145 の間隔 (g4) 及びソース信号線 148 とソース信号線 149 の間隔 (g8) を、その他の隣接するソース信号線の間隔 (g1 ~ g3、g5 ~ g7) よりも広くすることができる。そのため、容量結合に起因するソース信号線 144、145、148、149 の電位の変動を抑制することができる。

30

【0064】

また、図 10 に示す構成は、等間隔又は略等間隔に配列した複数のトランジスタにおいて、ソース信号線に電氣的に接続する端子を選択するだけで実現することができる。すなわち、図 10 の構成は、ソース信号線の間隔の制御を簡便な設計によって実現することができる構成である。そのため、異なる期間において浮遊状態となり且つ隣接する 2 本のソース信号線の間隔を、同一期間において浮遊状態となり且つ隣接する 2 本のソース信号線の間隔よりも広くすることを目的とした場合、図 10 に示す構成は、当該目的を容易に達成することができるため好ましい構成である。

40

【0065】

上述した半導体装置は実施の形態の一例であり、上述の説明とは異なる点をもつ半導体装置も本実施の形態には含まれる。

【0066】

例えば、上述した半導体装置では、複数の画素 107 がストライプ配列される構成について示した (図 10 参照) が、複数の画素 107 がデルタ配列される構成としてもよい (図 11 参照)。

【0067】

50

また、上述した半導体装置では、同一期間において浮遊状態となるソース信号線の配列については限定されない。すなわち、同一期間において浮遊状態となる複数のソース信号線と電氣的に接続されるトランジスタにおいて、ソース端子及びドレイン端子のいずれが当該ソース信号線と電氣的に接続するかは、適宜選択することが可能である。例えば、同一期間において浮遊状態となる複数のソース信号線を２本毎に分類し、該２本のソース信号線に電氣的に接続されるトランジスタの端子（ソース端子又はドレイン端子）を、互いに近接する方の端子とすることが可能である（図１２参照）。なお、図１２に示す構成は、同一配線を用いて複数の信号線に対する信号の供給を行う半導体装置にとって、好ましい構成である。

【００６８】

10

以下、その理由について具体的に述べる。ここで、トランジスタ１３３のソース端子及びドレイン端子の一方をソース信号線１４３に電氣的に接続される端子、他方をデータ信号線１２３に電氣的に接続される端子と規定した場合、当該ソース端子及びドレイン端子の他方の電位は、ソース信号線１４３に信号を供給するか否かによらず変動する。この時、トランジスタ１３３のソース端子及びドレイン端子の他方とソース信号線１４４の間隔が図１２に示す構成の方が図１０、図１１に示す構成よりも広い。そのため、図１２に示す構成は、図１０、図１１に示す構成と比較し、ソース信号線１４４の容量結合に起因する電位の変動を抑制することができ、好ましい構成である。

【００６９】

20

なお、本実施の形態の内容又は該内容の一部は、他の実施の形態の内容又は該内容の一部と自由に組み合わせることが可能である。

【００７０】

（実施の形態３）

本実施の形態では、実施の形態１又は２に示した半導体装置が有するトランジスタの一例について説明する。具体的には、酸化物半導体によってチャネル形成領域が構成されるトランジスタの構造及び該トランジスタの作製方法の一例について、図１３を参照して説明する。

【００７１】

30

図１３（Ａ）～（Ｄ）は、実施の形態１に示したトランジスタの具体的な構成及び作製工程の具体例を示す図である。なお、図１３（Ｄ）に示すトランジスタ４１０は、チャネルエッチ型と呼ばれるボトムゲート構造の一つであり逆スタガ型トランジスタともいう。また、図１３（Ｄ）には、シングルゲート構造のトランジスタを示すが、必要に応じて、チャネル形成領域を複数有するマルチゲート構造のトランジスタとすることができる。

【００７２】

以下、図１３（Ａ）～（Ｄ）を参照して、基板４００上にトランジスタ４１０を作製する工程について説明する。

【００７３】

40

まず、絶縁表面を有する基板４００上に導電膜を形成した後、第１のフォトリソグラフィ工程によりゲート電極層４１１を形成する。なお、当該工程において用いられるレジストマスクは、インクジェット法によって形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減することができる。

【００７４】

なお、本実施の形態において、「膜」とは、基板全面に形成されたものであって、後にフォトリソグラフィ工程等によって所望の形状に加工されるものが、加工前の状態にあるものをいう。そして、「層」とは、「膜」からフォトリソグラフィ工程等により所望の形状に加工、形成されたもの、及び基板全面に形成することを目的としたもののことをいう。

【００７５】

50

絶縁表面を有する基板４００に使用することができる基板に大きな制限はないが、少なくとも、後の加熱処理に耐えうる程度の耐熱性を有していることが必要となる。例えば、

バリウムホウケイ酸ガラスやアルミノホウケイ酸ガラスなどのガラス基板を用いることができる。また、ガラス基板としては、後の加熱処理の温度が高い場合には、歪み点が730以上のものを用いると良い。

【0076】

下地層となる絶縁層を基板400とゲート電極層411の間に設けてもよい。下地層は、基板400からの不純物元素の拡散を防止する機能があり、窒化シリコン膜、酸化シリコン膜、窒化酸化シリコン膜、又は酸化窒化シリコン膜から選ばれた一又は複数の膜による積層構造により形成することができる。

【0077】

また、ゲート電極層411の材料は、モリブデン、チタン、クロム、タンタル、タングステン、アルミニウム、銅、ネオジム、スカンジウム等の金属材料又はこれらを主成分とする合金材料を用いて、単層で又は積層して形成することができる。

10

【0078】

例えば、ゲート電極層411の2層の積層構造としては、アルミニウム層上にモリブデン層を積層した2層構造、銅層上にモリブデン層を積層した2層構造、銅層上に窒化チタン層若しくは窒化タンタルを積層した2層構造、窒化チタン層とモリブデン層を積層した2層構造とすることが好ましい。3層の積層構造としては、タングステン層または窒化タングステン層と、アルミニウムとシリコンの合金層またはアルミニウムとチタンの合金層と、窒化チタン層またはチタン層とを積層した3層構造とすることが好ましい。

20

【0079】

次いで、ゲート電極層411上にゲート絶縁層402を形成する。

【0080】

ゲート絶縁層402は、プラズマCVD法又はスパッタ法等を用いて、酸化シリコン層、窒化シリコン層、酸化窒化シリコン層、窒化酸化シリコン層、若しくは酸化アルミニウム層を単層で又は積層して形成することができる。例えば、成膜ガスとして、シラン(SiH_4)、酸素及び窒素を用いてプラズマCVD法により酸化窒化シリコン層を形成すればよい。また、ゲート絶縁層として酸化ハフニウム(HfO_x)、酸化タンタル(TaO_x)等のHigh-k材料を用いることもできる。ゲート絶縁層402の膜厚は、55nm以上500nm以下とし、積層の場合は、例えば、膜厚50nm以上200nm以下の第1のゲート絶縁層と、第1のゲート絶縁層上に膜厚5nm以上300nm以下の第2のゲート絶縁層とを積層して形成する。

30

【0081】

ここでは、ゲート絶縁層402としてプラズマCVD法により膜厚100nm以下の酸化窒化シリコン層を形成する。

【0082】

また、ゲート絶縁層402として、高密度プラズマ装置を用い、酸化窒化シリコン層の形成を行ってもよい。ここで高密度プラズマ装置とは、 $1 \times 10^{11} / \text{cm}^3$ 以上のプラズマ密度を達成できる装置を指している。例えば、3kW~6kWのマイクロ波電力を印加してプラズマを発生させて、絶縁層の成膜を行う。

40

【0083】

チャンバーに材料ガスとしてシラン(SiH_4)、亜酸化窒素(N_2O)、及び希ガスを導入し、10Pa~30Paの圧力で高密度プラズマを発生させてガラス等の絶縁表面を有する基板上に絶縁層を形成する。その後、シラン(SiH_4)の供給を停止し、大気に曝すことなく亜酸化窒素(N_2O)と希ガスを導入して絶縁層表面にプラズマ処理を行ってもよい。少なくとも亜酸化窒素(N_2O)と希ガスを導入して絶縁層表面に行われるプラズマ処理は、絶縁層の成膜より後に行う。上記プロセス順序を経た絶縁層は、膜厚が薄く、例えば100nm未満であっても信頼性を確保することができる絶縁層である。

【0084】

ゲート絶縁層402の形成の際、チャンバーに導入するシラン(SiH_4)と亜酸化窒素(N_2O)の流量比は、1:10から1:200の範囲とする。また、チャンバーに導

50

入する希ガスとしては、ヘリウム、アルゴン、クリプトン、キセノンなどを用いることができるが、中でも安価であるアルゴンを用いることが好ましい。

【0085】

また、高密度プラズマ装置により得られた絶縁層は、一定した厚さの膜形成ができるため段差被覆性に優れている。また、高密度プラズマ装置により得られる絶縁層は、薄い膜の厚みを精密に制御することができる。

【0086】

上記プロセス順序を経た絶縁層は、従来の平行平板型のPCVD装置で得られる絶縁層とは大きく異なり、同じエッチャントを用いてエッチング速度を比較した場合において、平行平板型のPCVD装置で得られる絶縁膜の10%以上または20%以上遅く、高密度プラズマ装置で得られる絶縁層は緻密な膜と言える。

10

【0087】

なお、後の工程でi型化又は実質的にi型化される酸化物半導体（高純度化された酸化物半導体）は界面準位、界面電荷に対して極めて敏感であるため、ゲート絶縁層との界面は重要である。そのため高純度化された酸化物半導体に接するゲート絶縁層は、高品質化が要求される。従って μ 波（2.45GHz）を用いた高密度プラズマCVD装置は、緻密で絶縁耐圧の高い高品質な絶縁膜を形成できるので好ましい。高純度化された酸化物半導体と高品質ゲート絶縁層が密接することにより、界面準位を低減して界面特性を良好なものとすることができるからである。ゲート絶縁層としての膜質が良好であることは勿論のこと、酸化物半導体との界面準位密度を低減し、良好な界面を形成できることが重要である。

20

【0088】

次いで、ゲート絶縁層402上に、膜厚2nm以上200nm以下の酸化物半導体膜430を形成する。なお、酸化物半導体膜430をスパッタ法により成膜する前に、アルゴンガスを導入してプラズマを発生させる逆スパッタを行い、ゲート絶縁層402の表面に付着している粉状物質（パーティクル、ゴミともいう）を除去することが好ましい。逆スパッタとは、ターゲット側に電圧を印加せずに、アルゴン雰囲気下で基板側にRF電源を用いて電圧を印加して基板にプラズマを形成して表面を改質する方法である。なお、アルゴン雰囲気に代えて窒素、ヘリウム、酸素などを用いてもよい。

【0089】

酸化物半導体膜430は、In-Ga-Zn-O系、In-Sn-O系、In-Sn-Zn-O系、In-Al-Zn-O系、Sn-Ga-Zn-O系、Al-Ga-Zn-O系、Sn-Al-Zn-O系、In-Ga-O系、In-Zn-O系、Sn-Zn-O系、Al-Zn-O系、In-O系、Sn-O系、Zn-O系の酸化物半導体膜を用いる。本実施の形態では、酸化物半導体膜430として、In-Ga-Zn-O系金属酸化物ターゲットを用いてスパッタ法により成膜する。この段階での断面図が図13(A)に相当する。また、酸化物半導体膜430は、希ガス（代表的にはアルゴン）雰囲気下、酸素雰囲気下、又は希ガス（代表的にはアルゴン）及び酸素の混合雰囲気下においてスパッタ法により形成することができる。また、スパッタ法を用いる場合、 SiO_2 を2重量%以上10重量%以下含むターゲットを用いて成膜を行い、酸化物半導体膜430に結晶化を阻害する SiO_x （ $x>0$ ）を含ませ、後の工程で行う脱水化または脱水素化のための加熱処理の際に結晶化してしまうのを抑制することが好ましい。

30

40

【0090】

ここでは、In、Ga、及びZnを含む金属酸化物ターゲット（ In_2O_3 ： Ga_2O_3 ： ZnO =1：1：1[mol]、 $\text{In}:\text{Ga}:\text{Zn}$ =1：1：0.5[atom]）を用いて、基板とターゲットの間との距離を100mm、圧力0.2Pa、直流（DC）電源0.5kW、アルゴン及び酸素（アルゴン：酸素=30sccm：20sccm、酸素流量比率40%）雰囲気下で成膜する。なお、パルス直流（DC）電源を用いると、成膜時に発生する粉状物質が軽減でき、膜厚分布も均一となるために好ましい。In-Ga-Zn-O系膜の膜厚は、2nm以上200nm以下とする。本実施の形態では、酸化物

50

半導体膜として、In-Ga-Zn-O系金属酸化物ターゲットを用いてスパッタ法により膜厚20nmのIn-Ga-Zn-O系膜を成膜する。また、In、Ga、及びZnを含む金属酸化物ターゲットとして、In:Ga:Zn=1:1:1[atom]、又はIn:Ga:Zn=1:1:2[atom]の組成比を有するターゲットを用いることもできる。

【0091】

スパッタ法にはスパッタ用電源に高周波電源を用いるRFスパッタ法とDCスパッタ法があり、さらにパルス的にバイアスを与えるパルスDCスパッタ法もある。RFスパッタ法は主に絶縁膜を成膜する場合に用いられ、DCスパッタ法は主に金属膜を成膜する場合に用いられる。

10

【0092】

また、材料の異なるターゲットを複数設置できる多元スパッタ装置もある。多元スパッタ装置は、同一チャンバーで異なる材料膜を積層成膜することも、同一チャンバーで複数種類の材料を同時に放電させて成膜することもできる。

【0093】

また、チャンバー内部に磁石機構を備えたマグネトロンスパッタ法を用いるスパッタ装置や、グロー放電を使わずマイクロ波を用いて発生させたプラズマを用いるECRスパッタ法を用いるスパッタ装置がある。

【0094】

また、スパッタ法を用いる成膜方法として、成膜中にターゲット物質とスパッタガス成分とを化学反応させてそれらの化合物薄膜を形成するリアクティブスパッタ法や、成膜中に基板にも電圧をかけるバイアスパッタ法もある。

20

【0095】

次いで、酸化物半導体膜430を第2のフォトリソグラフィ工程により島状の酸化物半導体層に加工する。また、当該工程において用いられるレジストマスクは、インクジェット法によって形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

【0096】

次いで、酸化物半導体層の脱水化または脱水素化を行う。脱水化または脱水素化を行う第1の加熱処理の温度は、400 以上750 以下、好ましくは400 以上基板の歪み点未満とする。ここでは、加熱処理装置の一つである電気炉に基板を導入し、酸化物半導体層に対して窒素雰囲気下450 において1時間の加熱処理を行った後、大気に触れることなく、酸化物半導体層への水や水素の再混入を防ぎ、酸化物半導体層431を得る(図13(B)参照)。

30

【0097】

なお、加熱処理装置は電気炉に限られず、抵抗発熱体などの発熱体からの熱伝導または熱輻射によって、被処理物を加熱する装置を備えていてもよい。例えば、GRTA(Gas Rapid Thermal Anneal)装置、LRTA(Lamp Rapid Thermal Anneal)装置等のRTA(Rapid Thermal Anneal)装置を用いることができる。LRTA装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光(電磁波)の輻射により、被処理物を加熱する装置である。GRTA装置は、高温のガスを用いて加熱処理を行う装置である。気体には、アルゴンなどの希ガス、または窒素のような、加熱処理によって被処理物と反応しない不活性気体を用いられる。

40

【0098】

例えば、第1の加熱処理として、650 ~ 700 の高温に加熱した不活性ガス中に基板を移動させて入れ、数分間加熱した後、基板を移動させて高温に加熱した不活性ガス中から出すGRTAを行ってもよい。GRTAを用いると短時間での高温加熱処理が可能となる。

50

【0099】

なお、第1の加熱処理においては、窒素、またはヘリウム、ネオン、アルゴン等の希ガスに、水、水素などが含まれないことが好ましい。または、加熱処理装置に導入する窒素、またはヘリウム、ネオン、アルゴン等の希ガスの純度を、6N(99.9999%)以上、好ましくは7N(99.99999%)以上、(即ち不純物濃度を1ppm以下、好ましくは0.1ppm以下)とすることが好ましい。

【0100】

また、酸化物半導体層の第1の加熱処理は、島状の酸化物半導体層に加工する前の酸化物半導体膜430に対して行うこともできる。その場合には、第1の加熱処理後に、加熱装置から基板を取り出し、第2のフォトリソグラフィ工程を行う。

10

【0101】

酸化物半導体層に対する脱水化または脱水素化の加熱処理は、酸化物半導体層の形成後、酸化物半導体層上にソース電極層及びドレイン電極層を積層させた後、ソース電極層及びドレイン電極層上に保護絶縁膜を形成した後、のいずれで行っても良い。

【0102】

また、ゲート絶縁層402に開口部を形成する場合、その工程は酸化物半導体膜430に脱水化または脱水素化処理を行う前でも行った後に行ってもよい。

【0103】

なお、ここでの酸化物半導体膜430のエッチングは、ウェットエッチングに限定されずドライエッチングを用いてもよい。

20

【0104】

ドライエッチングに用いるエッチングガスとしては、塩素を含むガス(塩素系ガス、例えば塩素(Cl_2)、三塩化硼素(BCl_3)、四塩化シリコン(SiCl_4)、四塩化炭素(CCl_4)など)が好ましい。

【0105】

また、フッ素を含むガス(フッ素系ガス、例えば四弗化炭素(CF_4)、六弗化硫黄(SF_6)、三弗化窒素(NF_3)、トリフルオロメタン(CHF_3)など)、臭化水素(HBr)、酸素(O_2)、これらのガスにヘリウム(He)やアルゴン(Ar)などの希ガスを添加したガス、などを用いることができる。

【0106】

30

ドライエッチング法としては、平行平板型RIE(Reactive Ion Etching)法や、ICP(Inductively Coupled Plasma:誘導結合型プラズマ)エッチング法を用いることができる。所望の加工形状にエッチングできるように、エッチング条件(コイル型の電極に印加される電力量、基板側の電極に印加される電力量、基板側の電極温度等)を適宜調節する。

【0107】

ウェットエッチングに用いるエッチング液としては、燐酸と酢酸と硝酸を混ぜた溶液などを用いることができる。また、ITO07N(関東化学社製)を用いてもよい。

【0108】

40

また、ウェットエッチング後のエッチング液はエッチングされた材料とともに洗浄によって除去される。その除去された材料を含むエッチング液の廃液を精製し、含まれる材料を再利用してもよい。当該エッチング後の廃液から酸化物半導体層に含まれるインジウム等の材料を回収して再利用することにより、資源を有効活用し低コスト化することができる。

【0109】

所望の加工形状にエッチングできるように、材料に合わせてエッチング条件(エッチング液、エッチング時間、温度等)を適宜調節する。

【0110】

次いで、ゲート絶縁層402、及び酸化物半導体層431上に、金属導電膜を形成する。金属導電膜をスパッタ法や真空蒸着法で形成すればよい。金属導電膜の材料としては、

50

アルミニウム (Al)、クロム (Cr)、銅 (Cu)、タンタル (Ta)、チタン (Ti)、モリブデン (Mo)、タングステン (W) から選ばれた元素、上述した元素を成分とする合金、又は上述した元素を組み合わせた合金等が挙げられる。また、マンガン (Mn)、マグネシウム (Mg)、ジルコニウム (Zr)、ベリリウム (Be)、イットリウム (Y) のいずれか一または複数から選択された材料を用いてもよい。また、金属導電膜は、単層構造でも、2 層以上の積層構造としてもよい。例えば、シリコンを含むアルミニウム膜の単層構造、銅又は銅を主成分とする膜の単層構造、アルミニウム膜上にチタン膜を積層する 2 層構造、窒化タンタル膜又は窒化銅膜上に銅膜を積層する 2 層構造、チタン膜上にアルミニウム膜を積層し、さらにアルミニウム膜上にチタン膜を積層する 3 層構造などが挙げられる。また、アルミニウム (Al) に、チタン (Ti)、タンタル (Ta)、タングステン (W)、モリブデン (Mo)、クロム (Cr)、ネオジム (Nd)、スカンジウム (Sc) から選ばれた元素を単数、又は複数組み合わせた膜、合金膜、もしくは窒化膜を用いてもよい。

10

【0111】

金属導電膜成膜後に加熱処理を行う場合には、この加熱処理に耐える耐熱性を金属導電膜に持たせることが好ましい。

【0112】

第3のフォトリソグラフィ工程により金属導電膜上にレジストマスクを形成し、選択的にエッチングを行ってソース電極層 415a、ドレイン電極層 415b を形成した後、レジストマスクを除去する (図13(C) 参照)。

20

【0113】

なお、金属導電膜のエッチングの際に、酸化物半導体層 431 は除去されないようにそれぞれの材料及びエッチング条件を適宜調節する。

【0114】

ここでは、金属導電膜としてチタン膜を用いて、酸化物半導体層 431 には In - Ga - Zn - O 系酸化物を用いて、エッチャントとしてアンモニア過水 (アンモニア、水、過酸化水素水の混合液) を用いる。

【0115】

なお、第3のフォトリソグラフィ工程では、酸化物半導体層 431 は一部のみがエッチングされ、溝部 (凹部) を有する酸化物半導体層となることもある。また、当該工程において用いるレジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

30

【0116】

また、フォトリソグラフィ工程で用いるフォトマスク数及び工程数を削減するため、透過した光が複数の強度となる露光マスクである多階調マスクによって形成されたレジストマスクを用いてエッチング工程を行ってもよい。多階調マスクを用いて形成したレジストマスクは複数の膜厚を有する形状となり、アッシングを行うことでさらに形状を变形することができるため、異なるパターンに加工する複数のエッチング工程に用いることができる。よって、一枚の多階調マスクによって、少なくとも二種類以上の異なるパターンに対応するレジストマスクを形成することができる。よって露光マスク数を削減することができ、対応するフォトリソグラフィ工程も削減できるため、工程の簡略化が可能となる。

40

【0117】

次いで、亜酸化窒素 (N_2O)、窒素 (N_2)、またはアルゴン (Ar) などのガスを用いたプラズマ処理を行う。このプラズマ処理によって露出している酸化物半導体層の表面に付着した吸着水などを除去する。また、酸素とアルゴンの混合ガスを用いてプラズマ処理を行ってもよい。

【0118】

プラズマ処理を行った後、大気に触れることなく、酸化物半導体層の一部に接する保護絶縁膜となる酸化物絶縁層 416 を形成する。

【0119】

50

酸化物絶縁層 416 は、少なくとも 1 nm 以上の膜厚とし、スパッタ法など、酸化物絶縁層 416 に水、水素等の不純物を混入させない方法を適宜用いて形成することができる。酸化物絶縁層 416 に水素が含まれると、その水素の酸化物半導体層への侵入が生じ酸化物半導体層 431 のバックチャネルが低抵抗化 (N 型化) してしまい、寄生チャネルが形成される。よって、酸化物絶縁層 416 はできるだけ水素を含まない膜になるように、成膜方法に水素を用いないことが重要である。

【0120】

ここでは、酸化物絶縁層 416 として膜厚 200 nm の酸化シリコン膜をスパッタ法を用いて成膜する。成膜時の基板温度は、室温以上 300 以下とすればよく、本実施の形態では 100 とする。酸化シリコン膜のスパッタ法による成膜は、希ガス (代表的にはアルゴン) 雰囲気下、酸素雰囲気下、または希ガス (代表的にはアルゴン) 及び酸素雰囲気下において行うことができる。また、ターゲットとして酸化シリコンターゲットまたはシリコンターゲットを用いることができる。例えば、シリコンターゲットを用いて、酸素、及び酸素雰囲気下でスパッタ法により酸化シリコン膜を形成することができる。

10

【0121】

次いで、不活性ガス雰囲気下、または酸素ガス雰囲気下で第 2 の加熱処理 (好ましくは 200 以上 400 以下、より好ましくは 250 以上 350 以下) を行う。例えば、酸素雰囲気下で 250、1 時間の第 2 の加熱処理を行う。第 2 の加熱処理を行うと、酸化物半導体層の一部 (チャネル形成領域) が酸化物絶縁層 416 と接した状態で加熱される。これにより、酸化物半導体層の一部 (チャネル形成領域) に酸素が供給される。

20

【0122】

以上の工程を経ることによって、酸化物半導体層に対して脱水化または脱水素化のための加熱処理を行った後、酸化物半導体層の一部 (チャネル形成領域) を選択的に酸素過剰な状態とする。その結果、ゲート電極層 411 と重なるチャネル形成領域 413 は I 型となり、ソース電極層 415 a に重なるソース領域 414 a と、ドレイン電極層 415 b に重なるドレイン領域 414 b とが自己整合的に形成される。以上の工程でトランジスタ 410 が形成される。

【0123】

85、 2×10^6 V/cm、12 時間のゲートバイアス・熱ストレス試験 (BT 試験) においては、不純物が酸化物半導体に添加されていると、不純物と酸化物半導体の主成分との結合手が、強電界 (B: バイアス) と高温 (T: 温度) により切断され、生成された未結合手がしきい値電圧 (V_{th}) のドリフトを誘発することとなる。これに対して、酸化物半導体の不純物、特に水素や水等を極力除去し、上述の高密度プラズマ CVD 装置を用いて緻密で絶縁耐圧の高い高品質な絶縁膜とし、酸化物半導体との界面特性を良好にすることにより、BT 試験に対しても安定なトランジスタを得ることができる。

30

【0124】

さらに大気中、100 以上 200 以下、1 時間以上 30 時間以下での加熱処理を行ってもよい。ここでは 150 で 10 時間加熱処理を行う。この加熱処理は一定の加熱温度を保持して加熱してもよいし、室温から、100 以上 200 の加熱温度への昇温と、加熱温度から室温までの降温を複数回くりかえして行ってもよい。また、この加熱処理を、酸化物絶縁膜の形成前に、減圧下で行ってもよい。減圧下で加熱処理を行うと、加熱時間を短縮することができる。この加熱処理によって、酸化物半導体層から酸化物絶縁層中に水素をとりこむことができる。

40

【0125】

なお、ドレイン電極層 415 b と重畳した酸化物半導体層においてドレイン領域 414 b を形成することにより、トランジスタの信頼性の向上を図ることができる。具体的には、ドレイン領域 414 b を形成することで、ドレイン電極層 415 b からドレイン領域 414 b、チャネル形成領域 413 にかけて、導電性を段階的に変化させうるような構造とすることができる。

【0126】

50

また、酸化物半導体層におけるソース領域又はドレイン領域は、酸化物半導体層の膜厚が15nm以下と薄い場合は膜厚方向全体にわたって形成されるが、酸化物半導体層の膜厚が30nm以上50nm以下とより厚い場合は、酸化物半導体層の一部、ソース電極層又はドレイン電極層と接する領域及びその近傍が低抵抗化しソース領域又はドレイン領域が形成され、酸化物半導体層においてゲート絶縁層に近い領域はI型とすることもできる。

【0127】

酸化物絶縁層416上にさらに保護絶縁層を形成してもよい。例えば、RFスパッタ法を用いて窒化シリコン膜を形成する。RFスパッタ法は、量産性がよいため、保護絶縁層の成膜方法として好ましい。保護絶縁層は、水分や、水素イオンや、OH⁻などの不純物を含まず、これらが外部から侵入することをブロックする無機絶縁膜を用い、窒化シリコン膜、窒化アルミニウム膜、窒化酸化シリコン膜、酸化窒化アルミニウム膜などを用いる。本実施の形態では、保護絶縁層として保護絶縁層403を、窒化シリコン膜を用いて形成する(図13(D)参照)。

10

【0128】

本実施の形態で示したトランジスタは、ガラス基板上において形成すること(低温プロセスによって形成すること)が可能なトランジスタである。また、本実施の形態で示したトランジスタの電界効果移動度は、アモルファスシリコンによってチャネル形成領域が構成されるトランジスタより高い。そのため、アクティブマトリクス型の表示装置において、各画素が有するトランジスタとして好適である。

20

【0129】

一方、一般的に、酸化物半導体によってチャネル形成領域が構成されるトランジスタの電界効果移動度は、単結晶シリコンによってチャネル形成領域が構成されるトランジスタより低い。そのため、駆動回路が有するトランジスタとして、単結晶シリコンによってチャネル形成領域が構成されるトランジスタが適用されるアクティブマトリクス型の表示装置において、当該駆動回路が有するトランジスタを酸化物半導体によってチャネル形成領域が構成されるトランジスタによって代替することは困難である。

【0130】

これに対し、実施の形態2などで示したように、データ分割駆動を行うことによって、駆動回路の動作周波数を低減することができる。これにより、本実施の形態で示したトランジスタを駆動回路が有するトランジスタとして適用するなど、当該トランジスタの適用範囲を拡大することができる。その結果、アクティブマトリクス型の表示装置の製造コストを低減すること及び該表示装置を小型軽量化することが可能になる。

30

【0131】

具体的には、本実施の形態のトランジスタは、実施の形態2に示したアクティブマトリクス型の表示装置において、サンプリング回路を構成するトランジスタ及び各画素が有するトランジスタとして適用することができる。加えて、本実施の形態のトランジスタをゲート信号線駆動回路若しくは該回路の一部を構成するトランジスタとして適用すること、又は(及び)ソース信号線駆動回路が有するサンプリング回路以外の回路(シフトレジスタ回路など)若しくは該回路の一部を構成するトランジスタとして適用することもできる。当然、本実施の形態のトランジスタの適用範囲を拡大することは、当該表示装置の製造コストの低減及び該表示装置の小型軽量化を促進することであり、好ましい。

40

【0132】

なお、本実施の形態の内容又は該内容の一部は、他の実施の形態の内容若しくは該内容の一部又は実施例の内容若しくは該内容の一部と自由に組み合わせることが可能である。

【0133】

(実施の形態4)

本実施の形態では、実施の形態1又は2で得られる半導体装置を搭載した電子機器の例について図14を参照して説明する。

【0134】

50

図 1 4 (A) は、ノート型のパーソナルコンピュータを示す図であり、本体 2 2 0 1、筐体 2 2 0 2、表示部 2 2 0 3、キーボード 2 2 0 4 などによって構成されている。

【 0 1 3 5 】

図 1 4 (B) は、携帯情報端末 (P D A) を示す図であり、本体 2 2 1 1 には表示部 2 2 1 3 と、外部インターフェイス 2 2 1 5 と、操作ボタン 2 2 1 4 等が設けられている。また、操作用の付属品としてスタイラス 2 2 1 2 がある。

【 0 1 3 6 】

図 1 4 (C) は、電子ペーパーの一例として、電子書籍 2 2 2 0 を示す図である。電子書籍 2 2 2 0 は、筐体 2 2 2 1 および筐体 2 2 2 3 の 2 つの筐体で構成されている。筐体 2 2 2 1 および筐体 2 2 2 3 は、軸部 2 2 3 7 により一体とされており、該軸部 2 2 3 7 を軸として開閉動作を行うことができる。このような構成により、電子書籍 2 2 2 0 は、紙の書籍のように用いることが可能である。

10

【 0 1 3 7 】

筐体 2 2 2 1 には表示部 2 2 2 5 が組み込まれ、筐体 2 2 2 3 には表示部 2 2 2 7 が組み込まれている。表示部 2 2 2 5 および表示部 2 2 2 7 は、続き画面を表示する構成としてもよいし、異なる画面を表示する構成としてもよい。異なる画面を表示する構成とすることで、例えば右側の表示部 (図 1 4 (C) では表示部 2 2 2 5) に文章を表示し、左側の表示部 (図 1 4 (C) では表示部 2 2 2 7) に画像を表示することができる。

【 0 1 3 8 】

また、図 1 4 (C) では、筐体 2 2 2 1 に操作部などを備えた例を示している。例えば、筐体 2 2 2 1 は、電源 2 2 3 1、操作キー 2 2 3 3、スピーカー 2 2 3 5などを備えている。操作キー 2 2 3 3 により、頁を送ることができる。なお、筐体の表示部と同一面にキーボードやポインティングデバイスなどを備える構成としてもよい。また、筐体の裏面や側面に、外部接続用端子 (イヤホン端子、U S B 端子、または A C アダプタおよび U S B ケーブルなどの各種ケーブルと接続可能な端子など)、記録媒体挿入部などを備える構成としてもよい。さらに、電子書籍 2 2 2 0 は、電子辞書としての機能を持たせた構成としてもよい。

20

【 0 1 3 9 】

また、電子書籍 2 2 2 0 は、無線で情報を送受信できる構成としてもよい。無線により、電子書籍サーバから、所望の書籍データなどを購入し、ダウンロードする構成とすることも可能である。

30

【 0 1 4 0 】

なお、電子ペーパーは、情報を表示するものであればあらゆる分野に適用することが可能である。例えば、電子書籍以外にも、ポスター、電車などの乗り物の車内広告、クレジットカード等の各種カードにおける表示などに適用することができる。

【 0 1 4 1 】

図 1 4 (D) は、携帯電話機を示す図である。当該携帯電話機は、筐体 2 2 4 0 および筐体 2 2 4 1 の二つの筐体で構成されている。筐体 2 2 4 1 は、表示パネル 2 2 4 2、スピーカー 2 2 4 3、マイクロフォン 2 2 4 4、ポインティングデバイス 2 2 4 6、カメラ用レンズ 2 2 4 7、外部接続端子 2 2 4 8などを備えている。また、筐体 2 2 4 0 は、当該携帯電話機の充電を行う太陽電池セル 2 2 4 9、外部メモリスロット 2 2 5 0などを備えている。また、アンテナは筐体 2 2 4 1 内部に内蔵されている。

40

【 0 1 4 2 】

表示パネル 2 2 4 2 はタッチパネル機能を備えており、図 1 4 (D) には映像表示されている複数の操作キー 2 2 4 5 を点線で示している。なお、当該携帯電話は、太陽電池セル 2 2 4 9 で出力される電圧を各回路に必要な電圧に昇圧するための昇圧回路を実装している。また、上記構成に加えて、非接触 I C チップ、小型記録装置などを内蔵した構成とすることもできる。

【 0 1 4 3 】

表示パネル 2 2 4 2 は、使用形態に応じて表示の方向が適宜変化する。また、表示パネ

50

ル 2 2 4 2 と同一面上にカメラ用レンズ 2 2 4 7 を備えているため、テレビ電話が可能である。スピーカー 2 2 4 3 およびマイクロフォン 2 2 4 4 は音声通話に限らず、テレビ電話、録音、再生などが可能である。さらに、筐体 2 2 4 0 と筐体 2 2 4 1 はスライドし、図 1 4 (D) のように展開している状態から重なり合った状態とすることができ、携帯に適した小型化が可能である。

【 0 1 4 4 】

外部接続端子 2 2 4 8 は A C アダプタや U S B ケーブルなどの各種ケーブルと接続可能であり、充電やデータ通信が可能になっている。また、外部メモリスロット 2 2 5 0 に記録媒体を挿入し、より大量のデータの保存および移動に対応できる。また、上記機能に加えて、赤外線通信機能、テレビ受信機能などを備えたものであってもよい。

10

【 0 1 4 5 】

図 1 4 (E) は、デジタルカメラを示す図である。当該デジタルカメラは、本体 2 2 6 1、表示部 (A) 2 2 6 7、接眼部 2 2 6 3、操作スイッチ 2 2 6 4、表示部 (B) 2 2 6 5、バッテリー 2 2 6 6 などによって構成されている。

【 0 1 4 6 】

図 1 4 (F) は、テレビジョン装置を示す図である。テレビジョン装置 2 2 7 0 では、筐体 2 2 7 1 に表示部 2 2 7 3 が組み込まれている。表示部 2 2 7 3 により、映像を表示することが可能である。なお、ここでは、スタンド 2 2 7 5 により筐体 2 2 7 1 を支持した構成を示している。

【 0 1 4 7 】

20

テレビジョン装置 2 2 7 0 の操作は、筐体 2 2 7 1 が備える操作スイッチや、別体のリモコン操作機 2 2 8 0 により行うことができる。リモコン操作機 2 2 8 0 が備える操作キー 2 2 7 9 により、チャンネルや音量の操作を行うことができ、表示部 2 2 7 3 に表示される映像を操作することができる。また、リモコン操作機 2 2 8 0 に、当該リモコン操作機 2 2 8 0 から出力する情報を表示する表示部 2 2 7 7 を設ける構成としてもよい。

【 0 1 4 8 】

なお、テレビジョン装置 2 2 7 0 は、受信機やモデムなどを備えた構成とするのが好適である。受信機により、一般のテレビ放送の受信を行うことができる。また、モデムを介して有線または無線による通信ネットワークに接続することにより、一方向 (送信者から受信者) または双方向 (送信者と受信者間、あるいは受信者間同士など) の情報通信を行うことが可能である。

30

【 符号の説明 】

【 0 1 4 9 】

1 1 ~ 1 8	信号線
2 1 ~ 2 8	スイッチ
3 1 ~ 3 4	配線
4 1 ~ 4 8	トランジスタ
5 0	基板
5 1	導電層
5 2	絶縁層
5 3	半導体層
5 4	導電層
5 5	導電層
6 1 ~ 6 8	トランジスタ
7 0	基板
7 1	絶縁層
7 2	半導体層
7 3	絶縁層
7 4	導電層
7 5	絶縁層

40

50

7 6	導電層	
7 7	導電層	
1 0 1	画素部	
1 0 2	ソース信号線駆動回路	
1 0 3	ゲート信号線駆動回路	
1 0 4	ソース信号線	
1 0 5	ゲート信号線	
1 0 6 A	フレキシブルプリント基板	
1 0 6 B	フレキシブルプリント基板	
1 0 7	画素	10
1 1 1	シフトレジスタ回路	
1 1 2	サンプリング回路	
1 2 1 ~ 1 2 4	データ信号線	
1 3 1 ~ 1 3 9	トランジスタ	
1 4 1 ~ 1 4 9	ソース信号線	
4 0 0	基板	
4 0 2	ゲート絶縁層	
4 0 3	保護絶縁層	
4 1 0	トランジスタ	
4 1 1	ゲート電極層	20
4 1 3	チャンネル形成領域	
4 1 4 a	ソース領域	
4 1 4 b	ドレイン領域	
4 1 5 a	ソース電極層	
4 1 5 b	ドレイン電極層	
4 1 6	酸化物絶縁層	
4 3 0	酸化物半導体膜	
4 3 1	酸化物半導体層	
2 2 0 1	本体	
2 2 0 2	筐体	30
2 2 0 3	表示部	
2 2 0 4	キーボード	
2 2 1 1	本体	
2 2 1 2	スタイラス	
2 2 1 3	表示部	
2 2 1 4	操作ボタン	
2 2 1 5	外部インターフェイス	
2 2 2 0	電子書籍	
2 2 2 1	筐体	
2 2 2 3	筐体	40
2 2 2 5	表示部	
2 2 2 7	表示部	
2 2 3 1	電源	
2 2 3 3	操作キー	
2 2 3 5	スピーカー	
2 2 3 7	軸部	
2 2 4 0	筐体	
2 2 4 1	筐体	
2 2 4 2	表示パネル	
2 2 4 3	スピーカー	50

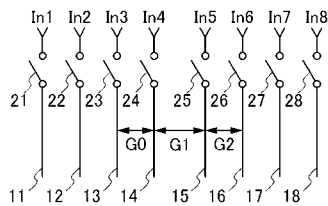
2 2 4 4	マイクロフォン
2 2 4 5	操作キー
2 2 4 6	ポインティングデバイス
2 2 4 7	カメラ用レンズ
2 2 4 8	外部接続端子
2 2 4 9	太陽電池セル
2 2 5 0	外部メモリスロット
2 2 6 1	本体
2 2 6 3	接眼部
2 2 6 4	操作スイッチ
2 2 6 5	表示部 (B)
2 2 6 6	バッテリー
2 2 6 7	表示部 (A)
2 2 7 0	テレビジョン装置
2 2 7 1	筐体
2 2 7 3	表示部
2 2 7 5	スタンド
2 2 7 7	表示部
2 2 7 9	操作キー
2 2 8 0	リモコン操作機

10

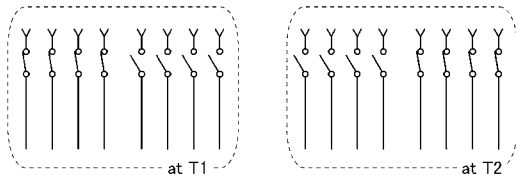
20

【 図 1 】

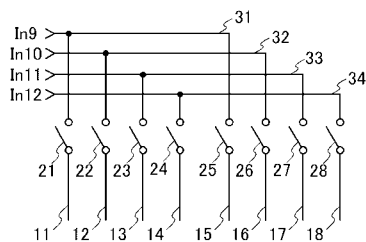
(A)



(B)

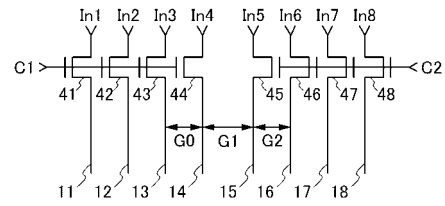


(C)

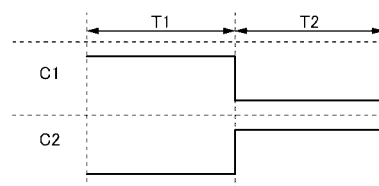


【 図 2 】

(A)

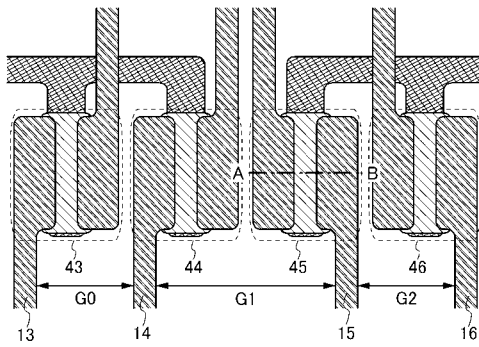


(B)

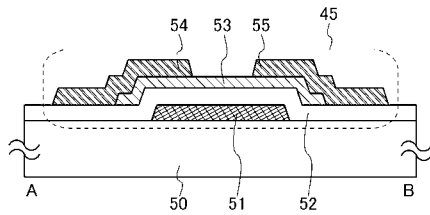


【図 3】

(A)

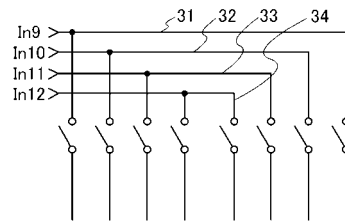


(B)

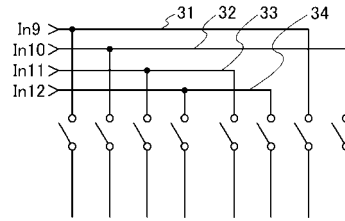


【図 4】

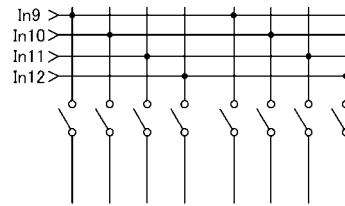
(A)



(B)

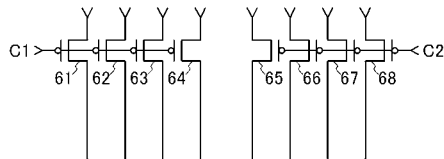


(C)

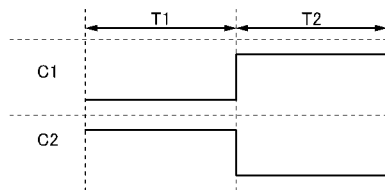


【図 5】

(A)

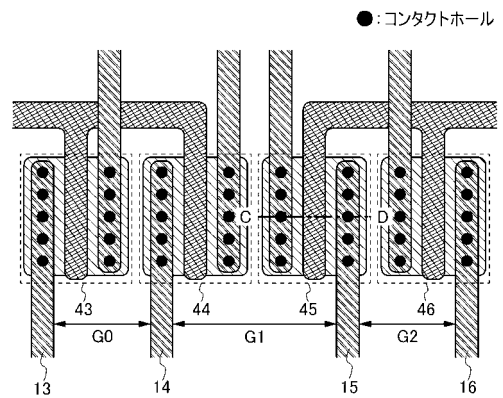


(B)

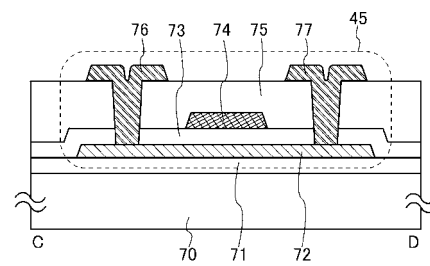


【図 6】

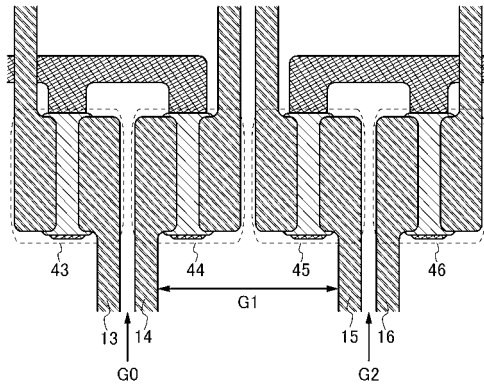
(A)



(B)

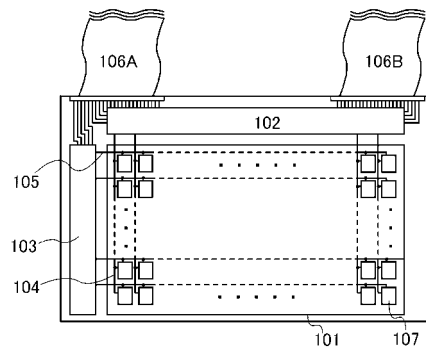


【図 7】

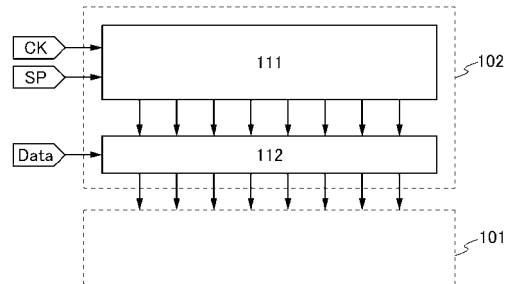


【図 8】

(A)

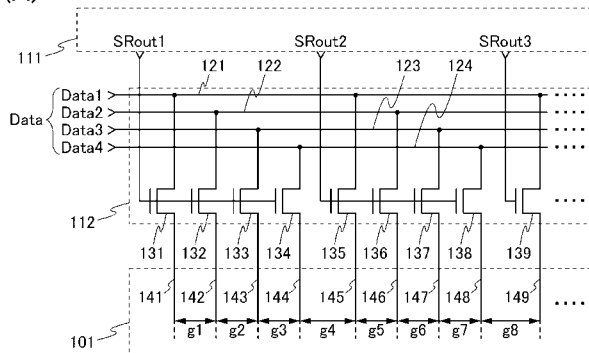


(B)

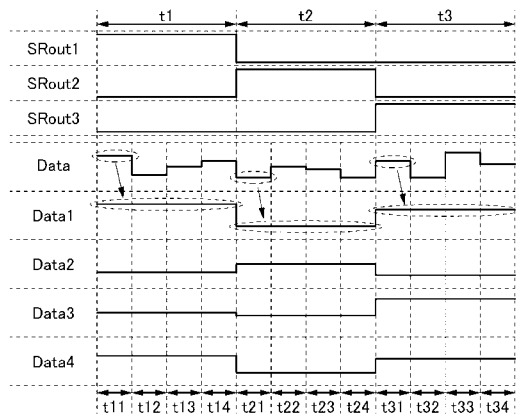


【図 9】

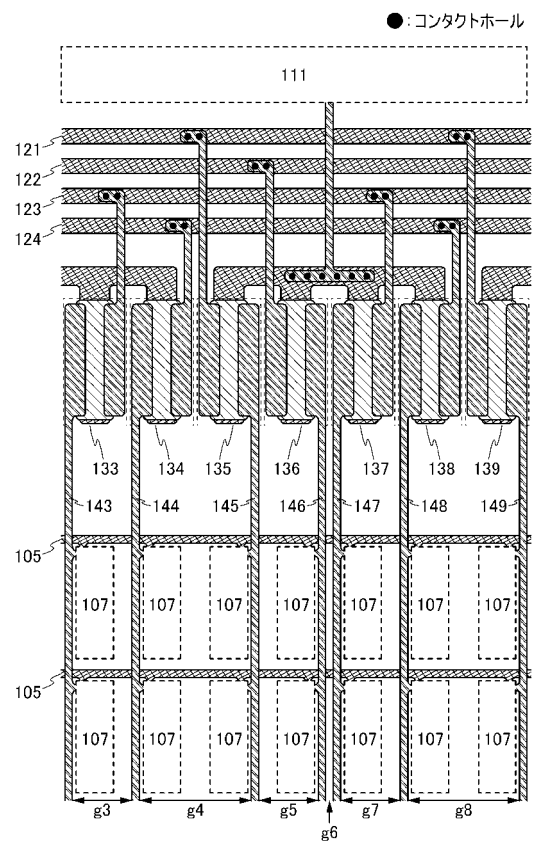
(A)



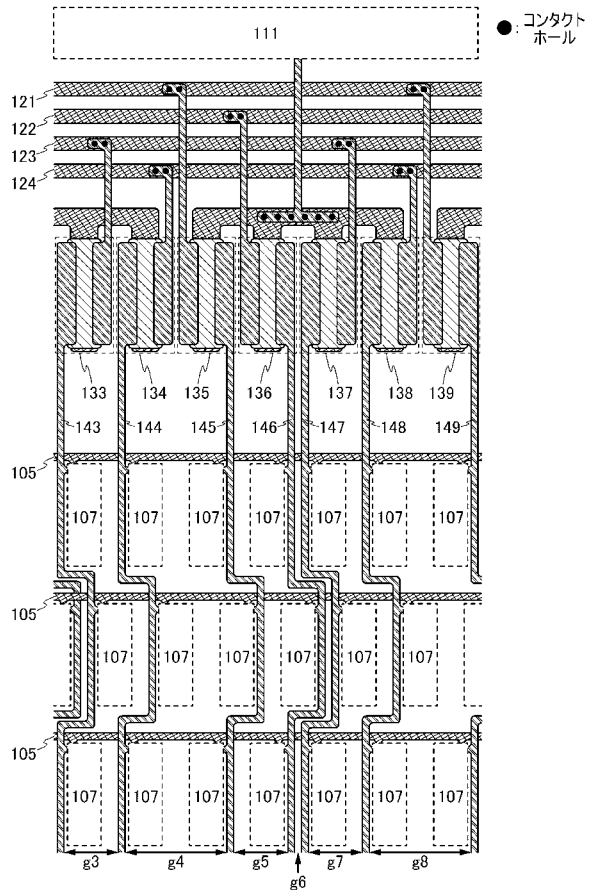
(B)



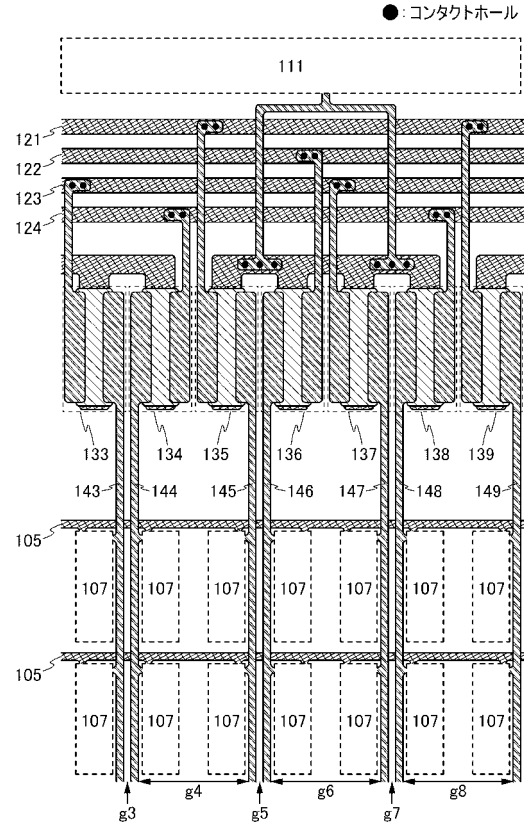
【図 10】



【図 1 1】

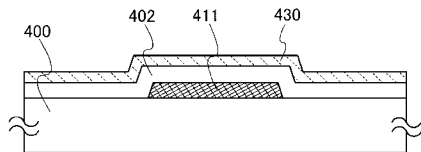


【図 1 2】

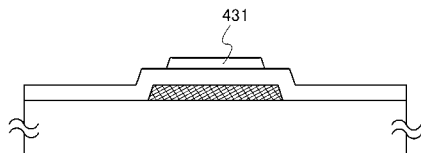


【図 1 3】

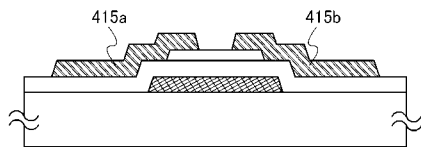
(A)



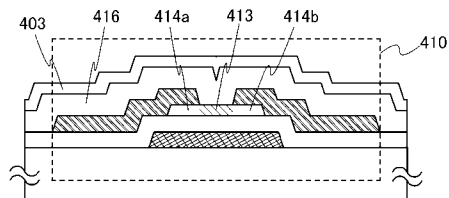
(B)



(C)

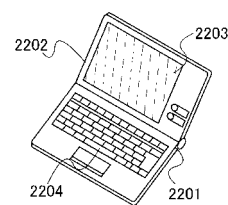


(D)

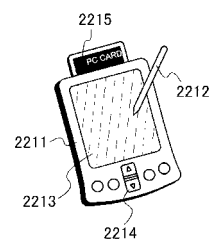


【図 1 4】

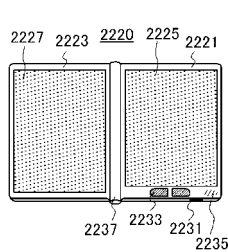
(A)



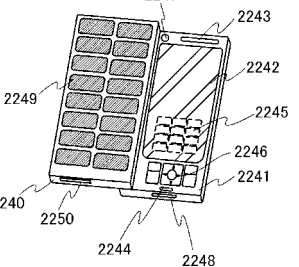
(B)



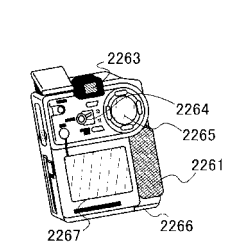
(C)



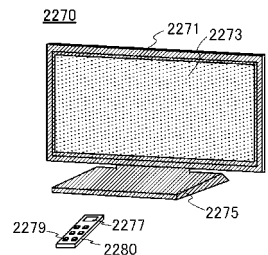
(D)



(E)



(F)



 フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
	G 0 9 G 3/20 6 2 3 M	
	G 0 9 G 3/30 J	
	H 0 5 B 33/14 A	
	G 0 9 F 9/30 3 3 8	

F ターム(参考) 5C380 AA01 AB06 AB18 AB22 AB23 AB24 AC07 AC08 AC09 AC11
 AC12 BA06 BA10 BA19 BA28 BB08 CA10 CA11 CA21 CA53
 CA57 CF07 CF51 DA33 HA17 HA18