

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5135920号
(P5135920)

(45) 発行日 平成25年2月6日(2013.2.6)

(24) 登録日 平成24年11月22日(2012.11.22)

(51) Int. Cl.	F I	
HO 1 L 21/76 (2006.01)	HO 1 L 29/78	6 5 2 R
HO 1 L 29/78 (2006.01)	HO 1 L 29/78	6 5 3 A
HO 1 L 21/336 (2006.01)	HO 1 L 29/78	6 5 8 A
	HO 1 L 29/78	6 5 8 F
	HO 1 L 29/78	6 5 8 Z

請求項の数 1 (全 15 頁)

(21) 出願番号 特願2007-177618 (P2007-177618)
 (22) 出願日 平成19年7月5日(2007.7.5)
 (65) 公開番号 特開2009-16618 (P2009-16618A)
 (43) 公開日 平成21年1月22日(2009.1.22)
 審査請求日 平成21年8月26日(2009.8.26)

(73) 特許権者 000004260
 株式会社デンソー
 愛知県刈谷市昭和町1丁目1番地
 (74) 代理人 100106149
 弁理士 矢作 和行
 (74) 代理人 100121991
 弁理士 野々部 泰平
 (72) 発明者 都築 幸夫
 愛知県刈谷市昭和町1丁目1番地 株式会
 社デンソー内
 審査官 崎間 伸洋

最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

縦型のトレンチ絶縁ゲートトランジスタが、セルの集合体として、第1導電型半導体基板の内側部分に形成され、

LOCOS酸化膜が、

前記セルの集合体を取り囲む最外周トレンチ絶縁ゲートと分離して、該最外周トレンチ絶縁ゲートの外側の前記第1導電型半導体基板上に形成され、

第2導電型半導体領域が、前記最外周トレンチ絶縁ゲートの下部から前記LOCOS酸化膜の下部に亘って、前記第1導電型半導体基板の表層部に形成されてなり、

前記第2導電型半導体領域が、前記最外周トレンチ絶縁ゲートの下部から角部を覆う第1濃度領域と、前記LOCOS酸化膜の下部を覆う第2濃度領域とからなり、

前記第2濃度領域の不純物濃度が、前記第1濃度領域の不純物濃度より低く設定され、前記第2濃度領域の拡散深さが、前記第1濃度領域の拡散深さより浅く設定されてなる半導体装置の製造方法であって、

前記第1導電型半導体基板における前記第2導電型半導体領域の形成予定領域に、第2導電型不純物をイオン注入するイオン注入工程と、

前記イオン注入工程後、前記LOCOS酸化膜を形成するLOCOS酸化膜形成工程と

前記LOCOS酸化膜形成工程後、前記イオン注入した第2導電型不純物を熱拡散させて、前記第1濃度領域と第2濃度領域とからなる第2導電型半導体領域を形成する熱拡散

10

20

工程とを有してなることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、縦型のトレンチ絶縁ゲートトランジスタが、セルの集合体として、半導体基板の内側部分に形成されてなる半導体装置の製造方法に関する。

【背景技術】

【0002】

縦型のトレンチ絶縁ゲートトランジスタがセルの集合体として半導体基板の内側部分に形成されてなる半導体装置およびその製造方法が、特開平6-45612号公報（特許文献1）に開示されている。

10

【0003】

図13(a), (b)は、特許文献1に開示された半導体装置で、それぞれ、半導体装置91, 92の模式的な断面図である。

【0004】

図13(a), (b)に示す半導体装置91, 92は、トレンチMOSゲート構造のIGBT（縦型のトレンチ絶縁ゲートトランジスタ）が、セルの集合体として、半導体基板1の内側部分に形成されてなる半導体装置である。同図に示すように、P+基板1の表面上にNエピタキシャル層2が形成され、Nエピタキシャル層2上にN-エピタキシャル層3が形成される。そして、N-エピタキシャル層3上に、ゲートポリシリコン7及びその周囲に形成された酸化膜7からなる複数のトレンチ分離層（トレンチ絶縁ゲート）10により、絶縁分離されて複数のPウェル領域4及びPウェル領域41, 42が形成されている。これらのトレンチ分離層10は、所定間隔で規則性よく形成され、その形成深さも同一レベルに設定されている。各Pウェル領域4及び41, 42の表面には、それぞれN+エミッタ領域5が形成される。そして、N+エミッタ領域5及びトレンチ分離層10を含むPウェル領域4及び41上の全面にエミッタ電極8が形成され、P+基板1の裏面上にコレクタ電極9が形成されている。

20

【0005】

図13(a)の半導体装置91においては、最外のトレンチ分離層10Aに隣接して形成された最外のPウェル領域41の形成深さを、トレンチ分離層10の形成深さと同じにすることにより、最外Pウェル領域41以外のPウェル領域であるPウェル領域4の形成深さより深く設定している。図13(b)の半導体装置92においては、最外のPウェル領域42が、最外のトレンチ分離層10Aを覆って、所定の深さで形成されている。そして、Pウェル領域42は、最外のトレンチ分離層10Aから外部方向（トレンチ分離層10が形成されていない領域側の方向）の領域においても、その形成深さが前記所定の深さで、トレンチ分離層10の形成深さより深く一定に形成されている。図13(a), (b)に示す半導体装置91, 92においては、最外のPウェル領域41, 42を他のPウェル領域4より深く形成することで、最外のトレンチ分離層10Aのボトムエッジ近傍領域での電界集中を緩和して、耐圧を向上することができる。

30

【特許文献1】特開平6-45612号公報

40

【発明の開示】

【発明が解決しようとする課題】

【0006】

特許文献1では、図13(a), (b)の半導体装置91, 92において、最外のトレンチ分離層10Aのボトムエッジ近傍領域での電界集中を緩和でき、それによって耐圧を向上できることが示されている。しかしながら、特許文献1では、その他の耐圧に影響する部位（例えば図右端の基板1の端部）については考慮されていない。また、最外のPウェル領域41, 42を他のPウェル領域4より深く形成するためには、これらを別工程で形成する必要があり、コストアップの要因となる。

【0007】

50

そこで本発明は、縦型のトレンチ絶縁ゲートトランジスタが、セルの集合体として、半導体基板の内側部分に形成されてなる半導体装置の製造方法であって、高耐圧であり、かつ安価に製造することのできる半導体装置の製造方法を提供することを目的としている。

【課題を解決するための手段】

【0008】

請求項1に記載の発明は、縦型のトレンチ絶縁ゲートトランジスタが、セルの集合体として、第1導電型半導体基板の内側部分に形成され、LOCOS酸化膜が、前記セルの集合体を取り囲む最外周トレンチ絶縁ゲートと分離して、該最外周トレンチ絶縁ゲートの外側の前記第1導電型半導体基板上に形成され、第2導電型半導体領域が、前記最外周トレンチ絶縁ゲートの下部から前記LOCOS酸化膜の下部に亘って、前記第1導電型半導体基板の表層部に形成されてなり、前記第2導電型半導体領域が、前記最外周トレンチ絶縁ゲートの下部から角部を覆う第1濃度領域と、前記LOCOS酸化膜の下部を覆う第2濃度領域とからなり、前記第2濃度領域の不純物濃度が、前記第1濃度領域の不純物濃度より低く設定され、前記第2濃度領域の拡散深さが、前記第1濃度領域の拡散深さより浅く設定されてなる半導体装置の製造方法であって、前記第1導電型半導体基板における前記第2導電型半導体領域の形成予定領域に、第2導電型不純物をイオン注入するイオン注入工程と、前記イオン注入工程後、前記LOCOS酸化膜を形成するLOCOS酸化膜形成工程と、前記LOCOS酸化膜形成工程後、前記イオン注入した第2導電型不純物を熱拡散させて、前記第1濃度領域と第2濃度領域とからなる第2導電型半導体領域を形成する熱拡散工程とを有してなることを特徴としている。

【0009】

上記半導体装置においては、最外周トレンチ絶縁ゲートの下部からLOCOS酸化膜の下部に亘って、第2導電型半導体領域が形成されており、該第2導電型半導体領域の第1濃度領域によって、前記最外周トレンチ絶縁ゲートの下部から角部が覆われることとなる。従って、上記半導体装置では、最外周トレンチ絶縁ゲートの角部近傍における電界集中が緩和され、これによって耐圧を向上することができる。また、最外周トレンチ絶縁ゲートの外側に分離して配置されたLOCOS酸化膜の下部を覆う第2導電型半導体領域の第2濃度領域は、前記最外周トレンチ絶縁ゲートの角部を覆う第1濃度領域に較べて、低い不純物濃度に設定されている。このため、第2濃度領域の周りは、第1濃度領域の周りに較べて、空乏層が広がり易い構造となっている。これを利用して、上記半導体装置においては、最外周トレンチ絶縁ゲートの外側部分の耐圧を、内側部分（セル形成部分）に較べて、高く設定することができる。

【0010】

また、上記半導体装置においては、前記第2濃度領域の拡散深さが、前記第1濃度領域の拡散深さより浅く、前記第2濃度領域の不純物濃度が、前記第1濃度領域の不純物濃度に較べて低く設定されている。この不純物濃度と拡散深さの異なる第1濃度領域と第2濃度領域とからなる構造は、後述する製造方法によって一工程で形成することができるため、当該半導体装置を安価な半導体装置とすることができる。

【0011】

以上のようにして、上記半導体装置は、縦型のトレンチ絶縁ゲートトランジスタが、セルの集合体として、半導体基板の内側部分に形成されてなる半導体装置であって、高耐圧であり、かつ安価に製造することのできる半導体装置となっている。

【0012】

上記半導体装置においては、特に、前記第2濃度領域の不純物濃度を前記第1導電型半導体基板に対応させて適宜低く設定し、LOCOS酸化膜の下部において、前記第1導電型半導体基板と前記第2濃度領域により、いわゆるRESURF (Reduced Surface electric field) 構造が構成されてなることが好ましい。これによって、逆電圧の印加時にLOCOS酸化膜の下部の第1導電型半導体基板と第2濃度領域を所定の範囲において完全空乏化することで、当該半導体装置の耐圧をより高めることができる。

【0013】

上記半導体装置においては、前記最外周トレンチ絶縁ゲートの角部から前記第1濃度領域と第2濃度領域の境界面までの最短間隔が、前記第1濃度領域の拡散深さより大きく設定されてなることが好ましい。

【0014】

これによれば、第2導電型半導体領域における第2濃度領域が最外周トレンチ絶縁ゲートの角部から十分に離れて、該角部が不純物濃度の高い第1濃度領域により十分に覆われることとなる。このため、不純物濃度の低い第2濃度領域の影響を排除した状態で、前述した第1濃度領域による最外周トレンチ絶縁ゲートの角部近傍における電界集中の緩和効果を発揮させることができる。

【0015】

請求項1に記載の発明は、上記半導体装置の製造方法に関する発明である。

【0016】

請求項1に記載の発明は、前記第1導電型半導体基板における前記第2導電型半導体領域の形成予定領域に、第2導電型不純物をイオン注入するイオン注入工程と、前記イオン注入工程後、前記LOCOS酸化膜を形成するLOCOS酸化膜形成工程と、前記LOCOS酸化膜形成工程後、前記イオン注入した第2導電型不純物を熱拡散させて、前記第1濃度領域と第2濃度領域とからなる第2導電型半導体領域を形成する熱拡散工程とを有してなることを特徴としている。

【0017】

上記半導体装置の製造方法においては、第2導電型半導体領域の形成予定領域にイオン注入した後、LOCOS酸化膜を形成し、その後にイオン注入した第2導電型不純物を熱拡散させている。上記イオン注入後においては、最外周トレンチ絶縁ゲートの形成予定領域からLOCOS酸化膜の形成予定領域に亘って、第1導電型半導体基板の極浅い表面近くに、第2導電型不純物のイオン注入層が形成される。この第1導電型半導体基板の表面近くに形成されたイオン注入層は、次のLOCOS酸化膜形成後において、濃度分布の異なる2つの領域に分割されることとなる。すなわち、LOCOS酸化膜の形成時にイオン注入層から第2導電型不純物がLOCOS酸化膜中に取り込まれる。このため、LOCOS酸化膜の下部領域においては、第2導電型不純物が減少して濃度が低いイオン注入領域となり、LOCOS酸化膜が形成されない最外周トレンチ絶縁ゲートの形成予定領域においては、第2導電型不純物の量に変化がなくイオン注入時の状態が維持されて濃度が高いイオン注入領域となる。これによって、次の熱拡散工程により、最外周トレンチ絶縁ゲートの形成予定領域において、不純物濃度が高く拡散深さが深い第1濃度領域が形成され、LOCOS酸化膜の下部において、不純物濃度が低くて拡散深さが浅い第2濃度領域が形成される。

【0018】

上記した第2導電型半導体領域の形成は、第1濃度領域と第2濃度領域の不純物濃度と拡散深さが異なるにもかかわらず、第1濃度領域と第2濃度領域を一工程で形成することが可能である。従って、不純物濃度と拡散深さが異なる第1濃度領域と第2濃度領域をそれぞれ別工程で形成する場合に較べて、当該半導体装置を安価に製造することができる。

【発明を実施するための最良の形態】

【0019】

以下、本発明を実施するための最良の形態を、図に基づいて説明する。

【0020】

図1は、本発明の製造対象とする半導体装置の一例で、半導体装置100の模式的な断面図である。また、図2は、図1の半導体装置100における要部の寸法関係を示す図である。

【0021】

図1に示す半導体装置100においては、縦型のトレンチ絶縁ゲートトランジスタ30が、セルの集合体として、第1N導電型(N-)層21と第2N導電型(N+)層22とからなるN導電型半導体基板20の内側部分に形成されている。トレンチ絶縁ゲートトラ

10

20

30

40

50

ンジスタ30は、側壁酸化膜31と多結晶シリコン32とからなるトレンチ絶縁ゲートTGを有しており、キャリアがN導電型半導体基板20の縦方向に流れる、縦型のMOSトランジスタである。N導電型半導体基板20における裏面側の第2N導電型(N+)層22は、トレンチ絶縁ゲートトランジスタ30のドレイン領域として機能し、第1N導電型(N-)層21は、キャリアのドリフト領域として機能する。尚、符号33の部分は、トレンチ絶縁ゲートトランジスタ30のソース領域であり、符号34の部分は、チャンネル形成領域である。N導電型半導体基板20の端部における符号35の部分は、主面側のソース領域33と同時に形成されるN導電型(N+)領域で、裏面側の第2N導電型(N+)層22と接続される。また、符号23の部分は、層間絶縁膜であり、符号24の部分は、アルミニウム(A1)電極層である。

10

【0022】

図1の半導体装置100においては、LOCOS酸化膜40が、トレンチ絶縁ゲートトランジスタ30のセルの集合体を取り囲む最外周トレンチ絶縁ゲートTG1と分離して、該最外周トレンチ絶縁ゲートTG1の外側のN導電型半導体基板20上に形成されている。また、P導電型半導体領域50が、最外周トレンチ絶縁ゲートTG1の下部からLOCOS酸化膜40の下部に亘って、N導電型半導体基板20の表層部に形成されている。P導電型半導体領域50は、最外周トレンチ絶縁ゲートTG1の下部から角部TG1cを覆う第1濃度(P)領域51と、LOCOS酸化膜40の下部を覆う第2濃度(P-)領域52とからなる。

20

【0023】

図2に示すように、P導電型半導体領域50における第2濃度領域52の拡散深さd2は、第1濃度領域51の拡散深さより浅く設定されている。また、第2濃度領域52の不純物濃度(P-)は、第1濃度領域51の不純物濃度(P)に較べて低く設定されている。

【0024】

図1の半導体装置100においては、最外周トレンチ絶縁ゲートTG1の下部からLOCOS酸化膜40の下部に亘って、P導電型半導体領域50が形成されており、該P導電型半導体領域50における不純物濃度(P)が高い第1濃度領域51によって、最外周トレンチ絶縁ゲートTG1の下部から角部TG1cが覆われることとなる。従って、半導体装置100では、図13(b)に示した半導体装置92と同様にして、最外周トレンチ絶縁ゲートTG1の角部TG1c近傍における電界集中が緩和され、これによって耐圧を向上することができる。

30

【0025】

図3~図5は、上記した第1濃度領域51によって最外周トレンチ絶縁ゲートTG1の下部から角部TG1cが覆われた場合の効果を検証するためにおこなった、シミュレーション結果を示す図である。図3は、角部TG1c周りの拡大断面において、不純物濃度分布を示した図である。図4は、電界強度分布を示した図であり、図5は、降伏(ブレークダウン)時の電流密度分布を示した図である。また、図3~図5の(a)は、図13(a)に示した半導体装置91と同様で、第1濃度(P)領域51sの先端が最外周トレンチ絶縁ゲートTG1の角部TG1cにある半導体装置100sについてのものである。図3~図5の(b)は、図13(b)に示した半導体装置92と同様で、第1濃度(P)領域51dの先端が最外周トレンチ絶縁ゲートTG1の下部まで回り込んだ半導体装置100dについてのものである。

40

【0026】

図4(a)に示すように、半導体装置100sにおいては、第1濃度領域51sにある等電界強度線だけでなく第1N導電型層21にある等電界強度線も最外周トレンチ絶縁ゲートTG1の角部TG1cに収斂し、角部TG1cにおける電界集中が大きい。これに伴って、図5(a)に示すように、降伏時の電流密度最大部も角部TG1cの下方に形成されるが、耐圧が256.7Vと小さく、降伏時にトレンチ角部TG1cに電流集中するために、最大電流密度は小さな値となる。

50

【 0 0 2 7 】

これに対して、図 4 (b) に示すように、半導体装置 1 0 0 d においては、第 1 濃度領域 5 1 d にある等電界強度線の一部が最外周トレンチ絶縁ゲート T G 1 の角部 T G 1 c に収斂し、角部 T G 1 c における電界集中が小さい。これに伴って、図 5 (b) に示すように、降伏時の電流密度最大部は角部 T G 1 c と異なる最外周トレンチ絶縁ゲート T G 1 底部の下方に形成され、耐圧が 2 8 7 . 8 V と大きく、降伏時に電流が分散され、最大電流密度を大きくできる。

【 0 0 2 8 】

このように、図 3 (b) ~ 図 5 (b) に示す半導体装置 1 0 0 d では、最外周トレンチ絶縁ゲート T G 1 の下部から角部 T G 1 c が第 1 濃度領域 5 1 d で覆われることによって、最外周トレンチ絶縁ゲート T G 1 の角部 T G 1 c 近傍における電界集中が緩和される。これによって、図 3 (b) ~ 図 5 (b) に示す半導体装置 1 0 0 d では、図 3 (a) ~ 図 5 (a) に示す半導体装置 1 0 0 s に較べて、耐圧を向上することができる。

10

【 0 0 2 9 】

また、図 1 の半導体装置 1 0 0 において、最外周トレンチ絶縁ゲート T G 1 の外側に分離して配置された L O C O S 酸化膜 4 0 の下部を覆う P 導電型半導体領域 5 0 の第 2 濃度 (P -) 領域 5 2 は、最外周トレンチ絶縁ゲート T G 1 の角部 T G 1 c を覆う第 1 濃度 (P) 領域 5 1 に較べて、低い不純物濃度に設定されている。このため、第 2 濃度領域の周りは、第 1 濃度領域の周りに較べて、空乏層が広がり易い構造となっている。これを利用して、半導体装置 1 0 0 においては、最外周トレンチ絶縁ゲート T G 1 の外側部分の耐圧を、内側部分 (セル形成部分) に較べて、高く設定することができる。

20

【 0 0 3 0 】

図 1 の半導体装置 1 0 0 においては、特に、第 2 濃度領域 5 2 の不純物濃度を N 導電型半導体基板 2 0 (第 1 N 導電型層 2 1) に対応させて適宜低く設定し、 L O C O S 酸化膜 4 0 の下部において、N 導電型半導体基板 2 0 (第 1 N 導電型層 2 1) と第 2 濃度領域 5 2 により、いわゆる R E S U R F (Reduced Surface electric field) 構造が構成されること好ましい。これによって、逆電圧の印加時に L O C O S 酸化膜 4 0 の下部の N 導電型半導体基板 2 0 (第 1 N 導電型層 2 1) と第 2 濃度領域 5 2 を所定の範囲で完全空乏化することで、当該半導体装置 1 0 0 の耐圧をより高めることができる。

【 0 0 3 1 】

半導体装置 1 0 0 においは、図 2 の最外周トレンチ絶縁ゲート T G 1 の角部 T G 1 c から第 1 濃度領域 5 1 と第 2 濃度領域 5 2 の点線で示した境界面までの最短間隔 w が、第 1 濃度領域 5 1 の拡散深さ d 1 より大きく設定されてなることが好ましい。これによれば、P 導電型半導体領域 5 0 における第 2 濃度領域 5 2 が最外周トレンチ絶縁ゲート T G 1 の角部 T G 1 c から十分に離れて、該角部 T G 1 c が不純物濃度の高い第 1 濃度領域 5 1 により十分に覆われることとなる。このため、不純物濃度の低い第 2 濃度領域 5 2 の影響を排除した状態で、前述した第 1 濃度領域 5 1 による最外周トレンチ絶縁ゲート T G 1 の角部 T G 1 c 近傍における電界集中の緩和効果を発揮させることができる。

30

【 0 0 3 2 】

また、半導体装置 1 0 0 においては、図 2 に示すように、第 2 濃度領域 5 2 の不純物濃度 (P -) が、第 1 濃度領域 5 1 の不純物濃度 (P) より低く設定され、第 2 濃度領域 5 2 の拡散深さ d 2 が、第 1 濃度領域 5 1 の拡散深さ d 1 より浅く設定されている。この不純物濃度と拡散深さの異なる第 1 濃度領域 5 1 と第 2 濃度領域 5 2 とからなる構造は、以下に示す製造方法によって一工程で形成することができる。このため、当該半導体装置 1 0 0 を安価な半導体装置とすることができる。

40

【 0 0 3 3 】

次に、図 1 の半導体装置 1 0 0 の製造方法について説明する。

【 0 0 3 4 】

図 6 ~ 図 9 は、本発明に係る半導体装置 1 0 0 の製造方法に関する工程別の断面図である。

50

【0035】

最初に、図6(a)に示すように、第1N導電型(N-)層21と第2N導電型(N+)層22とからなるN導電型半導体基板20を準備する。次に、半導体基板20を表面酸化して、酸化シリコン(SiO₂)膜61を形成する。次に、酸化シリコン膜61上に、窒化シリコン(SiN)膜62を堆積する。

【0036】

次に、図1のLOCOS酸化膜40を形成するため、図6(b)に示すように、所定の開口部K1を有する第1レジストマスクM1を形成し、酸化シリコン膜61をストップとして、開口部K1を介して窒化シリコン膜62をエッチングする。これによって、窒化シリコン膜62に、予め開口部K1を形成しておく。

10

【0037】

次に、第1レジストマスクM1を除去した後、図1のP導電型半導体領域50を形成するため、図6(c)に示すように、所定の開口部K2を有する第2レジストマスクM2を形成する。

【0038】

次に、図6(d)に示すイオン注入工程において、ホウ素(B)等のP導電型不純物を、第2レジストマスクM2の開口部K2を介してイオン注入する。これによって、N導電型半導体基板20(第1N導電型層21)における図1のP導電型半導体領域50の形成予定領域に、P導電型不純物のイオン注入層50aを形成する。このP導電型不純物のイオン注入層50aは、図1に示す最外周トレンチ絶縁ゲートTG1の形成予定領域からLOCOS酸化膜40の形成予定領域に亘って、N導電型半導体基板20(第1N導電型層21)の極浅い表面近くに形成される。

20

【0039】

次に、第2レジストマスクM2を除去した後、図7(a)に示すLOCOS酸化膜形成工程において、例えば1050、30分の条件で熱処理し、窒化シリコン(SiN)膜62の開口部K1に露出する半導体基板20(第1N導電型層21)を酸化して、LOCOS酸化膜40を形成する。

【0040】

これに伴って、図6(d)のイオン注入工程においてN導電型半導体基板20(第1N導電型層21)の表面近くに形成されたイオン注入層52aは、LOCOS酸化膜40の形成後において、図7(a)に示す濃度分布の異なる2つの領域51a, 52aに分割されることとなる。すなわち、図7(a)に示すLOCOS酸化膜40の形成時には、図6(d)に示すイオン注入層50aから、P導電型不純物がLOCOS酸化膜40中に取り込まれる。このため、LOCOS酸化膜40の下部領域においては、P導電型不純物の量が減少して濃度が低いイオン注入領域52aとなり、LOCOS酸化膜40が形成されない領域の下部においては、P導電型不純物の量に変化がなくイオン注入時の状態が維持されて濃度が高いイオン注入領域51aとなる。

30

【0041】

次に、図7(b)に示す熱拡散工程において、例えば1170、240分の条件で熱処理し、イオン注入したP導電型不純物を、図7(a)のイオン注入領域51a, 52aからそれぞれ熱拡散させる。この時、P導電型不純物の濃度が高いイオン注入領域51aから、図1の不純物濃度が高くて拡散深さが深い第1濃度領域51が形成され、LOCOS酸化膜40下のP導電型不純物の濃度が低いイオン注入領域52aから、不純物濃度が低くて拡散深さが浅い図1の第2濃度領域52が形成される。これによって、図1に示す第1濃度領域51と第2濃度領域52とからなるP導電型半導体領域50が形成される。

40

【0042】

次に、図7(c)に示すように、窒化シリコン膜62を除去して、トレンチ絶縁ゲートトランジスタ形成前のN導電型半導体基板20の準備が完了する。

【0043】

次に、図8(a)に示すように、図1の層間絶縁膜(下層)23および次のトレンチT

50

、T1形成のためマスクとなる、酸化シリコン膜23を形成する。次に、所定の開口部を有するレジストマスク（図示省略）を酸化シリコン膜23上に形成し、該開口部を介して酸化シリコン膜23、酸化シリコン膜61およびN導電型半導体基板20（第1N導電型層21）を続けてエッチングして、図8（b）に示すトレンチT、T1を所定の位置に形成する。次に、図8（c）に示すように、熱酸化してトレンチT、T1に側壁酸化膜31を形成した後、多結晶シリコン32を堆積してトレンチTを埋め込みパターンニングする。これによって、図1の側壁酸化膜31と多結晶シリコン32からなるトレンチ絶縁ゲートTGおよび最外周トレンチ絶縁ゲートTG1が形成される。次に、図8（d）に示すように、多結晶シリコン32の表面に熱酸化膜63を形成する。次に、トレンチT、T1形成のためマスクとして使われた酸化シリコン膜23を除去するため、所定の開口部を有する

10

【0044】

次に、図9（a）に示すように、図8（d）のレジストマスクM3を介してエッチングし、LOCOS酸化膜40および酸化シリコン膜23と熱酸化膜63の一部を残して、N導電型半導体基板20（第1N導電型層21）の表面に形成されている酸化膜を除去する。次に、図9（b）に示すように、イオン注入を実施して、図1のチャネル形成領域34およびソース領域33と主面側のN導電型（N+）領域35を順次形成する。次に、図9（c）に示すように、図1の層間絶縁膜（上層）23を形成し、電極接続のための開口部を設ける。次に、図9（d）に示すように、図1のアルミニウム（Al）電極層24を形成して、所定のパターンに加工する。

20

【0045】

これによって、図1に示す半導体装置100が完成する。

【0046】

以上の図6～図9に示した半導体装置100の製造工程は、図6（d）に示したイオン注入工程後に図7（a）に示したLOCOS酸化膜形成工程を実施し、該LOCOS酸化膜形成工程後に図7（b）に示した熱拡散工程を実施する点に特徴がある。すなわち、上記半導体装置100の製造方法においては、図6（d）に示したイオン注入工程においてP導電型半導体領域50の形成予定領域にイオン注入した後、図7（a）に示したLOCOS酸化膜形成工程においてLOCOS酸化膜40を形成し、その後に図7（b）に示した熱拡散工程においてイオン注入したP導電型不純物を熱拡散させている。図6（d）のイオン注入後においては、最外周トレンチ絶縁ゲートTG1の形成予定領域からLOCOS酸化膜40の形成予定領域に亘って、N導電型半導体基板20（第1N導電型層21）の極浅い表面近くに、P導電型不純物のイオン注入層50aが形成される。このN導電型半導体基板20（第1N導電型層21）の表面近くに形成されたイオン注入層50aは、次の図7（a）に示すLOCOS酸化膜40の形成後において、濃度分布の異なる2つの領域51a、52aに分割されることとなる。このため、次の図7（b）に示す熱拡散工程により、最外周トレンチ絶縁ゲートTG1の形成予定領域において、不純物濃度が高く拡散深さが深い第1濃度領域51が形成され、LOCOS酸化膜40の下部において、不純物濃度が低く拡散深さが浅い第2濃度領域52が形成される。

30

【0047】

上記したP導電型半導体領域50の形成は、第1濃度領域51と第2濃度領域52の不純物濃度と拡散深さが異なるにもかかわらず、第1濃度領域51と第2濃度領域52を一工程で形成することが可能である。従って、不純物濃度と拡散深さが異なる第1濃度領域51と第2濃度領域52をそれぞれ別工程で形成する場合に較べて、上記した製造方法によれば図1の半導体装置100を安価に製造することができる。

40

【0048】

以上のようにして、図6～図9に示した半導体装置100の製造工程によれば、一工程で形成した不純物濃度の高い第1濃度領域51を最外周トレンチ絶縁ゲートTG1の角部TG1cを覆うために用い、不純物濃度の低い第2濃度領域52をRESURF構造の構成のために用いることができる。

50

【 0 0 4 9 】

一方、従来の半導体装置では、最外周トレンチ絶縁ゲートの外側に形成するP導電型半導体領域の濃度分布を一定としている。このため、従来の半導体装置の製造工程は、図6(a)から図7(b)に示した工程順序と異なり、通常、イオン注入工程後に、例えば1170、480分の長い熱処理条件で熱拡散工程を実施し、その後にLOCOS酸化膜形成工程を実施する。

【 0 0 5 0 】

図10は、上記従来の工程順序と熱処理条件によって試作した半導体装置について、イオン注入のドーズ量をパラメータとし、トレンチ絶縁ゲート深さと耐圧の関係を調べた結果である。尚、図中の菱形で示したデータは、いずれもP導電型半導体領域の不純物濃度が $9.6 \times 10^{14} \text{ cm}^{-3}$ で拡散深さが $26 \mu\text{m}$ であり、四角形で示したデータは、いずれもP導電型半導体領域の不純物濃度が $9.4 \times 10^{14} \text{ cm}^{-3}$ で拡散深さが $25 \mu\text{m}$ である。これら、菱形で示したデータと四角形で示したデータは、ほぼ同じ不純物濃度と拡散深さのデータであり、上記P導電型半導体領域の不純物濃度はRESURF条件を満足できる値となっているが、拡散深さはトレンチ絶縁ゲート深さより浅くなっている。

10

【 0 0 5 1 】

図10に示すように、従来の工程順序で製造した半導体装置は、ドーズ量の低い $3 \times 10^{12} \text{ dose}$ のデータでばらつきがあるものの、大部分が220V付近の低い耐圧となった。これは、図3(a)~図5(a)で示したように、P導電型半導体領域の不純物濃度が低く拡散深さが最外周トレンチ絶縁ゲートより浅いため、最外周トレンチ絶縁ゲートの角部がP導電型半導体領域で覆われず、角部で電界集中が起きここで耐圧が決まるためである。

20

【 0 0 5 2 】

一方、図11は、図6~図9に示した製造工程によって試作した半導体装置100について、LOCOS形成後の熱処理条件をパラメータとし、トレンチ絶縁ゲート深さと耐圧の関係を調べた結果である。尚、図中の菱形で示したデータは、いずれも第2濃度領域52の不純物濃度が $9.6 \times 10^{14} \text{ cm}^{-3}$ で拡散深さが $26 \mu\text{m}$ であり、四角形で示したデータは、いずれも第2濃度領域52の不純物濃度が $9.4 \times 10^{14} \text{ cm}^{-3}$ で拡散深さが $25 \mu\text{m}$ である。また、比較のため、LOCOS形成後に熱処理を行わなかった場合のデータを、白抜きの丸印で示した。尚、この場合も、菱形で示したデータと四角形で示したデータは、ほぼ同じ不純物濃度と拡散深さのデータであり、上記第2濃度領域52の不純物濃度はRESURF条件を満足できる値となっているが、拡散深さはトレンチ絶縁ゲート深さより浅くなっている。

30

【 0 0 5 3 】

図11に示すように、図6(a)から図7(b)に示した工程順序で製造した半導体装置100は、LOCOS形成後に熱処理を行わなかった白抜きの丸印で示したデータを除いて、ばらつきなく、大部分が280V付近の高い耐圧となった。これは、図3(b)~図5(b)で示したように、第2濃度領域52とN導電型半導体基板20(第1N導電型層21)でRESURF構造が構成されると共に、不純物濃度が高くて拡散深さが大きい第1濃度領域51が最外周トレンチ絶縁ゲートTG1の角部TG1cを覆って、角部での電界集中が緩和されるためである。

40

【 0 0 5 4 】

図12は、 120 kV 、 $1.1 \times 10^{13} \text{ dose}$ の条件でP導電型不純物をイオン注入した後、各条件で熱処理した試料のP導電型不純物の分布を、SIMS (Secondary Ionization Mass Spectrometer) によって図の一点鎖線A、Bで評価した結果である。

【 0 0 5 5 】

図12に示すように、LOCOS形成前に熱拡散工程を行った(b)の試料については、第1拡散領域51と第2拡散領域52の不純物濃度比が1.5倍程度で小さいのに対し、LOCOS形成後に熱拡散工程を行った(c)、(d)の試料および熱拡散工程を行わない(a)の試料については、第1拡散領域51と第2拡散領域52の不純物濃度比が3

50

~ 4 倍に大きくなっている。これに伴って、これら L O C O S 形成後に熱拡散工程を行った (c) , (d) の試料および熱拡散工程を行わない (a) の試料については、(L O C O S 形成前に熱拡散工程を行った (b) の試料に較べて、耐圧が向上している。

【 0 0 5 6 】

以上のようにして、上記した本発明の半導体装置の製造方法は、縦型のトレンチ絶縁ゲートトランジスタが、セルの集合体として、半導体基板の内側部分に形成されてなる半導体装置の製造方法であって、高耐圧であり、かつ安価に製造することのできる半導体装置の製造方法となっている。

【 図面の簡単な説明 】

【 0 0 5 7 】

10

【 図 1 】本発明の製造対象とする半導体装置の一例で、半導体装置 1 0 0 の模式的な断面図である。

【 図 2 】図 1 の半導体装置 1 0 0 における要部の寸法関係を示す図である。

【 図 3 】(a) , (b) は、それぞれ半導体装置 1 0 0 s , 1 0 0 d のシミュレーション結果を示す図で、角部 T G 1 c 周りの拡大断面において、不純物濃度分布を示した図である。

【 図 4 】(a) , (b) は、それぞれ半導体装置 1 0 0 s , 1 0 0 d のシミュレーション結果を示す図で、電界強度分布を示した図である。

【 図 5 】(a) , (b) は、それぞれ半導体装置 1 0 0 s , 1 0 0 d のシミュレーション結果を示す図で、降伏 (ブレイクダウン) 時の電流密度分布を示した図である。

20

【 図 6 】(a) ~ (d) は、本発明に係る半導体装置 1 0 0 の製造方法に関する工程別の断面図である。

【 図 7 】(a) ~ (c) は、本発明に係る半導体装置 1 0 0 の製造方法に関する工程別の断面図である。

【 図 8 】(a) ~ (d) は、本発明に係る半導体装置 1 0 0 の製造方法に関する工程別の断面図である。

【 図 9 】(a) ~ (d) は、本発明に係る半導体装置 1 0 0 の製造方法に関する工程別の断面図である。

【 図 1 0 】従来の工程順序と熱処理条件によって試作した半導体装置について、イオン注入のドーズ量をパラメータとし、トレンチ絶縁ゲート深さと耐圧の関係を調べた結果である。

30

【 図 1 1 】図 6 ~ 図 9 に示した製造工程によって試作した半導体装置 1 0 0 について、L O C O S 形成後の熱処理条件をパラメータとし、トレンチ絶縁ゲート深さと耐圧の関係を調べた結果である。

【 図 1 2 】P 導電型不純物をイオン注入した後、各条件で熱処理した試料の P 導電型不純物の分布を、S I M S によって図の一点鎖線 A , B で評価した結果である。

【 図 1 3 】(a) , (b) は、特許文献 1 に開示された半導体装置で、それぞれ、半導体装置 9 1 , 9 2 の模式的な断面図である。

【 符号の説明 】

【 0 0 5 8 】

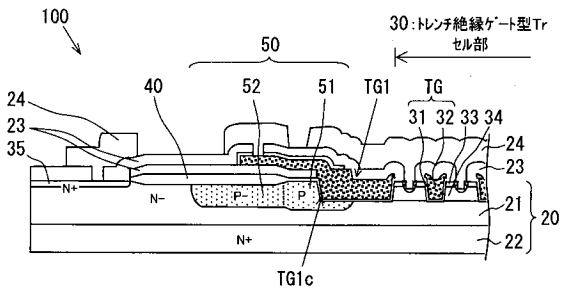
40

- 9 1 , 9 2 , 1 0 0 , 1 0 0 s , 1 0 0 d 半導体装置
- 3 0 トレンチ絶縁ゲートトランジスタ
- 2 0 N 導電型半導体基板
- 2 1 第 1 N 導電型 (N -) 層
- 2 2 第 2 N 導電型 (N +) 層
- T G トレンチ絶縁ゲート
- T G 1 最外周トレンチ絶縁ゲート
- T G 1 c 角部
- 4 0 L O C O S 酸化膜
- 5 0 P 導電型半導体領域

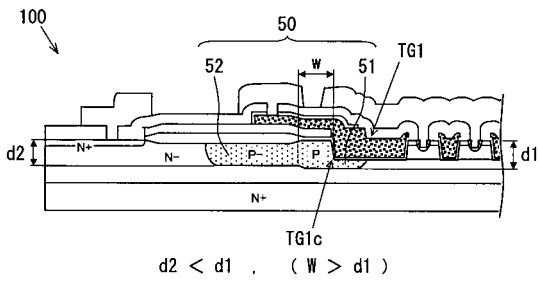
50

5 1 , 5 1 s , 5 1 d 第 1 濃 度 (P) 領 域
5 2 第 2 濃 度 (P -) 領 域

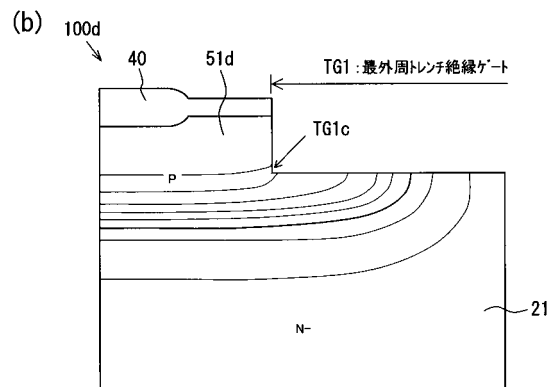
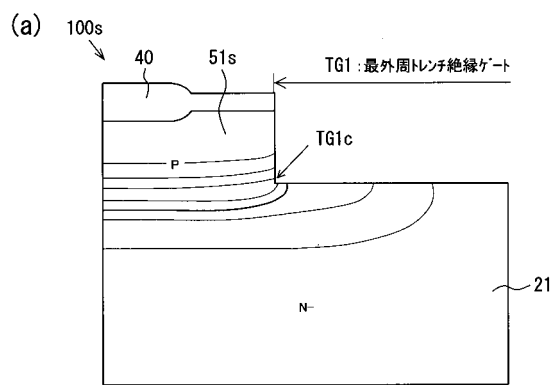
【 図 1 】



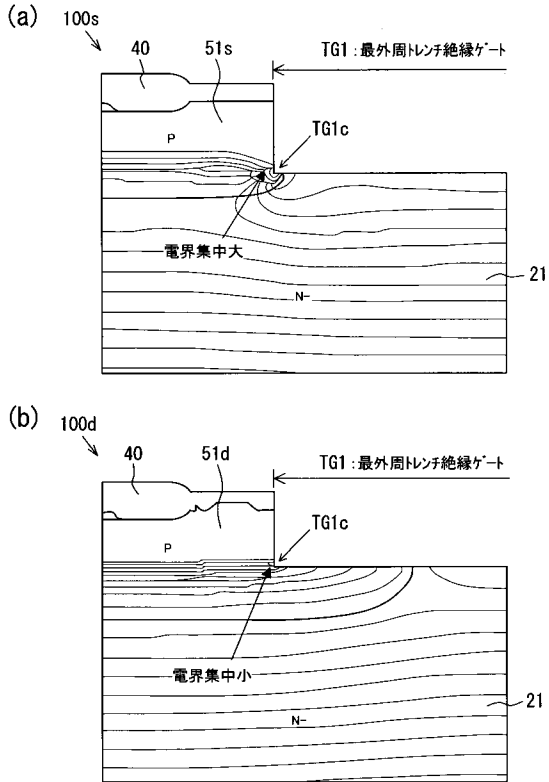
【 図 2 】



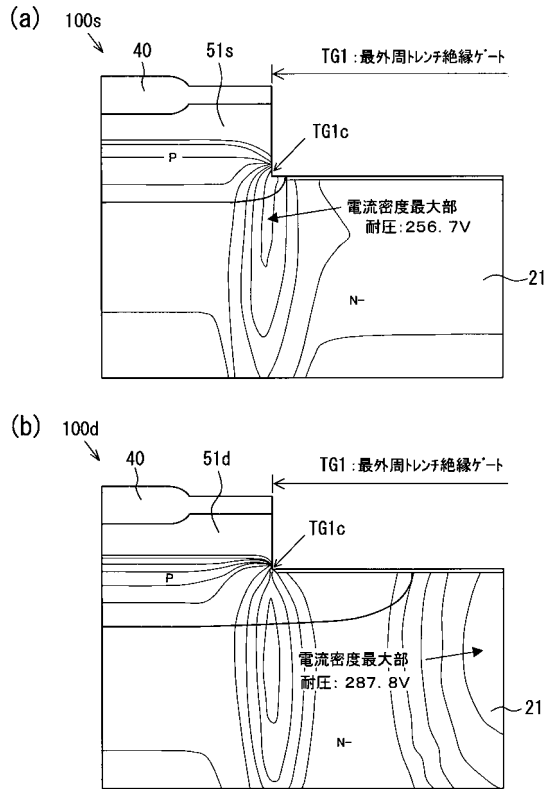
【 図 3 】



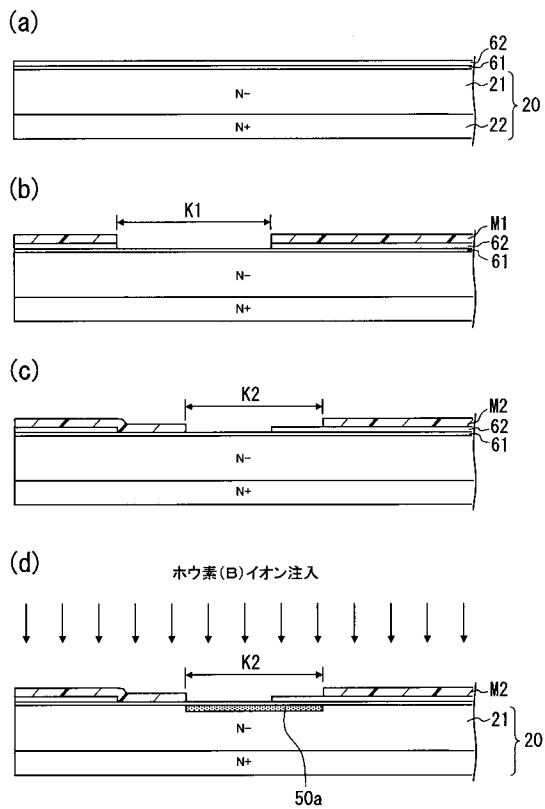
【図4】



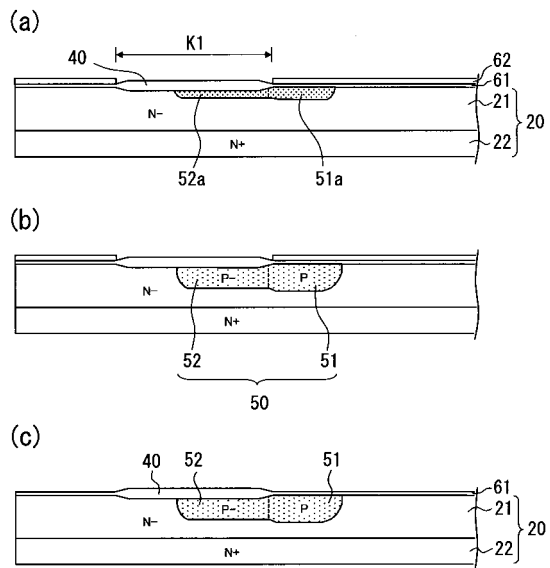
【図5】



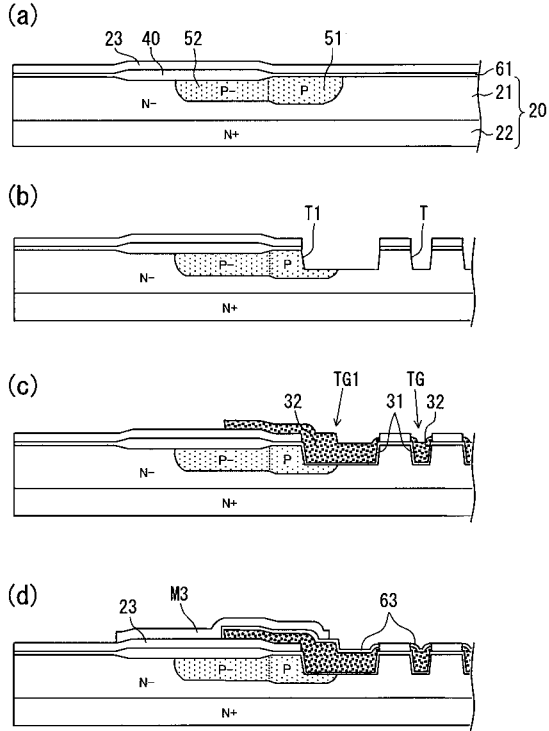
【図6】



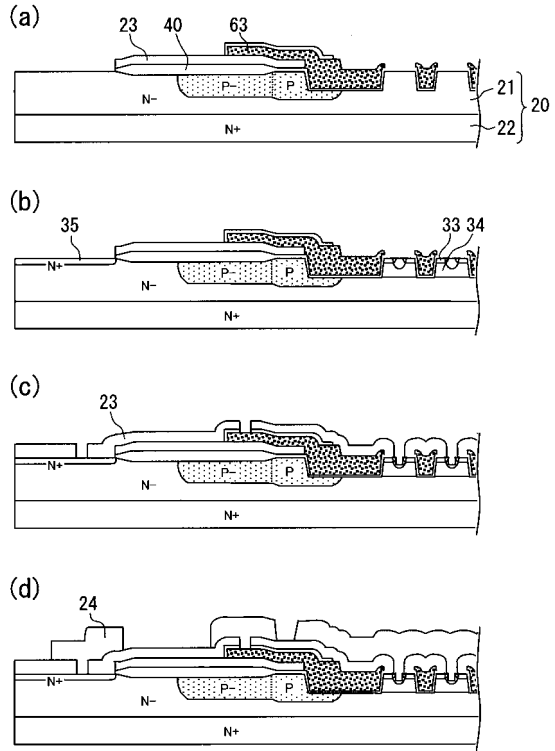
【図7】



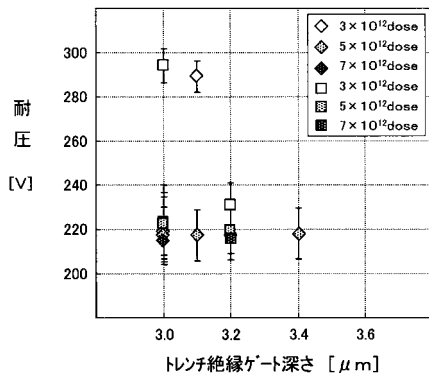
【図8】



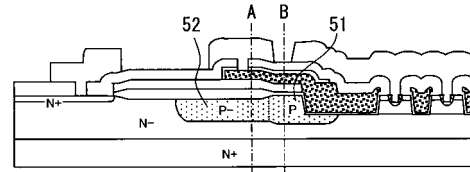
【図9】



【図10】

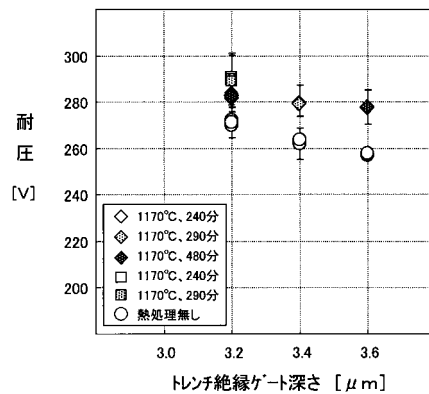


【図12】

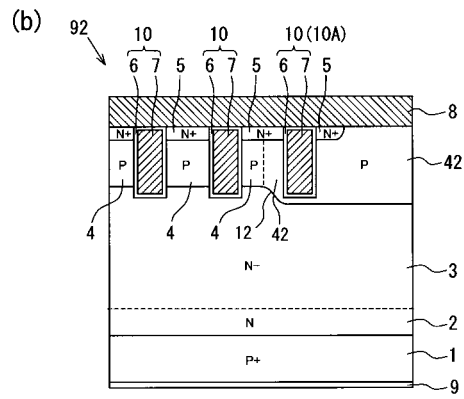
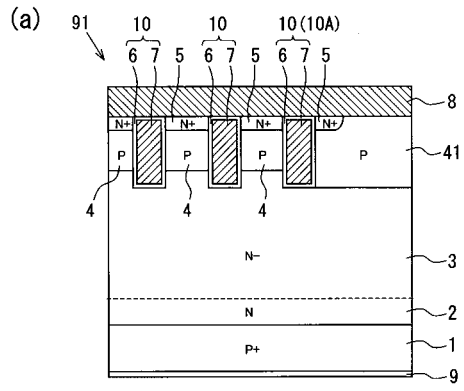


試料	不純物表面濃度		不純物面密度		拡散深さ		耐圧 [V]
	A	B	A	B	A	B	
(a) LOCOS →熱処理なし	1.0 [× 10 ¹⁶ / cm ²]	4.5 [× 10 ¹⁶ / cm ²]	2.0 [× 10 ¹² / cm ²]	6.0 [× 10 ¹² / cm ²]	2.9 [μm]	2.7 [μm]	289
(b) 1170°C, 240分 →LOCOS	2.2	3.2	5.7	8.4	4.7	4.7	212
(c) LOCOS →1170°C, 240分	0.8	3.4	2.2	8.5	4.5	4.9	319
(d) LOCOS →1170°C, 40分	1.0	3.8	1.9	6.7	3.2	3.3	309

【図11】



【 図 13 】



フロントページの続き

- (56)参考文献 特開2006-229135(JP,A)
特開平08-078668(JP,A)
特開昭58-192368(JP,A)
特開昭61-137368(JP,A)
特開2006-173281(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/336
H01L 29/78
H01L 21/76