



(12) 发明专利申请

(10) 申请公布号 CN 104956479 A

(43) 申请公布日 2015.09.30

(21) 申请号 201380033561.5

(51) Int. Cl.

(22) 申请日 2013.06.25

H01L 23/528(2006.01)

(30) 优先权数据

H01L 21/768(2006.01)

13/532, 126 2012. 06. 25 US

(85) PCT国际申请进入国家阶段日

2014. 12. 24

(86) PCT国际申请的申请数据

PCT/US2013/047634 2013. 06. 25

(87) PCT国际申请的公布数据

W02014/004520 EN 2014.01.03

(71) 申请人 超威半导体公司

地址 美国加利福尼亚州

(72)发明人 迈克尔·卓颖·苏 雷富

弗兰克·库彻梅斯特

(74) 专利代理机构 上海胜康律师事务所 31263

代理人 樊英如 李献忠

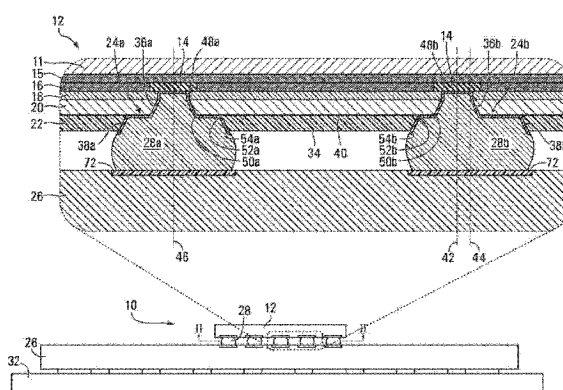
权利要求书3页 说明书9页 附图10页

(54) 发明名称

具有偏移通孔的集成电路封装

(57) 摘要

集成电路封装包括通孔,所述通孔中的每一个从与半导体芯片上的集成电路连通的衬垫延伸通过上覆于所述半导体芯片上的绝缘材料至面向衬底的附着面。每个通孔的接近所述附着面的部分横向偏离接近所述衬垫的所述部分,其在远离所述半导体芯片的中心的的方向上从所述衬垫延伸。容纳在所述通孔中的金属材料使所述半导体芯片与所述衬底机械地并电气地互连。



1. 一种集成电路封装,其包括:

半导体芯片,在其上形成集成电路;

至少一个衬垫,其与所述集成电路电连通;

绝缘层,其上覆于所述半导体芯片,所述绝缘层具有用于将所述半导体芯片附接到衬底的附着面;

至少一个通孔,其从所述附着面延伸通过所述绝缘层至所述衬垫,所述通孔包括接近所述衬垫的第一通孔开口和接近所述附着面的第二通孔开口,其中所述第二开口的中心在远离所述半导体芯片的中心的的方向上横向偏离所述第一开口的中心;

衬底;

容纳在所述通孔中的金属材料,其使所述衬垫与所述衬底机械地并电气地互连,并且将所述半导体芯片附接到所述衬底。

2. 根据权利要求 1 所述的集成电路封装,其中所述通孔包括沿第一纵轴延伸远离所述衬垫的第一通孔部分和沿第二纵轴延伸远离所述附着面的第二通孔部分,其中所述第二纵轴在远离所述半导体芯片的中心的的方向上横向偏离所述第一纵轴的中心。

3. 根据权利要求 2 所述的集成电路封装,其中所述第二纵轴沿通过所述半导体芯片的所述中心和所述第一纵轴的线向外偏离所述第一纵轴。

4. 根据权利要求 2 所述的集成电路封装,其中所述第一纵轴在远离所述半导体芯片的所述中心的的方向上横向偏离所述衬垫的中心。

5. 根据权利要求 2 所述的集成电路封装,其中所述衬垫是后段制程 (BEOL) 衬垫。

6. 根据权利要求 2 所述的集成电路封装,其中所述第二通孔部分具有大于所述第一通孔部分的横截面积的横截面积。

7. 根据权利要求 6 所述的集成电路封装,其中所述第一和第二通孔部分的每一个是截头圆锥形,并且所述第二通孔部分的最小横截面积大于所述第一通孔部分的最大横截面积。

8. 根据权利要求 2 所述的集成电路封装,其中所述绝缘层由聚酰亚胺形成。

9. 根据权利要求 2 所述的集成电路封装,其中所述绝缘层包括第一子层和第二子层,所述第一通孔部分延伸通过所述第一子层且所述第二通孔部分延伸通过所述第二子层。

10. 根据权利要求 1 所述的集成电路封装,其包括在所述半导体芯片与所述绝缘层之间形成的至少一个夹层介电 (ILD) 层,所述 ILD 层由具有小于 2.7 的介电常数的材料形成。

11. 根据权利要求 2 所述的集成电路封装,其还包括从所述附着面延伸通过所述绝缘层至所述至少一个衬垫中的一个的中心通孔,所述中心通孔包括沿通过所述半导体芯片的所述中心的中心纵轴延伸远离所述衬垫的第一通孔部分,以及沿所述中心纵轴延伸远离所述附着面的第二通孔部分。

12. 一种制造包括半导体芯片的集成电路晶片的方法,所述半导体芯片具有在其上形成的集成电路和与所述集成电路电连通的至少一个衬垫,所述方法包括:

形成上覆于所述半导体芯片的第一绝缘层;

形成沿第一纵轴从所述衬垫延伸通过所述第一绝缘层的第一通孔;

形成上覆于所述第一绝缘层的第二绝缘层;以及

形成与所述第一通孔连通的第二通孔,所述第二通孔沿第二纵轴延伸通过所述第二绝

缘层,所述第二纵轴在远离所述晶片的中心的方向上偏离所述第一纵轴。

13. 根据权利要求 12 所述的方法,其还包括:

在所述第一通孔和第二通孔中沉积可流动的金属互连结构;

倒置所述集成电路晶片;以及

通过所述互连结构的方式使所述集成电路晶片与衬底互连。

14. 根据权利要求 12 所述的方法,其中所述第一纵轴在远离所述晶片的所述中心的方向上从所述衬垫偏移。

15. 根据权利要求 12 所述的方法,其中所述形成所述第一通孔包括使用光刻工艺来曝光所述第一绝缘层且使用显影剂移除所述第一绝缘层的曝光区域,且其中所述形成所述第二通孔包括使用光刻工艺来曝光所述第二绝缘层且使用显影剂移除所述第二绝缘层的曝光区域。

16. 根据权利要求 12 所述的方法,其中所述衬垫是后段制程 (BEOL) 衬垫。

17. 根据权利要求 12 所述的方法,其中所述第一通孔和所述第二通孔是截头圆锥形,并且所述第二通孔的最小横截面积大于所述第一通孔的最大横截面积。

18. 一种集成电路晶片,其包括:

半导体芯片,其上具有集成电路;

多个衬垫,其与所述集成电路电连通;

绝缘层,其上覆于所述集成电路晶片,所述绝缘层具有用于将所述半导体芯片附接到衬底的附着面;

多个通孔,所述通孔的每一个延伸通过所述绝缘层至用于容纳金属结构的所述衬垫的对应一个以使所述集成电路晶片与衬底互连;

其中所述通孔的每一个具有接近所述半导体芯片的第一开口和接近所述附着面的第二开口,并且所述第二开口的中心比所述第一开口的中心距离所述集成电路晶片的中心更远。

19. 一种集成电路封装,其包括:

衬底;

晶片,其包括:

半导体芯片;

上覆于所述半导体芯片的绝缘层;

通过所述绝缘层的多个通孔;

多个金属互连结构,所述互连结构的每一个容纳在所述通孔的对应一个中,以及所述金属互连结构的每一个在第一端接合到所述晶片且在第二端接合到所述衬底,其中所述第二端比所述第一端距离所述晶片的几何中心更远。

20. 一种集成电路晶片,其包括:

半导体芯片,其上具有集成电路;

多个衬垫,其与所述集成电路电连通;

绝缘层,其上覆于所述集成电路晶片,所述绝缘层具有用于将所述半导体芯片附接到衬底的附着面;

布置成图案的多个第一通孔,所述多个第一通孔的每一个延伸通过所述绝缘层至用于

容纳金属结构的所述衬垫的对应一个以使所述集成电路晶片与衬底互连；

其中所述多个第一通孔的每一个具有接近所述半导体芯片的第一开口和接近所述附着面的第二开口，以及所述第一开口的中心在朝所述集成电路晶片的中心的方向上相对于所述第二开口的中心横向偏移第一距离；

多个第二通孔，其布置成与所述多个第一通孔的所述图案同心的图案，所述多个第二通孔的每一个延伸通过所述绝缘层至用于容纳金属结构的所述衬垫的对应一个以使所述集成电路晶片与衬底互连；

其中所述多个第二通孔的每一个具有接近所述半导体芯片的第一开口和接近所述附着面的第二开口，以及所述第一开口的中心在朝所述集成电路晶片的所述中心的方向上相对于所述第二开口的中心横向偏移不同于所述第一距离的第二距离。

21. 根据权利要求 20 所述的集成电路晶片，其中所述多个第一通孔的每一个比所述多个第二通孔的每一个更靠近所述集成电路晶片的所述中心，且所述第二距离大于所述第一距离。

22. 根据权利要求 20 所述的集成电路晶片，其中所述多个第一通孔的所述图案和所述多个第二通孔的所述图案中的至少一个通常是矩形。

23. 一种集成电路晶片，其包括：

半导体芯片，其上具有集成电路；

多个衬垫，其与所述集成电路电连通；

绝缘层，其上覆于所述集成电路晶片，所述绝缘层具有用于将所述半导体芯片附接到衬底的附着面；

多个通孔，所述通孔的每一个延伸通过所述绝缘层至用于容纳金属结构的所述衬垫的对应一个以使所述集成电路晶片与衬底互连；

其中所述多个通孔布置成以所述集成电路晶片的中心为中心的至少第一图案和与所述第一图案同心的第二图案，且所述通孔的每一个具有接近所述半导体芯片的第一开口和接近所述附着面的第二开口，其中所述第一开口的中心在朝所述集成电路晶片的所述中心的方向上横向偏离所述第二开口的中心，且其中所述偏移是在布置成所述第一图案的所述通孔中偏移第一距离以及在布置成所述第二图案的所述通孔中偏移不同于所述第一距离的第二距离。

24. 根据权利要求 23 所述的集成电路晶片，其中布置成所述第二图案的所述通孔的每一个比布置成所述第一图案的所述通孔的每一个距离所述集成电路晶片的中心更远，且所述第二距离大于所述第一距离。

25. 根据权利要求 23 所述的集成电路晶片，其中所述第一图案和所述第二图案中的至少一个通常是矩形。

具有偏移通孔的集成电路封装

[0001] 相关申请的交叉引用

[0002] 本申请要求于 2012 年 6 月 25 日提交的美国非临时专利申请第 13/532,126 号的权益和优先权,所述专利申请的内容据此宛如在本文充分阐述般以引用的方式并入。

技术领域

[0003] 本发明一般涉及集成电路封装,且更特定而言,涉及具有用于容纳使晶片与衬底互连的焊料凸块的集成电路封装。

[0004] 发明背景

[0005] 晶片可由上覆有许多金属材料的交替层和夹层介电 (ILD) 材料的半导体芯片形成。晶片可进一步包括上覆于材料和 ILD 层的钝化材料,和一层或多层绝缘材料,诸如上覆于钝化材料的聚酰亚胺。

[0006] 通常,延伸通过绝缘材料层的焊料凸块或其它互连结构使晶片与衬底互连,所述衬底通常由有机材料形成。晶片和互连衬底通常被统称为集成电路封装。

[0007] 组成封装的每个不同材料具有不同的热膨胀 (CTE) 系数。例如,硅半导体芯片可具有约 $2.6 \times 10^{-6}/^{\circ}\text{C}$ 的 CTE;聚酰亚胺可具有约 $35 \times 10^{-6}/^{\circ}\text{C}$ 的 CTE;无铅焊料材料可具有在约 $20\text{--}30 \times 10^{-6}/^{\circ}\text{C}$ 的 CTE 范围内的 CTE,以及有机衬底可具有约 $17 \times 10^{-6}/^{\circ}\text{C}$ 的 CTE。在制造和使用期间,封装的温度会发生变化,造成不同的材料根据其各自 CTE 膨胀或收缩。

[0008] CTE 不匹配进而导致封装组件上由于差异膨胀的热机械应力。基于组件之间的 CTE 差,组件在受热时也倾向翘曲。这在组件彼此远离而翘曲时造成剥离应力。这些应力通常被称为芯片封装交互 (CPI) 应力。

[0009] 历史上,使晶片与衬底互连的焊料凸块至少部分地缓和 CPI 应力。焊料凸块通常由相对韧性的含铅合金组成,所述含铅合金能够响应于差异膨胀和翘曲而变形,因此吸收应力并倾向于使晶片和衬底相互隔离。

[0010] 然而,最近,已使用无铅材料替代含铅焊料材料。这些无铅材料倾向更硬,即,比含铅材料具有更低韧性。因此,无铅焊料凸块倾向于吸收更少的应力。在一些情况下,这可使得晶片从其余封装破裂或脱层。

[0011] 由性能需求做出必要的其它材料选择让该问题加重。特定而言,随着半导体芯片的特征尺寸减小,出于性能原因,有必要选择具有小于 3 (低 K 材料) 或小于 2.7 (超低 K (ULK) 材料的介电常数 (K) 的 ILD 材料。与具有 $K > 3$ 的介电材料相比,这种材料通常具有较低的抗剪强度和粘结强度以及对相邻晶片层的较差粘附性。因此,低 K 和 ULKILD 材料尤其容易造成机械故障,诸如破裂或脱层。

[0012] 因此,需要提供对热机械应力的改进保护的半导体封装设计。

[0013] 发明概述

[0014] 作为本发明的示例,集成电路封装形成有偏移通孔。集成电路封装的每个通孔从与半导体芯片上的集成电路连通的衬垫延伸通过上覆于半导体芯片的绝缘材料至面向衬底的附着面。在通孔中容纳的金属材料使半导体芯片与衬底机械地并电气地互连。每个通

孔的接近附着面的部分横向偏离接近衬垫的部分,其在远离半导体芯片的中心的的方向上从所述衬垫延伸。

[0015] 根据本发明的一个方面,公开一种集成电路封装,其包括:半导体芯片,其具有在其上形成的集成电路;至少一个衬垫,其与集成电路电连通;绝缘层,其上覆于半导体芯片,绝缘层具有用于将半导体芯片附接到衬底的附着面;至少一个通孔,其从附着面延伸通过绝缘层至衬垫,通孔包括接近衬垫的第一通孔开口和接近附着面的第二通孔开口,其中第二开口的中心在远离半导体芯片的中心的的方向上横向偏离第一开口的中心;衬底;容纳在通孔中的金属材料,其使衬垫与衬底机械地并电气地互连,并将半导体芯片附接到衬底。

[0016] 根据本发明的另一方面,公开了一种制造包括半导体芯片的集成电路晶片的方法,所述半导体芯片具有在其上形成的集成电路和与集成电路电连通的衬垫。所述方法包括:形成上覆于半导体芯片的第一绝缘材料;形成从衬垫沿第一纵轴延伸通过第一绝缘材料的第一通孔;形成上覆于第一绝缘材料的第二绝缘层;以及形成与第一通孔连通的第二通孔,第二通孔沿第二纵轴延伸通过第二绝缘材料,第二纵轴在远离晶片的中心的的方向上偏离第一纵轴。

[0017] 根据本发明的另一方面,公开了一种集成电路晶片,其包括:半导体芯片,其上具有集成电路;多个衬垫,其与集成电路电连通;绝缘层,其上覆于集成电路晶片,绝缘层具有用于将半导体芯片附接到衬底的附着面;多个通孔,所述通孔的每一个延伸通过绝缘层至用于容纳金属结构的衬垫中的对应一个以将集成电路与衬底互连;其中通孔的每一个具有接近半导体芯片的第一开口和接近附着面的第二开口,并且第二开口的中心比第一开口的中心距离集成电路的中心更远。

[0018] 根据本发明的另一方面,公开了一种集成电路封装,其包括:衬底和晶片。晶片包括半导体芯片、上覆于半导体芯片的绝缘层和通过绝缘层的多个通孔。集成电路进一步包括多个金属互连结构,互连结构中的每一个容纳在通孔的对应一个中,并且金属互连结构的每一个在第一端接合到晶片,而在第二端接合到衬底,其中第二端比第一端距离晶片的几何中心更远。

[0019] 根据本发明的又另一方面,提供了一种集成电路晶片,其包括:半导体芯片,其上具有集成电路;多个衬垫,其与集成电路电连通;绝缘层,其上覆于集成电路晶片,所述绝缘层具有用于将半导体芯片附接到衬底的附着面;布置成图案的多个第一通孔布置,多个第一通孔的每一个延伸通过绝缘层至用于容纳金属结构的衬垫中的对应一个以将集成电路与衬底互连;其中多个第一通孔中的每一个具有接近半导体芯片的第一开口和接近附着面的第二开口,并且第一开口的中心在朝向集成电路晶片的中心的的方向上相对于第二开口的中心而横向偏移第一距离;多个第二通孔,其布置成与多个第一通孔的图案同心的图案,多个第二通孔的每一个延伸通过绝缘层至用于容纳金属结构的衬垫中的对应一个以将集成电路与衬底互连;其中多个第二通孔的每一个具有接近半导体芯片的第一开口和接近附着面的第二开口,并且第一开口的中心在朝向集成电路晶片的中心的的方向上相对于第二开口的中心而横向偏移不同于第一距离的第二距离。

[0020] 根据本发明的又另一方面,提供了一种集成电路晶片,其包括:半导体芯片,其上具有集成电路;多个衬垫,其与集成电路电连通;绝缘层,其上覆于集成电路晶片,所述绝缘层具有用于将半导体芯片附接到衬底的附着面;多个通孔,所述通孔的每一个延伸通过

绝缘层至用于容纳金属结构的衬垫中的对应一个以将集成电路与衬底互连；其中多个通孔至少布置成以集成电路的中心为中心的第一图案和与第一图案同心的第二图案，并且所述通孔的每一个具有接近半导体芯片的第一开口和附着面的第二开口，其中第一开口的中心在朝集成电路的中心的的方向上横向偏离第二开口的中心，且其中在布置成第一图案的通孔中偏移第一距离，以及在布置成第二图案的通孔中偏移不同于第一距离的第二距离。

[0021] 附图简述

[0022] 在仅以举例的方式进行说明的附图中，本发明的实施方案为：

[0023] 图 1 是本发明的实施方案的半导体封装示例的横截面视图；

[0024] 图 2 是图 1 的沿线 II-II 截取的半导体封装的横截面视图；

[0025] 图 3 是在图 2 中描绘的横截面的简化示意图；

[0026] 图 4 是本发明的替代实施方案的半导体封装示例的横截面视图；

[0027] 图 5A-5K 是在不同的制造阶段的图 1 的半导体封装的子组件的部分横截面视图。

具体实施方式

[0028] 图 1 描绘了半导体封装 10，为本发明的实施方案的示例。半导体封装 10 通常包括通过一系列焊料凸块 28 而与衬底 26 互连的晶片 12。晶片 12 包括半导体芯片 11，其上具有集成电路（未示出）。

[0029] 晶片 12 以倒装芯片（flip-chip）附接到衬底 26 中。焊料凸块 28 从晶片 12 的附着面 34 延伸。晶片 12 通过这些凸块附接到衬底，这些凸块回流以用于与衬底 26 机械地并电气地互连。可选地，下填料（未示出）可进一步将晶片 12 附接到衬底 26。

[0030] 集成电路通过包括 BEOL 衬垫 14 的后段制程（BEOL）堆互连。此外，BEOL 堆包括夹层介电（ILD）材料 15、16，其电气地分离 BEOL 堆的导电元件。ILD 材料 15、16 可由低 K 介电材料（诸如 HSSQ、类金刚石、碳掺杂 SiO_2 或 SiCOH ）或 ULK 介电材料（诸如，多孔 SiCOH ）形成。为简单起见，仅描绘 BEOL 堆的一部分，包括 BEOL 衬垫 14 和 ILD 材料 15、16。BEOL 衬垫 14 由通过 ILD 层 15 的导电迹线连接到 BEOL 堆（未示出）的其它元件。BEOL 堆可包括在半导体芯片 11 与 BEOL 衬垫 14 以及 ILD 材料 15、16 之间的额外层的金属迹线和 ILD 材料。

[0031] 晶片 12 还可包括上覆于 BEOL 衬垫 14 和 ILD 材料 16 的钝化材料 18 的层以保护晶片 12 的元件免遭腐蚀。顶部钝化材料 18、晶片 12 可包括绝缘材料层。封装 10 示出有绝缘材料的两个层 20、22，但是可具有更多或更少层。层 20、22 可由聚酰亚胺、聚苯并双噁唑、苯并环丁烯或类似材料。

[0032] 通孔 24 形成通过层 20、22 以容纳用于通过 BEOL 衬垫 14 将晶片 12 与衬底 26 机械地并电气地互连的焊料凸块 28。焊料凸块 28 可由电气导电材料形成，并且从晶片 12 的附着面 34 延伸。焊料凸块 28 可由无铅材料，诸如 SnAg、SnCu、SnAgCu 或其它无铅合金形成。在细间距（fine-pitch）应用中，焊料凸块 28 可以是铜柱。一个或多个导电金属层（未示出）还可在焊料凸块 24 与 BEOL 衬垫 14 之间形成。可选地，附着面 34 与接近焊料凸块 28 的衬底 26 之间的区域可使用环氧树脂下填料（未示出）来填充以保护和 / 或机械地增强互连。

[0033] 衬底 26 可安装在电路板 32 上以使半导体封装 10 与和电路板互连的其它设备互

连。通常,衬底 26 由有机材料形成,但将理解,熟练技术人员可知道替代地由任何适合的材料形成。

[0034] 图 2 描绘了绝缘材料层 22 的底侧的部分,示出用于使半导体封装 10 与衬底 26 互连的焊料凸块(统称为焊料凸块 28;个别为焊料凸块 28a 至 28y)的阵列。焊料凸块通常布置成 5×5 的网格图案。然而,根据半导体封装 10 的功能需求,焊料凸块 28 与更多或更少凸块可替代地布置成交替图案。

[0035] 如示出,焊料凸块 28a 位于晶片 12 的中心,标记为点 A,其位于半导体芯片 11 的中心上。焊料凸块 28b 至 28y 位于远离晶片 12 的中心。然而,焊料凸块 28 不需要包括位于晶片 12 的中心处的凸块。

[0036] 在制造和操作期间,半导体封装 10 可受热。不幸地,这导致半导体封装 10 的部件以对应于其各自的热膨胀系数(其如先前所述的,可广泛变化)的速率膨胀和/或收缩。

[0037] 当焊料凸块 28 将晶片 12 与衬底 26 机械互连时,晶片 12 和衬底 26 的差异膨胀和收缩造成对焊料凸块 28、BEOL 衬垫 14、焊料凸块 28 与 BEOL 衬垫 14 之间的结合点和/或焊料凸块 28 与衬底 26 之间的结合点进行热机械剪切(thermo-mechanical shear)和剥离应力。进一步地,BEOL 衬垫 14 上的应力可对相邻 ILD 材料 15、16 强加应力。还可能存在于由于差异膨胀和收缩而产生的剪切应力,这取决于条件和封装特征。

[0038] 晶片 12 和衬底 26 的每一个将倾向于在所有方向上热膨胀远离其各自的中心。因此,膨胀的累积影响随着从晶片 12 和衬底 26 的各自几何中心的距离增加而增加。收缩的累积影响将同样随着从晶片 12 和衬底 26 的中心的距离增加而增加。因此,热机械应力的量级随着从晶片 12 和衬底 26 的距离增加而增加。

[0039] 因此,如在图 2 中图示,热机械应力将在中心(图 2 中的位置 A)接近零。热机械应力在相对于位置 A 的位置 B 将会更高,且在位置 C 仍更高。出于相同的原因,峰值热机械应力随着晶片 12 的尺寸增加而增加。

[0040] 热机械应力,尤其是剥离应力,可造成破裂形成且在 ILD 材料 15、16 中传播。还可能会发生 ILD 材料 15、16 的层的部分或甚至全部脱层。ILD 材料 15、16 和 ILD 材料 15、16 之间的界面和半导体封装 10 的相邻部件尤其容易遭受破裂和脱层:虽然出于性能原因,低 K 和 ULK ILD 材料通常是可取的或必要的,但是此类材料通常具有较差机械特性,如低强度。

[0041] 焊料凸块 28a 至 28y 的每一个容纳在对应的通孔 24a 至 24y(共同地,通孔 24)中。在图 1 的放大部分中的横截面中描绘通孔 24a 和 24b。通孔 24a 位于晶片 12 的中心处,并位于半导体芯片 11 的中心上。通孔 24b 横向偏离晶片 12 的中心。通孔 24b 的几何布置代表通孔 24c 至 24y 的布置,其同样横向偏离晶片 12 的中心。通孔 24 具有第一通孔部分 36 和第二通孔部分 38(个别地,分别为通孔部分 36a 到 36y 和 38a 到 38y)。第一通孔部分 36 从 BEOL 衬垫 14 延伸通过层 20。第二通孔部分 38 从附着面 34 延伸通过层 22 并与第一通孔部分 36 连通。因此,通孔 24 延伸远离 BEOL 衬垫 14 通过绝缘材料的层 20 和 22。

[0042] 第一通孔部分 36 和第二通孔部分 38 的每一个沿通过每个各自通孔部分的中心的纵轴延伸。通孔 24b 的第一通孔部分 36b 的纵轴为轴 42,而通孔 24b 的第二通孔部分 38b 的纵轴为轴 44。通孔 24a 的第一和第二通孔部分 36a 和 38a 是同轴的并沿纵轴 46 延伸。

[0043] 第一通孔部分 36 具有接近 BEOL 衬垫 14 的开口 48(在图 1 中分别示为第一通孔部

分 36a、36b 的开口 48a、48b) 和其中第一通孔部分 36 与第二通孔部分 38 交叉的开口 50 (同样示为 50a、50b)。类似地,第二通孔部分在第一和第二通孔部分的交叉点处具有开口 52 且在附着面 34 处具有开口 54 (分别示为 52a、52b 和 54a、54b)。通孔部分 36 和 38 是截头圆锥形,直径分别从开口 48、52 处的最小值增加到开口 50、54 处的最大值。第二通孔部分 38 的最小直径大于第一通孔部分 36 的最大直径。由于通孔 24 具有这种几何形状,通孔 24 的侧壁在层 20 的表面顶部具有平坦阶梯,其中第一和第二部分相交。如将理解,通孔 24 的形状确定焊料凸块 28 的形状。因此,由于通孔 24 的几何形状,焊料凸块 28 位于通孔 24 的壁中的平坦阶梯上。此外,由于通孔 24 的形状,焊料凸块 28 在其接合到衬底 26 处的直径大于在其接合到 BEOL 衬垫 14 处的直径。

[0044] 在替代实施方案中,通孔 24 可具有不同的形状。例如,第一和第二部分可以是圆柱形,具有垂直侧壁且阶梯位于其中第一和第二部分交叉的侧壁中。

[0045] 转到图 3,在简化示意图中示出绝缘材料的层 22 的底侧。出于图示通孔 24 的配置的目的,图 3 省略焊料凸块 28。此外,仅示出第一通孔部分 36 的开口 50 和第二通孔部分 38 的开口 54。如先前所述,通孔 24a 位于晶片 12 的中心处。通孔 24a 的第一和第二部分 36a 和 38a 是同轴的,且沿着纵轴 46 延伸,纵轴 46 通过晶片 12 的中心和半导体芯片 11 的中心。相反,通孔 24b 远离晶片 12 的中心。通孔 24b 的第二通孔部分 38b 在远离晶片 12 和半导体芯片 11 的几何中心的方向上横向偏离第一通孔部分 36b。特定而言,第二通孔部分 38b 的纵轴 44 在远离晶片 12 和半导体芯片 11 的中心的的方向上横向偏离纵轴 42。通孔 24c 至 24y 同样偏离晶片 12 的中心,且其各自第二通孔部分在远离晶片 12 的中心和半导体芯片 11 的中心的的方向上偏离其各自的第一通孔部分。

[0046] 因为通孔 24 界定焊料凸块 28 的形状,所以焊料凸块 28 的接近衬底 26 的部分同样在远离晶片 12 和半导体芯片 11 的几何中心的方向上偏离接近 BEOL 衬垫 14 的部分。因此,以此方式使第二通孔部分 38 偏离第一通孔部分 36 定位焊料凸块 28 与衬底 26 之间的接合点,该处的热机械应力为最高。相比之下,如果第二通孔部分 38 不从第一通孔部分 36 偏移,那么焊料凸块 28 与衬底 26 之间的接合点将被定位在靠近晶片 12 和半导体芯片 11 的中心的较低应力区域。如将理解,因为通孔 24a 位于晶片 12 的中心处,所以在任何给定方向上的偏移将导致第二通孔部分 38a 的一部分距离晶片 12 的中心更远,而第二通孔部分 38a 的一部分距离更近。因此,偏移第二通孔部分 38a 将不会如偏移第二通孔部分 38 的剩余部分一样提供相同的益处。

[0047] 施加到焊料凸块 28 的热机械应力被传递到层 20、22, BEOL 衬垫 14 和 ILD 层 15、16。如先前所述,ILD 层 15、16 易于破裂和 / 或脱层。另一方面,层 20、22 相对柔软且可忍受某种程度变形而不从封装 10 的相邻层破裂、断裂或脱层。层 20、22 的变形会吸收应力。层 20 和 22 因此具有缓冲作用,吸收一些应力使得更少应力被传递到 BEOL 衬垫 14 和 ILD 层 15、16。通孔 24 的上述几何形状在经历高热机械应力的区域中的焊料凸块 28 下面,即在位于远离晶片 12 和半导体芯片 11 的中心的每个焊料凸块 28 的一侧上提供额外的材料层 20 和 22。因此,相对于不具有偏移通孔部分的晶片,更高应力通过层 20 和 22 的变形而被吸收,而不是被传递到 BEOL 衬垫 14 和 ILD 层 15、16。

[0048] 如图 2-3 中所描绘,第一通孔部分 36 与 BEOL 衬垫 14 对齐,其在晶片 12 上呈网格图案均匀地分布。第二通孔部分 38 具有恒定尺寸和离对应的第一通孔部分 36 的恒定偏移

距离。最大可允许的偏移距离受工艺限制控制。此外,将理解,第二通孔部分 38 的每一个必须与对应的第一通孔部分 36 重叠。在描绘的实施方案中,偏移距离由第一和第二通孔部分 36 和 38 的尺寸来确定。

[0049] 如图 3 中所描绘,第二通孔部分 38 的每一个沿径向线从第一通孔部分 36 的对应一个向外偏移,所述径向线通过晶片 12 和半导体芯片 11 的中心以及各自第一通孔部分 36 的中心。例如,线 55 与轴 42 和轴 46 相交,通孔 24b 的第一通孔部分 36b 沿轴 42 延伸,且轴 46 通过晶片 12 和半导体芯片 11 的中心。轴 44(第二通孔部分 38b 沿该轴延伸)沿线 55 从轴 42 向外偏移。对于对称的且具有圆形开口的通孔部分,诸如在图 3-4 中描绘的截头圆锥形通孔部分,这会导致第二通孔部分 38 位于距离晶片 12 的中心尽可能远的一段给定偏移距离处。在该配置中,焊料凸块 28 将在经历最高应力的区域处接合到衬底 26,从而最小化应力减轻的作用。

[0050] 在其它实施方案中,BEOL 衬垫 14 的布置、第一通孔部分 36 和 / 或第二通孔部分可能不同。例如,第一通孔部分 36 与第二通孔部分 38 之间,即纵轴(其沿该轴延伸)之间的偏移距离和方向可基于特定通孔 24 的位置而不同。例如,更靠近晶片 12 和半导体芯片 11 的中心的通孔 24 可能比更远离晶片 12 和半导体芯片 11 的中心的那些通孔具有更小偏移。在一些实施方案中,不同通孔 24 的第二通孔部分 38 可具有不同的尺寸。例如,朝向晶片 12 的角落而定位的通孔 24 可能比其他通孔具有更大的第二部分 38。在一些实施方案中,外部通孔部分的尺寸和偏移尺寸可根据热机械应力的分布而成比例变化。

[0051] 在一些实施方案中,通孔 24 可被分组成以晶片 12 和半导体芯片 11 的中心为中心的图案。例如,在图 3 中,通孔 24b 至 24i 布置成以晶片 12 和半导体芯片 11 的中心为中心的第一通常为矩形或方形的图案。通孔 24b 至 24i 的第一通孔部分在朝晶片 12 和半导体芯片 11 的中心的的方向上相对于各自第二通孔部分而横向偏移(同样,通孔 24b-24i 的第二通孔部分在远离晶片 12 和半导体芯片 11 的中心的的方向上从各自第一通孔部分偏移)。偏移的尺寸对于组成第一通常为矩形的图案的通孔 24b 至 24i 中的每一个来说是一致的。通孔 24j 至 24y 布置成与第一通常为矩形的图案同心的第二通常为矩形的图案。即,第一和第二通常为矩形的图案二者均以晶片 12 和半导体芯片 11 的中心为中心。通孔 24j 至 24y 的第一通孔部分在朝向晶片 12 和半导体芯片 11 的中心的的方向上相对于各自第二通孔部分而横向偏移(同样,通孔 24j-24y 的第二通孔部分在远离晶片 12 和半导体芯片 11 的中心的的方向上从各自第一通孔部分偏移)。偏移的尺寸对于组成第二通常为矩形的图案的通孔 24j 至 24y 中的每一个而言是一致的。在一些实施方案中,第二图案的偏移尺寸可不同于第一图案的偏移尺寸。例如,第二图案的偏移尺寸可能比较大,第二图案中的每个构件比第一图案的构件距离晶片 12 和半导体芯片 11 的中心更远。在一些实施方案中,通孔 24 可布置成不是矩形的同心图案。例如,通孔 24 可布置成圆形或椭圆形环。

[0052] 在一些实施方案中,晶片可具有单个绝缘材料层。在这样的实施方案中,通孔可具有不对称的锥形边,使得每个通孔的接近附着面的开口相对于通孔接近对应 BEOL 衬垫的开口而横向偏离晶片和半导体芯片的中心。接近附着面的通孔开口还可大于接近 BEOL 衬垫的对应通孔开口。相对于不具有偏移通孔的晶片,这样的布置将在焊料凸块下面距离晶片和半导体芯片的中心最远的一侧上,即在经历高热机械应力的区域中提供额外的绝缘材料。

[0053] 通过在图 1-4 中将半导体封装 10 描绘成具有中心通孔 24a,可替代地从半导体封装 10 省略中心通孔 24a。

[0054] 在图 1-3 中,每个通孔 24 的第一部分 36 在各自 BEOL 衬垫 14 上居中。然而,在替代的实施方案中,在图 4 中描绘,第一通孔部分 36' 可相对于 BEOL 衬垫以与第二通孔部分 38' 相对于第一通孔部分 36' 而偏移的几乎相同的方式进行偏移。这将导致第二通孔部分 38' 相对于图 1 的实施方案而位于距离晶片 12 的中心更远的介于第一通孔部分与第二通孔部分的一段给定偏移距离处。

[0055] 现参考图 5A-5K,现将描述一种用于制造集成电路晶片并将其与衬底互连的示例工艺。结合包括单个半导体芯片 11 的单个晶片 12 来描述并图示所述工艺,然而,可在分离前对包括多个半导体芯片的晶圆替代地执行制造晶片 12 的步骤。

[0056] 如先前所述,半导体封装 10 组装在倒装芯片中。因此,如在图 5A-5I 中描绘,晶片 12 的子组件相对于图 1 是倒置的。

[0057] 在图 5A 中示出,半导体芯片 11 以常规的方式形成在半导体衬底上或半导体衬底中。半导体芯片 11 包括有源电路元件和一系列导电迹线和介电材料层,介电材料层将有源电路元件彼此互连且将有源电路元件与 I/O 衬垫互连。所述一系列互连和绝缘元件被称为 BEOL 堆。BEOL 堆设计和制造对技术人员而言是已知的。因此,为了说明和解释的简单起见,仅示出一个 BEOL 衬垫 14 和介电材料 (ILD) 的两个层 15、16。BEOL 衬垫 14 经由通过 ILD 层 15 的导电迹线连接到 BEOL 堆的其它元件,然而,为了简单起见,未示出这些。

[0058] 钝化材料 18 沉积成上覆于 BEOL 堆。钝化材料 18 用来保护晶片 12 免遭腐蚀。钝化材料 18 可通过化学气相沉积工艺来形成,诸如等离子体增强化学气相沉积工艺 (PECVD) 或低压化学气相沉积工艺 (LPCVD)。二氧化硅钝化材料可通过 PECVD 工艺使用硅烷 (SiH_4) 和一氧化二氮 (N_2O) 或氧气 (O_2) 或通过 LPCVD 工艺使用正硅酸乙酯 ($\text{Si}(\text{OC}_2\text{H}_5)_4$) 或具有一氧化二氮的二氯甲硅烷 (SiH_2Cl_2) 形成。氮化硅钝化材料可在氩气存在的条件下通过 PECVD 工艺使用硅烷和氨气 (NH_3) 或氮气 (N_2) 形成。为了简单起见,钝化材料 18 被描绘成单个层。然而,钝化材料 18 可由多层堆组成,该多层堆由粘附层 (NBlock) 组成,上覆有 SiN 和 SiO_2 层 (其可能可选地上覆有进一步的 SiN 层。通常,钝化材料 18 的厚度介于 500nm 与 3000nm 之间。

[0059] 掩膜 60 使用光刻工艺形成为上覆于钝化材料 18。掩膜 60 在通孔 24 的期望位置 (特定而言,通孔 24 的开口 48) 处具有开口 62。通常,掩膜 60 是光致抗蚀剂掩膜。

[0060] 一旦已形成掩膜 60,则钝化材料 18 被蚀刻以创建通过钝化材料 18 与开口 62 对应的开口。蚀刻可以是基于钝化材料 18 的成分和厚度而选择的任何适合的已知的蚀刻技术,诸如反应离子蚀刻。应使用对钝化材料 18 有选择性的技术,以便尽可能少地移除 BEOL 衬垫 14。例如,通过对掩膜材料有选择性的溶剂来移除掩膜 60。图 5B 示出在蚀刻钝化材料 18 和移除掩膜 60 后的在制半导体封装 10。

[0061] 绝缘材料层 20 沉积成上覆于钝化材料 18。绝缘材料层 20 可以是感光的,并且例如可使用旋涂工艺来沉积。在晶片 12 的完成状态下,通孔 24 的第一部分 36 形成在层 20 中。因此,层 20 的厚度至少部分由第一通孔部分 36 的期望厚度来确定。

[0062] 图 5C 示出具有绝缘材料层 20 的在制晶片 12。在层 20 沉积之后,创建通过层 20 的通孔 24 的第一通孔部分 36。以下工艺是用于通过阳性光敏聚酰亚胺形成锥形通孔的适

合工艺的一个实例。如将理解,可使用不同的工艺(例如)以形成具有不同形状(例如,圆柱形)的通孔或使用不同材料形成通孔。

[0063] 首先,使用光刻曝光工艺来图案化层 20。例如,可使用超紫外线辐射通过光掩膜来光刻地曝光层 20 的区域。曝光使得曝光区域变得可溶于显影液。

[0064] 将曝光层 20 浸在选择性地溶解曝光区域 63 的显影剂中,形成第一通孔部分 36,如图 5D 中示出。在显影之后,层 20 可被固化,使其从进一步的显影工艺复原。

[0065] 在图 5C-5D 中示出,曝光区域 63 和第一通孔部分 36 具有锥形边。曝光区域 63 的形状和通孔部分 36 的壁的锥度(斜度)受以下因素的影响:曝光能量(曝光的剂量和时间)、预固化的程度(例如,层 20 的旋涂后在热板上)以及显影配方(显影剂化学成分、显影时间和喷射图案)。

[0066] 第二绝缘材料层 22 可沉积在层 20 上,如图 5E 所示。层 22 可以类似于层 20 的方式沉积。其随后以类似于层 20 的方式曝光和显影,以创建第二通孔部分 38。

[0067] 层 22 可具有与层 20 不同的材料,使得可选择显影工艺来从层 22 移除材料,而从层 20 移除很少材料或不从层 20 移除材料。替代地,如果在层 22 沉积之前固化层 20,那么层 20 和层 22 可具有相同材料,使得层 22 可被显影,而不从层 20 移除大量材料。

[0068] 如在图 5E 中示出,层 22 的曝光区域 66 具有锥形边,类似于曝光区域 63。曝光区域 66 还大于第一通孔部分 36,使得在层 22 被显影之后,层 20 的部分将不被覆盖。曝光区域 66 还从第一通孔部分 36 偏移。如图 5F 中所示,一旦层 22 已被显影,则形成通孔 24 的第一部分 36 和第二部分 38 的空腔已被界定。

[0069] 因为通孔 24 的第一部分 36 形成在层 20 中且通孔 24 的第二部分 38 形成在层 23 中,所以层 20 和层 22 的厚度至少部分由第一通孔部分 36 和第二通孔部分 38 的期望厚度来确定。通常,层 20 和层 22 的厚度介于 $2\mu\text{m}$ 与 $15\mu\text{m}$ 之间,但最常见的是其厚度介于 $3\mu\text{m}$ 与 $5\mu\text{m}$ 之间。

[0070] 如在图 5G 中示出,金属层 68 沉积在晶片 12 上且在第一通孔部分 36 和第二通孔部分 38 内。金属层 68 使得焊料凸块 28 能够通过电镀的方式沉积在通孔 24 中。可选地,一个或多个额外金属层(未示出)可形成为下伏于金属层 68 以作为层 22 与焊料凸块 28 之间的屏障且提供额外的应力消除。

[0071] 凸块形成层 70 上覆于一个或多个金属层,且被图案化以形成与第二通孔部分 38 的开口 54 对齐的开口以容纳焊料材料。凸块形成层 70 由电绝缘材料形成,且可被沉积和图案化(即,曝光和显影),类似于层 20 和层 22。使用使金属层 68 保持完整的溶剂来对凸块形成层显影。

[0072] 焊料凸块 28 沉积在通孔 24 中,如图 5H 所示。焊料凸块 28 可通过电镀工艺使用金属层 68 作为阳极而沉积,使得焊料凸块仅形成在金属层 68 的部分上,其曝光于电镀槽(即,通孔 24 内的部分)。焊料凸块 28 沉积成柱状,其由凸块形成层 70 界定。因此,凸块形成层 70 的厚度必须大于焊料凸块 28 的期望高度,以确保焊料凸块 28 在电镀工艺期间不会突起。

[0073] 如图 5I 所示,在焊料凸块 28 的沉积之后,凸块形成层 70 连同金属层 68 的部分和位于通孔 24 外的任何下伏金属层一起被移除。例如,可使用对凸块形成层 70 有选择性的溶剂来移除凸块形成层。金属层 68 和任何下伏金属层可使用被选择以使焊料凸块 28 和层

22 保持完整的蚀刻工艺来移除。随后应用回流工艺以将焊料凸块 28 形成到球形焊球中。

[0074] 一旦焊料凸块 28 被沉积且凸块形成层 70 被移除,则晶片 12 可被安装到衬底 26 以形成半导体封装 10。当然,如果在晶圆级上执行先前制造步骤,即如果对包括多个半导体芯片的晶圆执行所述步骤,那么晶圆必须首先被切割成单一晶片,使得每个单一的封装可被安装到衬底 26。

[0075] 为了安装,将晶片 12 倒置并定位在衬底 26 上,使得焊料凸块 28 的每一个与衬底 26 上的对应接触衬垫 72 接触,如图 5J 示出。焊料凸块 28 随后受热,因此其回流且接合到接触衬垫 72,使晶片 12 与衬底 26 电气地并机械地互连。可选地,附着面 34 与衬底 26 之间的区域可使用下填料填充以密封焊料凸块 28,且机械地加强半导体封装 10。如将理解,衬底 26 包括进一步的一系列金属互连件和一系列接触件(未示出),半导体封装 10 可通过所述系列的金属互连件和所述系列的接触件与电路板(未示出)互连以用于将半导体封装 10 与其它设备连接。

[0076] 本发明的实施方案可用于各种应用中,包括 DRAM、SRAM、EEPROM 和闪存模块、图形处理器、通用处理器、CPU 和 APU。

[0077] 上述实施方案旨在仅为说明性的而不以任何方式进行限制。执行本发明的所述的实施方案易受到形式、部件的布置、操作的细节和顺序的许多修改的影响。相反,本发明旨在将所有此类修改涵盖在其如由权利要求限定的范围内。

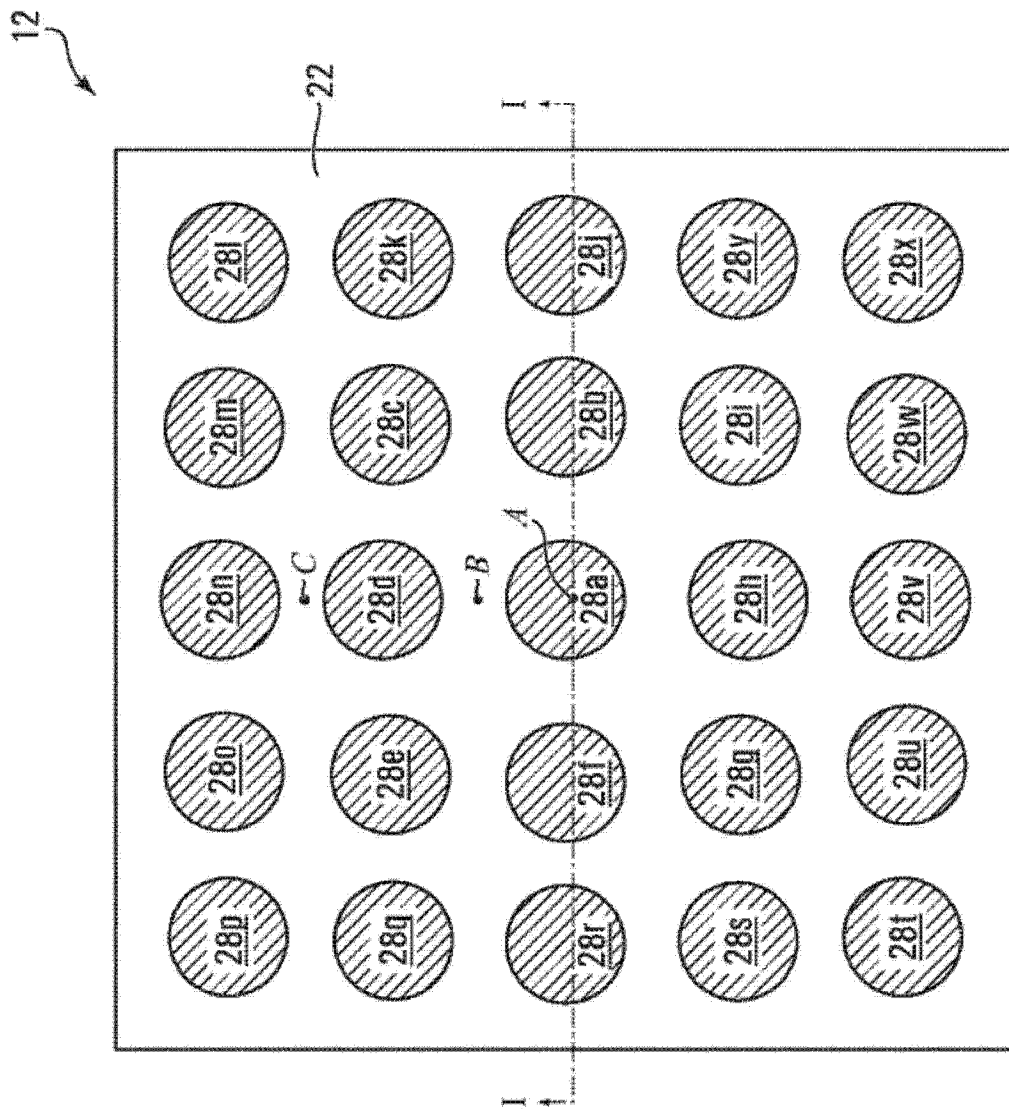


图 2

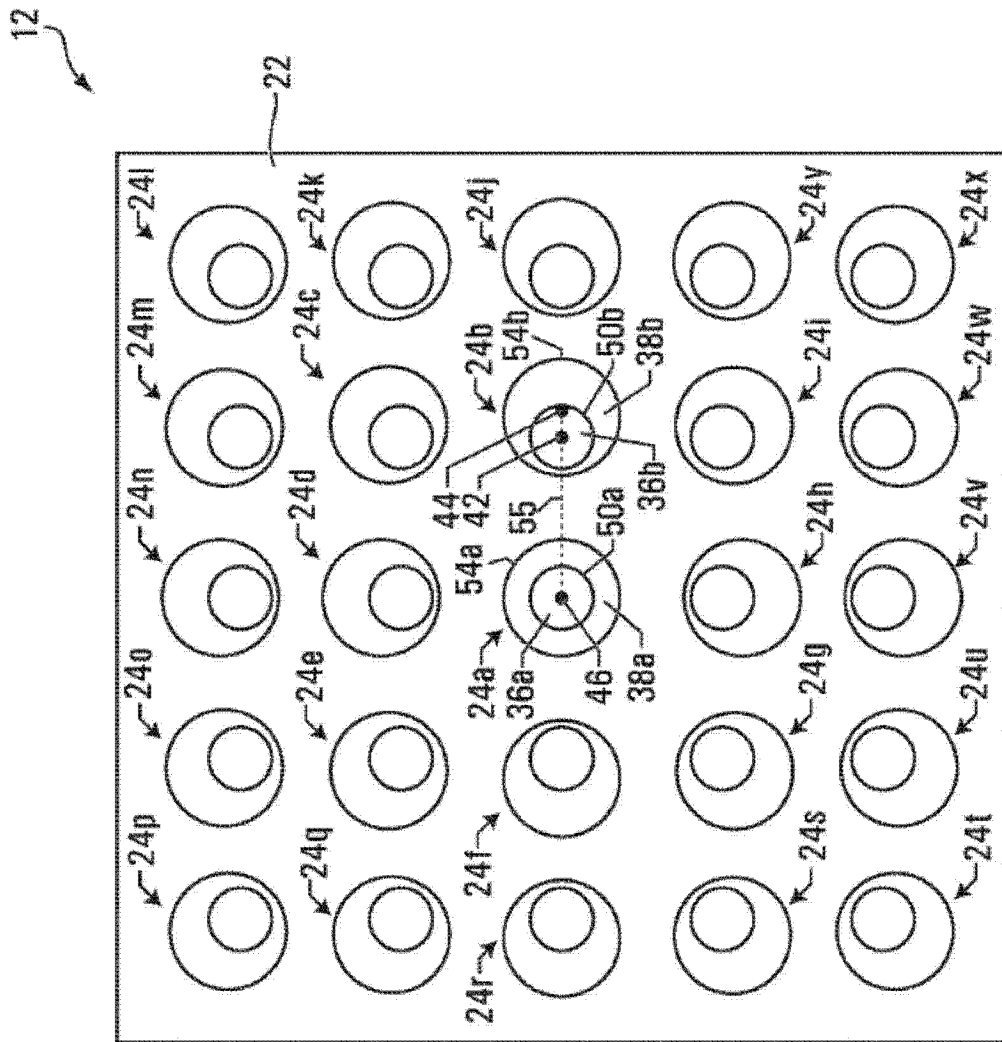


图 3

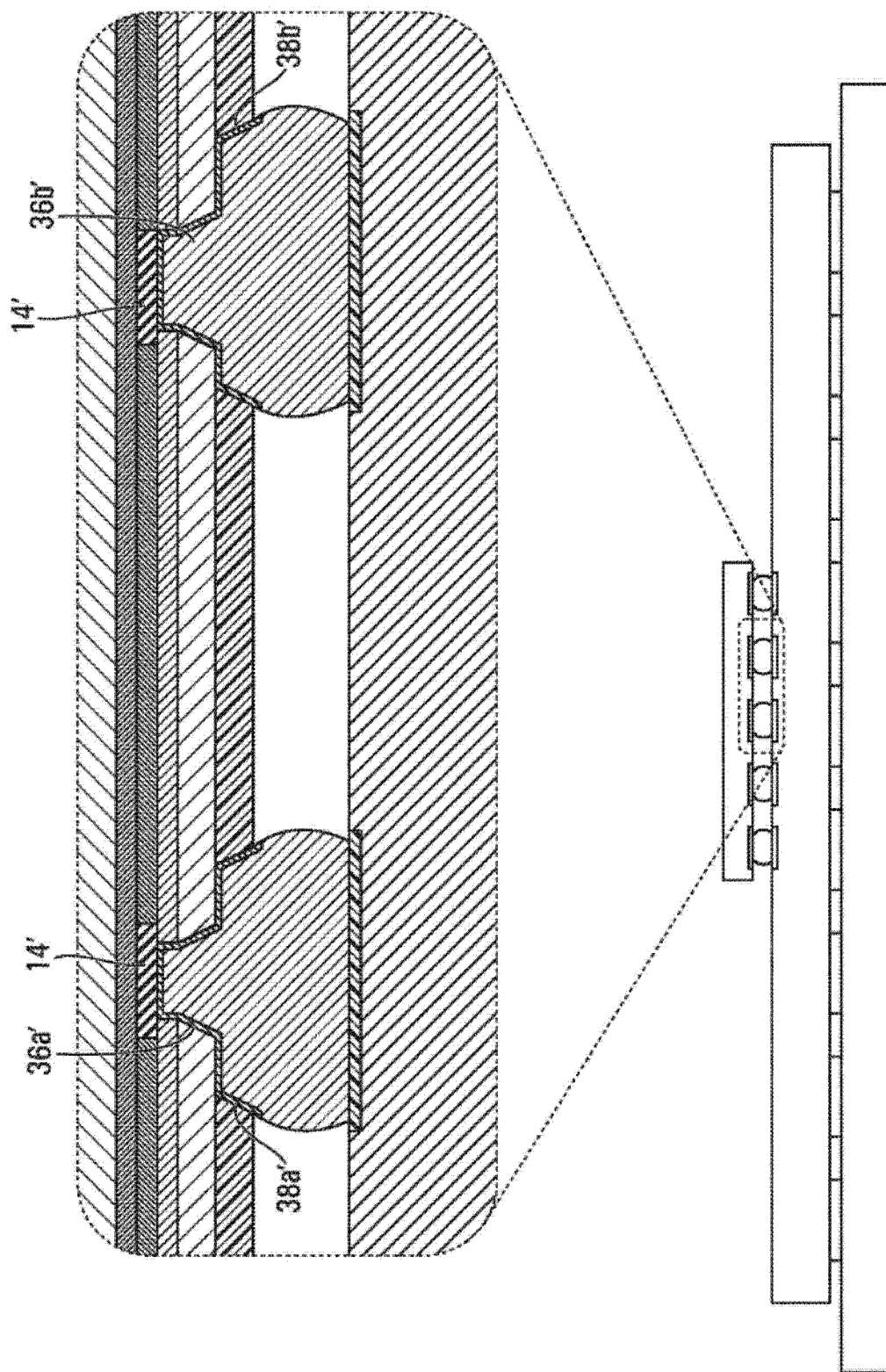


图 4

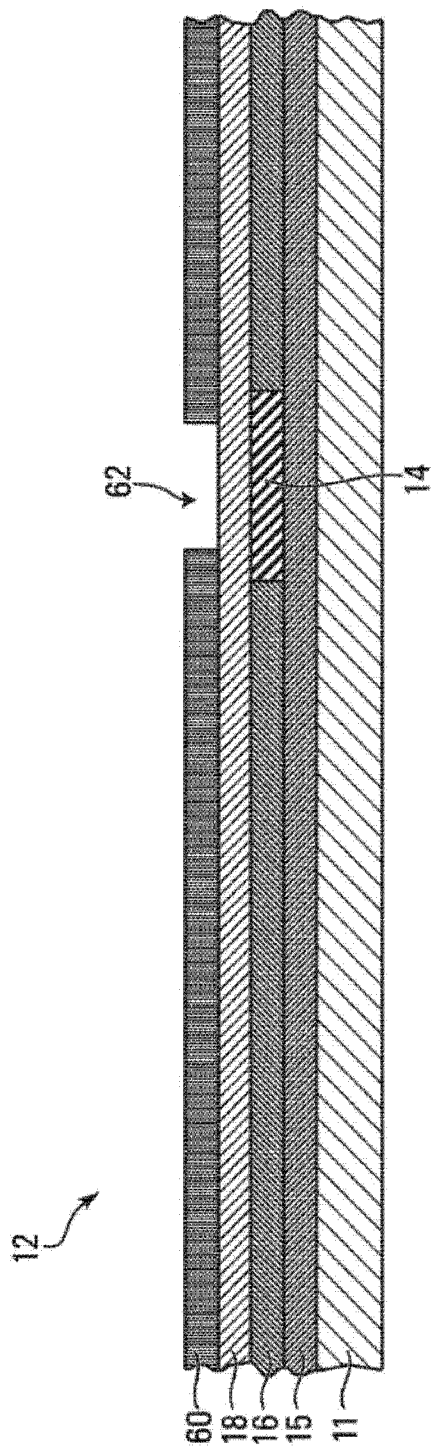


图 5A

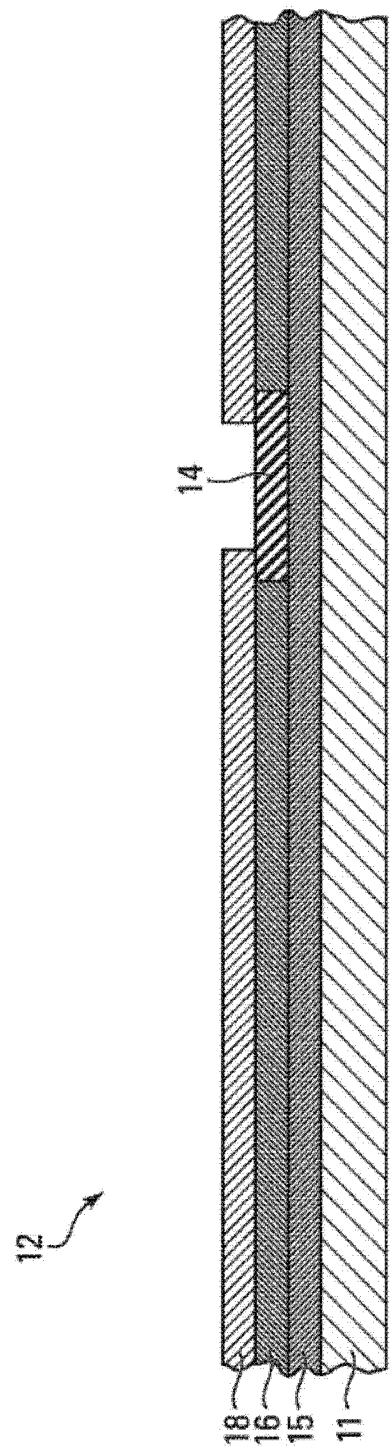


图 5B

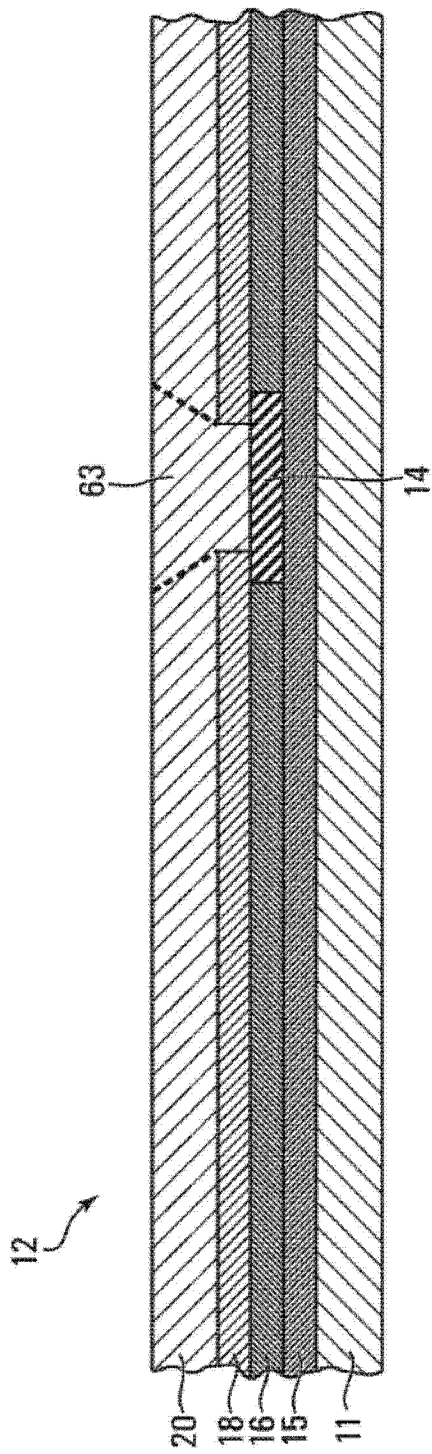


图 5C

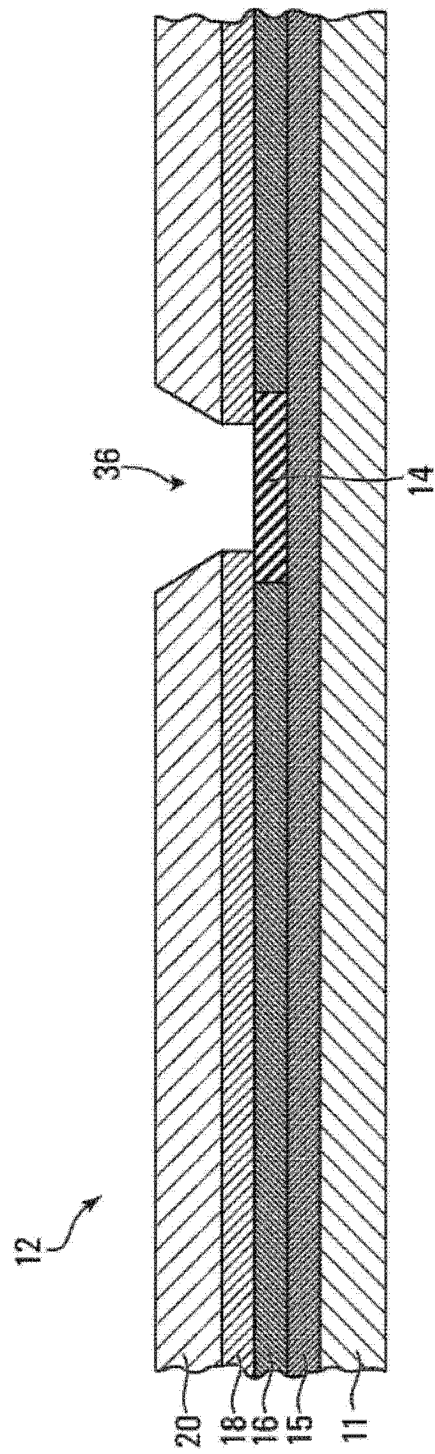


图 5D

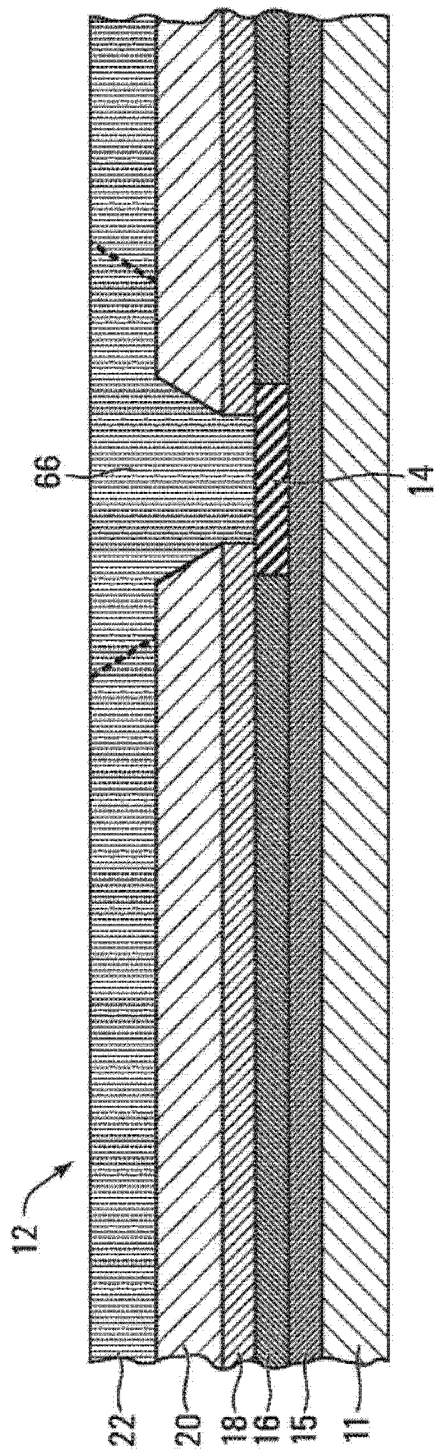


图 5E

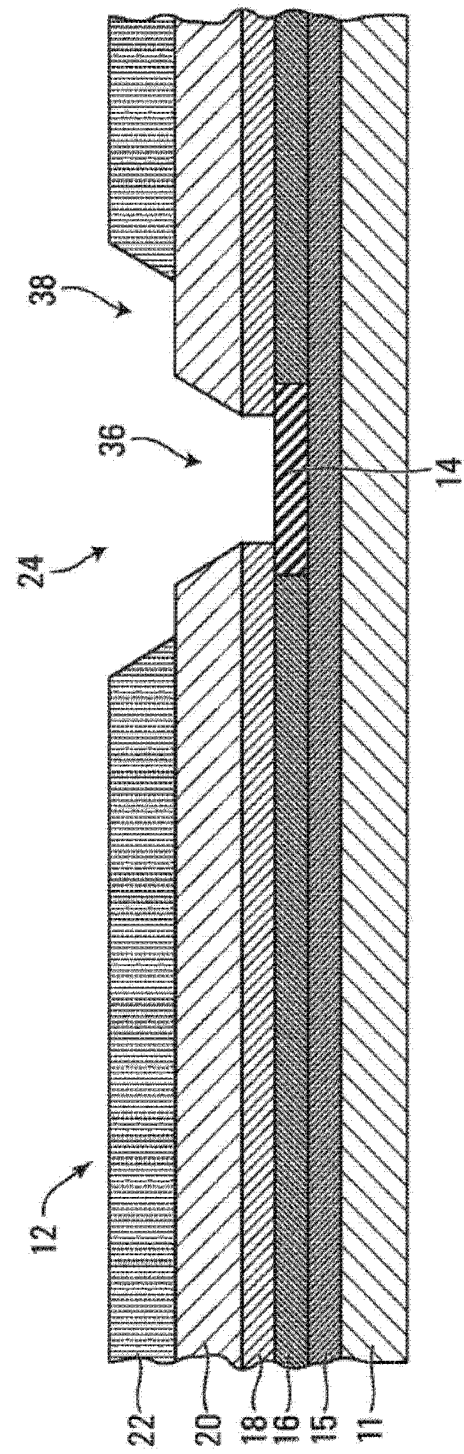


图 5F

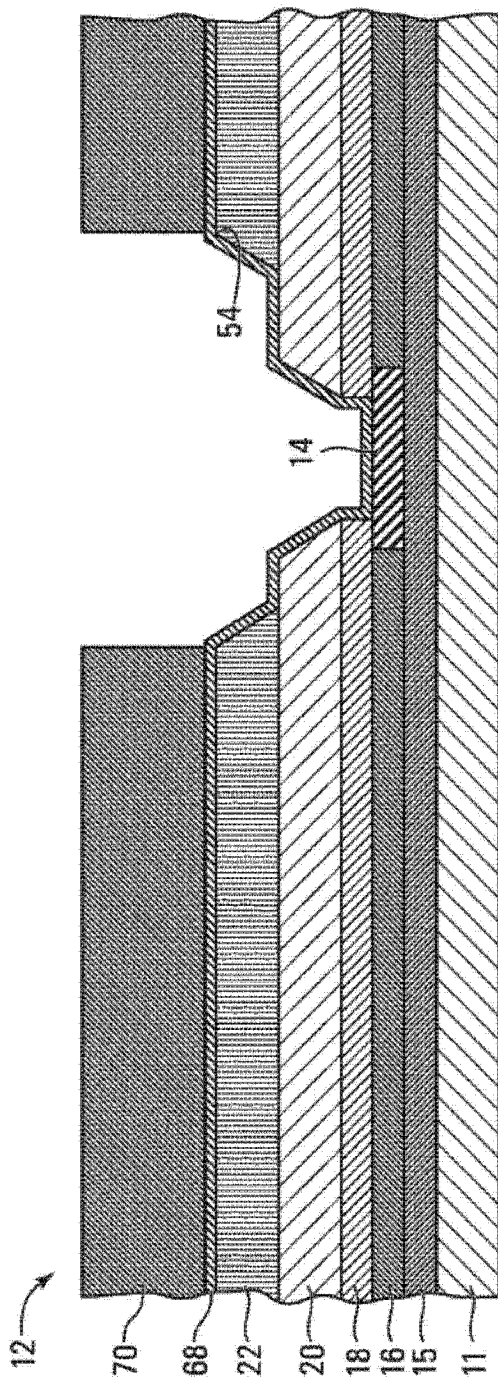


图 5G

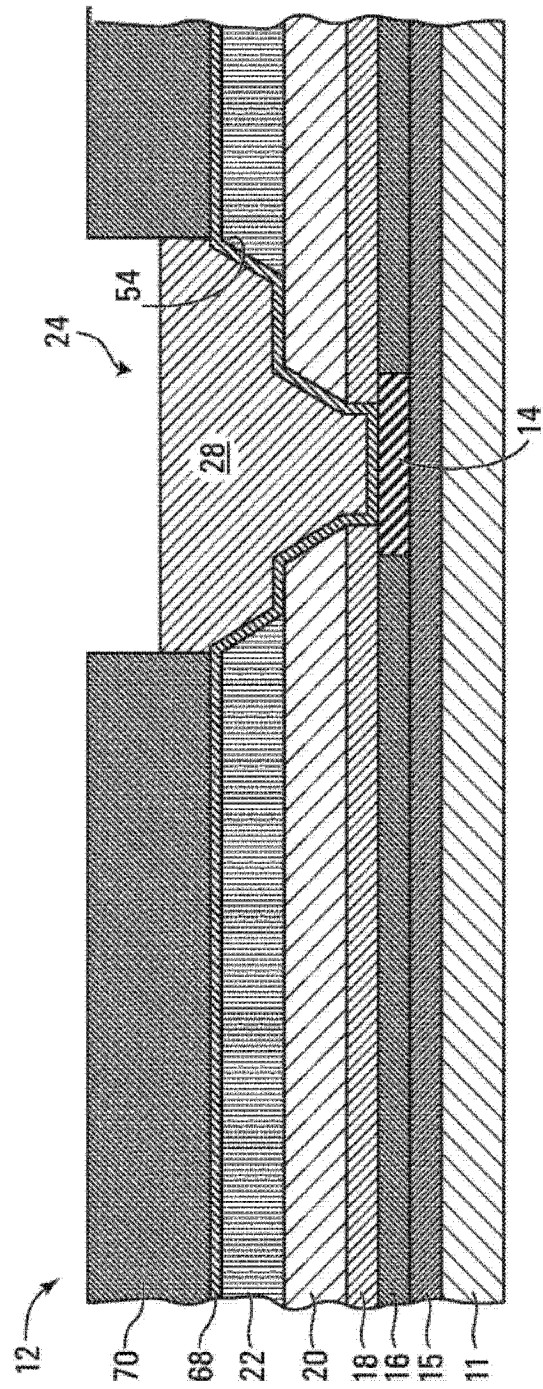
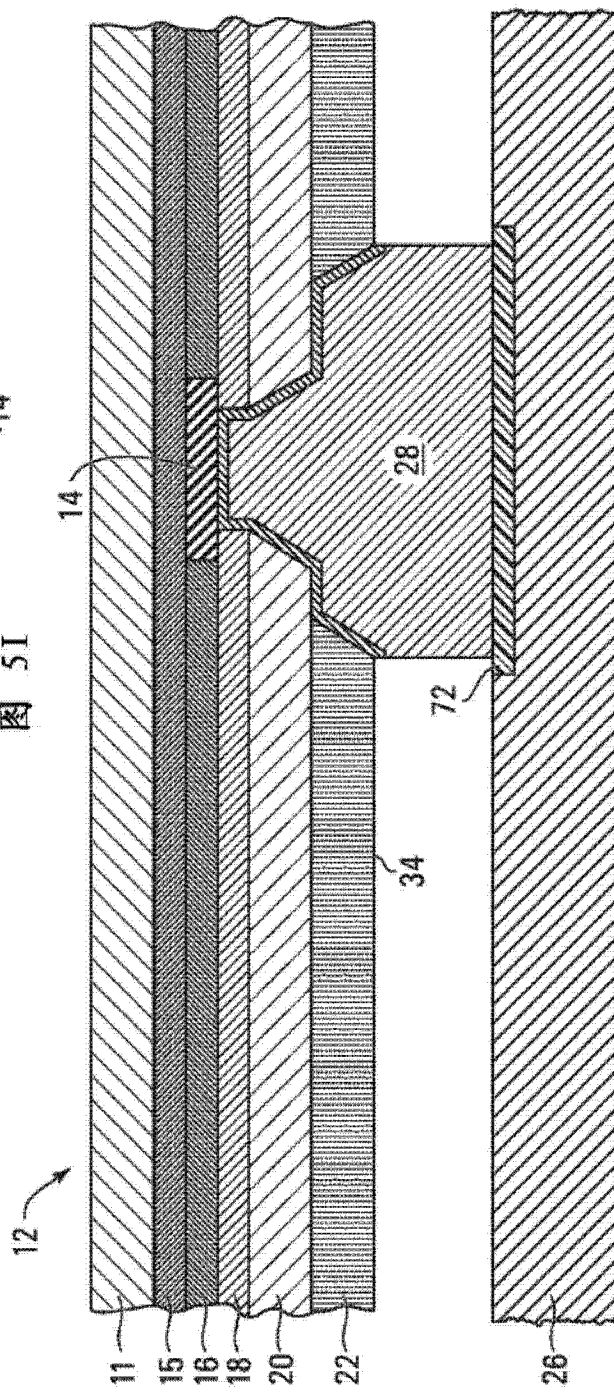
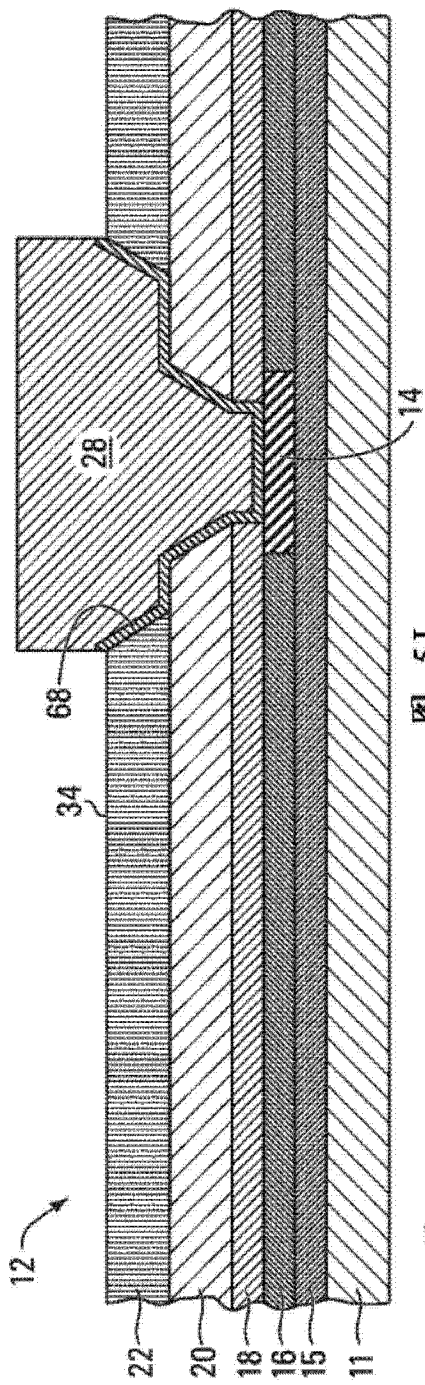


图 5H



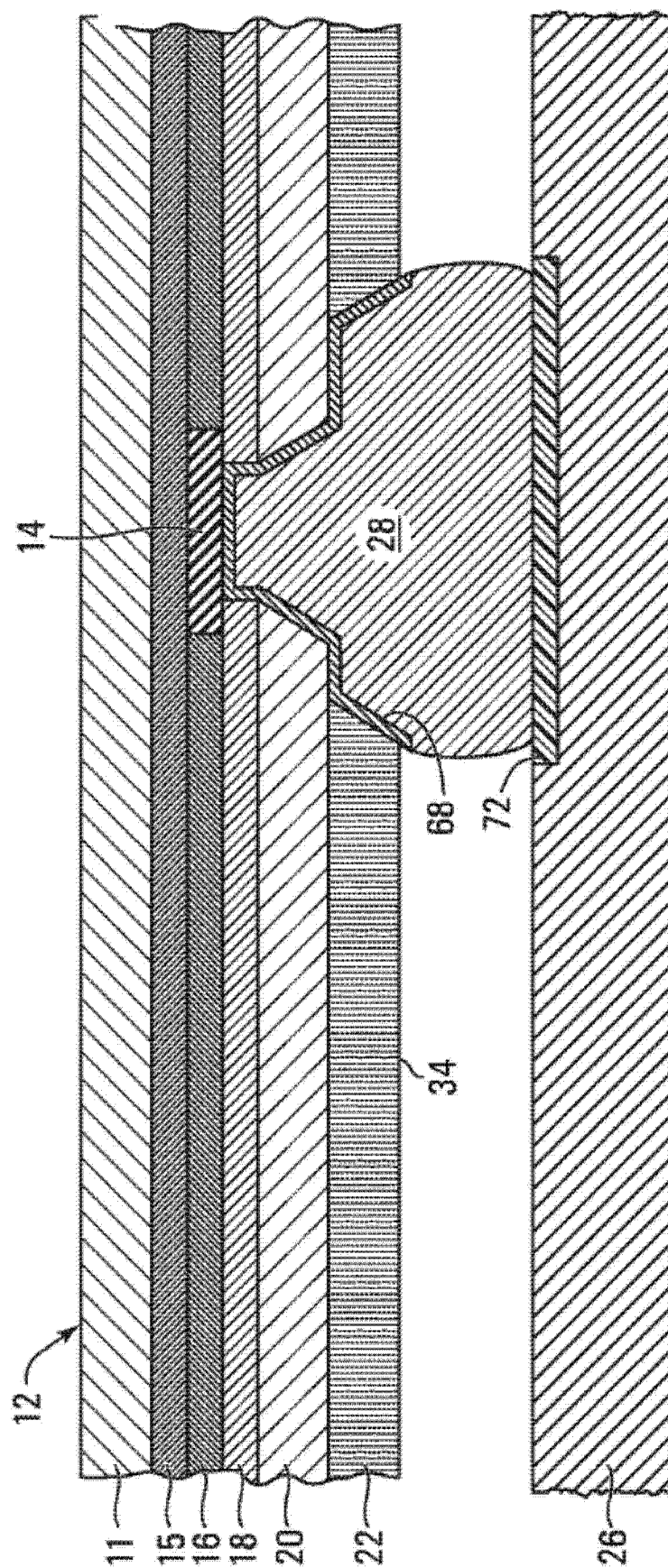


图 5K