

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2003年1月9日 (09.01.2003)

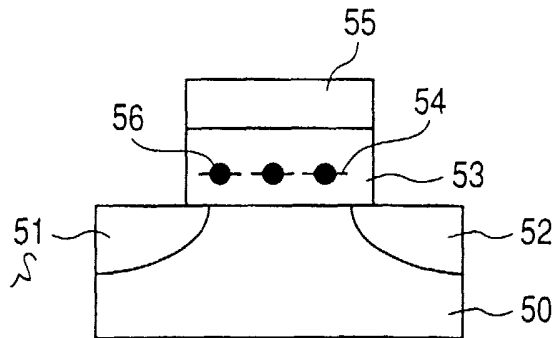
PCT

(10) 国際公開番号
WO 03/003473 A1

- (51) 国際特許分類: H01L 29/792, 27/115, 21/8247 185-8601 東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所 中央研究所内 Tokyo (JP).
- (21) 国際出願番号: PCT/JP01/05544
- (22) 国際出願日: 2001年6月28日 (28.06.2001)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人 (米国を除く全ての指定国について): 株式会社日立製作所 (HITACHI, LTD.) [JP/JP]; 〒101-8010 東京都千代田区神田駿河台四丁目6番地 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 山田 廉一 (YAMADA, Renichi) [JP/JP]. 関口 智子 (SEKIGUCHI, Tomoko) [JP/JP]. 毛利 友紀 (MORI, Yuki) [JP/JP]; 〒
- (74) 代理人: 弁理士 小川勝男 (OGAWA, Katsuo); 〒103-0025 東京都中央区日本橋茅場町二丁目9番8号 友泉茅場町ビル 日東国際特許事務所 Tokyo (JP).
- (81) 指定国 (国内): CN, JP, KR, US.
- (84) 指定国 (広域): ヨーロッパ特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR).
- 添付公開書類:
— 国際調査報告書
- 2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(54) Title: NONVOLATILE SEMICONDUCTOR MEMORY CELL AND SEMICONDUCTOR MEMORY AND METHOD FOR FABRICATING NONVOLATILE SEMICONDUCTOR MEMORY

(54) 発明の名称: 不揮発性半導体記憶素子及び半導体記憶装置並びに不揮発性半導体記憶装置の製造方法



(57) Abstract: A nonvolatile semiconductor memory cell comprising a substrate, a source region and a drain region formed in the surface of the substrate, a channel region formed in the surface of the substrate between the source region and the drain region, an insulating film so formed as to cover the channel region, and a gate electrode formed above the insulating film, wherein the insulating film constitutes a charge storage section and the trap level thereof is set up using a trap level set-up means in addition to an insulating film forming means. Furthermore, variation in the memory characteristics of a nonvolatile memory which retains memory by trapping charge in a gate insulation insulator can be suppressed using an enhancement transistor. A nonvolatile memory can thereby be produced inexpensively with high yield.

[続葉有]



WO 03/003473 A1



(57) 要約:

本願発明の代表的な形態は、基板と、前記基板の表面部に有するソース領域及びドレイン領域と、前記ソース領域及びドレイン領域との間の基板の表面部に有するチャンネル領域と、前記チャンネル領域を覆って形成された絶縁膜と、前記絶縁膜の上部に形成されたゲート電極とを少なくとも有し、前記絶縁膜は電荷蓄積部を構成し、且つ前記絶縁膜のトラップ準位は、絶縁膜形成手段に加えてトラップ準位形成手段を要して形成された不揮発性半導体記憶素子である。更には、ゲート絶縁物中トラップに電荷を捕獲することで記憶を保持する不揮発性メモリにおいて、エンハンスメントトランジスタを用いることで記憶特性のバラツキを抑えることが出来る。こうして、安価で高歩留な不揮発性メモリを提供することが出来る。

明 細 書

不揮発性半導体記憶素子及び半導体記憶装置

5 技術分野

本願発明は不揮発性半導体記憶素子及び半導体記憶装置に関するものである。

背景技術

現在量産されている不揮発性半導体記憶装置は、基板と制御ゲートの間に浮遊ゲートを有するフラッシュメモリが主である。しかし、フラッシュメモリには浮遊ゲートが必要なことから構造が複雑になり、そのため生産コストの低減が難しい。この構造の複雑さは、高い生産歩留を得るという観点からも不利である。又、昨今の携帯機器への不揮発性半導体記憶装置適用にあたり、低電力化および低駆動電圧化が求められる。しかし、この観点に対しては、フラッシュメモリは浮遊ゲートの上下に2層のゲート絶縁膜が重なった構造なので、その書換には20V程度の高電圧が必要になり不利である。

前記フラッシュメモリに対し、浮遊ゲートを必要としない金属-酸化物-窒化物-酸化物-半導体（以後、「MONOS」と記す）構造のトランジスタを記憶部とする不揮発性半導体記憶装置がある。こうしたMONOS構造の半導体記憶装置は浮遊ゲートを有さないので、構造が単純である。

一方で、前記の2不揮発性半導体記憶装置に対し、金属-酸化物-半導体（以後「MOS」と記す）構造での不揮発性半導体記憶装置が提案されている。こうした例は、例えば、日本国、特許公開公報、特開平4-134870号および特開平5-121765号などに見られる。当該不揮発性半導体記憶装置では、酸化物中に電荷を捕獲することで不揮発性の記憶を実現している。こうした不揮発性半導体記憶装置は、記憶素子を周辺回路と同様の工程で作製できる

ため、前記2不揮発性半導体記憶装置に比べ安価に作製できる。

しかしながら、MOS構造の不揮発性半導体記憶装置では、酸化膜中のトラップを電荷保持サイトにするため、保持電荷量の制御が難しい。例えば、半導体記憶装置を2値方式で用いる際、その記憶状態において、しきい電圧の絶対値が低い方の状態（以後「低 V_{th} 状態」と記す）で必要以上にしきい電圧が
5 下がると読み出し不良の原因となる。

一方で、同様の問題が生じると考えられるMONOS型の不揮発性半導体記憶装置では、メモリトランジスタ毎にエンハンスメントトランジスタを形成し読み出し不良を防ぐ技術が発明されている、こうした例は、例えば、日本国、
10 特許公開公報、特開平6-232416号である。

発明の開示

本願発明は、しきい電圧のバラツキの影響が軽減されたMOS型の不揮発性半導体記憶素子及びこれを用いた不揮発性半導体記憶装置を提供する。特に、
15 本願発明は、そもそものしきい電圧バラツキの原因である酸化膜中トラップ(trap)の制御法を提供する。更に、本願発明は不揮発性半導体記憶装置のしきい電圧のバラツキの影響をなくす為の手法として、エンハンスメントトランジスタを簡便に作製する方法を提供する。

まず、安定な記憶動作を行い得るMOS型の不揮発性半導体記憶素子について
20 て説明する。

本願発明の第1の形態は、基板と、前記基板の表面部に有するソース領域及びドレイン領域と、前記ソース領域及びドレイン領域との間の基板の表面部に有するチャンネル領域と、前記チャンネル領域を覆って形成された絶縁膜と、前記絶縁膜の上部に形成されたゲート電極とを少なくとも有し、前記絶縁膜は電荷
25 蓄積部を構成し、且つ前記絶縁膜のトラップ準位は、絶縁膜形成手段に加えてトラップ準位形成手段を要して形成された不揮発性半導体記憶素子である。

更に、本願発明を別な観点で言及すれば次のようにいうことが出来る。即ち、本願発明の第2の形態は、基板と、前記基板の表面部に有するソース領域及びドレイン領域と、前記ソース領域及びドレイン領域との間の基板の表面部に有するチャンネル領域と、前記チャンネル領域を覆って形成された絶縁膜と、前記絶縁膜の上部に形成されたゲート電極とを少なくとも有し、前記絶縁膜は電荷蓄積部を構成し、且つ前記絶縁膜のトラップ準位が、少なくとも通例の絶縁膜としての熱酸化膜に形成されるトラップ準位の数より大きい不揮発性半導体記憶素子である。又、言い換えれば、記憶部のトランジスタのチャンネル領域を覆って形成された絶縁膜のトラップ準位が、当該半導体記憶装置が有する周辺回路部のトランジスタのチャンネル領域を覆って形成された絶縁膜が有するトラップ準位の数より大きくなっている。

第15図は本願発明の半導体記憶素子の基本構成を示す。符号50が基板、51、52がソース及びドレイン、53が絶縁膜、54がトラップ、55がゲート電極、56はトラップ準位に捕獲されたキャリアを模式的に示している。

前述の不揮発性半導体記憶素子の基本動作は次の通りである。即ち、MOS型電界効果型トランジスタのゲート絶縁膜中に形成されたキャリアのトラップ（捕獲）準位に、当該電界効果型トランジスタの基板と同導電型のキャリアをトラップさせることにより、前記電界効果型トランジスタの基板と前記ゲート絶縁膜との界面に、トラップされたキャリアと逆導電型のキャリアが誘起される。このため、当該電界効果型トランジスタのしきい電圧が低下する。又、逆に、当該電界効果型トランジスタの基板と逆導電型のキャリアをトラップさせることにより、前記電界効果型トランジスタの基板と前記ゲート絶縁膜との界面に、トラップされたキャリアと同導電型のキャリアが誘起される。このため、当該電界効果型トランジスタのしきい電圧が上昇する。このようにして、捕獲されるキャリアの有無によって、複数のしきい電圧を実現することができる。従って、所望のゲート電圧において電流駆動力の相違を利用することによって

情報を記憶することが可能となる。又、当該電界効果型トランジスタのゲート電極にバイアスを印加することによって、当該ゲート絶縁膜内にトラップされたキャリアをトラップ準位より放出させ、消去することが出来る。こうして、電氣的に情報の書き込み及び消去が可能な半導体記憶素子を実現することが出来る。

前記絶縁膜は多くの場合シリコン酸化膜、シリコン窒化膜、あるいはこれらの複合膜などが用いられる。本願発明においては、これらの膜が通例形成される絶縁膜の状態よりも多いトラップ準位を有していることが肝要である。こうして、いわゆるゲート絶縁膜中に、所望のキャリアを捕獲し、いわゆる不揮発性記憶素子を十分安定に動作せしめることが出来る。即ち、所望のキャリアを前記トラップ準位に捕獲させ、所望の情報を記憶させる。本願発明は、不揮発性記憶素子ではあるが、いわゆるフローティングゲートを新たに要しない。尚、情報の読み出しなどの基本動作はこれまでの不揮発性半導体記憶素子と同様であるので、詳細な説明は省略する。

前記絶縁膜形成手段に加えるトラップ準位形成手段として次のような方法をあげることが出来る。

(1) 不揮発性半導体記憶装置を通例の方法によって制作した後、当該記憶装置のゲート電極にトンネル電流が発生する電圧、即ち電氣的ストレスを印加し、トラップ準位を積極的に形成する。この場合、当該絶縁膜に生成されるトラップ密度が飽和する注入電荷量に相当する、いわゆる電氣的ストレスとなすのが好都合である。この電圧印加は、ゲート電極が負電位の方が好ましい。こうした高バイアスストレスを印加しておくことで、MOS型不揮発性メモリに必要なトラップを作りこむことが可能であるが、母体となる絶縁膜は各種のものを用いることが出来る。その代表的な例を(2)に例示する。

(2) ゲート絶縁膜を形成する際、複数回に分けて絶縁膜の形成する。複数の絶縁膜形成工程を用いることで、わけても、これらの層間にトラップ準位が導

入される。結果として、ゲート絶縁膜内に、一工程での絶縁膜の形成よりも多くのトラップ準位を導入することが出来る。

更に、前記の複数工程での絶縁膜形成として、複数の異なる製造方法を用いることも出来る。例えば、熱酸化膜を形成し、この上にCVD法による酸化膜
5 を形成することでも、一工程での絶縁膜の形成よりも多くのトラップ準位を導入することが出来る。

(3) 前記(1)と(2)の方法を組み合わせて用いる。この方法がより有効に、所望個所にトラップ準位を導入することが可能である。更に、本願発明の形態は、形成されるトラップ準位の位置、即ち、当該基板界面からの距離を制
10 御することが可能である。同じ電荷量に対しても、トラップされる位置によって、しきい電圧の変化量が異なる。従って、要請される特性に応じて、形成されるトラップ準位の位置を制御することが好ましい。

次に、不揮発性半導体記憶装置のより高性能化を狙った諸形態を説明する。

本願発明の不揮発性半導体記憶装置の代表的な例は、当該不揮発性半導体記
15 憶装置が少なくともメモリトランジスタ部とエンハンスメントトランジスタ部とで構成された例である。

本願発明の不揮発性半導体記憶装置の第1の形態は、ゲート酸化膜の二水準化である。即ち、ゲート酸化膜を、ソース領域の対応位置からドレイン領域対応位置に至る途中に、その膜厚を変化させるのである。

20 本願発明の不揮発性半導体記憶装置の代表的な第2の例は、少なくともメモリトランジスタ部とエンハンスメントトランジスタ部の各ソース及びドレインを共通に構成する形態である。

即ち、エンハンスメントトランジスタは、メモリセル中のメモリトランジスタの低い V_{th} と高い V_{th} 状態の間のしきい電圧を有し、当該しきい電圧が
25 メモリセルの書き換えに対し安定であるトランジスタである。そして、メモリトランジスタのソース(またはドレイン)に、当該エンハンスメントトランジ

スタのドレイン（またはソース）を接続することで、メモリトランジスタの低 V_{th} 状態での V_{th} パラツキに起因する読み出し不良を防ぐ役割を果たす。

こうした状態をMOS型不揮発性メモリで実現するには、第1図に示すようにゲート酸化膜厚がソースからドレインに至る途中で変化する2種膜厚を実現
5 すればよい。第1図において、1はゲート電極、2は半導体基板、3はソース、
4はドレイン、5と6は2種膜厚のゲート酸化膜で、5が薄膜部、6が厚膜部
で、7は層間絶縁物である。第1図の構造の場合、ソースとドレインを入替え
てもよい。第1図の構造はゲート酸化膜が2種であることで、第2図の等価回路
10 に示すように、しきい電圧の異なる2種のトランジスタをソースとドレイン
で接合した構造が実現する。当該トランジスタのゲートに、ゲート酸化膜の薄
膜部5のゲート電極と基板間にはトンネル電流が流れ、厚膜部6のゲート電極
と基板間にはトンネル電流が流れないようなバイアスを印加すると、薄膜部5
のみで電荷捕獲が起り、厚膜部6では電荷捕獲が起らない。即ち、薄膜部5の
15 みが記憶保持領域となり、厚膜部6はしきい電圧が安定なエンハンスメントト
ランジスタとなる。

又、ゲート酸化膜に2種の膜厚を用いなくとも、第3図のごとくゲート電極
を2つに分離することでもエンハンスメントトランジスタを実現できる。第3
図において、2は半導体基板で、3と4がソースとドレインで、5がゲート酸
化膜で、8がメモリトランジスタのゲート電極で、9がエンハンスメントトラ
20 ンジスタのゲート電極で、7が層間絶縁膜である。第3図の構造の等価回路を
第4図に示す。メモリトランジスタのゲート電極8には、MOS型不揮発性メ
モリに書換動作に必要なバイアスを印加し、エンハンスメントトランジスタの
ゲート電極9には書換動作が起らぬ程度のバイアスのみを印加するようにする
ことで、所望の動作を実現できる。

25 第1図および第3図に示したメモリセル構造では、そのゲート酸化膜形成時
に、同時に周辺回路のゲートを形成することで、プロセスの簡略化が実現でき

る。

一般に、形成直後の酸化膜中にある電荷トラップ密度はMOS型不揮発性メモリを実現するには不足している場合が多く、たとえ十分な密度があったとしてもメモリセル間のトラップ密度バラツキが多く、しきい電圧の制御が困難である。これを解決する手法として、あらかじめメモリトランジスタのゲート酸化膜に電氣的ストレスを印加し、トラップ密度を一定にする手法が有効である。第14図に示すように、MOSキャパシタのゲートにバイアスを印加しトンネル電流を流した場合の酸化膜中電荷トラップ密度は、注入電荷量がある値 (Q_{crit}) で飽和し、その飽和値は初期電荷トラップ密度によらない。すなわち、注入電荷量が Q_{crit} に相当する電氣的ストレスをあらかじめメモリセルトランジスタのゲート酸化膜に印加することで、均一でかつ安定な電荷トラップを実現できる。

また、一般に酸化膜界面ではトラップが多くまた発生しやすいので、酸化膜を複数回に分けて形成することで膜中に界面を作りこむと、トラップ発生位置を制御することも可能である。

前記説明の不揮発性半導体記憶装置の諸形態を整理し、以下に列挙する。

前記不揮発性半導体記憶装置の第1の形態は、第1導電型半導体基板上に、前記半導体基板表面に選択的に形成された第2導電型のドレイン領域と、当該ドレイン領域とは所定の距離を隔てて半導体基板表面に選択的に形成された第2導電型のソース領域と、前記ドレイン領域の端部に少なくとも一部が重なり、かつ前記ソース領域の端部に亘るように前記半導体基板上に形成された2種の膜厚を有する絶縁膜と、当該絶縁膜上に形成されたゲート電極とからなる記憶素子が設けられ、当該絶縁膜の薄膜部に電荷を保持することで不揮発状態で情報を記憶する半導体記憶装置である。

この形態に、絶縁膜の薄膜部をCVD法による堆積(デポ)による酸化膜形成後に、熱酸化を行う前述した手法を適用することは有用である。

更に、絶縁膜の薄膜部を複数回の熱酸化により形成することも有用である。更には、こうした半導体記憶装置において、ゲート電極に電気的ストレスを加して絶縁膜の薄膜部にトラップを形成することが、わけても有用である。

5 これまで示した不揮発性半導体記憶装置を適用した、メモリアレーの代表的な形態であるAND型、及びNOR型を例示する。

前述した第1の形態の不揮発性半導体記憶装置をn個配列したもので、当該半導体記憶装置のソースをソース線に、ドレインをビット線に接続した半導体記憶装置列をm個配列し、n本のワード線にm個の当該半導体装置のゲートを接続し、この際1本のワード線には異なる当該半導体記憶装置列に属する半導体記憶装置のみが接続されるようにした、AND型の半導体記憶装置である。

更には、前述の不揮発性半導体記憶装置の第1の形態の2個から構成され、お互いのソースを接続した構造の半導体記憶装置セルn個からなり、 $2 \times n$ 個のドレインをすべてビット線に接続した半導体記憶装置列をm個配列し、n本のソース線と $2 \times n$ 本のワード線にm個の当該半導体記憶装置セルのソースとゲートをそれぞれソース線とワード線に接続し、この際1本のソース線およびワード線には異なる当該半導体記憶装置列に属する半導体記憶装置のみが接続されるようにした、NOR型の半導体記憶装置である。

前記不揮発性半導体記憶装置の第2の形態は、第1導電型半導体基板上に、前記半導体基板表面に選択的に形成された第2導電型のドレイン領域と、当該ドレイン領域とは所定の距離を隔てて半導体基板表面に選択的に形成された第2導電型のソース領域と、前記ドレイン領域の端部に少なくとも一部が重なり、かつ前記ソース領域の端部に亘るように前記半導体基板上に形成された2種の膜厚を有する絶縁膜と、当該絶縁膜上に形成されたゲート電極とからなるメモリトランジスタ部及びエンハンスメントトランジスタ部とが設けられ、これら両トランジスタのソースとドレインを共通と半導体記憶装置である。

この形態のメモリトランジスタの絶縁膜をCVD法による堆積（デポ）によ

る酸化膜形成後に、熱酸化を行う前述した手法を適用することは有用である。

更に、メモリトランジスタの絶縁膜を複数回の熱酸化により形成することも有用である。更には、こうした半導体記憶装置において、ゲート電極に電気的ストレスを印加してメモリトランジスタの絶縁膜にトラップを形成することが、
5 わけても有用である。

これまで示した不揮発性半導記憶装置を適用した、メモリアレーの代表的な NOR型を例示する。

即ち、不揮発性半導体記憶装置の第2の形態の2個から構成され、お互いのソースを接続した構造の半導体記憶装置セルn個からなり、 $2 \times n$ 個のドレインをすべてビット線に接続した半導体記憶装置列をm個配列し、n本のソース線と $2 \times n$ 本のワード線と $2 \times n$ 本のメモリ線にm個の当該半導体記憶装置セルのソースとエンハンスメントトランジスタのゲートとメモリトランジスタのゲートをそれぞれソース線とワード線とメモリ線に接続し、この際1本のソース線およびワード線およびメモリ線には異なる当該半導体記憶装置列に属する
10 半導体記憶装置のみが接続されるようにしたNOR型の半導体記憶装置である。

尚、上述したように、これらの不揮発性半導体素子適用回路あるいは不揮発性半導体装置の周辺回路に用いるMOSトランジスタのゲート絶縁膜を、メモリセルゲート絶縁膜の前記薄膜部の形成と共通のプロセスで作製することが可能である。そして、この方策は実用上極めて有用である。

20

図面の簡単な説明

第1図は、2種のゲート酸化膜の厚さを有するMOS型不揮発性メモリのセル断面模式図である。

第2図は、第1図に示したMOS型不揮発性メモリのセル等価回路図である。

25 第3図は、メモリトランジスタとエンハンスメントトランジスタを有するMOS型不揮発性メモリのセル断面模式図である。

第4図は、第3図に示したMOS型不揮発性メモリのセル等価回路である。

第5図は、第1図および第2図に示したMOS型不揮発性メモリセルを用いたAND型メモリアレイ回路図である。

5 第6図は、第5図に示したメモリアレイを作製する工程順に示した素子の断面模式図である。

第7図は、第5図に示したメモリアレイを作製する工程順に示した素子の平面模式図である。

第8図は、第1図および第2図に示したMOS型不揮発性メモリセルを用いたNOR型メモリアレイ回路図である。

10 第9図は、第8図に示したメモリアレイを作製する工程順に示した素子の断面模式図である。

第10図は、第8図に示したメモリアレイを作製する工程順に示した素子の平面模式図である。

15 第11図は、第3図および第4図に示したMOS型不揮発性メモリセルを用いたNOR型メモリアレイ回路図である。

第12図は、第11図に示したメモリアレイを作製する工程順に示した素子の断面模式図である。

第13図は、第11図に示したメモリアレイを作製する工程順に示した素子の平面模式図である。

20 第14図は、MOSキャパシタに高バイアスストレスを印加した際に、酸化膜中に発生したトラップ密度の注入電荷量依存性を示す図である。

第15図は、本願発明の不揮発性半導体記憶素子の主要部断面図である。

発明を実施するための最良の形態

25 本願発明の実施の形態は、メモリアレイの形式により様々である。以下、本発明の好適な実施の形態につき、具体例を挙げ、添付図面を参照しながら説明

する。

<実施の形態 1 >

第 5 図に、第 1 図および第 2 図に示したメモリセルを AND 型メモリアレイに配列した場合の回路図を示す。第 5 図に示したメモリアレイを実現するには、
5 例えば第 6 図と第 7 図に示したようなプロセスが考えられる。第 6 図は断面模式図で、a から i の順でプロセスの進行を示す。又、第 6 図に示した工程の一部の平面模式図を第 7 図に示す。

まず、半導体基板上にゲート酸化膜薄膜部 5 を形成（第 6 図の a）した後、ゲート電極の一部 1 0 を形成し（第 6 図の b）する。再び、当該基板に酸化膜
10 を成長させ、ゲート酸化膜厚膜部 6 を形成する（第 6 図の c）。ゲート電極の残りの部分 1 1 を形成した後（第 6 図の d）、ゲート電極をマスク領域としてソースおよびドレイン 1 2 を形成する（第 6 図の e）。その後、ゲート電極脇にサイドウォール 1 3 を形成し（第 6 図の f）、これをマスクに素子分離の溝 1 4 を形成する（第 6 図の g）。この溝 1 4 の部分に、素子分離と層間絶縁物を兼ねた絶縁物 1 5 を埋め込む（第 6 図の h）。
15

ここまでの工程で形成したゲート 1 0、1 1 及びサイドウォール 1 3 の形状はストライプ状となす。この状態を、第 6 図の g および第 6 図の h の工程において上方から見た平面図で示すと、それぞれ、第 7 図の a および第 7 図の b のようになる。その後、ゲート電極と電氣的に接触したワード線 1 6 を形成し（第
20 6 図の i）、素子分離溝と垂直な方向にストライプ状に加工する（第 7 図の c）。この加工深さを、最初に形成したゲート酸化膜 5 の中に収まるようにすると、第 5 図に示した AND 型のメモリアレイが実現できる。

ゲート酸化膜 5 にあらかじめ高バイアスストレスを印加しておくことで、MOS 型不揮発性メモリに必要な密度のトラップを作り込むことが出来る。又、
25 ゲート酸化膜 5 を形成する際に、酸化膜形成を複数回で行い酸化膜中に界面を形成することで、酸化膜中にトラップ多い部分を作り込むことが出来る。更に

は、前述したように複数の異なる絶縁膜の製造法を組み合わせても良いことは言うまでもない。即ち、CVD法と熱酸化法とを用いてシリコン酸化膜を製造するのである。

前述の高バイアスストレスは概ね次のような方法を多用している。図14を用いて説明したように、当該膜中でのトラップ密度の飽和が起こる注入電荷量に対応する電荷注入を行う。絶縁膜の種類、質などによって、最適な値は異なるが、現在のシリコン酸化膜に対して概ね、 $100\text{mC}/\text{cm}^2$ より $1\text{C}/\text{cm}^2$ の電荷注入を行う。この為、 $1\text{mA}/\text{cm}^2$ より $100\text{mA}/\text{cm}^2$ の電流密度で、電流注入し、ストレスを印加するのが好適である。 $1\text{mA}/\text{cm}^2$ 以下でも電荷注入は可能であるが、所望の値を得るに時間がかかりすぎ、実際的ではない。又、 $100\text{mA}/\text{cm}^2$ を超える電流密度では、膜が絶縁破壊を起こす可能性が高くなり、これまた実際的ではない。一方、電界でストレスを印加する場合、 $5\text{MV}/\text{cm}$ より $20\text{MV}/\text{cm}$ の範囲は好適である。 $5\text{MV}/\text{cm}$ 以下でも電荷注入は可能であるが、所望の値を得るに時間がかかりすぎ、実際的ではない。又、 $20\text{MV}/\text{cm}$ を超える電流密度では、膜が絶縁破壊を起こす可能性が高くなり、これまた実際的ではない。

尚、こうした概ねの諸条件は、本実施例の例に限らず本願発明の諸形態に考慮されるものである。

本実施例で示したメモリアレイをデバイス中に作る際、メモリセル以外の同一デバイス上の回路におけるMOSFETのゲート酸化膜の膜厚を、5または6の酸化膜と同じにするか、または5の酸化を行った後これを除去し2度目の酸化でできる酸化膜厚と同じにすることで、酸化工程を低減できる。

<実施の形態2>

第8図に、第1図および第2図に示したメモリセルをNOR型メモリアレイに配列した場合の回路図を示す。第8図に示したメモリアレイを実現するには、例えば、第9図と第10図に示したようなプロセスが考えられる。第9図は断

面模式図で、aからgの順でプロセスの進行を示す。又、第9図に示した工程の一部の平面模式図を第10図に示す。

まず、半導体基板にストライプ状の素子分離溝を形成し、溝内に絶縁物15を埋め込んだ後、半導体基板表面にゲート酸化膜薄膜部5を形成する（第9図のa）。この時の平面図を第10図のaに示す。その後ゲート電極の一部10を形成し（第9図のb）、再び、半導体基板上に酸化膜を形成しゲート酸化膜の厚膜部6とし（第9図のc）、ゲート電極の残り11を形成（第9図のd）する。このゲート電極をマスク領域としてソース及びドレイン12をイオンインプランテーションにより形成する（第9図のe）。その後、ゲート電極を窒化シリコン17にて覆う（第9図のf）。この時の平面図を第10図のbに示す。メモリセルのソースをソース線18にて短絡し、ドレインにはプラグ19を立て（第10図のc）、このプラグ19をビット線20にて短絡する（第9図のg）。この時の平面図を第10図のdに示す。

ゲート酸化膜5にあらかじめ高バイアスストレスを印加しておくことで、MOS型不揮発性メモリに必要な密度のトラップを作り込むことが出来る。又、ゲート酸化膜5を形成する際に酸化膜形成を複数回で行い酸化膜中に界面を形成することで、酸化膜中にトラップ多い部分を作り込むことが出来る。更には、前述したように複数の異なる絶縁膜の製造法を組み合わせても良いことは言うまでもない。即ち、CVD法と熱酸化法とを用いてシリコン酸化膜を製造するのである。

本実施例で示したメモリアレイをデバイス中に作る際、メモリセル以外の同一デバイス上の回路におけるMOS型FETのゲート酸化膜の膜厚を、層5又は層6の酸化膜と同じにするか、又は層5の酸化を行った後、これを除去し2度目の酸化でできる酸化膜厚と同じにすることで、酸化工程を低減できる。

25 <実施の形態3>

第11図に、第3図および第4図に示したメモリセルをNOR型メモリアレ

イに配列した場合の回路図を示す。第11図に示したメモリアレイを実現するには、たとえば第12図と第13図に示したようなプロセスが考えられる。第12図は断面模式図で、aからfの順でプロセスの進行を示す。又、第12図に示した工程の一部の平面模式図を第13図に示す。

5 まず、半導体基板にストライプ状の素子分離溝を形成し、溝内に絶縁物15を埋め込んだ後、半導体基板表面にゲート酸化膜5を形成する(第12図のa)。この時の平面図を第13図のaに示す。その後、メモリトランジスタのゲート8とエンハンスメントトランジスタのゲート9を形成し(第12図のb)、このゲート電極をマスク領域としてソース及びドレイン12をイオンインプラン
10 テーションにより形成する(第12図-c)。その後、エンハンスメントトランジスタのゲート電極9とメモリトランジスタのゲート電極8を窒化シリコン17にて覆い(第12図のdおよび第13図のb)、メモリセルのソースをソース線18にて短絡しドレインにはプラグ19を立て(第13図のc)、このプラグ19をビット線20にて短絡する(第12図のe)。この時の平面図を
15 第13図のdに示す。

ゲート酸化膜5にあらかじめ高バイアスストレスを印加しておくことで、MOS型不揮発性メモリに必要な密度のトラップを作り込むことが出来る。又、ゲート酸化膜5を形成する際に酸化膜形成を複数回で行い酸化膜中に界面を形成することで、酸化膜中にトラップ多い部分を作り込むことが出来る。更には、
20 前述したように複数の異なる絶縁膜の製造法を組み合わせても良いことは言うまでもない。即ち、CVD法と熱酸化法とを用いてシリコン酸化膜を製造するのである。

本実施例で示したメモリアレイをデバイス中に作る際、メモリセル以外の同一デバイス上の回路におけるMOS型FETのゲート酸化膜の膜厚を、酸化膜
25 5と同じにすることで、酸化工程を低減できる。

本願発明のMOS型不揮発性メモリにより、従来の不揮発性メモリより単純

な構造の不揮発性メモリを、より少ないマスク数で実現できる。マスク数が少ないことで、メモリを安価に作製できる。また、構造が簡単なため、従来の不揮発性メモリより不良発生原因が少なくなり、開発時間の短縮化および高歩留めが達成できる。

5 以下に、図面の理解を助ける為、主な符号を列挙する。

1…ゲート電極、2…半導体基板、3…ソース、4…ドレイン、5…ゲート酸化膜、6…厚膜ゲート酸化膜、7…層間絶縁膜、8…メモリトランジスタゲート電極、9…エンハンスメントトランジスタゲート電極、10…ゲート電極の一部、11…ゲート電極の一部、12…ソース・ドレイン、13…窒化シリコンサイドウォール、14…素子分離溝、15…素子分離および層間絶縁膜、16…ワード線、17…窒化シリコン、18…ソース線、19…プラグ、20…ビット線、21…メモリ線。

産業上の利用可能性

15 本願発明は、動作の安定した不揮発性半導体記憶素子及び半導体装置を提供することが出来る。

請求の範囲

1. 基板と、前記基板の表面部に有するソース領域及びドレイン領域と、前記ソース領域及びドレイン領域との間の基板の表面部に有するチャンネル領域と、前記チャンネル領域を覆って形成された絶縁膜と、前記絶縁膜の上部に形成されたゲート電極とを少なくとも有し、前記絶縁膜は電荷蓄積部を構成し、且つ前記絶縁膜のトラップ準位は、絶縁膜形成手段に加えてトラップ準位形成手段を要して形成されたことを特徴とする不揮発性半導体記憶素子。
5
2. 基板と、前記基板の表面部に有するソース領域及びドレイン領域と、前記ソース領域及びドレイン領域との間の基板の表面部に有するチャンネル領域と、前記チャンネル領域を覆って形成された絶縁膜と、前記絶縁膜の上部に形成されたゲート電極とを少なくとも有し、前記絶縁膜は電荷蓄積部を構成し、且つ前記絶縁膜は、絶縁膜形成手段にて形成された当該絶縁膜に電气的ストレスを印加されたものであることを特徴とする不揮発性半導体記憶素子。
10
3. 前記絶縁膜が、複数回の熱酸化により形成された絶縁膜であることを特徴とする請求の範囲第1項より第2項のいずれかに記載の不揮発性半導体記憶素子。
15
4. 前記絶縁膜が、異なる絶縁膜の製造方法によって形成された複数の絶縁膜によって構成されることを特徴とする請求の範囲第1項より第2項のいずれかに記載の不揮発性半導体記憶素子。
- 20 5. 前記絶縁膜が、CVD (Chemical Vapour Deposition) 法にて形成された絶縁膜と、熱酸化法にて形成された絶縁膜とを有することを特徴とする請求の範囲第1項より第2項のいずれかに記載の不揮発性半導体記憶素子。
- 25 6. 前記絶縁膜が、当該絶縁膜の形成後、当該絶縁膜に電气的ストレスを印加して構成した絶縁膜であることを特徴とする請求の範囲第1項より第2項のいずれかに記載の不揮発性半導体記憶素子。

7. 前記絶縁膜が、当該絶縁膜の形成後、当該絶縁膜に電氣的ストレスを印加して構成した絶縁膜であることを特徴とする請求の範囲第3項に記載の不揮発性半導体記憶素子。
8. 前記絶縁膜が、当該絶縁膜の形成後、当該絶縁膜に電氣的ストレスを印加して構成した絶縁膜であることを特徴とする請求の範囲第4項に記載の不揮発性半導体記憶素子。
9. 前記絶縁膜が、当該絶縁膜の形成後、当該絶縁膜に電氣的ストレスを印加して構成した絶縁膜であることを特徴とする請求の範囲第5項に記載の不揮発性半導体記憶素子。
10. 10. 第1導電型の半導体基板上に、前記半導体基板表面に選択的に形成された第2導電型のドレイン領域と、当該ドレイン領域とは所定の距離を隔てて半導体基板表面に選択的に形成された第2導電型のソース領域と、前記ドレイン領域の端部に少なくとも一部が重なり且つ前記ソース領域の端部に亘るように形成された絶縁膜と、ゲート絶縁膜と、を有する記憶素子部を有し、前記絶縁膜は前記第1導電型の半導体基板と前記ゲート絶縁膜との間に配置され、前記絶縁膜は2種類の膜厚の領域を有し、且つ絶縁膜の薄い膜厚部に電荷を保持することで情報を記憶する不揮発性半導体記憶装置。
11. 前記絶縁膜の少なくとも薄い膜厚部が、複数回の熱酸化により形成された絶縁膜であることを特徴とする請求の範囲第10項に記載の不揮発性半導体記憶装置。
12. 前記絶縁膜の少なくとも薄い膜厚部が、異なる絶縁膜の製造方法によって形成された複数の絶縁膜によって構成されることを特徴とする請求の範囲第10項に記載の不揮発性半導体記憶装置。
13. 前記絶縁膜の少なくとも薄い膜厚部が、CVD (Chemical Vapour Deposition) 法にて形成された絶縁膜と、熱酸化法にて形成された絶縁膜とを有することを特徴とする請求の範囲第10項に記載の

不揮発性半導体記憶装置。

14. 前記絶縁膜の少なくとも薄い膜厚部が、当該絶縁膜の形成後、当該絶縁膜に電氣的ストレスを印加して構成した絶縁膜であることを特徴とする請求の範囲第11項より第13項のいずれかに記載の不揮発性半導体記憶装置。

- 5 15. 前記請求の範囲第10項より第14項のいずれかに記載の半導体記憶装置をn個配列し、当該不揮発性半導体記憶装置のソースをソース線に、ドレインをビット線に接続した不揮発性半導体記憶装置列をm個配列し、n本のワード線にm個の当該不揮発性半導体記憶装置のゲート電極を接続し、この際1本のワード線には異なる当該不揮発性半導体記憶装置列に属する半導体記憶装置のみが接続されるようにしたことを特徴とするAND型の半導体記憶装置。

- 10 16. 前記請求の範囲第10項より第14項のいずれかに記載の半導体記憶装置の2個から構成され、お互いのソースを接続した構造の半導体記憶装置セルのn個からなり、 $2 \times n$ 個のドレインをビット線に接続した半導体記憶装置列をm個配列し、n本のソース線と $2 \times n$ 本のワード線にm個の当該半導体記憶装置セルのソースとゲートをそれぞれソース線とワード線に接続し、この際1本のソース線およびワード線には異なる当該半導体記憶装置列に属する半導体記憶装置のみが接続されるようにしたことを特徴とするNOR型の半導体記憶装置。

- 20 17. 第1導電型半導体基板上に、前記半導体基板表面に選択的に形成された第2導電型のドレイン領域と、当該ドレイン領域とは所定の距離を隔てて半導体基板表面に選択的に形成された第2導電型のソース領域と、前記ドレイン領域の端部に少なくとも一部が重なり、且つ前記ソース領域の端部に亘るように前記半導体基板上に形成された絶縁膜と、当該絶縁膜上に形成されゲート電極とからなるメモリトランジスタとエンハンスメントトランジスタが設けられ、
25 これらのソースとドレインを共通にした半導体記憶装置。

18. 前記メモリトランジスタ絶縁膜が、複数回の熱酸化により形成された絶

縁膜であることを特徴とする請求の範囲第17項に記載の半導体記憶装置。

19. 前記メモリトランジスタ絶縁膜が、異なる絶縁膜の製造方法によって形成された複数の絶縁膜によって構成されることを特徴とする請求の範囲第17項に記載の半導体記憶装置。

5 20. 前記メモリトランジスタ絶縁膜が、CVD (Chemical Vapour Deposition) 法にて形成された絶縁膜と、熱酸化法にて形成された絶縁膜とを有することを特徴とする請求の範囲第17項に記載の半導体記憶装置。

21. 前記メモリトランジスタ絶縁膜が、当該絶縁膜の形成後、当該絶縁膜に
10 電氣的ストレスを印加して構成した絶縁膜であることを特徴とする請求の範囲第18項より第20項のいずれかに記載の半導体記憶装置。

22. 請求の範囲第17項より第21項のいずれかに記載の半導体記憶装置の
2個から構成され、お互いのソースを接続した構造の半導体記憶装置セルのn
個からなり、 $2 \times n$ 個のドレインをビット線に接続した半導体記憶装置列をm
15 個配列し、n本のソース線と $2 \times n$ 本のワード線と $2 \times n$ 本のメモリ線にm個
の当該半導体記憶装置セルのソースとエンハンスメントトランジスタのゲート
とメモリトランジスタのゲートをそれぞれソース線とワード線とメモリ線に接
続し、この際1本のソース線およびワード線およびメモリ線には異なる当該半
導体記憶装置列に属する半導体記憶装置のみが接続されるようにした、NOR
20 型の半導体記憶装置。

23. 記憶部と当該記憶部以外の電子回路部とを少なくとも有し、前記記憶部
を構成する電界効果型トランジスタが異なる膜厚領域を有するゲート絶縁膜を
有する半導体記憶装置を製造する製造方法であって、前記記憶部を構成する電
界効果型トランジスタのゲート絶縁膜の形成と、前記記憶部以外の電子回路部
25 が有する電界効果型トランジスタの少なくともゲート絶縁膜とが、共通のプロ
セスで形成される工程を少なくとも有することを特徴とする半導体記憶装置の

製造方法。

24. 記憶部を構成する電界効果型トランジスタのゲート絶縁膜を形成する工程と、前記ゲート絶縁膜に電氣的ストレスを印加し前記ゲート絶縁膜中にトラップ準位を形成する工程と、を少なくとも有することを特徴とする不揮発性半導体記憶装置の製造方法。

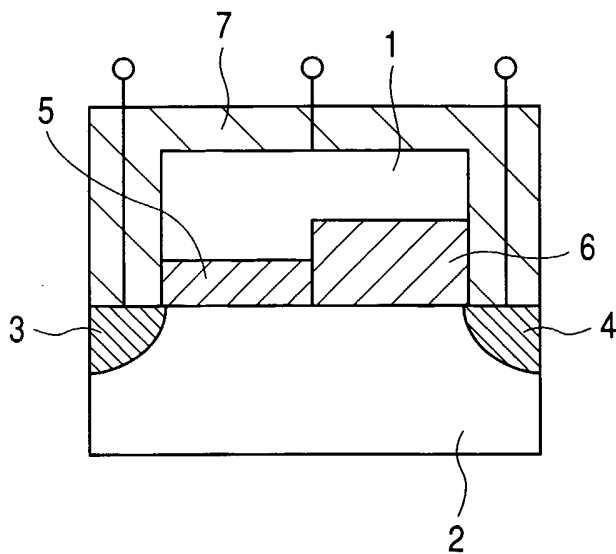
25. 前記ゲート絶縁膜を形成する工程が、複数回の熱酸化の工程を有することを特徴とする請求の範囲第24項に記載の半導体記憶装置の製造方法。

26. 前記ゲート絶縁膜を形成する工程が、異なる絶縁膜の製造方法によって形成される工程を有することを特徴とする請求の範囲第24項に記載の不揮発性半導体記憶装置の製造方法。

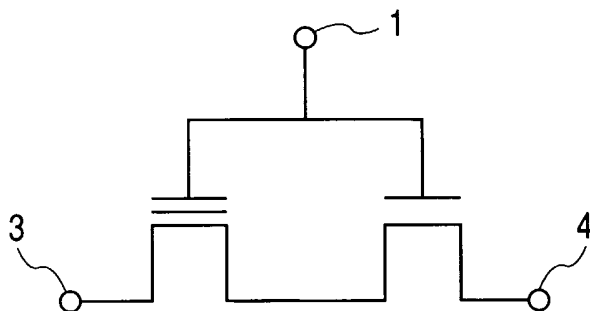
27. 前記ゲート絶縁膜を形成する工程が、CVD (Chemical Vapour Deposition) 法にて絶縁膜を形成する工程と、熱酸化法にて絶縁膜を形成する工程とを有することを特徴とする請求の範囲第24項に記載の不揮発性半導体記憶装置の製造方法。

1/11

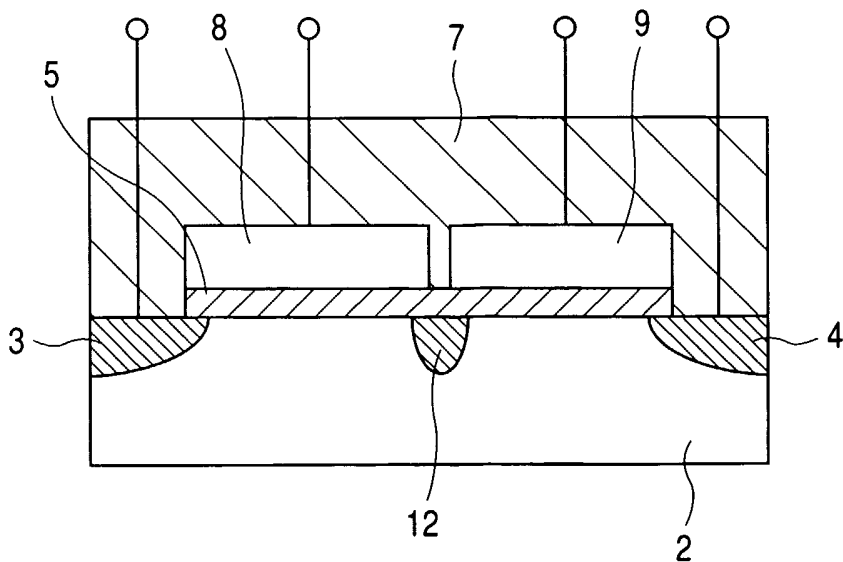
第 1 図



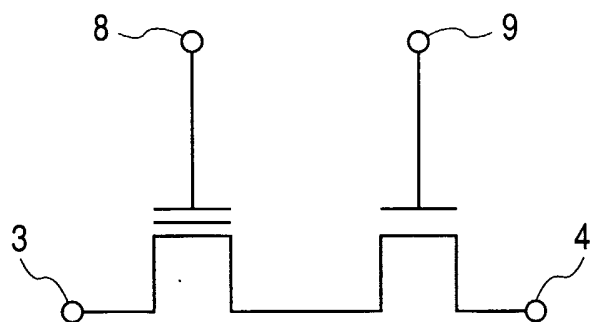
第 2 図



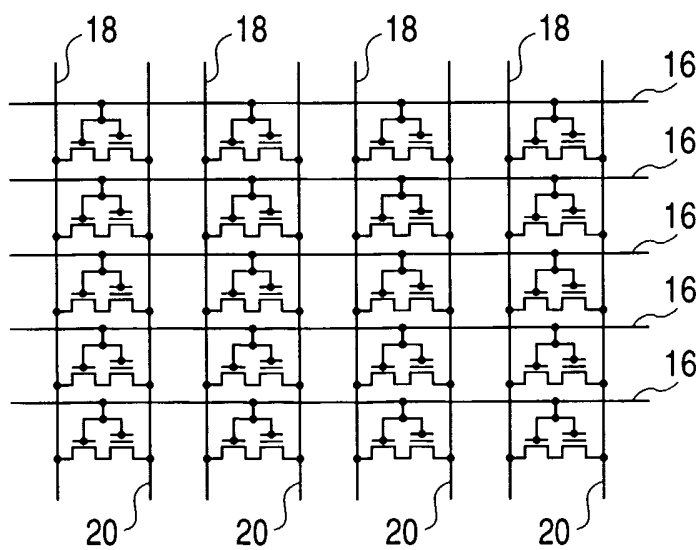
第 3 図



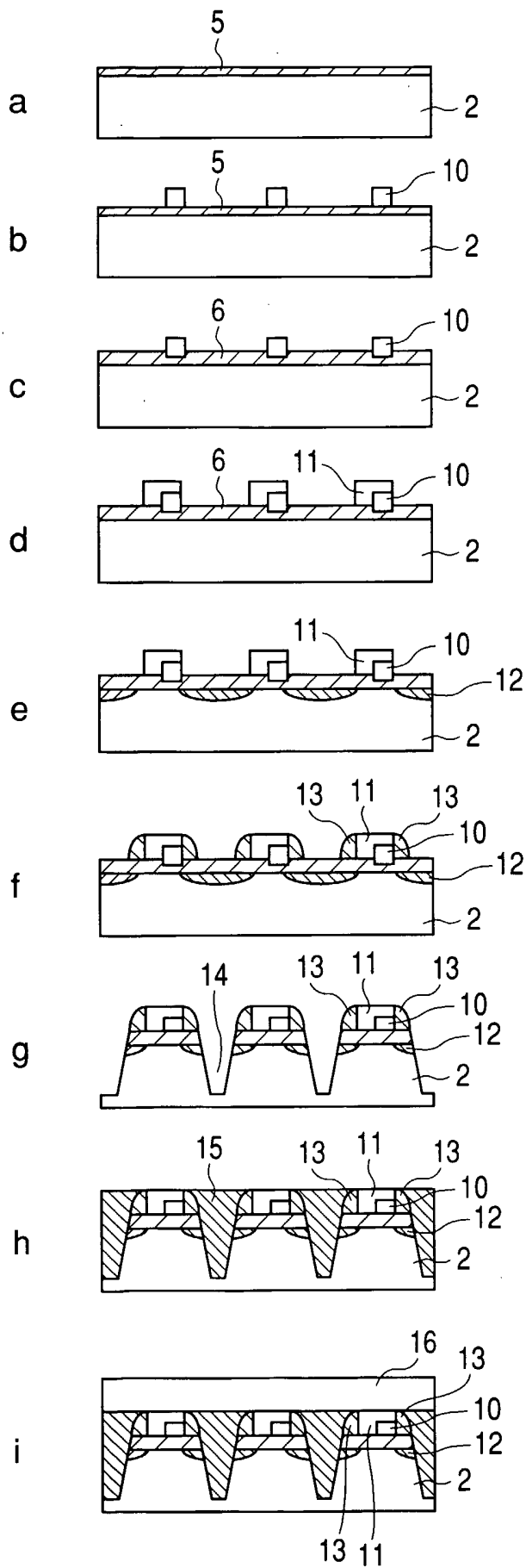
第 4 図



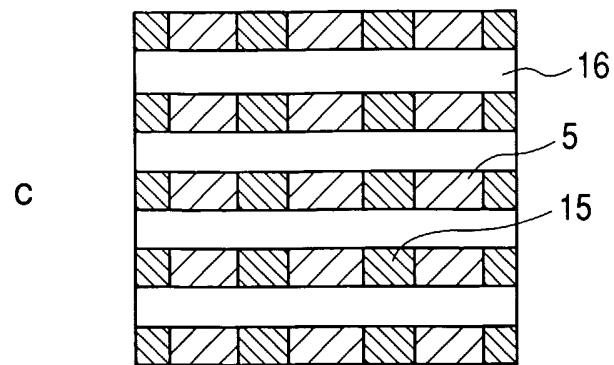
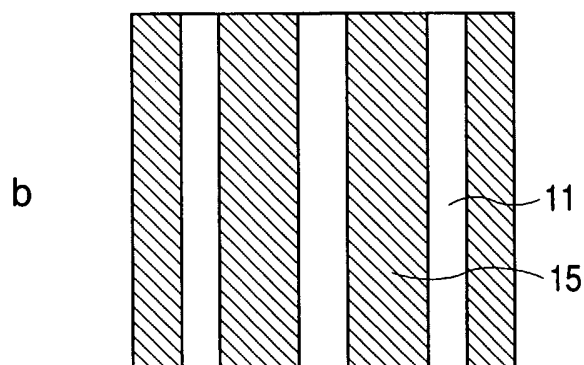
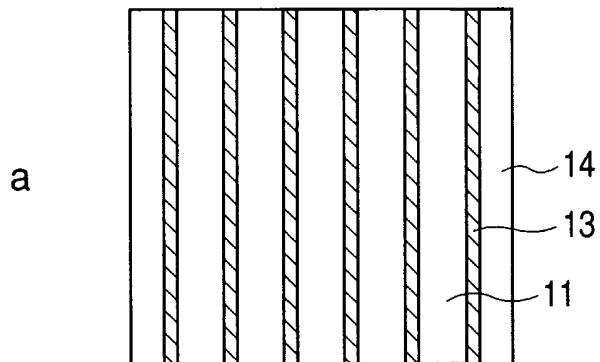
第 5 図



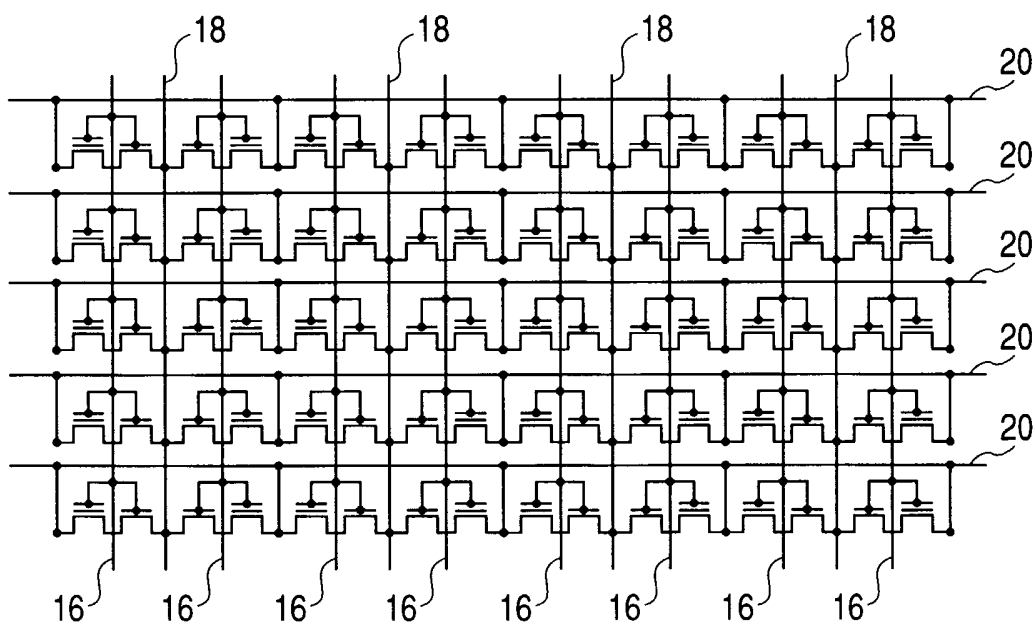
第 6 図



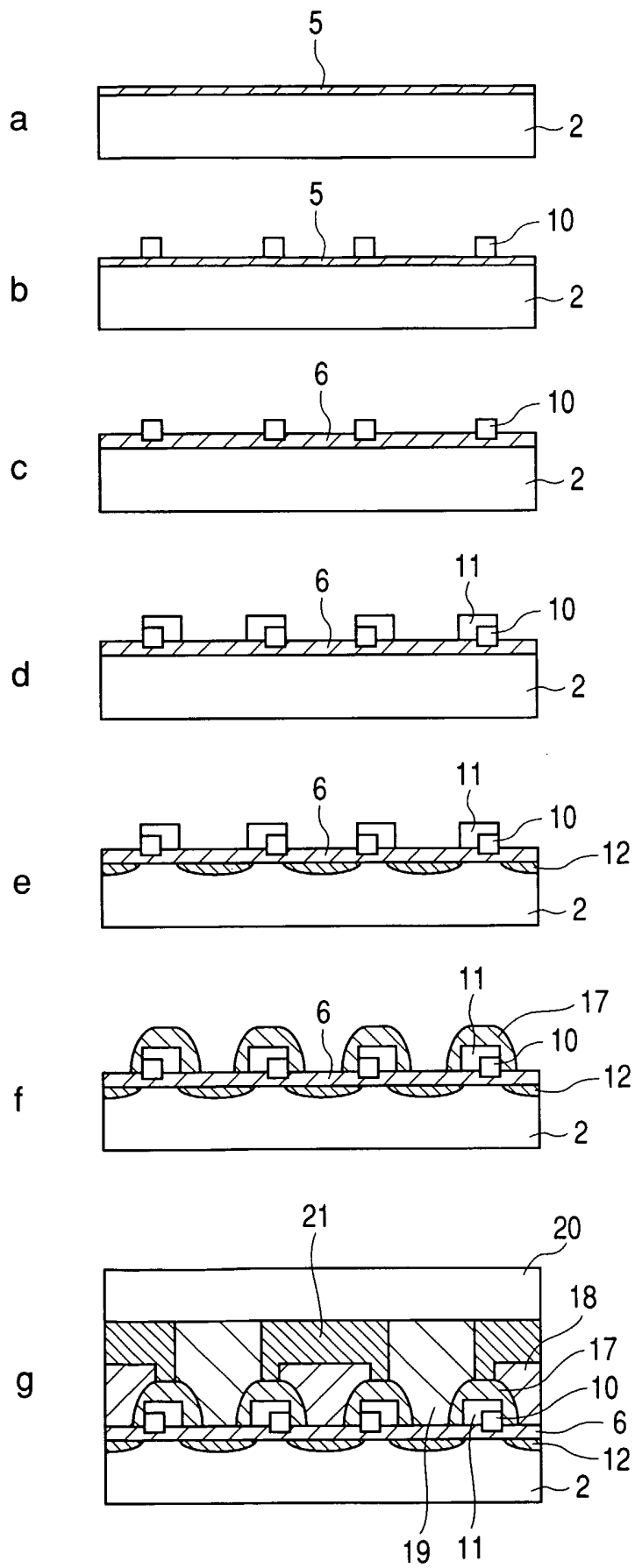
第 7 図



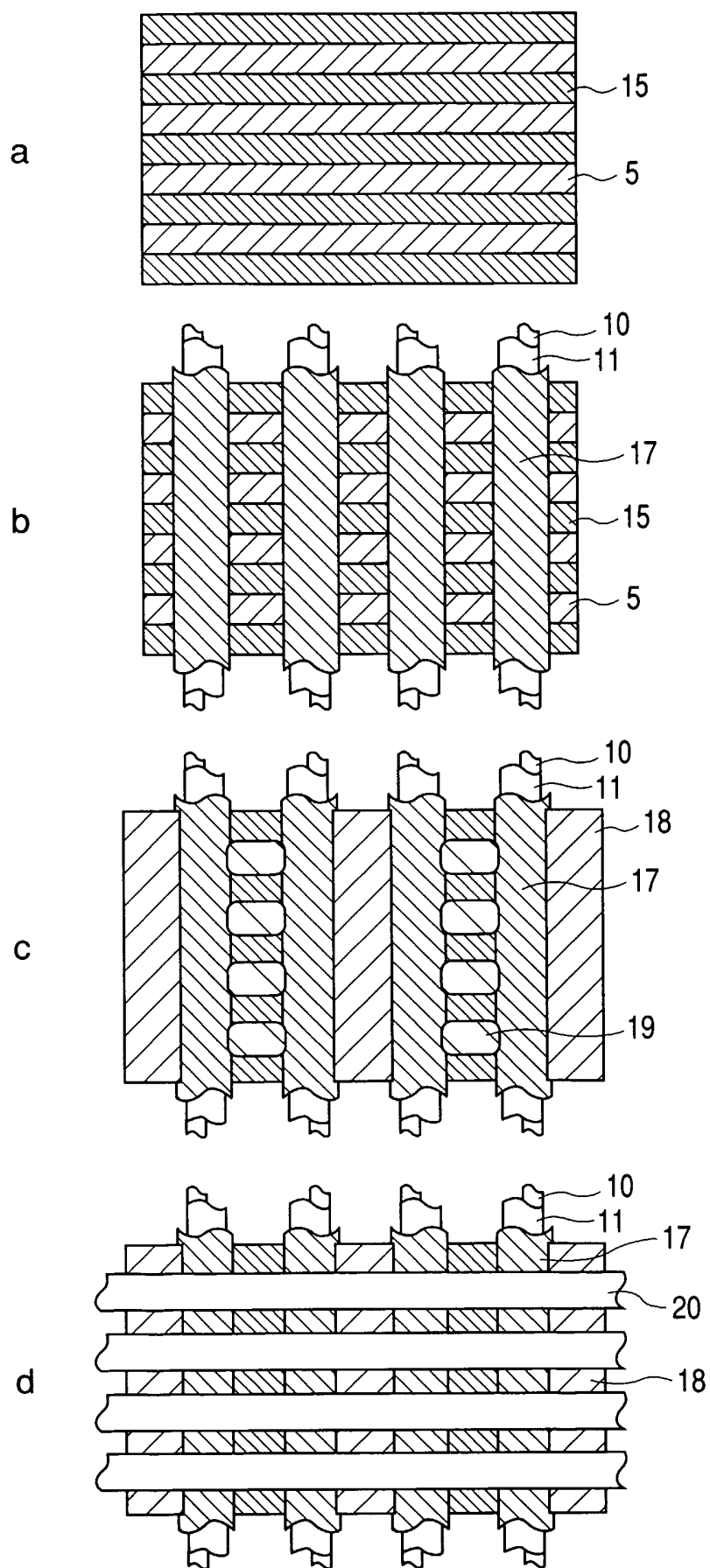
第 8 図



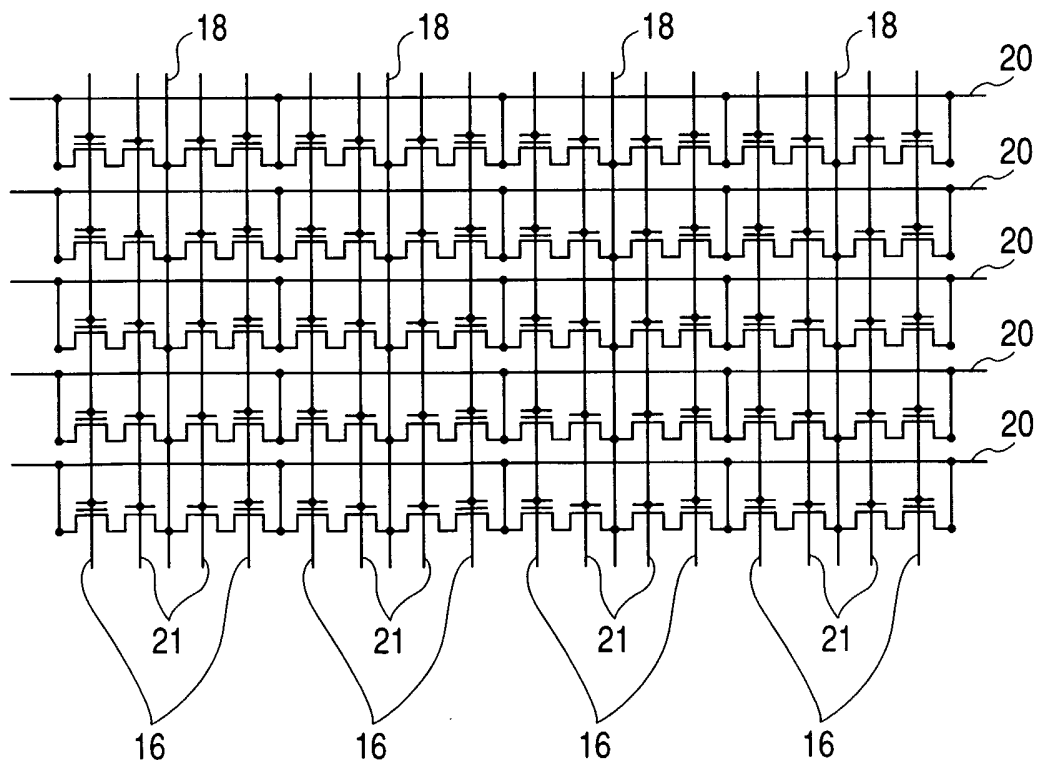
第 9 図



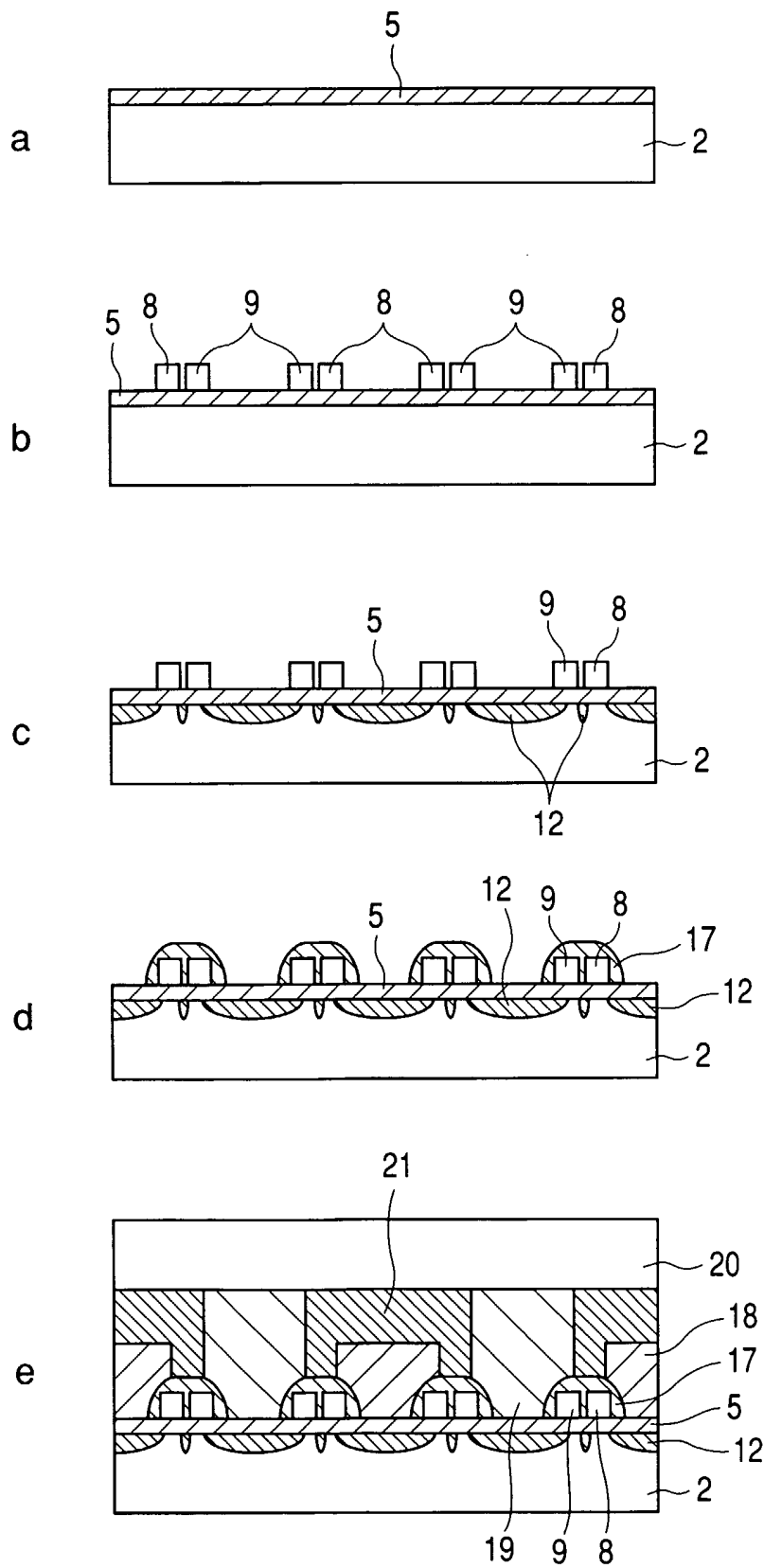
第 10 図



第 11 図

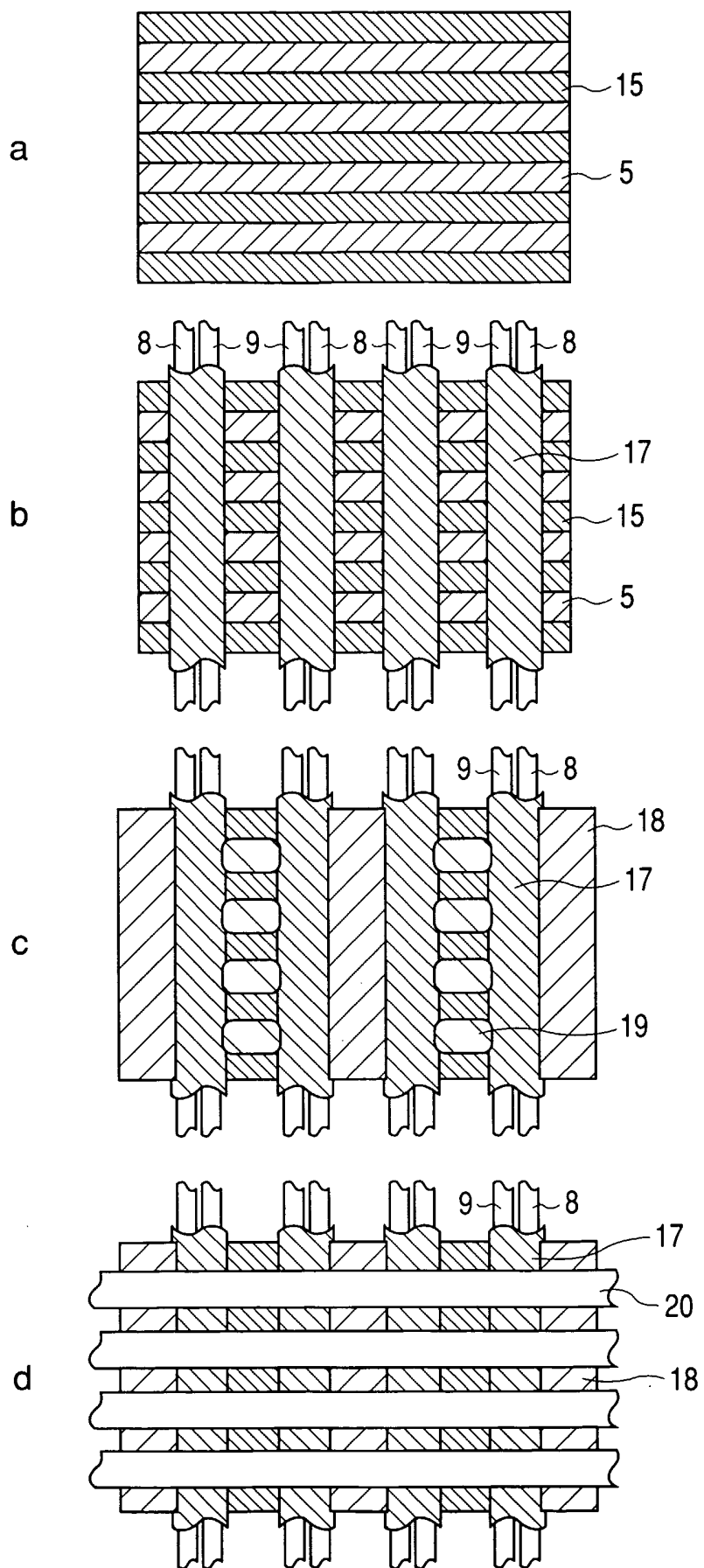


第 12 图

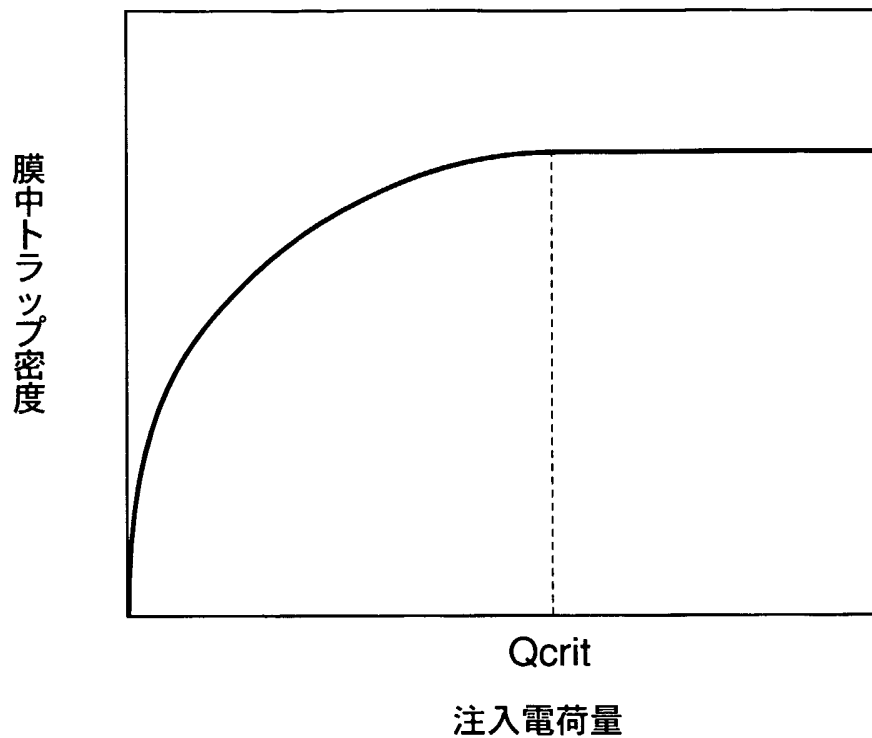


10 / 11

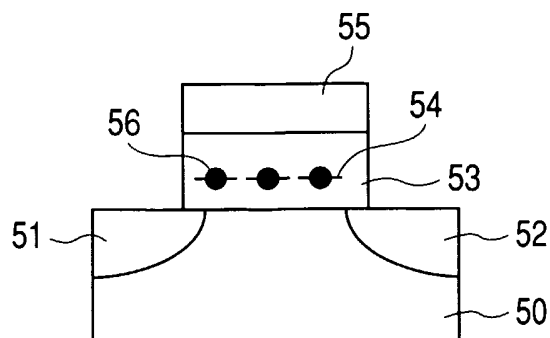
第 13 図



第 14 図



第 15 図



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP01/05544

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H01L29/792, 27/115, 21/8247

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H01L29/792, 27/115, 21/8247

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2001
Kokai Jitsuyo Shinan Koho	1971-2001	Toroku Jitsuyo Shinan Koho	1994-2001

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

JOIS, INSPEC

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 64-42865 A (Mitsubishi Electric Corporation), 15 February, 1989 (15.02.89), Claims; Fig. 1 (Family: none)	1-3, 6, 7 15, 16, 22
Y		
X	US 4027320 A (SIEMENS AKTIENGESELLSCHAFT), 31 May, 1977 (31.05.77), Full text & JP 51-60472 A	1-3, 6, 7 15, 16, 22
Y		
X	JP 6-177393 A (Rohm Co., Ltd.), 24 June, 1994 (24.06.94), Full text (Family: none)	1-14, 17-21, 24-27 15, 16, 22
Y		
Y	JP 2001-101880 A (Sony Corporation), 13 April, 2001 (13.04.01), Full text (Family: none)	15
Y	JP 2000-323590 A (Sony Corporation), 24 November, 2000 (24.11.00), Full text (Family: none)	16, 22

 Further documents are listed in the continuation of Box C.
 See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
25 September, 2001 (25.09.01)Date of mailing of the international search report
02 October, 2001 (02.10.01)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP01/05544

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 56-2670 A (NEC Corporation), 12 January, 1981 (12.01.81), Full text; Fig. 1 (Family: none)	23
A	IEEE 38TH ANNUAL INTERNATIONAL RELIABILITY PHYSICS SYMPOSIUM, 2000, pp.65-71	1-27
A	IEEE 37TH ANNUAL INTERNATIONAL RELIABILITY PHYSICS SYMPOSIUM, 1999, pp.88-92	1-27

A. 発明の属する分野の分類 (国際特許分類 (IPC))
 Int. Cl⁷ H01L29/792, 27/115, 21/8247

B. 調査を行った分野
 調査を行った最小限資料 (国際特許分類 (IPC))
 Int. Cl⁷ H01L29/792, 27/115, 21/8247

最小限資料以外の資料で調査を行った分野に含まれるもの
 日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2001年
 日本国実用新案登録公報 1996-2001年
 日本国登録実用新案公報 1994-2001年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)
 JOIS, INSPEC

C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 64-42865 A (三菱電機株式会社) 15. 2月. 1989 (15. 02. 89) 特許請求の範囲の欄及び第1図 (ファミリーなし)	1~3, 6, 7
Y		15, 16, 22
X	US 4027320 A (SIEMENS AKTIENGESELLSCHAFT) 31. 5月. 1977 (31. 05. 77) 全文 & JP 51-60472 A	1~3, 6, 7
Y		15, 16, 22

C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

<p>* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願</p>	<p>の日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献</p>
--	---

国際調査を完了した日 25. 09. 01	国際調査報告の発送日 02.10.01
--------------------------	------------------------

国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 井原 純	4M 9354
	電話番号 03-3581-1101 内線 3462	

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 6-177393 A (ローム株式会社) 24. 6月. 1994 (24. 06. 94) 全文 (ファミリーなし)	1~14, 17~21, 24~27
Y		15, 16, 22
Y	JP 2001-101880 A (ソニー株式会社) 13. 4月. 2001 (13. 04. 01) 全文 (ファミリーなし)	15
Y	JP 2000-323590 A (ソニー株式会社) 24. 11月. 2000 (24. 11. 00) 全文 (ファミリーなし)	16, 22
X	JP 56-2670 A (日本電気株式会社) 12. 1月. 1981 (12. 01. 81) 全文及び第1図 (ファミリーなし)	23
A	IEEE 38TH ANNUAL INTERNATIONAL RELIABILITY PHYSICS SYMPOSIUM, 2000 p. 65-71	1-27
A	IEEE 37TH ANNUAL INTERNATIONAL RELIABILITY PHYSICS SYMPOSIUM, 1999 p. 88-92	1-27