

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5500833号
(P5500833)

(45) 発行日 平成26年5月21日 (2014. 5. 21)

(24) 登録日 平成26年3月20日 (2014. 3. 20)

(51) Int. Cl. F I
 H O 1 L 27/12 (2006. 01) H O 1 L 27/12 B
 H O 1 L 21/02 (2006. 01)

請求項の数 5 (全 26 頁)

(21) 出願番号	特願2009-22151 (P2009-22151)	(73) 特許権者	000153878
(22) 出願日	平成21年2月3日 (2009. 2. 3)		株式会社半導体エネルギー研究所
(65) 公開番号	特開2009-212502 (P2009-212502A)		神奈川県厚木市長谷398番地
(43) 公開日	平成21年9月17日 (2009. 9. 17)	(74) 代理人	100082669
審査請求日	平成23年12月7日 (2011. 12. 7)		弁理士 福田 賢三
(31) 優先権主張番号	特願2008-24520 (P2008-24520)	(74) 代理人	100095337
(32) 優先日	平成20年2月4日 (2008. 2. 4)		弁理士 福田 伸一
(33) 優先権主張国	日本国 (JP)	(74) 代理人	100095061
			弁理士 加藤 恭介
		(72) 発明者	大沼 英人
			神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
		(72) 発明者	山崎 舜平
			神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
			最終頁に続く

(54) 【発明の名称】 SOI 基板の作製方法

(57) 【特許請求の範囲】

【請求項 1】

塩化水素を含有させた酸化性雰囲気中で単結晶半導体基板に熱酸化処理を行い、前記単結晶半導体基板上に塩素原子を含有する第1の酸化膜を形成し、

絶縁体からなるベース基板上に半導体膜を形成し、

トランス - 1 , 2 - ジクロロエチレンを含有させた酸化性雰囲気中で熱酸化処理を行い、前記半導体膜を酸化させ、塩素原子を含有する第3の酸化膜を形成し、

前記第1の酸化膜を介して前記単結晶半導体基板に加速されたイオンを照射することにより、前記単結晶半導体基板の表面から所定の深さの領域に脆化領域を形成し、

バイアス電圧を印加して、前記単結晶半導体基板上の前記第1の酸化膜に対して酸素ガスをを用いたプラズマ処理を行って、第2の酸化膜とし、

前記単結晶半導体基板と前記ベース基板とを対向させ、前記第2の酸化膜の表面と前記第3の酸化膜の表面とを接合させ、

前記第2の酸化膜の表面と前記第3の酸化膜の表面とを接合させた後に熱処理を行い、前記脆化領域において分離することにより、前記ベース基板上に前記第3の酸化膜及び前記第2の酸化膜を介して単結晶半導体膜を形成することを特徴とするSOI基板の作製方法。

【請求項 2】

請求項 1 において、

前記第2の酸化膜の表面と前記第3の酸化膜の表面とを接合させる前に、バイアス電圧

10

20

を印加して、前記ベース基板上の前記第3の酸化膜に対してプラズマ処理を行うことを特徴とするSOI基板の作製方法。

【請求項3】

請求項1又は請求項2において、

前記第2の酸化膜は、前記第2の酸化膜と前記単結晶半導体膜の界面側における前記塩素原子の濃度が高く、前記第2の酸化膜と前記ベース基板の界面側における前記塩素原子の濃度が低いことを特徴とするSOI基板の作製方法。

【請求項4】

請求項1乃至請求項3のいずれか一項において、

前記熱処理は、ベース基板の歪点以下の温度で行うことを特徴とするSOI基板の作製方法。 10

【請求項5】

請求項1乃至請求項4のいずれか一項において、

前記ベース基板として、ガラス基板を用いることを特徴とするSOI基板の作製方法。

【発明の詳細な説明】

【技術分野】

【0001】

SOI (Silicon on Insulator) 基板の作製方法及び半導体装置の作製方法に関する。

【背景技術】

20

【0002】

近年、バルク状のシリコンウエハに代わり、絶縁表面に薄い単結晶半導体膜が存在するSOI (Silicon on Insulator) 基板を使った集積回路が開発されている。SOI基板を使うことで、トランジスタのドレインと基板間における寄生容量が低減されるため、SOI基板は半導体集積回路の性能を向上させるものとして注目されている。

【0003】

SOI基板を製造する方法の1つに、水素イオン注入剥離法が知られている（例えば、特許文献1参照）。水素イオン注入剥離法によるSOI基板の作製方法の概要を以下に説明する。まず、シリコンウエハにイオン注入法を用いて水素イオンを注入することによって表面から所定の深さに微小気泡層を形成する。次に、酸化シリコン膜を介して、水素イオンを注入したシリコンウエハを別のシリコンウエハに接合させる。その後、熱処理を行うことにより、微小気泡層が劈開面となり、水素イオンが注入されたシリコンウエハの一部が微小気泡層を境に薄膜状に分離し、接合させた別のシリコンウエハ上に単結晶シリコン膜を形成することができる。 30

【0004】

また、このような水素イオン注入剥離法を用いて単結晶シリコン層をガラスからなるベース基板上に形成する方法が提案されている（例えば、特許文献2参照）。ガラス基板はシリコンウエハよりも大面積化が可能であり且つ安価な基板であるため、ガラス基板をベース基板として用いることにより、大面積で安価なSOI基板を作製することが可能となる。 40

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開2000-124092号公報

【特許文献2】特開2004-87606号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

半導体基板とベース基板との貼り合わせを行う場合、接合を強固にするためには高温で熱処理を行うことにより、共有結合を多く形成する必要がある。しかし、ベース基板として 50

ガラス基板等の耐熱性が低い基板を用いる場合には、ベース基板としてシリコン基板を用いる場合と比較して熱処理の温度が制限される（低温プロセスで行う必要がある）ため、半導体基板とベース基板の接合強度が不十分となるおそれがある。接合強度が十分でない場合にはベース基板上に設けられた半導体膜が剥離するおそれがある。

【0007】

上述した問題に鑑み、半導体基板とベース基板の貼り合わせを低温で行う場合であっても、半導体基板とベース基板との接合強度を十分に向上させることを目的の一とする。

【課題を解決するための手段】

【0008】

半導体基板と絶縁体からなるベース基板を、塩素原子を含有する酸化膜を介して貼り合わせる。この場合、貼り合わせを低温で行う場合であっても、半導体基板とベース基板との接合強度を向上することができる。

10

【0009】

また、開示する発明の一例は、単結晶半導体基板上に塩素原子を含有する酸化膜を形成し、酸化膜を介して単結晶半導体基板に加速されたイオンを照射することにより、単結晶半導体基板の表面から所定の深さの領域に脆化領域を形成し、バイアス電圧を印加して、単結晶半導体基板上の酸化膜に対してプラズマ処理を行い、単結晶半導体基板と絶縁体でなるベース基板とを対向させ、酸化膜の表面とベース基板の表面とを接合させ、酸化膜の表面とベース基板の表面とを接合させた後に熱処理を行い、脆化領域において分離することにより、ベース基板上に酸化膜を介して単結晶半導体膜を形成することを特徴としている。

20

【0010】

また、開示する発明の一例は、単結晶半導体基板上に塩素原子を含有する第1の酸化膜を形成し、絶縁体からなるベース基板上に塩素原子を含有する第2の酸化膜を形成し、第1の酸化膜を介して単結晶半導体基板に加速されたイオンを照射することにより、単結晶半導体基板の表面から所定の深さの領域に脆化領域を形成し、バイアス電圧を印加して、単結晶半導体基板上の第1の酸化膜に対してプラズマ処理を行い、単結晶半導体基板とベース基板とを対向させ、第1の酸化膜の表面と第2の酸化膜の表面とを接合させ、第1の酸化膜の表面と第2の酸化膜の表面とを接合させた後に熱処理を行い、脆化領域において分離することにより、ベース基板上に第2の酸化膜及び第1の酸化膜を介して単結晶半導体

30

【0011】

本明細書において「単結晶」とは、結晶面、結晶軸が揃っている結晶であり、それを構成している原子又は分子が空間的に規則正しい配列になっているものをいう。もっとも、単結晶は原子が規則正しく配列することによって構成されるものであるが、一部にこの配列の乱れがある格子欠陥を含むもの、意図的又は非意図的に格子歪みを有するものも含まれる。

【0012】

また、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、電気光学装置、半導体回路及び電子機器は全て半導体装置に含まれる。

40

【0013】

また、本明細書中において表示装置とは、発光装置や液晶表示装置を含む。発光装置は発光素子を含み、液晶表示装置は液晶素子を含む。発光素子は、電流または電圧によって輝度が制御される素子をその範疇に含んでおり、具体的には無機EL(Electro Luminescence)素子、有機EL素子等が含まれる。

【発明の効果】

【0014】

半導体基板と絶縁体からなるベース基板を、塩素原子を含有する酸化膜を介して貼り合わせることにより、半導体基板とベース基板の貼り合わせを低温で行う場合であっても、半導体基板とベース基板との接合強度を十分に向上させることができる。

50

【図面の簡単な説明】

【0015】

【図1】SOI基板の作製方法の一例を示す図。

【図2】SOI基板の作製方法の一例を示す図。

【図3】SOI基板の作製方法の一例を示す図。

【図4】SOI基板の作成方法の一例を示す図。

【図5】SOI基板の作成方法の一例を示す図。

【図6】SOI基板を用いた半導体装置の一例を示す図。

【図7】SOI基板を用いた半導体装置の一例を示す図。

【図8】SOI基板を用いた表示装置の一例を示す図。

10

【図9】SOI基板を用いた表示装置の一例を示す図。

【図10】SOI基板を用いた電子機器を示す図である。

【図11】SOI基板における塩素を含有した酸化膜を説明する図である。

【図12】Si基板上に形成された酸化膜表面の特性を説明する図である。

【発明を実施するための形態】

【0016】

実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下に示す実施の形態の記載内容に限定されず、発明の趣旨から逸脱することなく形態及び詳細を様々に変更し得ることは当業者にとって自明である。また、異なる実施の形態に係る構成は、適宜組み合わせることで実施することができる。なお、以下に説明する発明の構成において、同一部分又は同様な機能を有する部分には同一の符号を用い、その繰り返しの説明は省略する。

20

【0017】

(実施の形態1)

本実施の形態では、半導体基板とベース基板を貼り合わせてSOI基板を作製する方法に関して図面を参照して説明する。

【0018】

まず、半導体基板100を準備する(図1(A-1)参照)。

【0019】

半導体基板100は、単結晶半導体基板や多結晶半導体基板を用いることができ、例えば、単結晶又は多結晶のシリコン基板や、ゲルマニウム基板、ガリウムヒ素やインジウムリン等の化合物半導体基板が挙げられる。市販のシリコン基板としては、直径5インチ(125mm)、直径6インチ(150mm)、直径8インチ(200mm)、直径12インチ(300mm)、直径16インチ(400mm)サイズの円形のものが代表的である。なお、形状は円形に限られず矩形状等に加工したシリコン基板を用いることも可能である。以下の説明では、半導体基板100として、単結晶シリコン基板を用いる場合について示す。

30

【0020】

なお、半導体基板100の表面をあらかじめ硫酸過水(SPM)、アンモニア過水(APM)、塩酸過水(HPM)、希フッ酸(DHF)などを用いて適宜洗浄することが好ましい。

40

【0021】

次に、半導体基板100に熱酸化処理を行うことにより酸化膜102(ここでは、酸化シリコン(SiO_x)膜)を形成する(図1(A-2)参照)。また、熱酸化処理は、酸化性雰囲気中にハロゲンを添加して行う。

【0022】

本実施の形態では、塩素(Cl)ガスが導入された酸化雰囲気中で半導体基板100に熱酸化処理を行うことにより塩素酸化された酸化膜102を形成する。従って、酸化膜102は、塩素原子を含有した膜となる。

【0023】

酸化膜102中に含有された塩素原子は、歪みを形成してSi-O結合を切り、膜中に微

50

小な空孔を形成することにより、酸化膜 102 を低密度化させている。その結果、酸化膜 102 の水分に対する吸収割合が向上し、拡散速度が増大する。つまり、酸化膜 102 表面に水分が存在する場合に、当該酸化膜 102 の表面に存在する水分を酸化膜 102 の膜中に素早く吸収し、拡散させることができる。

【0024】

また、酸化膜 102 に含有させるハロゲン原子としては塩素原子を含有させることが好ましい。これは、塩素原子を含有させることによって、界面準位を低減し、酸化膜の品質を向上することができるためである。また、酸化膜 102 に塩素原子に加えてフッ素原子を含有させてもよい。半導体基板 100 表面をフッ素酸化するには、半導体基板 100 表面に HF 溶液に浸漬した後に酸化性雰囲気中で熱酸化処理を行うことや、HF を酸化性雰囲気

10

【0025】

熱酸化処理の一例としては、酸素に対し塩化水素 (HCl) を 0.5 ~ 10 体積% (好ましくは 2 体積%) の割合で含む酸化性雰囲気中で、900 ~ 1150 の温度 (代表的には 1000) で熱酸化 (HCl 酸化) を行うと良い。処理時間は 0.1 ~ 6 時間、好ましくは 0.5 ~ 1 時間とすればよい。形成される酸化膜の膜厚としては、10 nm ~ 1000 nm (好ましくは 50 nm ~ 300 nm)、例えば 100 nm の厚さとする。このように、900 ~ 1150 の温度で熱酸化処理をおこなうことにより、酸化膜 102 との界面近傍における半導体基板 100 に含まれる酸素等の不純物を低減することができる。

20

【0026】

熱酸化処理の他の一例としては、酸素に対し、トランス - 1, 2 - ジクロロエチレン (DCE) を 0.25 ~ 5 体積% (好ましくは 3 体積%) の割合で含む酸化性雰囲気中で、700 ~ 1150 の温度 (代表的には 950) で熱酸化を行うとよい。処理時間は 0.1 ~ 6 時間、好ましくは 0.5 ~ 1 時間とすればよい。形成される酸化膜の膜厚としては、10 nm ~ 1000 nm (好ましくは 50 nm ~ 300 nm)、例えば 100 nm の厚さとする。トランス 1, 2 ジクロロエチレンは熱分解する温度が低いため、熱酸化処理の温度を低温で行いたい場合に有効となる。なお、トランス - 1, 2 - ジクロロエチレンにかえて、シス - 1, 2 - ジクロロエチレン、1, 1 - ジクロロエチレンや、これらの中から二種類以上のガスの混合ガスを用いてもよい。

30

【0027】

本実施の形態では、酸化膜 102 に含まれる塩素原子の濃度を $1 \times 10^{17} / \text{cm}^3 \sim 1 \times 10^{21} / \text{cm}^3$ となるように制御する。また、半導体基板 100 との界面に塩素原子が多く含まれるように (半導体基板 100 との界面付近に濃度のピークがくるように) する。このように界面付近に塩素原子を多く含ませることによって、界面準位を低減できる。

【0028】

また、酸化膜 102 に塩素原子を含有させることによって、外因性不純物である重金属を捕集して半導体基板が汚染されることを防止する効果を奏する。このような重金属として、Fe、Cr、Ni、Mo 等があり、これらは半導体基板に対し、質量分離されないイオンをドーピングして脆化領域を形成する場合に導入される。すなわち、HCl 酸化などによって膜中にハロゲンを含有させた酸化膜 102 は、重金属など半導体基板に悪影響を与える不純物をゲッタリングする作用がある。酸化膜 102 を形成した後に行われる熱処理により、半導体基板に含まれる不純物としての金属は酸化膜 102 に析出し、ハロゲン (例えば塩素) と反応して捕獲されることとなる。それにより酸化膜 102 中に捕集した当該不純物を固定して半導体基板 100 の汚染を防ぐことができる。また、酸化膜 102 はガラス基板と貼り合わせた場合に、ガラスに含まれる Na 等の不純物に対するブロッキング膜としても機能する。

40

【0029】

また、熱酸化処理のガスに水素を含有させることにより、半導体基板 100 と酸化膜 10

50

2の界面の欠陥を補償して界面の局在準位密度を低減する作用を奏する。そのため、酸化膜102中に水素原子が $1 \times 10^{18} / \text{cm}^3$ 以上含まれるようにすることが好ましい。

【0030】

本実施の形態では、塩素原子を含有する酸化膜102の形成方法として、塩化水素やジクロロエチレンを含有させた酸化性雰囲気中で熱酸化処理を行う場合を示したが、これに限られない。例えば、半導体基板100に酸化性雰囲気中で熱酸化処理を行い、半導体基板100表面に酸化膜112（例えば、 SiO_x ）を形成した後（図2（A）、（B）参照）、イオンドーピング装置又はイオン注入装置を用いて、電界で加速された塩素イオンを添加することにより酸化膜112中に塩素原子を含有させてもよい（図2（C）参照）。他にも、表面を塩化水素の水溶液（塩酸）で処理した後に酸化性雰囲気中で熱酸化処理を行ってもよい。

10

【0031】

次に、運動エネルギーを有するイオンを半導体基板100に照射することで、半導体基板100の所定の深さに結晶構造が損傷された脆化領域104を形成する（図1（A-3）参照）。図1（A-3）に示すように、酸化膜102を介して、加速されたイオン103を半導体基板100に照射することで、半導体基板100の表面から所定の深さの領域にイオン103が導入され、脆化領域104を形成することができる。イオン103は、ソースガスを励起して、ソースガスのプラズマを生成し、このプラズマに含まれるイオンを、電界の作用によりプラズマから引き出して、加速したイオンである。

【0032】

20

脆化領域104が形成される領域の深さは、イオン103の運動エネルギー、質量、イオン103の入射角によって調節することができる。運動エネルギーは加速電圧、ドーズ量などにより調節できる。イオン103の平均侵入深さとほぼ同じ深さの領域に脆化領域104が形成される。そのため、イオン103を添加する深さで、半導体基板100から分離される半導体層の厚さが決定される。この半導体層の厚さが110nm以上500nm以下、好ましくは50nm以上200nm以下になるように、脆化領域104が形成される深さを調節する。

【0033】

脆化領域104の形成は、イオンドーピング処理で行うことができる。イオンドーピング処理には、イオンドーピング装置を用いて行うことができる。イオンドーピング装置の代表的な装置は、プロセスガスをプラズマ励起して生成された全てのイオン種をチャンバー内に配置された被処理体に照射する非質量分離型の装置である。非質量分離型の装置であるのは、プラズマ中のイオン種を質量分離しないで、全てのイオン種を被処理体に照射しているからである。これに対して、イオン注入装置は質量分離型の装置である。イオン注入装置は、プラズマ中のイオン種を質量分離し、ある特定の質量のイオン種を被処理体に照射する装置である。

30

【0034】

イオンドーピング装置の主要な構成は、被処理物を配置するチャンバー、所望のイオンを発生させるイオン源、およびイオンを加速し、照射するための加速機構である。イオン源は、所望のイオン種を生成するためのソースガスを供給するガス供給装置、ソースガスを励起して、プラズマを生成させるための電極などで構成される。プラズマを形成するための電極として、フィラメント型の電極や容量結合高周波放電用の電極などが用いられる。加速機構は、引出電極、加速電極、減速電極、接地電極等の電極など、およびこれらの電極に電力を供給するための電源などで構成される。加速機構を構成する電極には複数の開口やスリットが設けられており、イオン源で生成されたイオンは電極に設けられた開口やスリットを通過して加速される。なお、イオンドーピング装置の構成は上述したものに限定されず、必要に応じた機構が設けられる。

40

【0035】

本実施形態では、イオンドーピング装置で、水素を半導体基板100に添加する。プラズマソースガスとして水素を含むガスを供給する。例えば、 H_2 を供給する。水素ガスを励

50

起してプラズマを生成し、質量分離せずに、プラズマ中に含まれるイオンを加速し、加速されたイオンを半導体基板 100 に照射する。

【0036】

イオンドーピング装置において、水素ガスから生成されるイオン種 (H^+ 、 H_2^+ 、 H_3^+) の総量に対して H_3^+ の割合が 50% 以上とする。より好ましくは、その H_3^+ の割合を 80% 以上とする。イオンドーピング装置は質量分離を行わないため、プラズマ中に生成される複数のイオン種のうち、1つを 50% 以上とすることが好ましく、80% 以上とすることが好ましい。同じ質量のイオンを照射することで、半導体基板 100 の同じ深さに集中させてイオンを添加することができる。

【0037】

脆化領域 104 を浅い領域に形成するためには、イオン 103 の加速電圧を低くする必要があるが、プラズマ中の H_3^+ イオンの割合を高くすることで、原子状水素 (H) を効率よく、半導体基板 100 に添加できる。 H_3^+ イオンは H^+ イオンの 3 倍の質量を持つことから、同じ深さに水素原子を 1つ添加する場合、 H_3^+ イオンの加速電圧は、 H^+ イオンの加速電圧の 3 倍にすることが可能となる。イオンの加速電圧を大きくできれば、イオンの照射工程のタクトタイムを短縮することが可能となり、生産性やスループットの向上を図ることができる。

【0038】

また、加速されたイオン 103 を半導体基板 100 に照射する工程は、イオン注入装置で行うこともできる。イオン注入装置は、チャンバー内に配置された被処理体に、ソースガスをプラズマ励起して生成された複数のイオン種を質量分離し、特定のイオン種を照射する質量分離型の装置である。したがって、イオン注入装置を用いる場合は、水素ガスを励起して生成された H^+ イオンおよび H_2^+ イオンを質量分離して、 H^+ イオンまたは H_2^+ イオンの一方のイオンを加速して、半導体基板 100 に照射する。

【0039】

次に、半導体基板 100 上に形成された酸化膜 102 の表面にプラズマ処理を行うことが好ましい (図 1 (A-4) 参照)。

【0040】

プラズマ処理は、真空状態のチャンバーに不活性ガス (例えば、アルゴン (Ar) ガス) 及び/又は反応性ガス (例えば、酸素 (O_2) ガス、窒素 (N_2) ガス) を導入し、基板が設けられた電極と対向電極間に高周波電圧を印加して (バイアス電圧が加わった状態として)、被処理面にプラズマ処理を行う。

【0041】

例えば、酸素プラズマ処理を行う場合、真空状態のチャンバーに酸素ガスを導入し、半導体基板 100 が設けられた電極と対向電極間に高周波電圧を印加して (バイアス電圧が加わった状態として)、酸化膜 102 にプラズマ処理を行う。プラズマ中には酸素の陽イオンが存在し、陰極方向 (半導体基板 100 側) に酸素の陽イオンが加速される。加速された酸素の陽イオンが半導体基板 100 上の酸化膜 102 表面に衝突することによって、酸化膜 102 表層の $Si-O$ 結合を切り低密度化すると共に、ダングリングボンドを生成して表面を活性化することができる。

【0042】

本実施の形態では、酸素ガスをを用いて、容量結合プラズマの一種で RIE (リアクティブイオンエッチング) モードと呼ばれる方式のプラズマ処理で行う。半導体基板 100 を、コンデンサを介して高周波電圧が印加される陰極電極上のステージに設置し、高周波電圧を印加してプラズマを生成する。その結果、自己バイアスが発生し (バイアスが印加された状態となり)、プラズマ中の陽イオンが加速されて半導体基板 100 に衝突する。なお、ここでは、原料ガスが酸素であり、半導体基板 100 上に形成された酸化膜 102 が酸化シリコンであるため、エッチング作用は少ない。

【0043】

なお、酸素プラズマの具体的な条件としては、処理電力 $0.1 \sim 1.5 \text{ W/cm}^2$ 、圧力

10

20

30

40

50

30 ~ 130 Pa、ガス (O_2) 流量 10 ~ 200 sccm で行えばよい。また、プラズマ処理において、窒素ガスやアルゴンガスを用いる場合にも同様の条件で行うことができる。

【0044】

また、酸素プラズマ処理を行うことにより、酸化膜 102 の表面の平均粗さ (R_a) を好ましくは 0.7 nm 以下、より好ましくは 0.3 nm 以下とする。

【0045】

次に、ベース基板 120 を準備する (図 1 (B) 参照)。

【0046】

ベース基板 120 は、絶縁体となる基板を用いる。具体的には、アルミノシリケートガラス、アルミノホウケイ酸ガラス、バリウムホウケイ酸ガラスのような電子工業用に使われる各種ガラス基板、石英基板、セラミック基板、サファイア基板が挙げられる。本実施の形態では、ガラス基板を用いる場合について説明する。ベース基板 120 として大面積化が可能で安価なガラス基板を用いることにより、シリコンウエハを用いる場合と比較して低コスト化を図ることができる。

【0047】

また、ベース基板 120 を用いるに際し、ベース基板 120 の表面をあらかじめ洗浄することが好ましい。具体的には、ベース基板 120 を、塩酸過水 (HPM)、硫酸過水 (SPM)、アンモニア過水 (APM)、希フッ酸 (DHF) 等を用いて超音波洗浄を行う。例えば、ベース基板 120 の表面に塩酸過水を用いて超音波洗浄を行うことが好ましい。このような洗浄処理を行うことによって、ベース基板 120 表面の平坦化や残存する研磨粒子を除去することができる。

【0048】

次に、半導体基板 100 とベース基板 120 とを対向させ、酸化膜 102 表面とベース基板 120 表面とを接合させる (図 1 (C) 参照)。

【0049】

ここでは、半導体基板 100 とベース基板 120 を密着させた後、半導体基板 100 の端の一箇所に $1 \sim 500 \text{ N/cm}^2$ 、好ましくは $1 \sim 20 \text{ N/cm}^2$ 程度の圧力を加える。圧力を加えた部分から酸化膜 102 とベース基板 120 とが接合しはじめ、自発的に接合が形成され全面におよぶ。この接合工程は、ファンデルワールス力や水素結合が作用しており、加熱処理を伴わず、常温で行うことができるため、ベース基板 120 に、ガラス基板のように耐熱温度が低い基板を用いることができる。

【0050】

なお、半導体基板 100 とベース基板 120 を接合させる前に、半導体基板 100 上に形成された酸化膜 102 と、ベース基板 120 の表面処理を行うことが好ましい。表面処理としては、オゾン処理 (例えば、オゾン水洗浄) やメガソニック洗浄、又はこれらを組み合わせる行うことができる。また、オゾン水洗浄とフッ酸による洗浄を複数回繰り返し行ってもよい。このような表面処理を行うことにより、酸化膜 102、ベース基板 120 表面の有機物等のゴミを除去し、表面を親水化することができる。

【0051】

ベース基板 120 に半導体基板 100 を接合させた後、ベース基板 120 と酸化膜 102 との接合強度を増加させるための熱処理を行うことが好ましい。この熱処理の温度は、脆化領域 104 に亀裂を発生させない温度とし、室温以上 400 未満の温度範囲で処理することができる。また、この温度範囲で加熱しながら、ベース基板 120 に半導体基板 100 を貼り合わせることで、ベース基板 120 と酸化膜 102 との接合界面での接合強度を強固にすることができる。熱処理には、拡散炉、抵抗加熱炉などの加熱炉、RTA (瞬間熱アニール、Rapid Thermal Anneal) 装置、マイクロ波加熱装置などを用いることができる。

【0052】

通常、このような温度で熱処理を行った場合には、接合強度をある程度は増加させること

10

20

30

40

50

は可能であるが、十分な接合強度を得ることは難しい。これは、半導体基板とベース基板を接合させた後に熱処理を行うと、接合界面において脱水縮合反応が生じ共有結合が形成されることにより接合が強化されるが、脱水縮合反応を促進させるためには、脱水縮合反応により接合界面に生じる水分を高温で熱処理を行うことにより除去する必要があるためである。つまり、接合後の熱処理温度を高くすることにより、脱水縮合反応で接合界面に生じた水分を除去し接合強度を向上させることができるが、熱処理温度が低い場合には、脱水縮合反応で接合界面に生じた水分を効果的に除去できないため、脱水縮合反応が進まず接合強度を十分に向上させることができない。

【 0 0 5 3 】

しかし、本実施の形態では、上述したように酸化膜 1 0 2 に塩素原子を含有させることによって、当該酸化膜 1 0 2 が水分を吸収し効果的に拡散させることができるため、熱処理の温度が低い場合であっても、脱水縮合反応で接合界面に生じた水分を酸化膜 1 0 2 へ吸収、拡散させ脱水縮合反応を効率良く促進させることができる。従って、接合後の熱処理を低温で行った場合であっても、半導体基板 1 0 0 上の酸化膜 1 0 2 とベース基板 1 2 0 の接合強度を十分に向上させることが可能となる。

【 0 0 5 4 】

また、酸化膜 1 0 2 の表面は、脆化領域 1 0 4 を形成する際のイオンの照射や酸化膜 1 0 2 表面に対するプラズマ処理によりダングリングボンドが形成され、表面が活性な状態となっているため、低温であってもベース基板 1 2 0 と強固な接合を形成することができる。

【 0 0 5 5 】

次に、熱処理を行い脆化領域 1 0 4 にて分離することにより、ベース基板 1 2 0 上に、酸化膜 1 0 2 を介して半導体膜（ここでは、単結晶半導体膜 1 2 4 ）を設ける（図 1（D）参照）。

【 0 0 5 6 】

加熱処理を行うことで、温度上昇によって脆化領域 1 0 4 に形成されている微小な孔には、イオンドーピングで添加した元素が析出し、内部の圧力が上昇する。圧力の上昇により、脆化領域 1 0 4 に亀裂が生じるので、脆化領域 1 0 4 に沿って半導体基板 1 0 0 が分離する。酸化膜 1 0 2 はベース基板 1 2 0 に接合しているため、ベース基板 1 2 0 上には半導体基板 1 0 0 から分離された単結晶半導体膜 1 2 4 が形成される。また、ここでの熱処理の温度は、ベース基板 1 2 0 の歪み点を越えない温度とする。

【 0 0 5 7 】

この加熱処理には、拡散炉、抵抗加熱炉などの加熱炉、RTA（瞬間熱アニール、Rapid Thermal Anneal）装置、マイクロ波加熱装置などを用いることができる。例えば、RTA装置を用いる、加熱温度 550 以上 700 以下、処理時間 0.5 分以上 60 分以内で行うことができる。

【 0 0 5 8 】

このように、半導体基板 1 0 0 上の酸化膜 1 0 2 とベース基板 1 2 0 とを接合させた後に、複数回に渡って熱処理をおこなうことによって、接合強度を増加させることができる。なお、上述したベース基板 1 2 0 と酸化膜 1 0 2 との接合強度を増加させるための熱処理を行わず、図 1（D）の熱処理を行うことにより、ベース基板 1 2 0 と酸化膜 1 0 2 との接合強度の増加の熱処理工程と、脆化領域 1 0 4 における分離の熱処理工程を同時に行ってもよい。同時に行った場合であっても、酸化膜 1 0 2 に塩素原子を含有させることによって、熱処理時において脱水縮合反応で接合界面に生じた水分を酸化膜 1 0 2 へ吸収、拡散させ脱水縮合反応を効率良く促進させることができる。その結果、半導体基板 1 0 0 上の酸化膜 1 0 2 とベース基板 1 2 0 の接合強度を十分に向上させることが可能となる。

【 0 0 5 9 】

以上の工程により、ベース基板 1 2 0 上に酸化膜 1 0 2 を介して単結晶半導体膜 1 2 4 が設けられた SOI 基板を作製することができる。本実施の形態で示した作製方法を用いることによって、膜の形成に CVD 法やスパッタリング法による成膜工程が不要となるため

10

20

30

40

50

、CVD法やスパッタリング法を用いた成膜により生じるゴミの発生を防止することができる。その結果、ゴミの影響による半導体基板とベース基板の貼り合わせ不良を抑制することができる。

【0060】

また、半導体基板に対するHCl熱酸化は、当該半導体基板に形成された積層欠陥の収縮・消滅に有効となる。したがって、SOI基板の製造プロセスにおいて、半導体基板を繰り返し（再生して）用いる場合には、半導体基板の積層欠陥が問題となるが、SOI基板の製造プロセスにおいてHCl酸化を行うことによりこのような問題を解決することができる。

【0061】

なお、上記工程において、得られたSOI基板の表面に平坦化処理を行ってもよい。平坦化処理を行うことにより、分離後にベース基板120上に設けられた単結晶半導体膜124の表面に凹凸が生じた場合でもSOI基板の表面を平坦化することができる。

【0062】

平坦化処理としては、CMP（Chemical Mechanical Polishing）、エッチング処理、レーザー光の照射等により行うことができる。ここでは、ドライエッチングまたはウェットエッチングの一方、または双方を組み合わせたエッチング処理（エッチバック処理）を行った後にレーザー光を照射することによって、単結晶半導体膜124の再結晶化と表面の平坦化を行う。

【0063】

レーザー光を単結晶半導体膜の上面側から照射することで、単結晶半導体膜の上面を溶融させることができる。溶融した後、単結晶半導体膜が冷却、固化することで、その上面の平坦性が向上した単結晶半導体膜が得られる。レーザー光を用いることにより、ベース基板120が直接加熱されないため、当該ベース基板120の温度上昇を抑えることができる。このため、ガラス基板のような耐熱性の低い基板をベース基板120に用いることが可能である。

【0064】

なお、レーザー光の照射による単結晶半導体膜124の溶融は、部分溶融とすることが好ましい。完全溶融させた場合には、液相となった後の無秩序な核発生により微結晶化し、結晶性が低下する可能性が高いためである。一方で、部分溶融させることにより、溶融されていない固相部分から結晶成長が進行する。これにより、半導体膜中の欠陥を減少させることができる。ここで、完全溶融とは、単結晶半導体膜が下部界面付近まで溶融されて、液体状態になることをいう。他方、部分溶融とは、この場合、単結晶半導体膜の上部は溶融して液相となるが、下部は溶融せずに固相のままであることをいう。

【0065】

上記レーザー光の照射には、パルス発振レーザーを用いることが好ましい。これは、瞬間的に高エネルギーのパルスレーザー光を発振することができ、溶融状態を作り出すことが容易となるためである。発振周波数は、1Hz以上10MHz以下程度とすることが好ましい。

【0066】

上述のようにレーザー光を照射した後は、単結晶半導体膜124の膜厚を小さくする薄膜化工程を行っても良い。単結晶半導体膜124の薄膜化には、ドライエッチングまたはウェットエッチングの一方、または双方を組み合わせたエッチング処理（エッチバック処理）を適用すればよい。例えば、単結晶半導体膜124がシリコン材料からなる層である場合、ドライエッチングとしてSF₆とO₂をプロセスガスに用いて、単結晶半導体膜124を薄くすることができる。

【0067】

なお、平坦化処理はSOI基板に限らず分離後の半導体基板100に対して行ってもよい。分離後の半導体基板100の表面を平坦にすることによって、当該半導体基板100をSOI基板の作製工程において再利用することが可能となる。

10

20

30

40

50

【 0 0 6 8 】

なお、本実施の形態で示した S O I 基板の作製方法は、本明細書の他の実施の形態で示す作製方法と適宜組み合わせることができる。

【 0 0 6 9 】

(実施の形態 2)

本実施の形態では、上記実施の形態と異なる S O I 基板の作製方法に関して図面を参照して説明する。具体的には、ベース基板の表面に絶縁膜を形成する場合について説明する。

【 0 0 7 0 】

まず、半導体基板 1 0 0 上に酸化膜 1 0 2 を形成し、イオンビームを照射することにより脆化領域 1 0 4 を形成した後、酸化膜 1 0 2 の表面に酸素プラズマ処理を行う (図 3 (A - 1) ~ (A - 4) 参照) 。なお、図 3 (A - 1) ~ (A - 4) の具体的な作製工程については、上記図 1 (A - 1) ~ (A - 4) において示した方法を適用すればよい。詳しい説明を省略する。

10

【 0 0 7 1 】

次に、ベース基板 1 2 0 を準備する (図 3 (B - 1) 参照) 。そして、ベース基板 1 2 0 に、半導体膜 1 2 1 を形成した後 (図 3 (B - 2) 参照) 、ジクロロエチレンを含有させた酸化性雰囲気中で熱酸化処理を行うことにより、表面に塩素原子を含有する酸化膜 1 2 2 を形成する (図 3 (B - 3) 参照) 。

【 0 0 7 2 】

例えば、ベース基板 1 2 0 として歪点が 7 3 0 のガラス基板を用い、当該ガラス基板上に半導体膜を形成する。その後、酸素に対しトランス - 1 , 2 - ジクロロエチレン (D C E) を 1 ~ 5 体積 % (好ましくは 2 体積 %) の割合で含む酸化性雰囲気中で、 7 0 0 ~ 7 3 0 の温度 (代表的には 7 2 0) で熱酸化処理を行うことによって、ベース基板 1 2 0 表面の塩素酸化を行う。その結果、ベース基板 1 2 0 上に塩素原子を含有する酸化膜 1 2 2 が形成される。形成される酸化膜の膜厚としては、 1 0 n m ~ 1 0 0 0 n m (好ましくは 5 0 n m ~ 3 0 0 n m) 、例えば 1 0 0 n m の厚さとする。トランス 1 , 2 ジクロロエチレンは熱分解する温度が低いため、耐熱温度が低い基板 (例えば、ガラス基板) に熱酸化処理を行う場合に用いることができる。

20

【 0 0 7 3 】

半導体膜 1 2 1 は、スパッタ法、 L P C V D 法、プラズマ C V D 法等により、 2 5 ~ 2 0 0 n m (好ましくは 3 0 ~ 1 5 0 n m) の厚さで形成する。例えば、非晶質シリコン膜を形成すればよい。

30

【 0 0 7 4 】

つまり、本実施の形態では、ベース基板 1 2 0 として、表面に塩素酸化及び / 又はフッ素酸化された酸化膜が形成された基板を用いる。

【 0 0 7 5 】

他にも、ベース基板 1 2 0 上に半導体膜 1 2 1 (例えば、シリコン膜) を形成した後、塩素 (C l) 及び / 又はフッ素が添加された酸化雰囲気中で熱酸化処理を行うことにより、半導体膜 1 2 1 を塩素酸化及び / 又はフッ素酸化することにより酸化膜 1 2 2 を形成してもよい。

40

【 0 0 7 6 】

なお、ベース基板 1 2 0 上に酸化膜 1 2 2 を形成した後、当該酸化膜 1 2 2 表面にプラズマ処理を行うことが好ましい (図 3 (B - 3) 参照) 。

【 0 0 7 7 】

プラズマ処理は、真空状態のチャンバーに不活性ガス (例えば、アルゴン (A r) ガス) 及び / 又は反応性ガス (例えば、酸素 (O ₂) ガス、窒素 (N ₂) ガス) を導入し、基板が設けられた電極と対向電極間に高周波電圧を印加して (バイアス電圧が加わった状態として) 、被処理面にプラズマ処理を行う。例えば、酸素プラズマ処理を行う場合、真空状態のチャンバーに酸素ガスを導入し、ベース基板 1 2 0 が設けられた電極と対向電極間に高周波電圧を印加して (バイアス電圧が加わった状態として) 、酸化膜 1 2 2 にプラズマ

50

処理を行う。プラズマ中には酸素の陽イオンが存在し、陰極方向（ベース基板 120 側）に酸素の陽イオンが加速される。加速された酸素の陽イオンがベース基板 120 表面に衝突することによって、酸化膜 122 表層の Si-O 結合を切り低密度化すると共に、ダングリングボンドを生成して表面を活性化することができる。

【0078】

次に、半導体基板 100 とベース基板 120 とを対向させ、酸化膜 102 表面と酸化膜 122 表面とを接合させる（図 3（C）参照）。その後、熱処理を行い脆化領域 104 にて分離することにより、ベース基板 120 上に、酸化膜 122 及び酸化膜 102 を介して単結晶半導体膜 124 を設ける（図 3（D）参照）。

【0079】

本実施の形態では、接合面となる酸化膜 102 及び酸化膜 122 が塩素原子を含有する酸化膜となっているため、接合後の熱処理において脱水縮合反応で接合界面に生じた水分子を酸化膜 102 及び酸化膜 122 へ拡散させ脱水縮合反応を促進させることができる。さらに、酸化膜 102 の表面は、脆化領域 104 を形成する際のイオンの照射や酸化膜 102 表面に対するプラズマ処理によりダングリングボンドが形成され、表面が活性な状態となっている。従って、接合後の熱処理をガラス基板の歪点以下の温度で行った場合であっても、接合強度を十分に向上させることが可能となる。

【0080】

なお、本実施の形態では、半導体基板 100 に形成する酸化膜 102 として塩素原子を含有する酸化膜としたが、これに限られない。例えば、半導体基板 100 に酸化性雰囲気中で熱酸化処理して得られた酸化膜を酸化膜 102 として適用することができる。

【0081】

また、本実施の形態では、塩素原子を含有する酸化膜 122 の形成方法として、ベース基板 120 上に半導体膜 121 を形成した後、ジクロロエチレンを含有させた酸化性雰囲気中で熱酸化処理を行う場合を示したが、これに限られない。例えば、ベース基板 120 に、イオンドーピング装置又はイオン注入装置を用いて、電界で加速された塩素イオンを添加することにより、ベース基板 120 表面近傍に塩素原子を導入してもよい。他にも、ジクロロエチレンを含有させた酸化性雰囲気中でベース基板 120 表面に熱酸化処理を行ってもよい。

【0082】

なお、本実施の形態で示した SOI 基板の作製方法は、本明細書の他の実施の形態で示す作製方法と適宜組み合わせることができる。

【0083】

（実施の形態 3）

本実施の形態では、上記実施の形態で作製した SOI 基板を用いて、半導体装置を作製する方法を説明する。

【0084】

まず、図 4 および図 5 を参照して、n チャネル型薄膜トランジスタ、および p チャネル型薄膜トランジスタを作製する方法を説明する。複数の薄膜トランジスタ（TFT）を組み合わせることで、各種の半導体装置を形成することができる。

【0085】

SOI 基板として、上記実施の形態 1 の方法で作製した SOI 基板を用いる場合について説明する。もちろん、上記実施の形態 2 の方法で作製した SOI 基板を用いることも可能である。

【0086】

図 4（A）は、図 1 を用いて説明した方法で作製された SOI 基板の断面図である。

【0087】

エッチングにより、単結晶半導体膜 124 を素子分離して、図 4（B）に示すように半導体膜 251、252 を形成する。半導体膜 251 は n チャネル型の TFT を構成し、半導体膜 252 は p チャネル型の TFT を構成する。

10

20

30

40

50

【 0 0 8 8 】

図 4 (C) に示すように、半導体膜 2 5 1、2 5 2 上に絶縁膜 2 5 4 を形成する。次に、絶縁膜 2 5 4 を介して半導体膜 2 5 1 上にゲート電極 2 5 5 を形成し、半導体膜 2 5 2 上にゲート電極 2 5 6 を形成する。

【 0 0 8 9 】

なお、単結晶半導体膜 1 2 4 のエッチングを行う前に、T F T のしきい値電圧を制御するために、ホウ素、アルミニウム、ガリウムなどの不純物元素、またはリン、ヒ素などの不純物元素を単結晶半導体膜 1 2 4 に添加することが好ましい。例えば、n チャネル型 T F T が形成される領域に不純物元素を添加し、p チャネル型 T F T が形成される領域に不純物元素を添加する。

10

【 0 0 9 0 】

次に、図 4 (D) に示すように半導体膜 2 5 1 に n 型の低濃度不純物領域 2 5 7 を形成し、半導体膜 2 5 2 に p 型の高濃度不純物領域 2 5 9 を形成する。具体的には、まず、半導体膜 2 5 1 に n 型の低濃度不純物領域 2 5 7 を形成する。このため、p チャネル型 T F T となる半導体膜 2 5 2 をレジストでマスクし、不純物元素を半導体膜 2 5 1 に添加する。不純物元素としてリンまたはヒ素を添加すればよい。イオンドーピング法またはイオン注入法により不純物元素を添加することにより、ゲート電極 2 5 5 がマスクとなり、半導体膜 2 5 1 に自己整合的に n 型の低濃度不純物領域 2 5 7 が形成される。半導体膜 2 5 1 のゲート電極 2 5 5 と重なる領域はチャネル形成領域 2 5 8 となる。

【 0 0 9 1 】

20

次に、半導体膜 2 5 2 を覆うマスクを除去した後、n チャネル型 T F T となる半導体膜 2 5 1 をレジストマスクで覆う。次に、イオンドーピング法またはイオン注入法により不純物元素を半導体膜 2 5 2 に添加する。不純物元素として、ボロンを添加することができる。不純物元素の添加工程では、ゲート電極 2 5 6 がマスクとして機能して、半導体膜 2 5 2 に p 型の高濃度不純物領域 2 5 9 が自己整合的に形成される。高濃度不純物領域 2 5 9 はソース領域またはドレイン領域として機能する。半導体膜 2 5 2 のゲート電極 2 5 6 と重なる領域はチャネル形成領域 2 6 0 となる。ここでは、n 型の低濃度不純物領域 2 5 7 を形成した後、p 型の高濃度不純物領域 2 5 9 を形成する方法を説明したが、先に p 型の高濃度不純物領域 2 5 9 を形成することもできる。

【 0 0 9 2 】

30

次に、半導体膜 2 5 1 を覆うレジストを除去した後、プラズマ C V D 法等によって窒化シリコン等の窒素化合物や酸化シリコン等の酸化物からなる単層構造または積層構造の絶縁膜を形成する。この絶縁膜を垂直方向の異方性エッチングすることで、図 5 (A) に示すように、ゲート電極 2 5 5、2 5 6 の側面に接するサイドウォール絶縁膜 2 6 1、2 6 2 を形成する。この異方性エッチングにより、絶縁膜 2 5 4 もエッチングされる。

【 0 0 9 3 】

次に、図 5 (B) に示すように、半導体膜 2 5 2 をレジスト 2 6 5 で覆う。半導体膜 2 5 1 にソース領域またはドレイン領域として機能する高濃度不純物領域を形成するため、イオン注入法またはイオンドーピング法により、半導体膜 2 5 1 に高ドーズ量で不純物元素を添加する。ゲート電極 2 5 5 およびサイドウォール絶縁膜 2 6 1 がマスクとなり、n 型の高濃度不純物領域 2 6 7 が形成される。次に、不純物元素の活性化のための加熱処理を行う。

40

【 0 0 9 4 】

活性化の加熱処理の後、図 5 (C) に示すように、水素を含んだ絶縁膜 2 6 8 を形成する。絶縁膜 2 6 8 を形成後、3 5 0 以上 4 5 0 以下の温度による加熱処理を行い、絶縁膜 2 6 8 中に含まれる水素を半導体膜 2 5 1、2 5 2 中に拡散させる。絶縁膜 2 6 8 は、プロセス温度が 3 5 0 以下のプラズマ C V D 法により窒化シリコンまたは窒化酸化シリコンを堆積することで形成できる。半導体膜 2 5 1、2 5 2 に水素を供給することで、半導体膜 2 5 1、2 5 2 中および絶縁膜 2 5 4 との界面での捕獲中心となるような欠陥を効果的に補償することができる。

50

【0095】

その後、層間絶縁膜269を形成する。層間絶縁膜269は、酸化シリコン膜、BPSG (Boron Phosphorus Silicon Glass) 膜などの無機材料でなる絶縁膜、または、ポリイミド、アクリルなどの有機樹脂膜から選ばれた単層構造の膜、積層構造の膜で形成することができる。層間絶縁膜269にコンタクトホールを形成した後、図5(C)に示すように配線270を形成する。配線270の形成には、例えば、アルミニウム膜またはアルミニウム合金膜などの低抵抗金属膜をバリアメタル膜で挟んだ3層構造の導電膜で形成することができる。バリアメタル膜は、モリブデン、クロム、チタンなどの金属膜で形成することができる。

【0096】

以上の工程により、nチャネル型TFTとpチャネル型TFTを有する半導体装置を作製することができる。SOI基板の作製過程で、チャネル形成領域を構成する半導体膜の金属元素の濃度を低減させているので、オフ電流が小さく、しきい値電圧の変動が抑制されたTFTを作製することができる。

【0097】

図4及び図5を参照してTFTの作製方法を説明したが、TFTの他、容量、抵抗などTFTと共に各種の半導体素子を形成することで、高付加価値の半導体装置を作製することができる。以下、図面を参照しながら半導体装置の具体的な態様を説明する。

【0098】

まず、半導体装置の一例として、マイクロプロセッサについて説明する。図6はマイクロプロセッサ500の構成例を示すブロック図である。

【0099】

マイクロプロセッサ500は、演算回路501 (Arithmetic logic unit。ALUともいう。)、演算回路制御部502 (ALU Controller)、命令解析部503 (Instruction Decoder)、割り込み制御部504 (Interrupt Controller)、タイミング制御部505 (Timing Controller)、レジスタ506 (Register)、レジスタ制御部507 (Register Controller)、バスインターフェース508 (Bus I/F)、読み出し専用メモリ509、およびメモリインターフェース510を有している。

【0100】

バスインターフェース508を介してマイクロプロセッサ500に入力された命令は、命令解析部503に入力され、デコードされた後、演算回路制御部502、割り込み制御部504、レジスタ制御部507、タイミング制御部505に入力される。演算回路制御部502、割り込み制御部504、レジスタ制御部507、タイミング制御部505は、デコードされた命令に基づき様々な制御を行う。

【0101】

演算回路制御部502は、演算回路501の動作を制御するための信号を生成する。また、割り込み制御部504は、マイクロプロセッサ500のプログラム実行中に、外部の入出力装置や周辺回路からの割り込み要求を処理する回路であり、割り込み制御部504は、割り込み要求の優先度やマスク状態を判断して、割り込み要求を処理する。レジスタ制御部507は、レジスタ506のアドレスを生成し、マイクロプロセッサ500の状態に応じてレジスタ506の読み出しや書き込みを行う。タイミング制御部505は、演算回路501、演算回路制御部502、命令解析部503、割り込み制御部504、およびレジスタ制御部507の動作のタイミングを制御する信号を生成する。例えば、タイミング制御部505は、基準クロック信号CLK1を元に、内部クロック信号CLK2を生成する内部クロック生成部を備えている。図6に示すように、内部クロック信号CLK2は他の回路に入力される。

【0102】

次に、非接触でデータの送受信を行う機能、および演算機能を備えた半導体装置の一例を

10

20

30

40

50

説明する。図 7 は、このような半導体装置の構成例を示すブロック図である。図 7 に示す半導体装置は、無線通信により外部装置と信号の送受信を行って動作するコンピュータ（以下、「R F C P U」という）と呼ぶことができる。

【 0 1 0 3 】

図 7 に示すように、R F C P U 5 1 1 は、アナログ回路部 5 1 2 とデジタル回路部 5 1 3 を有している。アナログ回路部 5 1 2 として、共振容量を有する共振回路 5 1 4、整流回路 5 1 5、定電圧回路 5 1 6、リセット回路 5 1 7、発振回路 5 1 8、復調回路 5 1 9 と、変調回路 5 2 0 と、電源管理回路 5 3 0 とを有している。デジタル回路部 5 1 3 は、R F インターフェース 5 2 1、制御レジスタ 5 2 2、クロックコントローラ 5 2 3、C P U インターフェース 5 2 4、中央処理ユニット 5 2 5、ランダムアクセスメモリ 5 2 6、読み出し専用メモリ 5 2 7 を有している。

10

【 0 1 0 4 】

R F C P U 5 1 1 の動作の概要は以下の通りである。アンテナ 5 2 8 が受信した信号は共振回路 5 1 4 により誘導起電力を生じる。誘導起電力は、整流回路 5 1 5 を経て容量部 5 2 9 に充電される。この容量部 5 2 9 はセラミックコンデンサーや電気二重層コンデンサーなどのキャパシタで形成されていることが好ましい。容量部 5 2 9 は、R F C P U 5 1 1 を構成する基板に集積されている必要はなく、他の部品として R F C P U 5 1 1 に組み込むこともできる。

【 0 1 0 5 】

リセット回路 5 1 7 は、デジタル回路部 5 1 3 をリセットし初期化する信号を生成する。例えば、電源電圧の上昇に遅延して立ち上がる信号をリセット信号として生成する。発振回路 5 1 8 は、定電圧回路 5 1 6 により生成される制御信号に応じて、クロック信号の周波数とデューティ比を変更する。復調回路 5 1 9 は、受信信号を復調する回路であり、変調回路 5 2 0 は、送信するデータを変調する回路である。

20

【 0 1 0 6 】

例えば、復調回路 5 1 9 はローパスフィルタで形成され、振幅変調（A S K）方式の受信信号を、その振幅の変動をもとに、二値化する。また、送信データを振幅変調（A S K）方式の送信信号の振幅を変動させて送信するため、変調回路 5 2 0 は、共振回路 5 1 4 の共振点を変化させることで通信信号の振幅を変化させている。

【 0 1 0 7 】

クロックコントローラ 5 2 3 は、電源電圧または中央処理ユニット 5 2 5 における消費電流に応じてクロック信号の周波数とデューティ比を変更するための制御信号を生成している。電源電圧の監視は電源管理回路 5 3 0 が行っている。

30

【 0 1 0 8 】

アンテナ 5 2 8 から R F C P U 5 1 1 に入力された信号は復調回路 5 1 9 で復調された後、R F インターフェース 5 2 1 で制御コマンドやデータなどに分解される。制御コマンドは制御レジスタ 5 2 2 に格納される。制御コマンドには、読み出し専用メモリ 5 2 7 に記憶されているデータの読み出し、ランダムアクセスメモリ 5 2 6 へのデータの書き込み、中央処理ユニット 5 2 5 への演算命令などが含まれている。

【 0 1 0 9 】

中央処理ユニット 5 2 5 は、C P U インターフェース 5 2 4 を介して読み出し専用メモリ 5 2 7、ランダムアクセスメモリ 5 2 6、制御レジスタ 5 2 2 にアクセスする。C P U インターフェース 5 2 4 は、中央処理ユニット 5 2 5 が要求するアドレスより、読み出し専用メモリ 5 2 7、ランダムアクセスメモリ 5 2 6、制御レジスタ 5 2 2 のいずれかに対するアクセス信号を生成する機能を有している。

40

【 0 1 1 0 】

中央処理ユニット 5 2 5 の演算方式は、読み出し専用メモリ 5 2 7 に O S（オペレーティングシステム）を記憶させておき、起動とともにプログラムを読み出し実行する方式を採用することができる。また、専用回路で演算回路を構成して、演算処理をハードウェア的に処理する方式を採用することもできる。ハードウェアとソフトウェアを併用する方式で

50

は、専用の演算回路で一部の演算処理を行い、プログラムを使って、残りの演算を中央処理ユニット 5 2 5 が処理する方式を適用できる。

【 0 1 1 1 】

次に、図 8、図 9 を用いて、表示装置について説明する。

【 0 1 1 2 】

図 8 は液晶表示装置を説明するための図面である。図 8 (A) は液晶表示装置の画素の平面図であり、図 8 (B) は、 J - K 切断線による図 8 (A) の断面図である。

【 0 1 1 3 】

図 8 (A) に示すように、画素は、単結晶半導体膜 3 2 0、単結晶半導体膜 3 2 0 と交差している走査線 3 2 2、走査線 3 2 2 と交差している信号線 3 2 3、画素電極 3 2 4、画素電極 3 2 4 と単結晶半導体膜 3 2 0 を電氣的に接続する電極 3 2 8 を有する。単結晶半導体膜 3 2 0 は、ベース基板 1 2 0 上に設けられた単結晶半導体膜から形成された層であり、画素の T F T 3 2 5 を構成する。

10

【 0 1 1 4 】

S O I 基板には上記実施の形態で示した S O I 基板が用いられている。図 8 (B) に示すように、ベース基板 1 2 0 上に、酸化膜 1 0 2 を介して単結晶半導体膜 3 2 0 が積層されている。ベース基板 1 2 0 としては、ガラス基板を用いることができる。T F T 3 2 5 の単結晶半導体膜 3 2 0 は、S O I 基板の単結晶半導体膜をエッチングにより素子分離して形成された膜である。単結晶半導体膜 3 2 0 には、チャネル形成領域 3 4 0、不純物元素が添加された n 型の高濃度不純物領域 3 4 1 が形成されている。T F T 3 2 5 のゲート電極は走査線 3 2 2 に含まれ、ソース電極およびドレイン電極の一方は信号線 3 2 3 に含まれている。

20

【 0 1 1 5 】

層間絶縁膜 3 2 7 上には、信号線 3 2 3、画素電極 3 2 4 および電極 3 2 8 が設けられている。層間絶縁膜 3 2 7 上には、柱状スペーサ 3 2 9 が形成されている。信号線 3 2 3、画素電極 3 2 4、電極 3 2 8 および柱状スペーサ 3 2 9 を覆って配向膜 3 3 0 が形成されている。対向基板 3 3 2 には、対向電極 3 3 3、対向電極を覆う配向膜 3 3 4 が形成されている。柱状スペーサ 3 2 9 は、ベース基板 1 2 0 と対向基板 3 3 2 の隙間を維持するために形成される。柱状スペーサ 3 2 9 によって形成される隙間に液晶層 3 3 5 が形成されている。信号線 3 2 3 および電極 3 2 8 と高濃度不純物領域 3 4 1 との接続部は、コンタクトホール

30

の形成によって層間絶縁膜 3 2 7 に段差が生じるので、この接続部では液晶層 3 3 5 の液晶の配向が乱れやすい。そのため、この段差部に柱状スペーサ 3 2 9 を形成して、液晶の配向の乱れを防ぐ。

【 0 1 1 6 】

次に、エレクトロルミネセンス表示装置（以下、E L 表示装置という。）について図 9 を参照して説明する。図 9 (A) は E L 表示装置の画素の平面図であり、図 9 (B) は、 J - K 切断線による図 9 (A) の断面図である。

【 0 1 1 7 】

図 9 (A) に示すように、画素は、T F T となる選択用トランジスタ 4 0 1、表示制御用トランジスタ 4 0 2、走査線 4 0 5、信号線 4 0 6、および電流供給線 4 0 7、画素電極 4 0 8 を含む。エレクトロルミネセンス材料を含んで形成される層（E L 層）が一对の電極間に挟んだ構造の発光素子が各画素に設けられている。発光素子の一方の電極が画素電極 4 0 8 である。また、半導体膜 4 0 3 は、選択用トランジスタ 4 0 1 のチャネル形成領域、ソース領域およびドレイン領域が形成されている。半導体膜 4 0 4 は、表示制御用トランジスタ 4 0 2 のチャネル形成領域、ソース領域およびドレイン領域が形成されている。半導体膜 4 0 3、4 0 4 は、ベース基板上に設けられた単結晶半導体膜から形成された層である。

40

【 0 1 1 8 】

選択用トランジスタ 4 0 1 において、ゲート電極は走査線 4 0 5 に含まれ、ソース電極またはドレイン電極の一方は信号線 4 0 6 に含まれ、他方は電極 4 1 0 として形成されてい

50

る。表示制御用トランジスタ４０２は、ゲート電極４１２が電極４１１と電氣的に接続され、ソース電極またはドレイン電極の一方は、画素電極４０８に電氣的に接続される電極４１３として形成され、他方は、電流供給線４０７に含まれている。

【０１１９】

表示制御用トランジスタ４０２はｐチャネル型のＴＦＴである。図９（Ｂ）に示すように、半導体膜４０４には、チャネル形成領域４５１、およびｐ型の高濃度不純物領域４５２が形成されている。なお、ＳＯＩ基板は、実施の形態で作製したＳＯＩ基板が用いられている。

【０１２０】

表示制御用トランジスタ４０２のゲート電極４１２を覆って、層間絶縁膜４２７が形成されている。層間絶縁膜４２７上に、信号線４０６、電流供給線４０７、電極４１１、４１３などが形成されている。また、層間絶縁膜４２７上には、電極４１３に電氣的に接続されている画素電極４０８が形成されている。画素電極４０８は周辺部が絶縁性の隔壁層４２８で囲まれている。画素電極４０８上にはＥＬ層４２９が形成され、ＥＬ層４２９上には対向電極４３０が形成されている。補強板として対向基板４３１が設けられており、対向基板４３１は樹脂層４３２によりベース基板１２０に固定されている。

10

【０１２１】

ＥＬ表示装置の階調の制御は、発光素子の輝度を電流で制御する電流駆動方式と、電圧でその輝度を制御する電圧駆動方式とがあるが、電流駆動方式は、画素ごとにトランジスタの特性値の差が大きい場合、採用することは困難であり、そのためには特性のばらつきを補正する補正回路が必要になる。ＳＯＩ基板の作製工程、およびゲッターリング工程を含む製造方法でＥＬ表示装置を作製することで、選択用トランジスタ４０１および表示制御用トランジスタ４０２は画素ごとに特性のばらつきがなくなるため、電流駆動方式を採用することができる。

20

【０１２２】

つまり、ＳＯＩ基板を用いることで、様々な電気機器を作製することができる。電気機器としては、ビデオカメラ、デジタルカメラ、ナビゲーションシステム、音響再生装置（カーオーディオ、オーディオコンポなど）、コンピュータ、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍など）、記録媒体を備えた画像再生装置（具体的にはＤＶＤ（digital versatile disc）などの記録媒体に記憶された音声データを再生し、かつ記憶された画像データを表示する表示装置を備えた装置などが含まれる。それらの一例を図１０に示す。

30

【０１２３】

図１０は、上記表示装置を適用した携帯電話の一例であり、図１０（Ａ）が正面図、図１０（Ｂ）が背面図、図１０（Ｃ）が２つの筐体をスライドさせたときの正面図である。図１０に示す携帯電話は、筐体７０１及び筐体７０２二つの筐体で構成されている。携帯電話は、携帯電話と携帯情報端末の双方の機能を備えており、コンピュータを内蔵し、音声通話以外にも様々なデータ処理が可能な所謂スマートフォンである。

【０１２４】

図１０に示す携帯電話は、筐体７０１及び筐体７０２で構成されている。筐体７０１においては、表示部７０３、スピーカ７０４、マイクロフォン７０５、操作キー７０６、ポインティングデバイス７０７、表面カメラ用レンズ７０８、外部接続端子ジャック７０９及びイヤホン端子７１０等を備え、筐体７０２においては、キーボード７１１、外部メモリスロット７１２、裏面カメラ７１３、ライト７１４等により構成されている。また、アンテナは筐体７０１に内蔵されている。

40

【０１２５】

また、図１０に示す携帯電話には、上記の構成に加えて、非接触型ＩＣチップ、小型記録装置等を内蔵していてもよい。

【０１２６】

重なり合った筐体７０１と筐体７０２（図１０（Ａ）に示す。）は、スライドさせること

50

が可能であり、スライドさせることで図 10 (C) のように展開する。表示部 703 には、実施の形態 3 で説明した表示装置の作製方法を適用した表示パネル又は表示装置を組み込むことが可能である。表示部 703 と表面カメラ用レンズ 708 を同一の面に備えているため、テレビ電話としての使用が可能である。また、表示部 703 をファインダーとして用いることで、裏面カメラ 713 及びライト 714 で静止画及び動画の撮影が可能である。

【 0 1 2 7 】

スピーカ 704 及びマイクロフォン 705 を用いることで、図 10 に示す携帯電話は、音声記録装置（録音装置）又は音声再生装置として使用することができる。また、操作キー 706 により、電話の発着信操作、電子メール等の簡単な情報入力操作、表示部に表示する画面のスクロール操作、表示部に表示する情報の選択等を行うカーソルの移動操作等が可能である。

【 0 1 2 8 】

また、書類の作成、携帯情報端末としての使用等、取り扱う情報が多い場合は、キーボード 711 を用いると便利である。更に、重なり合った筐体 701 と筐体 702 (図 10 (A)) をスライドさせることで、図 10 (C) のように展開させることができる。携帯情報端末として使用する場合には、キーボード 711 及びポインティングデバイス 707 を用いて、円滑な操作でカーソルの操作が可能である。外部接続端子ジャック 709 は A C アダプタ及び U S B ケーブル等の各種ケーブルと接続可能であり、充電及びパーソナルコンピュータ等とのデータ通信が可能である。また、外部メモリスロット 712 に記録媒体を挿入し、より大量のデータ保存及び移動が可能になる。

【 0 1 2 9 】

筐体 702 の裏面 (図 10 (B)) には、裏面カメラ 713 及びライト 714 を備え、表示部 703 をファインダーとして静止画及び動画の撮影が可能である。

【 0 1 3 0 】

また、上記の機能構成に加えて、赤外線通信機能、USBポート、テレビワンセグ受信機能、非接触ICチップ又はイヤホンジャック等を備えたものであってもよい。

【 0 1 3 1 】

図 10 において説明した電子機器は、上述したトランジスタ及び表示装置の作製方法を適用して作製することができる。

【实施例 1】

【 0 1 3 2 】

本実施例では、上記実施の形態で示した塩素を含有する酸化膜について説明する。

【 0 1 3 3 】

まず、半導体基板として単結晶シリコン基板を準備し、当該単結晶シリコン基板に塩化水素が添加された酸性性雰囲気中で熱処理を行うことにより、当該単結晶シリコン基板上に酸化膜（ HCl 熱酸化 SiO_2 ）を形成した。次に、単結晶シリコン基板に酸化膜を介してイオンドーピング法を用いて水素イオンを照射することにより、単結晶シリコン基板の表面から所定の深さに脆化領域を形成した。次に、ベース基板としてガラス基板を準備し、酸化膜とガラス基板を接合させて、熱処理を行った後、脆化領域を境として分離することによって、ガラス基板上に酸化膜を介して単結晶シリコン膜が設けられた SOI 基板を作製した。

【 0 1 3 4 】

熱酸化処理は、酸素に対し塩化水素（HCl）を3体積%の割合で含む酸化性雰囲気中、950の温度、処理時間は210分として行った。その結果、100nmの厚さの酸化膜が形成された。また、接合後の熱処理は、熱処理炉を用いて、加熱温度200で2時間行った後、加熱温度600で2時間行った。また、分離後の単結晶シリコン膜の厚さは130nmであった。

【 0 1 3 5 】

その後、酸化膜に含まれる塩素について、二次イオン質量分析法（SIMS：Secondary Ion Mass Spectrometry）を用いて分析した。その結果、酸化膜中の塩素濃度は、酸化時間の経過とともに増加し、酸化時間が長いほど塩素濃度が高くなる傾向が確認された。これは、酸化過程で塩素が酸化膜に侵入し、酸化膜の成長とともに濃度が高くなるためと考えられる。

dary Ion Mass Spectroscopy)を用いて測定を行った。

【0136】

図11に、ガラス基板上に形成された酸化膜中におけるSIMS分析による塩素の濃度深さ方向プロファイルを示す。なお、図11において、塩素濃度の値は酸化膜(HCl 熱酸化 SiO_2)内のみ有効である。

【0137】

図11より、酸化膜とガラス基板の界面側における塩素濃度が低くなり、酸化膜と単結晶シリコン膜の界面側において塩素の濃度が高くなることが確認できた。つまり、単結晶シリコン基板に塩化水素を含有させて酸化性雰囲気中で熱酸化処理を行い、ガラス基板と貼り合わせてSOI基板を作製することによって、単結晶シリコン膜と絶縁膜との界面側に塩素が多く含まれる酸化膜を形成することができる。

10

【実施例2】

【0138】

本実施例では、単結晶半導体基板上に形成された酸化膜にプラズマ処理を行った場合の表面特性の変化に関して説明する。

【0139】

本実施例で評価した試料について説明する。まず、試料Aは、単結晶半導体基板として単結晶シリコン基板を用い、単結晶シリコン基板の表面に塩化水素が添加された酸化性雰囲気中で熱処理を行うことにより、単結晶シリコン基板に100nmの酸化膜を形成した。

【0140】

20

次に、試料Bも、試料Aと同様にして、単結晶シリコン基板を用い、単結晶シリコン基板の表面に塩化水素が添加された酸化性雰囲気中で熱処理を行うことにより、単結晶シリコン基板に100nmの酸化膜を形成した。その後、酸化膜に対して水素イオンを照射した。水素イオンの照射条件は、RF放電型イオンドーピング装置を用いて、水素ガス流量30sccm、電源出力100W、加速電圧40kV、ドーズ量 2.0×10^{16} ions/cm²の条件で行った。

【0141】

次に、試料Cも、試料Aと同様にして、単結晶シリコン基板を用い、単結晶シリコン基板の表面に塩化水素が添加された酸化性雰囲気中で熱処理を行うことにより、単結晶シリコン基板に100nmの酸化膜を形成した。その後、酸化膜に対して水素イオンを照射した。水素イオンの照射条件は、試料Bと同様である。その後、酸化膜の表面にプラズマ処理を行った。プラズマ処理の条件は、Tegal社製の装置(プラズマドライエッチング装置モデル981)を用い、RIE(リアクティブイオンエッチング)モードと呼ばれる方式で、処理電力200W、圧力66.7Pa、ガス(O_2)流量100sccm、処理時間30secの条件で行った。

30

【0142】

次に、試料A、試料B、試料Cの酸化膜の表面の状態について、ToF-SIMS(Time of Flight-Secondary Ion Mass Spectrometry)による定性分析を行った。図12に、試料A、試料B、試料Cにおける酸化膜表面の分析結果を示す。横軸は、試料A、試料B、試料Cを示しており、縦軸は、(SiO_2)n-OH系負イオン強度を示している。

40

【0143】

プラズマ処理を行った試料Cにおける酸化膜は、その他のプラズマ処理を行っていない試料A、試料Bと比較して、(SiO_2)n-OHイオン強度が高いことが確認できた。つまり、加速された酸素の陽イオンが酸化膜の表面に衝突することによって、酸化膜表面のSi-H、Si-H₂、SiO₂を減少させ、(SiO_2)n-OHを増加させることが確認できた。

【符号の説明】

【0144】

100 半導体基板

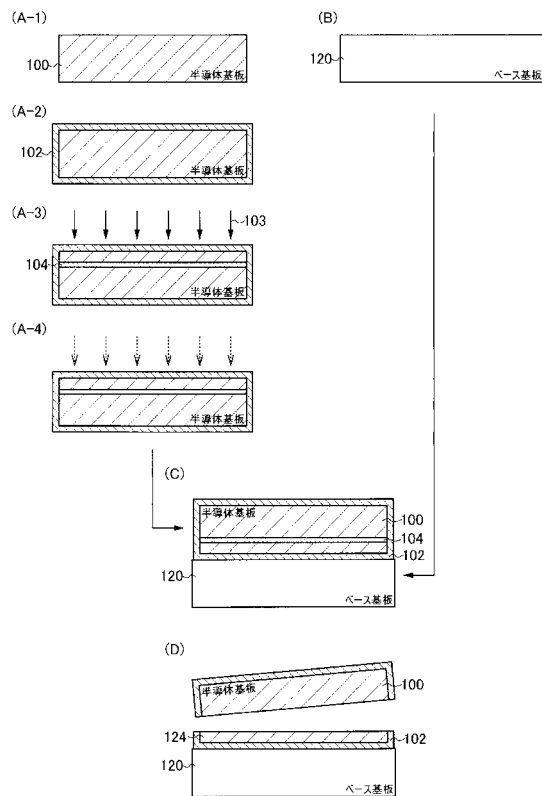
50

1 0 2	酸化膜	
1 0 3	イオン	
1 0 4	脆化領域	
1 1 2	酸化膜	
1 2 0	ベース基板	
1 2 1	半導体膜	
1 2 2	酸化膜	
1 2 4	単結晶半導体膜	
2 5 1	半導体膜	
2 5 2	半導体膜	10
2 5 4	絶縁膜	
2 5 5	ゲート電極	
2 5 6	ゲート電極	
2 5 7	低濃度不純物領域	
2 5 8	チャネル形成領域	
2 5 9	高濃度不純物領域	
2 6 0	チャネル形成領域	
2 6 1	サイドウォール絶縁膜	
2 6 5	レジスト	
2 6 7	高濃度不純物領域	20
2 6 8	絶縁膜	
2 6 9	層間絶縁膜	
2 7 0	配線	
3 0 2	単結晶半導体膜	
3 2 0	単結晶半導体膜	
3 2 2	走査線	
3 2 3	信号線	
3 2 4	画素電極	
3 2 5	T F T	
3 2 7	層間絶縁膜	30
3 2 8	電極	
3 2 9	柱状スペーサ	
3 3 0	配向膜	
3 3 2	対向基板	
3 3 3	対向電極	
3 3 4	配向膜	
3 3 5	液晶層	
3 4 0	チャネル形成領域	
3 4 1	高濃度不純物領域	
4 0 1	選択用トランジスタ	40
4 0 2	表示制御用トランジスタ	
4 0 3	半導体膜	
4 0 4	半導体膜	
4 0 5	走査線	
4 0 6	信号線	
4 0 7	電流供給線	
4 0 8	画素電極	
4 1 0	電極	
4 1 1	電極	
4 1 2	ゲート電極	50

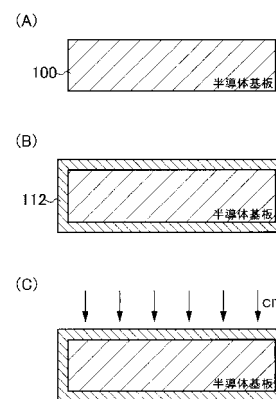
4 1 3	電極	
4 2 7	層間絶縁膜	
4 2 8	隔壁層	
4 2 9	E L 層	
4 3 0	対向電極	
4 3 1	対向基板	
4 3 2	樹脂層	
4 5 1	チャネル形成領域	
4 5 2	高濃度不純物領域	
5 0 0	マイクロプロセッサ	10
5 0 1	演算回路	
5 0 2	演算回路制御部	
5 0 3	命令解析部	
5 0 4	制御部	
5 0 5	タイミング制御部	
5 0 6	レジスタ	
5 0 7	レジスタ制御部	
5 0 8	バスインターフェース	
5 0 9	専用メモリ	
5 1 0	メモリインターフェース	20
5 1 1	R F C P U	
5 1 2	アナログ回路部	
5 1 3	デジタル回路部	
5 1 4	共振回路	
5 1 5	整流回路	
5 1 6	定電圧回路	
5 1 7	リセット回路	
5 1 8	発振回路	
5 1 9	復調回路	
5 2 0	変調回路	30
5 2 1	R F インターフェース	
5 2 2	制御レジスタ	
5 2 3	クロックコントローラ	
5 2 4	インターフェース	
5 2 5	中央処理ユニット	
5 2 6	ランダムアクセスメモリ	
5 2 7	専用メモリ	
5 2 8	アンテナ	
5 2 9	容量部	
5 3 0	電源管理回路	40
5 5 0	加熱温度	
7 0 0	携帯電話	
7 0 1	筐体	
7 0 2	筐体	
7 0 3	表示部	
7 0 4	スピーカ	
7 0 5	マイクロフォン	
7 0 6	操作キー	
7 0 7	ポインティングデバイス	
7 0 8	表面カメラ用レンズ	50

7 0 9	外部接続端子ジャック
7 1 0	イヤホン端子
7 1 1	キーボード
7 1 2	外部メモリスロット
7 1 3	裏面カメラ
7 1 4	ライト

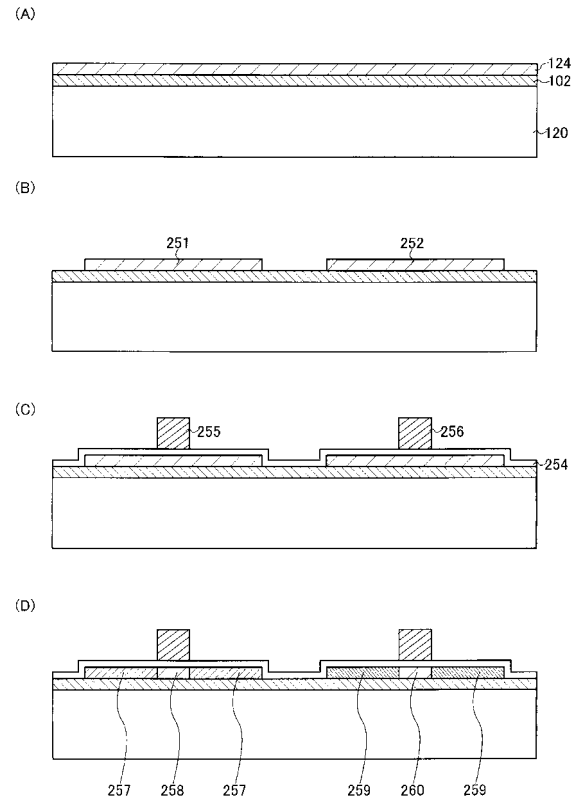
【図 1】



【図 2】



【 図 4 】



【 図 6 】

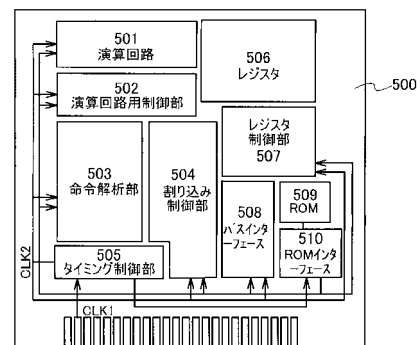
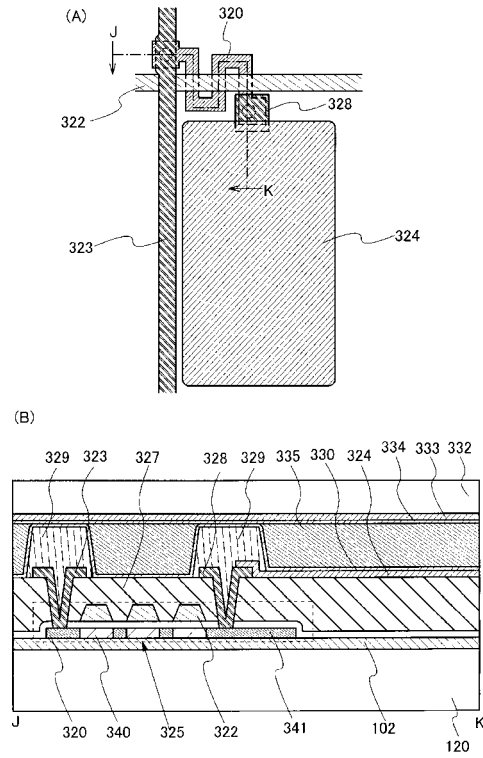
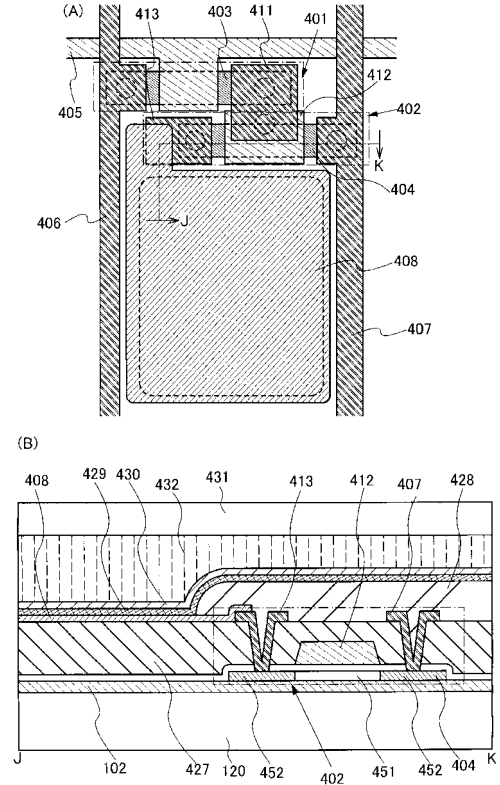


Fig. 1 is a block diagram of a portable electronic device. The device includes a power supply section (515) with a DC-DC converter (516) and a DC-DC converter (517). A control section (518) includes a microcontroller (519) and a reset circuit (520). A communication section (521) includes an RF interface (521) and a control register (522). A storage section (523) includes a memory controller (523) and a memory (524). A display section (525) includes a display (525) and a display driver (526). A battery (527) is connected to the power supply section. A capacity section (529) is also shown. The device is labeled with reference numerals 511, 512, 513, 514, 515, 516, 517, 518, 519, 520, 521, 522, 523, 524, 525, 526, 527, 529.

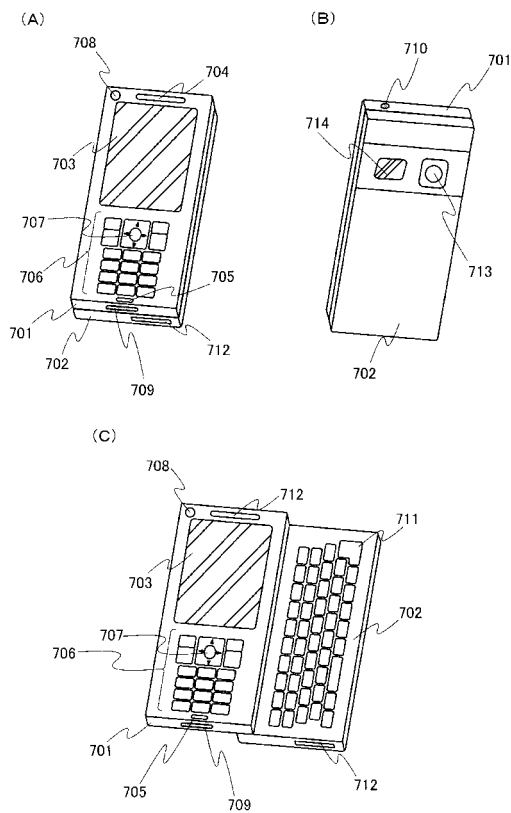
【図 8】



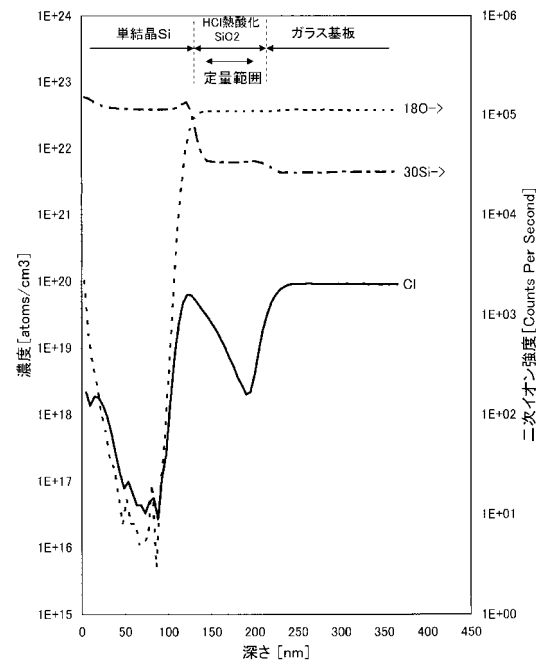
【図 9】



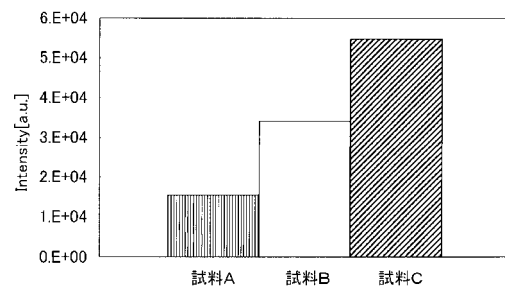
【図 10】



【図 11】



【図 12】



フロントページの続き

審査官 綿引 隆

- (56)参考文献 特開平 1 1 - 1 6 3 3 6 3 (J P , A)
特開平 0 2 - 0 5 4 5 3 2 (J P , A)
国際公開第 2 0 0 5 / 0 5 5 2 9 3 (W O , A 1)
特表 2 0 0 8 - 5 3 5 2 3 0 (J P , A)
国際公開第 2 0 0 7 / 0 0 6 8 0 3 (W O , A 1)

- (58)調査した分野(Int.Cl. , D B 名)
H 0 1 L 2 1 / 0 2
H 0 1 L 2 7 / 1 2